

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成27年11月26日(2015.11.26)

【公開番号】特開2013-125542(P2013-125542A)

【公開日】平成25年6月24日(2013.6.24)

【年通号数】公開・登録公報2013-033

【出願番号】特願2012-242877(P2012-242877)

【国際特許分類】

G 06 F 3/06 (2006.01)

【F I】

G 06 F 3/06 301M

【手続補正書】

【提出日】平成27年10月6日(2015.10.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ記憶システムであって、

順序型データセットを要求するように動作可能なホストであって、該順序型データセットは第1の出力と第2の出力を含み、該第1の出力は、該順序型データセットにおいて該第2の出力に先行する、ホストと、

前記順序型データセットを保持する記憶媒体と、

前記記憶媒体から前記順序型データセットにアクセスし、及び、前記第1の出力に対応する第1の処理入力と前記第2の出力に対応する第2の処理入力を処理して、前記第1の出力及び前記第2の出力を生成するように動作可能なデータ処理回路であって、前記第1の処理入力の処理は、前記第2の処理入力を処理する前に開始し、前記第2の出力は前記第1の出力の前に利用可能である、データ処理回路を備え、

前記ホストは更に、前記第1の出力の前に前記第2の出力を受信するように動作可能であり、

前記データ処理回路は更に、再試行条件が満たされたことに少なくとも部分的に基づいて、前記ホストに前記第1の出力を報告する前に、前記ホストに前記第2の出力を報告するように動作可能である、データ記憶システム。

【請求項2】

前記ホストは、前記第2の出力に対応する有効ステータスを示し、及び、前記第1の出力の無効ステータスを示すように動作可能である、請求項1に記載のデータ記憶システム。

【請求項3】

前記ホストは、前記第2の出力を受信すると、前記第2の出力に対応する有効ステータスを示し、及び、前記第1の出力の無効ステータスを示すように動作可能である、請求項1に記載のデータ記憶システム。

【請求項4】

前記ホストは、前記第1の出力を受信すると、前記第1の出力の前記示された無効ステータスを変更して前記第1の出力の有効ステータスを示すように動作可能である、請求項3に記載のデータ記憶システム。

【請求項 5】

前記データ処理回路は、

データ検出アルゴリズムを前記第1の処理入力に適用して第1の検出出力を生成し、及び、前記データ検出アルゴリズムを前記第2の処理入力に適用して第2の検出出力を生成するように動作可能なデータ検出器回路と、

データ復号化アルゴリズムを前記第1の検出出力から得られた第1の復号化器入力に適用して第1の復号化された出力を生成し、及び、前記データ復号化アルゴリズムを前記第2の検出出力から得られた第2の復号化器入力に適用して第2の復号化された出力を生成するように動作可能なデータ復号化回路を備え、

前記第1の出力は前記第1の復号化された出力から得られ、前記第2の出力は前記第2の復号化された出力から得られる、請求項1に記載のデータ記憶システム。

【請求項 6】

前記データ復号化アルゴリズムは、低密度パリティチェックアルゴリズムである、請求項5に記載のデータ記憶システム。

【請求項 7】

前記データ検出アルゴリズムは、最大事後データ検出アルゴリズムとビタビデータ検出アルゴリズムとからなるグループから選択される、請求項5に記載のデータ記憶システム。

【請求項 8】

前記データ処理回路は集積回路として実装される、請求項1に記載のデータ記憶システム。

【請求項 9】

前記再試行条件は、タイムアウト条件が発生すると満たされる、請求項1に記載のデータ記憶システム。

【請求項 10】

ホスト回路を備える記憶制御システムであって、

前記ホスト回路は、

順序型データセットを記憶デバイスに要求するステップであって、前記順序型データセットは第1の出力と第2の出力を含み、前記第1の出力は、前記順序型データセットにおいて前記第2の出力に先行し、前記第1の出力に対応する前記順序型データセットの第1の部分の処理は、前記第2の出力に対応する前記順序型データセットの第2の部分を処理する前に開始し、前記第1の出力に対応する前記順序型データセットの前記第1の部分の処理は、前記第2の出力に対応する前記順序型データセットの前記第2の部分の処理が完了した後に終了することからなる、ステップと、

前記記憶デバイスから、前記第1の出力を受信する前に前記第2の出力を受信するステップと、

前記第2の出力を受信すると、前記第2の出力の有効ステータス及び前記第1の出力の無効ステータスを示すステップと、

前記第1の出力を受信すると、前記第1の出力の前記無効ステータスを変更して前記第1の出力の有効ステータスを示すステップ

を実行するように動作可能であることからなる、記憶制御システム。

【請求項 11】

前記システムは、データ記憶デバイスの一部として実装される、請求項10に記載の記憶制御システム。

【請求項 12】

前記システムは、集積回路として実装される、請求項10に記載の記憶制御システム。

【請求項 13】

前記記憶デバイスは、

前記順序型データセットを保持する記憶媒体と、

前記記憶媒体から前記順序型データセットにアクセスし、及び、前記第1の出力に対応する第1の処理入力と前記第2の出力に対応する第2の処理入力を処理して、前記第1の出力及び前記第2の出力を生成するように動作可能なデータ処理回路であって、前記第2の出力は前記第1の出力の前に利用可能である、データ処理回路を備える、請求項10に記載の記憶制御システム。

【請求項14】

前記データ処理回路は、

データ検出アルゴリズムを前記第1の処理入力に適用して第1の検出出力を生成し、及び、前記データ検出アルゴリズムを前記第2の処理入力に適用して第2の検出出力を生成するように動作可能なデータ検出器回路と、

データ復号化アルゴリズムを前記第1の検出出力から得られた第1の復号化器入力に適用して第1の復号化された出力を生成し、及び、前記データ復号化アルゴリズムを前記第2の検出出力から得られた第2の復号化器入力に適用して第2の復号化された出力を生成するように動作可能なデータ復号化回路を備え、

前記第1の出力は前記第1の復号化された出力から得られ、前記第2の出力は前記第2の復号化された出力から得られる、請求項13に記載の記憶制御システム。

【請求項15】

前記データ復号化アルゴリズムは、低密度パリティチェックアルゴリズムである、請求項14に記載の記憶制御システム。

【請求項16】

前記データ検出アルゴリズムは、最大事後データ検出アルゴリズムとビタビデータ検出アルゴリズムとからなるグループから選択される、請求項14に記載の記憶制御システム。

【請求項17】

記憶デバイスにおけるデータ処理のための方法であって、

順序型データセットの要求を提供するステップであって、前記順序型データセットは、データ復号化器回路の第1の入力に対応する第1の出力と、前記データ復号化器回路の第2の入力に対応する第2の出力を含み、前記データ復号化器回路は、前記第2の入力の処理を開始する前に前記第1の入力の処理を開始し、前記データ復号化器回路は、前記第2の入力の処理を完了した後に前記第1の入力の処理を完了することからなる、ステップと、

前記記憶デバイスから、前記第1の出力を受信する前に前記第2の出力を受信するステップと、

前記第2の出力を受信すると、前記第2の出力の有効ステータス及び前記第1の出力の無効ステータスを示すステップと、

前記第1の出力を受信すると、前記第1の出力の無効ステータスを変更して前記第1の出力の有効ステータスを示すステップを含む方法。

【請求項18】

記憶媒体から符号化されたデータセットにアクセスするステップであって、前記符号化されたデータセットは前記順序型データセットに対応することからなる、ステップと、

前記符号化されたデータセットを処理して前記第1の出力及び前記第2の出力を生成するステップ

を更に含む、請求項17に記載の方法。

【請求項19】

符号化されたデータセットを処理する前記ステップは、

前記符号化されたデータセットにデータ検出アルゴリズムを適用して、第1の検出出力及び第2の検出出力を生成するステップと、

前記第1の検出出力から得られた第1の復号化器入力にデータ復号化アルゴリズムを適

用して、第1の復号化された出力を生成するステップと、

前記第2の検出出力から得られた第2の復号化器入力に前記データ復号化アルゴリズムを適用して、第2の復号化された出力を生成するステップを含み、

前記第1の出力は前記第1の復号化された出力から得られ、前記第2の出力は前記第2の復号化された出力から得られる、請求項1-8に記載の方法。