

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7530656号  
(P7530656)

(45)発行日 令和6年8月8日(2024.8.8)

(24)登録日 令和6年7月31日(2024.7.31)

(51)国際特許分類

F I

H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	3 0 1 V
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	3 0 1 B
H 1 0 B	12/00 (2023.01)	H 0 1 L	29/78	3 0 1 H
H 0 1 L	29/423 (2006.01)	H 0 1 L	29/78	3 0 1 M
H 0 1 L	29/49 (2006.01)	H 1 0 B	12/00	6 7 1 B

請求項の数 19 外国語出願 (全28頁) 最終頁に続く

(21)出願番号	特願2022-117535(P2022-117535)
(22)出願日	令和4年7月22日(2022.7.22)
(65)公開番号	特開2023-17736(P2023-17736A)
(43)公開日	令和5年2月7日(2023.2.7)
審査請求日	令和4年11月14日(2022.11.14)
(31)優先権主張番号	63/224,921
(32)優先日	令和3年7月23日(2021.7.23)
(33)優先権主張国・地域又は機関	米国(US)
(31)優先権主張番号	17/751,727
(32)優先日	令和4年5月24日(2022.5.24)
(33)優先権主張国・地域又は機関	米国(US)

(73)特許権者	522295047 發明與合作實驗室有限公司 シンガポール共和国、0 6 8 9 1 4 シ ンガポール、ロビンソン ロード 1 6 0 、ナンバー 2 3 - 0 2
(74)代理人	110001896 弁理士法人朝日奈特許事務所
(72)発明者	盧 超群 台湾新竹市科学工業園區科技五路六號
(72)発明者	黄 立平 台湾新竹市科学工業園區科技五路六號
審査官	岩本 勉

最終頁に続く

(54)【発明の名称】 制御可能なソース/ドレイン構造を有するトランジスタ

## (57)【特許請求の範囲】

## 【請求項 1】

基板、

ゲート導電領域であって、前記ゲート導電領域の少なくとも一部分が前記基板の表面の下に配置されたゲート導電領域、

前記ゲート導電領域の底壁および側壁を取り囲むゲート誘電体層、ならびに

第 1 の導電領域

を備えており、前記第 1 の導電領域の底壁が、前記ゲート導電領域の上壁に、揃えられ、または実質的に揃えられており、

前記第 1 の導電領域の前記底壁から前記第 1 の導電領域の上壁までのドーピング濃度が調節可能であり、

調節可能な前記ドーピング濃度を有する前記第 1 の導電領域が、前記基板から独立している、トランジスタ構造。

## 【請求項 2】

前記第 1 の導電領域の上壁が、前記第 1 の導電領域の隣のシャロートレンチアイソレータ ( S T I ) 領域の上壁に、揃えられ、または実質的に揃えられているが、前記ゲート導電領域上のゲートキャップ層の上壁よりも低い、請求項 1 に記載のトランジスタ構造。

## 【請求項 3】

前記基板がシリコン基板であり、および、調節可能な前記ドーピング濃度を有する前記第 1 の導電領域が、選択的成長プロセスによって形成されている、請求項 1 に記載のトラン

10

20

ジスタ構造。

【請求項 4】

前記ゲート誘電体層を取り囲むチャンネル層をさらに備えており、前記チャンネル層が前記基板から独立している、請求項 1 に記載のトランジスタ構造。

【請求項 5】

前記チャンネル層が、ドーピングされたシリコン層である、請求項 4 に記載のトランジスタ構造。

【請求項 6】

前記チャンネル層が、ドーピングされたシリコンゲルマニウム ( $\text{Si}_{1-x}\text{Ge}_x$ ) 層である、請求項 4 に記載のトランジスタ構造。

10

【請求項 7】

前記基板がシリコン基板であり、および、前記チャンネル層が選択的成長プロセスによって形成されている、請求項 4 に記載のトランジスタ構造。

【請求項 8】

前記ゲート誘電体層が、前記第 1 の導電領域の上壁を覆う水平方向延在部を含む、請求項 4 に記載のトランジスタ構造。

【請求項 9】

前記チャンネル層の一端子の上面が、前記基板の前記表面に、揃えられ、または実質的に揃えられている、請求項 8 に記載のトランジスタ構造。

【請求項 10】

前記ゲート導電領域が、タンゲステンプラグ、および前記タンゲステンプラグを取り囲む窒化チタン ( $\text{TiN}$ ) 層を含む、請求項 8 に記載のトランジスタ構造。

20

【請求項 11】

前記ゲート誘電体層を取り囲むチャンネル層をさらに備えており、前記チャンネル層が、前記基板内のドーピングされた層である、請求項 1 に記載のトランジスタ構造。

【請求項 12】

基板、

ゲート導電領域であって、前記ゲート導電領域の少なくとも一部分が前記基板の表面の下に配置されたゲート導電領域、

前記ゲート導電領域の底壁および側壁を取り囲むゲート誘電体層、ならびに

前記ゲート導電領域に隣接して前記基板から独立している第 1 の導電領域、

を備えており、前記第 1 の導電領域の底壁と、前記ゲート導電領域の上壁との間の垂直方向ギャップまたは垂直方向の重なり距離が 5 nm よりも小さい、トランジスタ構造。

30

【請求項 13】

前記第 1 の導電領域の前記底壁から前記第 1 の導電領域の上壁までのドーピング濃度が垂直方向に調節可能である、請求項 12 に記載のトランジスタ構造。

【請求項 14】

前記基板がシリコン基板であり、および、垂直方向に調節可能な前記ドーピング濃度を有する前記第 1 の導電領域が、選択的成長プロセスによって形成されている、請求項 13 に記載のトランジスタ構造。

40

【請求項 15】

基板、

ゲート導電領域であって、前記ゲート導電領域の少なくとも一部分が前記基板の表面の下に配置されたゲート導電領域、

前記ゲート導電領域の底壁および側壁を取り囲むゲート誘電体層、

前記ゲート誘電体層を取り囲むチャンネル層、および

前記チャンネル層に接触している第 1 の導電領域、

を備えており、前記チャンネル層が、複合層であって前記基板から独立している、トランジスタ構造。

【請求項 16】

50

前記複合層が、高移動度副層、および前記高移動度副層の上のシリコン副層を含む、請求項 1.5 に記載のトランジスタ構造。

【請求項 17】

前記高移動度副層が、ドーピングされた、 $Si_{1-x}Ge_x$ 、 $Si_{1-x}C_x$ 、 $Ga_{1-x}$ 、または  $In_{1-x}As_xSb$  層である、請求項 1.6 に記載のトランジスタ構造。

【請求項 18】

基板、

ゲート導電領域であって、前記ゲート導電領域の少なくとも一部分が前記基板の表面の下に配置されたゲート導電領域、

前記ゲート導電領域の底壁および側壁を取り囲むゲート誘電体層、および

第 1 の導電領域、

を備えており、前記第 1 の導電領域の上壁が、前記第 1 の導電領域の隣のシャロートレンチアイソレータ (STI) 領域の上壁よりも低く、且つ、前記ゲート導電領域上のゲートキャップ層の上壁よりも低く、

前記第 1 の導電領域が、前記基板から独立している、トランジスタ構造。

【請求項 19】

前記第 1 の導電領域の底壁が、前記ゲート導電領域の上壁に、揃えられ、または実質的に揃えられている、請求項 1.8 に記載のトランジスタ構造。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体デバイスに関し、特に、ゲート領域に揃えられ、または実質的に揃えられたソース/ドレイン領域を有する U 字溝トランジスタまたは埋め込みゲートトランジスタに関する。

【背景技術】

【0002】

図 1 は、埋め込みワード線 DRAM セル 10 内に適用された従来のアクセストランジスタ 100 を示す断面図である。図 1 に示すように、ゲート領域 101 の一部または全部は、P 型基板 110 の元の基板表面 110a 下に配置されている。ゲート領域 101 はゲート導電領域であって、誘電体ゲートキャップ 101b が上記ゲート導電領域の上に配置されたゲート導電領域を含み、ゲート酸化物層 105 が、ゲート領域のまわりにあり、またはゲート領域を取り囲む。ゲート領域 101 は、(タングステン (W) などの) 金属領域 101a および窒化チタン 101c (TiN) の組み合わせ、またはポリシリコン材料 (図示せず) のいずれかを備え得る。N+ドーピングされた領域 102a を有するドレイン端子 102、および N+ドーピングされた領域 103a を有するソース端子 103 は、ゲート領域 101 の右側および左側に配置されている。ドレイン端子 102 およびソース端子 103 は、低度にドーピングされた領域 ( $n\_LDD$ ) 102b および 103b それぞれをさらに含み得る。ドレイン端子 102 およびソース端子 103 の一方は、DRAM セル (図示せず) のキャパシタに結合され、他方はビット線 BL に結合される。さらに、ドレイン端子 102 およびソース端子 103 間を結合する、アクセストランジスタ (たとえば、縦型 NMOS トランジスタ) 100 のチャンネル領域は、ゲート酸化物層 105 の近くにあることに、またはゲート酸化物層 105 に取り囲まれることになる。

【0003】

ドレイン端子 102 およびソース端子 103 がイオン注入技術によって形成されるため、ドレイン端子 102 ならびにソース端子 103 の N+ドーピングされた領域 102a / 103a および  $n\_LDD$  領域 102b / 103b (特に N+ドーピング領域) は、ゲート領域 101 と部分的に重ねられる場合があり、より高い電界を発生させ、次いで、ゲート誘起ドレイン漏れ (GIDL) 電流を増加させる。一方、多くの格子損傷が、イオン注入プロセスにより、ドレイン端子 102 およびソース端子 103 内に引き起こされ得る。それらの格子損傷はその後の熱処理プロセスによって完全に回復させられるのが難しい場

10

20

30

40

50

合があるので、よって、ソースまたはドレイン抵抗が増加される場合があると共に、より高いGIDL電流がさらに誘起させられる場合があり、より悪いストレージノード電荷消失、およびより低いターンオン電流 ( $I_{on}$ ) をアクセストランジスタ100に持たせる。

【0004】

さらに、アクセストランジスタ100の閾値電圧は、基板110内に形成されたp型ウェル106の注入プロファイル均一性に依存する。しかし、従来のプロセスは、複数の注入工程を採用しており、アニーリングプロセスを経てp型ウェル内にドレイン端子102およびソース端子103を形成し、p型ウェル106のドーピングプロファイルは、均一でない場合があり、必然的に、より高い閾値電圧変動をもたらし、および、チャンネル抵抗を増加させる。

【0005】

したがって、従来技術によって遭遇される欠点を取り除くために高度なトランジスタ構造を提供する必要性が存在している。

【発明の概要】

【課題を解決するための手段】

【0006】

本開示の一態様は、トランジスタ構造であって、前記トランジスタ構造が基板、ゲート導電領域、ゲート誘電体層、および第1の導電領域を含む、トランジスタ構造を提供することである。前記ゲート導電領域の少なくとも一部分が前記基板の初期表面の下に配置される。ゲート誘電体層は、前記ゲート導電領域の底壁および側壁を取り囲む。前記第1の導電領域の底壁は、前記ゲート導電領域の壁に、揃えられ、または実質的に揃えられる。

【0007】

本開示の一実施形態では、前記第1の導電領域の前記上壁は、前記第1の導電領域の隣のシャロートレンチアイソレータ(STI)領域の上壁に、揃えられ、または実質的に揃えられているが、前記ゲート導電領域上のゲートキャップ層の上壁よりも低い。

【0008】

本開示の一実施形態では、前記第1の導電領域の前記底壁から前記第1の導電領域の上壁までのドーピング濃度は調節可能である。

【0009】

本開示の一実施形態では、調節可能な前記ドーピング濃度を有する前記第1の導電領域は、前記基板から独立(independent)している。

【0010】

本開示の一実施形態では、前記基板はシリコン基板であり、および、調節可能な前記ドーピング濃度を有する前記第1の導電領域は、選択的エピタキシによって形成されている。

【0011】

本開示の一実施形態では、前記トランジスタ構造は前記ゲート誘電体層を取り囲むチャンネル層をさらに含み、前記チャンネル層は前記基板から独立している。

【0012】

本開示の一実施形態では、前記チャンネル層は、ドーピングされたシリコン層である。

【0013】

本開示の一実施形態では、前記チャンネル層は、ドーピングされたシリコンゲルマニウム(SiGe)層である。

【0014】

本開示の一実施形態では、前記基板はシリコン基板であり、および、前記チャンネル層は選択的エピタキシによって形成される。

【0015】

本開示の一実施形態では、前記ゲート誘電体層は、前記第1の導電領域の上面を覆う水平方向延在部を含む。

【0016】

本開示の一実施形態では、前記チャンネル層の一端子の上面は、前記基板の前記表面に

10

20

30

40

50

、揃えられ、または実質的に揃えられる。

【0017】

本開示の一実施形態では、前記ゲート導電領域は、タングステンプラグ (tungsten plug)、および前記タングステンプラグを取り囲むTiN層を含む。

【0018】

本開示の一実施形態では、前記トランジスタ構造は、前記ゲート誘電体層を取り囲むチャンネル層をさらに含み、前記チャンネル層は、前記基板内のドーピングされた層である。

【0019】

本開示の別の態様は、トランジスタ構造であって、前記トランジスタ構造が、基板、ゲート導電領域、ゲート誘電体層、および第1の導電領域を含む、トランジスタ構造を提供することである。前記ゲート導電領域の少なくとも一部分は、前記基板の初期表面の下に配置される。ゲート誘電体層は前記ゲート導電領域の底壁および側壁を取り囲む。前記第1の導電領域は、前記ゲート導電領域に隣接して前記基板から独立しており、前記第1の導電領域の底壁と、前記ゲート導電領域の上壁との間の垂直方向ギャップまたは垂直方向の重なり距離は、5nmよりも小さい。

10

【0020】

本開示の一実施形態では、前記第1の導電領域の前記底壁から前記第1の導電領域の上壁までのドーピング濃度は、垂直方向に調節可能である。

【0021】

本開示の一実施形態では、前記基板はシリコン基板であり、および、調節可能なドーピング濃度を有する前記第1の導電領域は、選択的エピタキシによって形成される。

20

【0022】

本開示のさらに別の態様は、トランジスタ構造であって、前記トランジスタ構造が、基板、ゲート導電領域、ゲート誘電体層、チャンネル層、および第1の導電領域を含む、トランジスタ構造を提供することである。前記ゲート導電領域の少なくとも一部分は、前記基板の初期表面の下に配置される。ゲート誘電体層は、前記ゲート導電領域の底壁および側壁を取り囲む。チャンネル層は前記ゲート誘電体層を取り囲む。第1の導電領域は前記チャンネル層に接触しており、前記チャンネル層は、複合層であって前記基板から独立している。

【0023】

本開示の一実施形態では、前記複合層は、高移動度副層、および前記高移動度副層の上のシリコン副層を含む。前記高移動度副層は、ドーピングされた $Si_{1-x}Ge_x$ 、 $Si_{1-x}C_x$ 、 $Ga_{1-x}As_x$ 、または $In_{1-x}As_xSb$ 層である。

30

【0024】

本開示のさらに別の態様は、トランジスタ構造であって、前記トランジスタ構造が、基板、ゲート導電領域、ゲート誘電体層、および第1の導電領域を含む、トランジスタ構造を提供することである。前記ゲート導電領域の少なくとも一部分は、前記基板の初期表面の下に配置される。前記ゲート誘電体層は、前記ゲート導電領域の底壁および側壁を取り囲み、前記第1の導電領域の上壁は、前記第1の導電領域の隣のシャロートレンチアイソレータ (STI) 領域の上壁よりも低く、且つ、前記ゲート導電領域上のゲートキャップ層の上壁よりも低い。

40

【0025】

本開示の上記目的および利点は、当業者に、以下の詳細な説明および添付図面を検討した後で、より容易に明らかになるであろう。

【図面の簡単な説明】

【0026】

【図1】埋め込みワード線DRAMセル内に適用された従来のアクセストランジスタを示す断面図である。

【図2A(1)】本開示の一実施形態による、埋め込みワード線DRAMセルのNMOSトランジスタを形成するために使用される半導体基板の部分構造を示す上面図である。

50

【図 2 A ( 2 )】図 2 A ( 1 ) に表されたような切断線 C 2 A に沿って切断された断面図である。

【図 2 B ( 1 )】ゲート凹部が半導体基板内に形成された後の部分構造を示す上面図である。

【図 2 B ( 2 )】図 2 B ( 1 ) に表されたような切断線 C 2 B に沿って切断された断面図である。

【図 2 C ( 1 )】複数のチャンネル領域がそれぞれ、ゲート凹部内に形成された後の部分構造を示す上面図である。

【図 2 C ( 2 )】図 2 C ( 1 ) に表されたような切断線 C 2 C に沿って切断された断面図である。

10

【図 2 D ( 1 )】ゲート誘電体層がゲート凹部内に形成された後の部分構造を示す上面図である。

【図 2 D ( 2 )】図 2 D ( 1 ) に表されたような切断線 C 2 D に沿って切断された断面図である。

【図 2 E ( 1 )】複数のゲート導電領域がそれぞれ、ゲート凹部内に形成された後の部分構造を示す上面図である。

【図 2 E ( 2 )】図 2 E ( 1 ) に表されたような切断線 C 2 E に沿って切断された断面図である。

【図 2 F ( 1 )】ゲート凹部の最上部を充填するために誘電体材料が形成された後の部分構造を示す上面図である。

20

【図 2 F ( 2 )】図 2 F ( 1 ) に表されたような切断線 C 2 F に沿って切断された断面図である。

【図 2 G ( 1 )】窒化物ハードマスク層が除去され、および、誘電体ゲートキャップがゲート導電領域上に形成された後の部分構造を示す上面図である。

【図 2 G ( 2 )】図 2 G ( 1 ) に表されたような切断線 C 2 G に沿って切断された断面図である。

【図 2 H ( 1 )】第 1 の凹部、第 2 の凹部、および第 3 の凹部が半導体基板内に形成された後の部分構造を示す上面図である。

【図 2 H ( 2 )】図 2 H ( 1 ) に表されたような切断線 C 2 H に沿って切断された断面図である。

30

【図 2 I ( 1 )】第 1 の導電領域、第 2 の導電領域、および第 3 の導電領域がそれぞれ、第 1 の凹部、第 2 の凹部、および第 3 の凹部内に形成された後の部分構造を示す上面図である。

【図 2 I ( 2 )】図 2 I ( 1 ) に表されたような切断線 C 2 I に沿って切断された断面図である。

【図 2 J ( 1 )】図 2 H ( 2 ) と同様の、本発明の別の実施形態の断面図である。

【図 2 J ( 2 )】図 2 I ( 2 ) と同様の、本発明の別の実施形態の断面図である。

【図 2 K ( 1 )】図 2 J ( 1 ) のようなプロセスが D R A M アレイ構造に適用される場合の図 2 J ( 1 ) に対応する上面図である。

【図 2 K ( 2 )】図 2 J ( 2 ) のようなプロセスが D R A M アレイ構造に適用される場合の図 2 J ( 2 ) に対応する上面図である。

40

【図 3 A ( 1 )】本開示の一実施形態による、埋め込みワード線 D R A M セルの N M O S トランジスタを形成するために使用される半導体基板の部分構造を示す上面図である。

【図 3 A ( 2 )】図 3 A ( 1 ) に表されたような切断線 C 3 A に沿って切断された断面図である。

【図 3 B ( 1 )】ゲート凹部が半導体基板内に形成された後の部分構造を示す上面図である。

【図 3 B ( 2 )】図 3 B ( 1 ) に表されたような切断線 C 3 B に沿って切断された断面図である。

【図 3 C ( 1 )】複数のチャンネル領域がそれぞれ、ゲート凹部内に形成された後の部分

50

構造を示す上面図である。

【図 3 C ( 2 )】図 3 C ( 1 ) に表されたような切断線 C 3 C に沿って切断された断面図である。

【図 3 D ( 1 )】ゲート誘電体層がゲート凹部内に形成された後の部分構造を示す上面図である。

【図 3 D ( 2 )】図 3 D ( 1 ) に表されたような切断線 C 2 D に沿って切断された断面図である。

【図 3 E ( 1 )】複数のゲート導電領域がそれぞれ、ゲート凹部内に形成された後の部分構造を示す上面図である。

【図 3 E ( 2 )】図 3 E ( 1 ) に表されたような切断線 C 3 E に沿って切断された断面図である。

10

【図 3 F ( 1 )】ゲート凹部の最上部を充填するために誘電体材料が形成された後の部分構造を示す上面図である。

【図 3 F ( 2 )】図 3 F ( 1 ) に表されたような切断線 C 3 F に沿って切断された断面図である。

【図 3 G ( 1 )】窒化物ハードマスク層が除去され、および、誘電体ゲートキャップがゲート導電領域上に形成された後の部分構造を示す上面図である。

【図 3 G ( 2 )】図 3 G ( 1 ) に表されたような切断線 C 3 G に沿って切断された断面図である。

【図 3 H ( 1 )】第 1 の凹部、第 2 の凹部、および第 3 の凹部が半導体基板内に形成された後の部分構造を示す上面図である。

20

【図 3 H ( 2 )】図 3 H ( 1 ) に表されたような切断線 C 3 H に沿って切断された断面図である。

【図 3 I ( 1 )】第 1 の導電領域、第 2 の導電領域、および第 3 の導電領域がそれぞれ、第 1 の凹部、第 2 の凹部、および第 3 の凹部内に形成された後の部分構造を示す上面図である。

【図 3 I ( 2 )】図 3 I ( 1 ) に表されたような切断線 C 3 I に沿って切断された断面図である。

【発明を実施するための形態】

【 0 0 2 7 】

以下に示されるような実施形態は、減少させられた G I D L 電流、より小さい閾値電圧変動、およびより低いチャンネル抵抗を有するトランジスタ構造を提供する。これより、それらの構造および配置を示す、以下の実施形態を参照しながら、より具体的に、本開示を説明する。

30

【 0 0 2 8 】

留意すべき点は、本開示の好ましい実施形態の以下の説明が、例証および説明の目的のみで本明細書中に提示されていることである。網羅的であることも、開示されたまさにその形態に限定されることも意図されるものでない。さらに、具体的に例証していない、本開示の実施形態を実現するための他の特徴、構成要素、工程、およびパラメータが存在している場合があることを指摘することが重要である。よって、説明および図面は、制限的な意味合いよりも例証的な意味合いとしてみなされるものである。種々の修正および同様の配置が、本開示の趣旨および範囲内で当業者により、もたらされ得る。さらに、例証は必ずしも縮尺通りに描かれていない場合があり、および、複数の実施形態の同一の構成要素は、同じ参照番号で表される。

40

【 0 0 2 9 】

以下の実施形態は、半導体デバイス用トランジスタ構造を形成することにより、説明される。本開示の一部の実施形態では、例として採用されたトランジスタ構造は、( 限定でないが、 ) 埋め込みワード線 D R A M セル内で使用されるための U 字溝 N M O S トランジスタであり得、( 図示しない ) P M O S トランジスタ用構造は、N M O S トランジスタのものとは対比して、逆にドーピングまたは形成された材料を有している以外は同様に導き出

50

され得る。

【0030】

実施形態1

【0031】

本開示の一実施形態によれば、少なくとも1つのアクセストランジスタを有する埋め込みワード線DRAMセル20を形成する方法は以下のような工程を含む。

工程S21：初期表面を有する半導体基板を準備する。

工程S22：半導体基板の初期表面の下にゲート導電領域を形成する。ゲート導電領域210Aを形成することはサブ工程S221～S225を含む。

工程S221：パターンニングされた窒化物ハードマスク層を使用して、半導体基板内にゲート凹部を形成する。

10

工程S222：ゲート凹部内にチャンネル領域を形成する。チャンネル層が（任意的に）半導体基板内のドーピングされた層である。

工程S223：ゲート凹部内にゲート誘電体層を形成する。

工程S224：ゲート凹部内に、ゲート誘電体層により取り囲まれるゲート導電領域を形成する。

工程S225：ゲートキャップ領域を形成する。ならびに、

工程S23：導電領域を形成する。第1の導電領域の底壁がゲート導電領域の上壁に揃えられ、または実質的に揃えられる。導電領域を形成する工程は、サブ工程S231～S233を含む。

20

工程S231：基板の初期表面を露呈させる。

工程S232：露呈された半導体基板をエッチングして、導電領域用凹部を形成する。および、

工程S233：選択的成長法（たとえば、選択的エピタキシ成長（SED）法または原子層堆積（ALD）法）により、導電領域を形成する。

【0032】

工程S21に関して、初期表面201aを有する半導体基板201を準備する。図2A(1)は、本開示の一実施形態による、埋め込みワード線DRAMセルのNMOSTランジスタを形成するために使用される半導体基板201の部分構造を示す上面図である。図2A(2)は、図2A(1)に表されたような切断線C2Aに沿って切断された断面図である。

30

【0033】

本実施形態では、半導体基板201は、ポリシリコン層または非晶質シリコン層などのシリコン層を含む。図2A(1)および図2A(2)に示すように、次いで、少なくとも1つのシャロートレンチアイソレータ（STI）202が、半導体基板201内に形成されて、NMOSTランジスタを形成するための活性エリアを、上記活性エリアがSTI202により取り囲まれるように画定する。パッド酸化層203がSTI202、および半導体基板201の初期表面201a上に形成され、パッド酸化層203はシリコン酸化物、シリコン酸窒化物、またはそれらの組み合わせを含み得る。次いで、深いn型ウェル注入、p型ウェル注入、閾値注入、および熱アニーリングプロセスを使用して、（半導体基板201内のp型ウェル204を含む）DRAMアレイセルウェルプロファイルを形成する。

40

【0034】

工程S22に関して、半導体基板201の初期表面201aの下にゲート導電領域210Aを形成する。ゲート導電領域210Aを形成する工程は、以下のように説明されるサブ工程S221～S225を含む。

【0035】

工程S221に関して、窒化物ハードマスク層206をパターンニングし、および、不必要な材料を除去して、半導体基板201内に、（ゲート凹部207Aおよび207Bなどの）ゲート凹部を形成する。図2B(1)は、ゲート凹部207Aおよび207Bが半導

50

体基板 201 内に形成された後の部分構造を示す上面図であり、図 2B(2)は、図 2B(1)に表されたような切断線 C2B に沿って切断された断面図である。

【0036】

ゲート凹部 207A および 207B を形成することは、以下のような工程を含む。まず、少なくとも 1 つの開口を有するパターニングされた窒化物ハードマスク層 206 がパッド酸化層 203 上に形成され、エッチングマスクとして、パターニングされた窒化物ハードマスク層 206 を使用した少なくとも 1 つのエッチングプロセスが、活性エリア内のゲート凹部 207A および 207B を形成するように、パッド酸化層 203 の部分および半導体基板 201 の部分を除去するために行われる。

【0037】

あるいは、信号フォトレジストパターニング(エッチング)プロセスが、活性エリア内のゲート凹部 207A および 207B を画定するように、窒化物ハードマスク層 206 の部分、パッド酸化層 203 の部分、および半導体基板 201 の部分を除去するために行われる。

【0038】

工程 S222 に関して、(ゲート凹部 207A などの)ゲート凹部内に、(チャンネル領域 208A などの)チャンネル領域を形成し、チャンネル層 208A が半導体基板 201 内に形成された、ドーピングされた層である。本実施形態では、チャンネル領域 208A および 208B を形成することは、以下のような工程を含む。まず、上面図である図 2C(1)、および図 2C(1)に表されたような切断線 C2C に沿って切断された断面図である図 2C(2)に示すように、p 型ドーピングされたポリシリコンプラグ 208P が、ゲート凹部 207A および 207B を充填するために形成され、次いで、熱アニーリングプロセスが、半導体基板 201 内にドーピングされたチャンネル領域 208A および 208B を形成するように、p 型ドーピングされたポリシリコンプラグ 208P 内に元々ドーピングされた p 型ドーパント(たとえば、ホウ素)を、ゲート凹部 207A および 207B の底壁 207A<sub>o</sub> および 207B<sub>o</sub> 並びに側壁 207A<sub>s</sub> および 207B<sub>s</sub> に染み込ませるために行われる。

【0039】

工程 S223 に関して、ゲート凹部 207A および 207B 内にゲート誘電体層 209 を形成する。図 2D(1)は、ゲート誘電体層 209 がゲート凹部 207A および 207B 内に形成された後の部分構造を示す上面図であり、図 2D(2)は、図 2D(1)に表されたような切断線 C2D に沿って切断された断面図である。本実施形態では、ゲート誘電体層 209 を形成することは以下のような工程を含む。まず、ゲート凹部 207A および 207B 内に充填された、p 型ドーピングされたポリシリコンプラグ 208P がエッチングプロセスにより除去され、次いで、熱酸化プロセスが、ゲート凹部 207A ならびに 207B の、底壁 207A<sub>o</sub> および 207B<sub>o</sub> 上と、側壁 207A<sub>s</sub> および 207B<sub>s</sub> 上との成長熱ゲート誘電体材料(growth thermal gate dielectric material)に対して行われる。それにより、熱ゲート誘電体材料でできたゲート誘電体層 209 が、p 型ドーピングされたシリコンチャンネル層を、外部環境、または汚染物の問題に晒されないように保護し得る。

【0040】

あるいは、一部の他の実施形態では、ゲート誘電体層 209 は、堆積プロセス(たとえば、低圧化学気相成長法(LPCVD))により、ゲート凹部 207A ならびに 207B の底壁 207A<sub>o</sub> および 207B<sub>o</sub> 上と、側壁 207A<sub>s</sub> および 207B<sub>s</sub> 上とに形成された、(たとえば、二酸化ケイ素または高誘電率(high-k)誘電体材料を含む)誘電体層であり得る。

【0041】

工程 S224 に関して、(207A または 207B などの)ゲート凹部内に、ゲート誘電体層 209 により取り囲まれるゲート領域を形成する。図 2E(1)は、ゲート導電領域 210A および 210B がそれぞれ、ゲート凹部 207A および 207B 内に形成され

10

20

30

40

50

た後の部分構造を示す上面図であり、図 2 E ( 2 ) は、図 2 E ( 1 ) に表されたような切断線 C 2 E に沿って切断された断面図である。本実施形態では、ゲート導電領域 2 1 0 A および 2 1 0 B を形成することは、以下のような工程を含む。まず、T i N 膜 2 1 1 が、堆積プロセス（たとえば、原子層堆積（A L D）プロセス）により、ゲート凹部 2 0 7 A および 2 0 7 B 内のゲート誘電体層 2 0 9 上に形成され、ゲート凹部 2 0 7 A および 2 0 7 B の残りの部分には、タングステン 2 1 2 が充填される。その後、エッチングバックプロセスが、ゲート凹部 2 0 7 A および 2 0 7 B 内に配置された、T i N 膜 2 1 1、およびタングステン 2 1 2 の部分を除去して、残っている T i N 膜 2 1 1 およびタングステン 2 1 2 の最上部を半導体基板 2 0 1 の初期表面 2 0 1 a の下に行われる。

【 0 0 4 2 】

それにより、半導体基板 2 0 1 の初期表面 2 0 1 a の下にあり、ゲート誘電体層 2 0 9 により取り囲まれ、そしてゲート凹部 2 0 7 A および 2 0 7 B 内にある、T i N 膜 2 1 1 およびタングステン 2 1 2 の残っている部分は、ゲート導電領域 2 1 0 A および 2 1 0 B それぞれとして機能するように組み合わせられ得る。

【 0 0 4 3 】

工程 S 2 2 5 に関して、ゲートキャップ領域を形成する。その後、（窒化物などの）ゲートキャップ材料 2 1 4 が、ゲート凹部 2 0 7 A および 2 0 7 B それぞれの中に充填されて、ゲート導電領域 2 1 0 A および 2 1 0 B を保護する。本実施形態では、ゲートキャップ材料 2 1 4 が、窒化物を堆積してゲート凹部 2 0 7 A および 2 0 7 B の最上部を充填し、および、窒化物ハードマスク層 2 0 6 をストップ層として使用して、堆積されたゲートキャップ 2 1 4 を（たとえば、C M P 技術を使用して）平坦化することにより形成され、図 2 F ( 1 ) は、ゲート凹部 2 0 7 A および 2 0 7 B の最上部を充填するために誘電体材料 2 1 4 が形成された後の部分構造を示す上面図であり、図 2 F ( 2 ) は、図 2 F ( 1 ) に表されたような切断線 C 2 F に沿って切断された断面図である。

【 0 0 4 4 】

次に、工程 S 2 3 に関して、導電領域を形成する。導電領域の底壁がゲート導電領域の上壁に揃えられ、または実質的に揃えられる。導電領域を形成することは、以下のように説明されるサブ工程 S 2 3 1 ~ S 2 3 4 を含む。

【 0 0 4 5 】

工程 S 2 3 1 に関して、基板の初期表面を露呈させる。その後、窒化物ハードマスク層 2 0 6、誘電体材料 2 1 4 の部分、およびパッド酸化物層 2 0 3 が、S T I 2 0 2 および活性エリア領域（または基板の初期表面）を露呈させるためにエッチングまたは除去され、ならびに、残っている誘電体ゲートキャップ 2 1 4 A および 2 1 4 B は、なお、ゲート導電領域 2 1 0 A および 2 1 0 B の最上部上にあつて、環境に対して露呈させられることからゲート導電領域 2 1 0 A および 2 1 0 B を保護する。ここで、図 2 G ( 1 ) は、基板の初期表面が露呈された後の部分構造を示す上面図であり、図 2 G ( 2 ) は、図 2 G ( 1 ) に表されたような切断線 C 2 G に沿って切断された断面図である。

【 0 0 4 6 】

工程 S 2 3 2 に関して、半導体基板 2 0 1 をエッチングして、導電領域用の（第 1 の凹部 2 1 6 A を含む）凹部を形成する。図 2 H ( 1 ) が、第 1 の凹部 2 1 6 A、第 2 の凹部 2 1 6 B、および第 3 の凹部 2 1 6 C が半導体基板 2 0 1 内に形成された後の部分構造を示す上面図であり、図 2 H ( 2 ) が、図 2 H ( 1 ) に表されたような切断線 C 2 H に沿って切断された断面図である。

【 0 0 4 7 】

本実施形態では、エッチングマスクとして、S T I、ゲート誘電体層 2 0 9、ならびに、誘電体ゲートキャップ 2 1 4 A および 2 1 4 B の組み合わせを使用したエッチングプロセスが、（チャンネル領域 2 0 8 A および 2 0 8 B の最上部を含む）活性エリア内の半導体基板 2 0 1 の露呈させられた部分を除去して、第 1 の凹部 2 1 6 A、第 2 の凹部 2 1 6 B、および第 3 の凹部 2 1 6 C を形成するために行われる。ここで、第 1 の凹部 2 1 6 A および第 2 の凹部 2 1 6 B が、誘電体ゲートキャップ 2 1 4 A の 2 つの相反する側に形成

10

20

30

40

50

され、第2の凹部216Bおよび第3の凹部216Cが、誘電体ゲートキャップ214Bの2つの相反する側に形成される。

【0048】

第1の凹部216A、第2の凹部216B、および第3の凹部216Cを形成するためのエッチングプロセスが、第1の凹部216Aならびに第2の凹部216Bの底面216A<sub>o</sub>および216B<sub>o</sub>をゲート導電領域210Aの上壁210A<sub>t</sub>と揃え、または実質的に揃え、第2の凹部216Bならびに第3の凹部216Cの底面216B<sub>o</sub>および216C<sub>o</sub>をゲート導電領域210Bの上壁210B<sub>t</sub>と揃え、または実質的に揃えるために、適切な凹部深さH2において停止すべきであることに留意されたい。

【0049】

たとえば、適切な凹部深さH2は、シリコンの半導体基板201、STI酸化物202、ならびに、窒化物の誘電体ゲートキャップ214Aおよび214Bについての、異なるエッチング速度選択性を考慮に入れることにより、十分に制御され得る。本開示の一部の実施形態では、適切な凹部深さH2は約50nmである場合があり、第1の凹部216A、第2の凹部216B、ならびに第3の凹部216Cの底面216A<sub>o</sub>、216B<sub>o</sub>、および216C<sub>o</sub>は、誘電体ゲートキャップ214Aおよび214Bの底縁に揃えられ得る。さらに、図2H(2)に示すように、チャンネル層208Aまたは208Bの一端子の上面は、基板の表面(たとえば、表面216A<sub>o</sub>、216B<sub>o</sub>、または216C<sub>o</sub>)と揃えられ、または実質的に揃えられる。

【0050】

工程S233に関して、選択的成長法により、導電領域を形成する。図2I(1)は、第1の導電領域213A、第2の導電領域213B、および第3の導電領域213Cがそれぞれ、第1の凹部216A、第2の凹部216B、および第3の凹部216C内に形成された後の部分構造を示す上面図であり、図2I(2)は、図2I(1)に表されたような切断線C2Iに沿って切断された断面図である。

【0051】

第1の導電領域213A、第2の導電領域213B、および第3の導電領域213Cを形成することは、以下のような工程を含む。まず、SEGプロセスまたはALDプロセスなどのシリコン選択的成長プロセスが、第1の凹部216A、第2の凹部216B、および第3の凹部216Cそれぞれから露呈させられた、半導体201の部分上に、n型の低度ドーピングされた(n<sub>-</sub>LDD)領域217A、217B、および217Cを形成するために行われる。別のシリコン選択的成長プロセス(たとえば、SEGプロセス、またはALDプロセス)が、次いで、高度にドーピングされた(N<sub>+</sub>)領域218A、218B、および218Cを各n<sub>-</sub>LDD領域217A、217B、および217C上に形成するために行われる。その後、任意の高速熱アニーリング(RTA)プロセスが、n<sub>-</sub>LDD領域217A、217B、および217C、ならびに、高度にドーピングされた(N<sub>+</sub>)領域218A、218B、および218Cの活性化ドーピング濃度を高めるために行われる。一実施形態では、高度にドーピングされた(N<sub>+</sub>)領域218A、218B、および218Cそれぞれは、残っているSTI酸化物202の最上部に揃えられた、または実質的に揃えられた上面を有する。図2I(2)に示すように、第1の導電領域213Aの上壁は、第1の導電領域213Aの隣のシャロートレンチアイソレータ(STI)領域202の上壁に揃えられ、または実質的に揃えられるが、ゲート導電領域上のゲートキャップ層214Aの上壁よりも低い。

【0052】

エッチングプロセスの結果、別の実施形態では、第1の導電領域213Aの底壁とゲート導電領域210Aの上壁との間の、(第1の導電領域213Aの底壁がゲート導電領域210Aの上壁よりも高い場合の)垂直方向ギャップ、または(第1の導電領域213Aの底壁がゲート導電領域210Aの上壁よりも低い場合の)垂直方向の重なり距離は、3~5nm未満のような所定の範囲内にある。

【0053】

10

20

30

40

50

ここで、高度にドーピングされた(N+)領域218Aおよびn-LDD領域217Aはあわせて、第1の導電領域213Aを形成し、高度にドーピングされた(N+)領域218Bおよびn-LDD領域217Bはあわせて、第2の導電領域213Bを形成し、ならびに、高度にドーピングされた(N+)領域218Cおよびn-LDD領域217Cはあわせて、第3の導電領域213Cを形成する。シリコン選択的成長技術を使用して第1の導電領域213Aを形成することにより、第1の導電領域213Aの底壁から上壁までのドーピング濃度プロファイルが調節可能であり得る。同様に、第2の導電領域213Bおよび第3の導電領域213Cのドーピング濃度プロファイルも調節可能であり得る。

【0054】

第1の導電領域213A、第2の導電領域213B、チャンネル領域208A、ゲート導電領域210A、およびゲート誘電体層209はあわせて、NMOSトランジスタ21を形成し得る。第3の導電領域213C、第2の導電領域213B、チャンネル領域208B、ゲート導電領域210B、およびゲート誘電体層209はあわせて、NMOSトランジスタ22を形成し得る。第1の導電領域213Aおよび第2の導電領域213Bはそれぞれ、NMOSトランジスタ21のソースおよびドレインとして機能し得る。第3の導電領域213Cおよび第2の導電領域213Bはそれぞれ、NMOSトランジスタ22のソースおよびドレインとして機能し得る。

10

【0055】

下流プロセスの一連の工程が行われた後、埋め込みワード線DRAMセル20を形成する工程が実施され得る。ここで、第1の導電領域213A、第2の導電領域213B、および第3の導電領域213Cはそれぞれ、(図2I(2)に示すように、)埋め込みワード線DRAMセル20のストレージノード-1、ビット線BL、およびストレージノード-2に接続され得る。

20

【0056】

まとめれば、(図2H(1)および図2H(2)に示すように、)シリコン、酸化物、および窒化物についての異なるエッチング選択性を考慮するので、それは、NMOSトランジスタ21ならびに22のソースまたはドレインが形成された、(第1の凹部216A、第2の凹部216B、および第3の凹部216Cなどの)シリコン凹部のより良好なエッチング制御をもたらし得る。よって、ソース/ドレインの底の高さは、誘電体ゲートキャップの底に(、またはゲート導電領域の上壁に)揃えられ、または実質的に揃えられるように制御されることが可能で、よって、ゲート-ソース/ドレインの重なりによりもたらされるGIDL電流が低減され得る。

30

【0057】

さらに、新たに設計されたソースまたはドレインのN+領域およびn-LDD領域は、(図2I(1)および図2I(2)に示すように、)シリコン選択的エピタキシ成長技術により形成されるので、よって、イオン注入プロセスによりもたらされるソースまたはドレイン内の格子損傷は回避され得る。ストレージノード側では、従来の設計と比較すれば、シリコン選択的成長技術により形成された本開示の新たに設計されたN+領域は、より高い活性化ドーピング濃度、および、より低い抵抗を有する。したがって、本開示のこの設計は、従来のセルアクセストランジスタのものに対して、NMOSトランジスタ21および22のターンオン電流を改善し得る。NMOSトランジスタ21および22のチャンネルの場合、それは、(図2C(1)および2C(2)に示されるように、)p型ドーピングされたポリシリコンプラス熱ドライブイン技術を使用する。それは、チャンネルドーピング均一性を改善することができ、NMOSトランジスタ21および22の閾値電圧変動を低減させる。

40

【0058】

さらに、第1の導電領域213A、第2の導電領域213B、および第3の導電領域213Cを形成する最適なRTAプロセス形態はさらに、n-LDD領域217A、217B、および217Cとゲートとの重なりを実現するためにドライブインプロセスを行う場合があり、NMOSトランジスタ21および22のソースまたはドレイン抵抗を低減させ

50

る。

【 0 0 5 9 】

ストレージノード（第 1 の導電領域 2 1 3 A または第 3 の導電領域 2 1 3 C）が B L（第 2 の導電領域 2 1 3 B）に短絡されることを回避するために、図 2 H（2）と同様の図 2 J（1）に示された別の実施形態では、残っているシャロートレンチアイソレータ（S T I）2 0 2 の上面は、好適なエッチング溶液に基づいて、残っている誘電体ゲートキャップ 2 1 4 A および 2 1 4 B の上面よりも少し低い場合がある。図 2 K（1）は、そのようなプロセスが、D R A M アレイ内に図 2 J（1）中の複数の構造が再現される D R A M アレイ構造に適用される場合の上面図である。

【 0 0 6 0 】

次いで、図 2 I（2）と同様の図 2 J（2）に示すように、第 1 の導電領域 2 1 3 A、第 2 の導電領域 2 1 3 B、および第 3 の導電領域 2 1 3 C は、活性領域内の、露呈された S i に基づいて、第 1 の凹部 2 1 6 A、第 2 の凹部 2 1 6 B、および第 3 の凹部 2 1 6 C 内に選択的に成長させられる。しかし、第 1 の導電領域 2 1 3 A、第 2 の導電領域 2 1 3 B、および第 3 の導電領域 2 1 3 C の上面は、ストレージノード 1 またはストレージノード 2 が B L に短絡されないように、残っている S T I 2 0 2、残っている誘電体ゲートキャップ 2 1 4 A および 2 1 4 B のものよりも低い。図 2 K（2）は、そのようなプロセスが、D R A M アレイ内に図 2 J（2）中の複数の構造が再現される D R A M アレイ構造に適用される場合の上面図である。図 2 J（2）に示すように、第 1 の導電領域 2 1 3 A の上壁は、第 1 の導電領域 2 1 3 A の隣のシャロートレンチアイソレータ（S T I）領域 2 0 2 の上壁よりも低く、さらに、ゲート導電領域上のゲートキャップ層 2 1 4 A の上壁よりも低い。

【 0 0 6 1 】

実施形態 2

【 0 0 6 2 】

本開示の一実施形態によれば、少なくとも 1 つ（たとえば、N M O S トランジスタ 3 1 および 3 2）を有する埋め込みワード線 D R A M セル 3 0 を形成する方法は以下のような工程を含む。

工程 S 3 1：初期表面を有する半導体基板を準備する。

工程 S 3 2：半導体基板の初期表面の下にゲート導電領域を形成する。ゲート導電領域 2 1 0 A を形成することはサブ工程 S 3 2 1 ~ S 3 2 5 を含む、

工程 S 3 2 1：パターニングされた窒化物ハードマスク層を使用して、半導体基板内にゲート凹部を形成する。

工程 S 3 2 2：ゲート凹部内にチャンネル領域を形成する。チャンネル層が（任意的に）半導体基板から独立している。

工程 S 3 2 3：ゲート凹部内にゲート誘電体層を形成する。

工程 S 3 2 4：ゲート凹部内に、ゲート誘電体層により取り囲まれるゲート導電領域を形成する。

工程 S 3 2 5：ゲートキャップ領域を形成する。

工程 S 3 3：導電領域を形成する。第 1 の導電領域の底壁がゲート導電領域の上壁に揃えられ、または実質的に揃えられる。導電領域を形成する工程は、サブ工程 S 3 3 1 ~ S 3 3 3 を含む。

工程 S 3 3 1：基板の初期表面を露呈させる。

工程 S 3 3 2：露呈された半導体基板をエッチングして、導電領域用凹部を形成する。および

工程 S 3 3 3：選択的成長法（たとえば、選択的エピタキシ成長（S E D）法または原子層堆積（A L D）法）により、第 1 の導電領域を形成する。

【 0 0 6 3 】

工程 S 3 1 に関して、：初期表面 3 0 1 a を有する半導体基板 3 0 1 を準備する。上面図である図 3 A（1）、および図 3 A（1）に表されたような切断線 C 3 A に沿って切断

10

20

30

40

50

された断面図である図3A(2)に示すように、半導体基板301は、ポリシリコン層または非晶質シリコン層などのシリコン層を含む。シャロートレンチアイソレータ(STI)302が、半導体基板301内に形成されて、NMOSトランジスタを形成するための活性エリアを画定し、パッド酸化物層303は、活性エリアがSTI302により取り囲まれるように、STI302、および半導体基板301の初期表面301a上に形成される。次いで、深いn型ウェル注入、p型ウェル注入、閾値注入、および熱アニーリングプロセスを使用して、(半導体基板301内のp型ウェル304を含む)DRAMアレイセルウェルプロファイルを形成する。パッド酸化物層303は、シリコン酸化物、シリコン酸窒化物、またはそれらの組み合わせを含み得る。

【0064】

工程S32に関して、半導体基板301の初期表面301aの下のゲート導電領域310Aを形成する。ゲート導電領域310Aを形成する工程は以下のように説明されるサブ工程S321~S325を含む。

【0065】

工程S321に関して、窒化物ハードマスク層306をパターニングし、および、不要な材料を除去して、(ゲート凹部307Aおよび307Bなどの)ゲート凹部を半導体基板301内に形成する。図3B(1)が、ゲート凹部307Aおよび307Bが半導体基板301内に形成された後の部分構造を示す上面図である。図3B(2)は、図3B(1)に表されたような切断線C3Bに沿って切断された断面図である。

【0066】

ゲート凹部307Aおよび307Bを形成することは以下のような工程を含む。まず、少なくとも1つの開口を有するパターニングされた窒化物ハードマスク層306がパッド酸化物層303上に形成され、エッチングマスクとして、パターニングされた窒化物ハードマスク層306を使用した少なくとも1つのエッチングプロセスが、ゲート凹部307Aおよび307Bを形成するように、パッド酸化物層303の部分および半導体基板301の部分の除去のために行われる。

【0067】

あるいは、信号フォトレジストパターニング(エッチング)プロセスが、活性エリア内のゲート凹部307Aおよび307Bを画定するように、窒化物ハードマスク層306の部分、パッド酸化物層303の部分、および半導体基板301の部分の除去のために行われる。

【0068】

工程S322に関して、(ゲート凹部307Aなどの)ゲート凹部内に(チャンネル領域308Aなどの)チャンネル領域を形成し、チャンネル層308Aが、半導体基板301から独立している。図3C(1)は、チャンネル領域308Aおよび308Bがそれぞれ、ゲート凹部307Aおよび307B内に形成された後の部分構造を示す上面図である。図3C(2)は、図3C(1)に表されたような切断線C3Cに沿って切断された断面図である。

【0069】

本実施形態では、チャンネル領域308Aおよび308Bを形成することは、ゲート凹部307Aおよび307Bの、底壁307A<sub>o</sub>および307B<sub>o</sub>上に、ならびに、側壁307A<sub>s</sub>および307B<sub>s</sub>上に、p型ドーピングされたポリシリコン層、シリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub>)層をそれぞれ形成するために、プロセス選択的成長プロセス(たとえば、SEGプロセス、またはALDプロセス)を行うことを含む。ここで、チャンネル領域308Aおよび308Bそれぞれは、独立して半導体基板301からゲート凹部307Aまたはゲート凹部307B内に延在している堆積層であり得る。さらに、そうした選択的に成長させられたチャンネル層はチャンネルドーピングの均一性を改善する場合があります、および、選択的エピタキシ成長(SEG)p型ドーピングされたSi<sub>x</sub>Ge<sub>1-x</sub>または別の高移動度材料により形成された選択的に成長させられたチャンネル層は、チャンネル抵抗を低減させ、および、ターンオン電流を改善し得る。別の実施形態では、チャ

10

20

30

40

50

ンネル領域は、ゲート凹部 307A ならびに 307B の、底壁 307A o および 307B o 上と、側壁 307A s および 307B s 上との、(Si<sub>1-x</sub>Ge<sub>x</sub>、シリコンカーバイド(Si<sub>1-x</sub>C<sub>x</sub>)、ガリウムヒ素(Ga<sub>1-x</sub>As<sub>x</sub>)、またはインジウムヒ素アンチモン(In<sub>1-x</sub>As<sub>x</sub>Sb)などの)高移動度副層と、高移動度副層の上のSi副層とを含み得る、選択的に成長させられた複合層を備え得る。選択的に成長させられたSi副層は、高移動度副層とゲート酸化物との間の界面トラップ低減のためのキャップ層である。

#### 【0070】

工程S323に関して、ゲート凹部307Aおよび307B内にゲート誘電体層309を形成する。図3D(1)は、ゲート誘電体層309がゲート凹部307Aおよび307B内に形成された後の部分構造を示す上面図である。図3D(2)は、図3D(1)に表されたような切断線C3Dに沿って切断された断面図である。ゲート誘電体層309を形成することは以下のような工程を含む。まず、熱酸化プロセスが、ゲート凹部307Aならびに307B内の、チャンネル領域308Aおよび308B上の成長熱ゲート誘電体材料に対して行われる。それにより、熱ゲート誘電体材料でできたゲート誘電体層309が、p型ドーピングされたシリコン層、または、Si<sub>1-x</sub>Ge<sub>x</sub>層を、外部環境、または汚染物の問題に晒されないように保護し得る。

10

#### 【0071】

あるいは、一部の他の実施形態では、ゲート誘電体層309は、堆積プロセス(たとえば、低压化学気相成長法(LPCVD))により、チャンネル領域308Aおよび308B上に形成された、(たとえば、二酸化ケイ素または高誘電率(high-k)誘電体材料を含む)誘電体層であり得る。

20

#### 【0072】

ゲート誘電体層309が、チャンネル領域308Aおよび308Bの上面308tを覆う水平方向延在部309aを含み得ることに留意されたい。

#### 【0073】

工程S324に関して、ゲート凹部307A内に、ゲート誘電体層309により取り囲まれるゲート領域を形成する。図3E(1)は、ゲート導電領域310Aおよび310Bがそれぞれ、ゲート凹部307Aおよび307B内に形成された後の部分構造を示す上面図である。図3E(2)は、図3E(1)に表されたような切断線C3Eに沿って切断された断面図である。本実施形態では、ゲート導電領域310Aおよび310Bを形成することは、以下のような工程を含む。まず、TiN膜311が、堆積プロセス(たとえば、原子層堆積(ALD)プロセス)により、ゲート凹部307Aおよび307B内のゲート誘電体層309上に形成され、ゲート凹部307Aおよび307Bの残りの部分には、タングステン312が充填される。その後、エッチングバックプロセスが、ゲート凹部307Aおよび307B内に配置された、TiN膜311およびタングステン312の部分を除去して、残っているTiN膜311およびタングステン312の最上部を半導体基板301の初期表面301aの下にするように行われる。

30

#### 【0074】

それにより、半導体基板301の初期表面301aの下にあり、ゲート誘電体層309により取り囲まれ、そしてゲート凹部307Aおよび307B内にある、TiN膜311およびタングステン312の残っている部分は、ゲート導電領域310Aおよび310Bそれぞれとして機能するように組み合わせられ得る。

40

#### 【0075】

工程S325に関して、ゲートキャップ領域を形成する。その後、(窒化物などの)ゲートキャップ材料314が、ゲート凹部307Aおよび307Bそれぞれの中に充填されて、ゲート導電領域310Aおよび310Bを保護する。本実施形態では、ゲートキャップ材料314が、窒化物を堆積してゲート凹部307Aおよび307Bの最上部を充填し、および、窒化物ハードマスク層306をストップ層として使用して、堆積されたゲートキャップ材料314を(たとえば、CMP技術を使用して)平坦化することにより形成され、図3F(1)は、ゲート凹部307Aおよび307Bを充填するために誘電体材料3

50

14が形成された後の部分構造を示す上面図であり、図3F(2)は、図3F(1)に表されたような切断線C3Fに沿って切断された断面図である。

【0076】

次に、工程S333に関して、導電領域を形成する。導電領域の底壁がゲート導電領域の上壁に揃えられ、または実質的に揃えられる。導電領域を形成することは、以下のように説明されるサブ工程S3331～S3333を含む。

【0077】

工程S3331に関して、基板の初期表面を露呈させる。その後、窒化物ハードマスク層306、誘電体材料314の部分、およびパッド酸化物層303が、STI302および活性エリア領域(または基板の初期表面)を露呈させるためにエッチングまたは除去され、ならびに、残っている誘電体ゲートキャップ314Aおよび314Bは、なお、ゲート導電領域310Aおよび310Bの最上部上において、環境に対して露呈させられることからゲート導電領域310Aおよび310Bを保護する。ここで、図3G(1)は、基板の初期表面が露呈された後の部分構造を示す上面図であり、図3G(2)は、図3G(1)に表されたような切断線C3Gに沿って切断された断面図である。

10

【0078】

工程S3332に関して、半導体基板301をエッチングして、(第1の凹部316Aを含む)凹部を形成する。図3H(1)は、第1の凹部316A、第2の凹部316B、および第3の凹部316Cが半導体基板301内に形成された後の部分構造を示す上面図であり、図3H(2)は、図3H(1)に表されたような切断線C3Hに沿って切断された断面図である。

20

【0079】

本実施形態では、エッチングマスクとして、STI302、ゲート誘電体層309、ならびに、誘電体ゲートキャップ314Aおよび314Bの組み合わせを使用したエッチングプロセスが、(チャンネル領域308Aおよび308Bの最上部を含む)活性エリア内の半導体基板301の露呈させられた部分を除去して、第1の凹部316A、第2の凹部316B、および第3の凹部316Cを形成するために行われる。ここで、第1の凹部316Aおよび第2の凹部316Bが、誘電体ゲートキャップ314Aの2つの相反する側に形成され、第2の凹部316Bおよび第3の凹部316Cが、誘電体ゲートキャップ314Bの2つの相反する側に形成される。

30

【0080】

第1の凹部316A、第2の凹部316B、および第3の凹部316Cを形成するためのエッチングプロセスが、第1の凹部316Aならびに第2の凹部316Bの底316A<sub>o</sub>および316B<sub>o</sub>をゲート導電領域310Aの上壁310A<sub>t</sub>と揃え、または実質的に揃え、第2の凹部316Bならびに第3の凹部316Cの底316B<sub>o</sub>および316C<sub>o</sub>をゲート導電領域310Bの上壁310B<sub>t</sub>と揃え、または実質的に揃えるために、適切な凹部深さH3において停止すべきであることに留意されたい。

【0081】

たとえば、適切な凹部深さH3は、シリコンの半導体基板301、STI酸化物303、ならびに、窒化物の誘電体ゲートキャップ314Aおよび314Bについての、異なるエッチング速度選択性を考慮に入れることにより、十分に制御され得る。本開示の一部の実施形態では、適切な凹部深さH3は約50nmである場合があり、第1の凹部316A、第2の凹部316B、ならびに第3の凹部316Cの底316A<sub>o</sub>、316B<sub>o</sub>、および316C<sub>o</sub>は、誘電体ゲートキャップ314Aおよび314Bの底縁に揃えられ得る。さらに、図3H(2)に示すように、チャンネル層308Aまたは308Bの一端子の上面は、基板の表面(たとえば、表面316A<sub>o</sub>、316B<sub>o</sub>、または316C<sub>o</sub>)と揃えられ、または実質的に揃えられる。

40

【0082】

工程S3333に関して、選択的成長法により、第1の導電領域313Aを形成する。図3I(1)は、第1の導電領域313A、第2の導電領域313B、および第3の導電領

50

域 3 1 3 C がそれぞれ、第 1 の凹部 3 1 6 A、第 2 の凹部 3 1 6 B、および第 3 の凹部 3 1 6 C 内に形成された後の部分構造を示す上面図であり、図 3 I ( 2 ) は、図 3 I ( 1 ) に表されたような切断線 C 3 I に沿って切断された断面図である。

【 0 0 8 3 】

第 1 の導電領域 3 1 3 A、第 2 の導電領域 3 1 3 B、および第 3 の導電領域 3 1 3 C を形成することは、以下のような工程を含む。まず、SEG プロセスまたは ALD プロセスなどのシリコン選択的成長プロセスが、第 1 の凹部 3 1 6 A、第 2 の凹部 3 1 6 B、および第 3 の凹部 3 1 6 C から露呈させられた、半導体 3 0 1 の部分上に、n 型の低度にドーピングされた ( n \_ L D D ) 領域 3 1 7 A、3 1 7 B、および 3 1 7 C を形成するために行われる。別のシリコン選択的成長プロセス (たとえば、SEG プロセス、または ALD プロセス) が、次いで、各 n \_ L D D 領域 3 1 7 A、3 1 7 B、および 3 1 7 C 上に、高度にドーピングされた ( N + ) 領域 3 1 8 A、3 1 8 B、および 3 1 8 C を形成するために行われる。その後、任意の高速熱アニーリング ( R T A ) プロセスが、n \_ L D D 領域 3 1 7 A、3 1 7 B、および 3 1 7 C、ならびに、高度にドーピングされた ( N + ) 領域 3 1 8 A、3 1 8 B、および 3 1 8 C の活性化ドーピング濃度を高めるために行われる。一実施形態では、高度にドーピングされた ( N + ) 領域 3 1 8 A、3 1 8 B、および 3 1 8 C それぞれは、残っている S T I 酸化物 3 0 2 の最上部に揃えられた、または実質的に揃えられた上面を有する。

10

【 0 0 8 4 】

ここで、高度にドーピングされた ( N + ) 領域 3 1 8 A および n \_ L D D 領域 3 1 7 A はあわせて、第 1 の導電領域 3 1 3 A を形成し、高度にドーピングされた ( N + ) 領域 3 1 8 B および n \_ L D D 領域 3 1 7 B はあわせて、第 2 の導電領域 3 1 3 B を形成し、および高度にドーピングされた ( N + ) 領域 3 1 8 C および n \_ L D D 領域 3 1 7 C はあわせて、第 3 の導電領域 3 1 3 C を形成する。シリコン選択的成長技術を使用して第 1 の導電領域 3 1 3 A を形成することにより、第 1 の導電領域 3 1 3 A の底壁から上壁までのドーピング濃度プロファイルが調節可能であり得る。同様に、第 2 の導電領域 3 1 3 B および第 3 の導電領域 3 1 3 C のドーピング濃度プロファイルも調節可能であり得る。

20

【 0 0 8 5 】

第 1 の導電領域 3 1 3 A、第 2 の導電領域 3 1 3 B、チャンネル領域 3 0 8 A、ゲート導電領域 3 1 0 A、およびゲート誘電体層 3 0 9 はあわせて、N M O S トランジスタ 3 1 を形成し得る。第 3 の導電領域 3 1 3 C、第 2 の導電領域 3 1 3 B、チャンネル領域 3 0 8、ゲート導電領域 3 1 0 B、およびゲート誘電体層 3 0 9 はあわせて、N M O S トランジスタ 3 2 を形成し得る。第 1 の導電領域 3 1 3 A および第 2 の導電領域 3 1 3 B はそれぞれ、N M O S トランジスタ 3 1 のソースおよびドレインとして機能し得る。第 3 の導電領域 3 1 3 C および第 2 の導電領域 3 1 3 B はそれぞれ、N M O S トランジスタ 3 2 のソースおよびドレインとして機能し得る。

30

【 0 0 8 6 】

下流プロセスの一連の工程が行われた後、埋め込みワード線 D R A M セル 3 0 を形成する工程が実施され得る。ここで、第 1 の導電領域 3 1 3 A、第 2 の導電領域 3 1 3 B、および第 3 の導電領域 3 1 3 C はそれぞれ、( 図 3 I ( 2 ) に示すように、 ) 埋め込みワード線 D R A M セル 3 0 のストレージノード - 1、ビット線 B L、およびストレージノード - 2 に接続され得る。

40

【 0 0 8 7 】

前述したように、( 図 3 H ( 1 ) および図 3 H ( 2 ) に示すように、 ) シリコン、酸化物、および窒化物についての異なるエッチング選択性を考慮するので、それは、N M O S トランジスタ 3 1 ならびに 3 2 のソースまたはドレインが形成された、( 第 1 の凹部 3 1 6 A、第 2 の凹部 3 1 6 B、および第 3 の凹部 3 1 6 C などの ) シリコン凹部のより良好なエッチング制御をもたらし得る。よって、ソース/ドレインの底の高さは、誘電体ゲートキャップの底に (、またはゲート導電領域の上壁に ) 揃えられ、または実質的に揃えられるように制御されることが可能で、よって、ゲート - ソース/ドレインの重なりにより

50

もたらされる G I D L 電流が低減され得る。

【 0 0 8 8 】

さらに、新たに設計されたソースまたはドレインの N + 領域および n \_ L D D 領域は、( 図 3 I ( 1 ) および 図 3 I ( 2 ) に示すように、 ) シリコン選択的エピタキシ成長技術により形成されるので、よって、イオン注入プロセスによりもたらされるソースまたはドレイン内の格子損傷は回避され得る。ストレージノード側では、従来の設計と比べて、シリコン選択的成長技術により形成された本開示の新たに設計された N + 領域は、より高い活性化ドーピング濃度、および、より低い抵抗を有する。したがって、本開示のこの設計は、従来のセルアクセストランジスタのものよりも、N M O S トランジスタ 3 1 および 3 2 のターンオン電流を改善し得る。N M O S トランジスタ 3 1 および 3 2 のチャンネルに対して、それは、( 図 3 C ( 1 ) および 3 C ( 2 ) に示されるような、 ) S E G ドーピングされた p 型ポリシリコンを使用してチャンネルドーピング均一性を改善し、且つ、N M O S トランジスタ 3 1 および 3 2 の閾値電圧変動を低減させる。

10

【 0 0 8 9 】

さらに、図 3 I ( 2 ) に示すように、ゲート誘電体層 3 0 9 ( 熱酸化物 ) は、ドレイン / ソース領域が窒化物誘電体ゲートキャップ 3 1 4 A および 3 1 4 B から離間して G I D L 問題をさらに低減させるように、ドレイン / ソース領域の上面を覆う水平方向延在部 3 0 9 a を含む。

【 0 0 9 0 】

さらに、第 1 の導電領域 3 1 3 A、第 2 の導電領域 3 1 3 B、および第 3 の導電領域 3 1 3 C を形成する最適な R T A プロセス形態はさらに、n \_ L D D 領域 3 1 7 A、3 1 7 B、および 3 1 7 C とゲートとの重なりを実現するためにドライブインプロセスを行う場合もあり、N M O S トランジスタ 3 1 および 3 2 のソースまたはドレイン抵抗を低減させる。

20

【 0 0 9 1 】

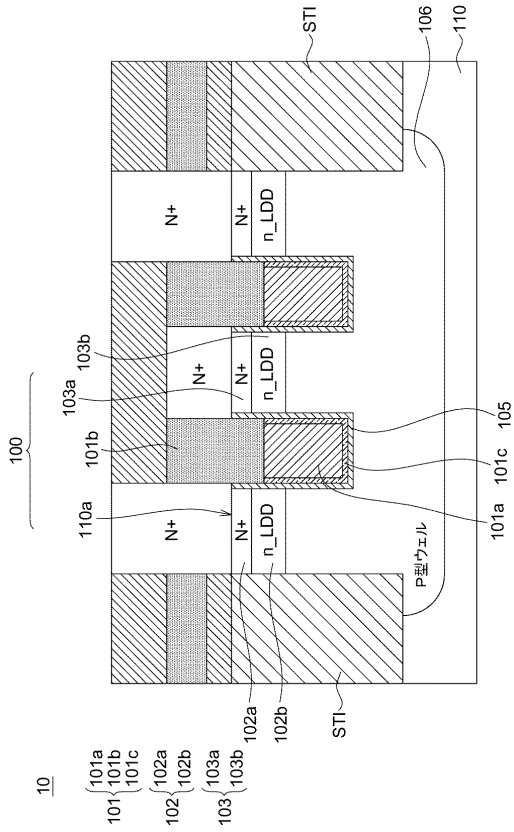
本開示は、実施例により、および ( 複数の ) 例示的な実施形態に関して、説明されたが、本開示がそれらに限定されるものでないことは理解されるべきである。一方、それは、種々の修正と、同様の配置および手順とを網羅することが意図されており、従って、添付された請求項の範囲には、そうした修正、ならびに同様の配置および手順すべてを包含するように、最も広い解釈が与えられるべきである。

30

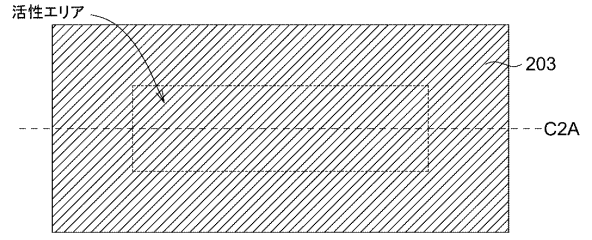
40

50

【図面】  
【図 1】



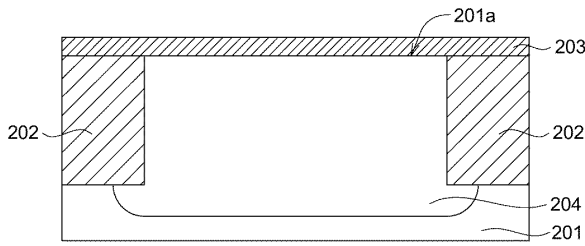
【図 2 A ( 1 )】



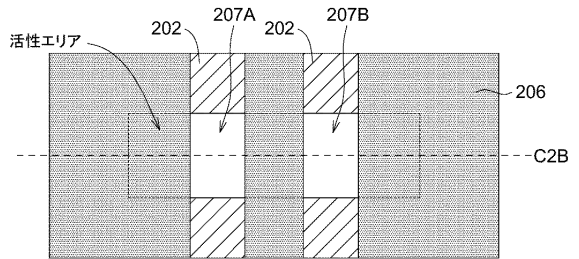
10

20

【図 2 A ( 2 )】



【図 2 B ( 1 )】

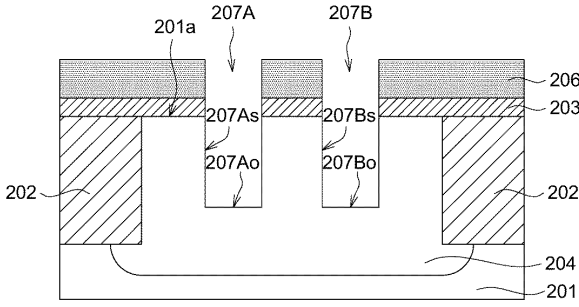


30

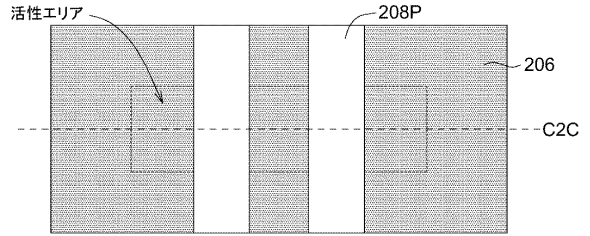
40

50

【図 2 B ( 2 )】

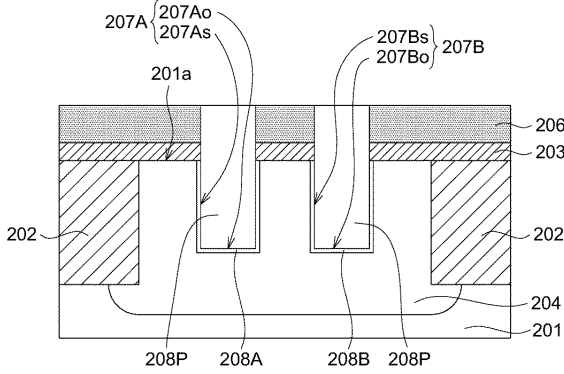


【図 2 C ( 1 )】

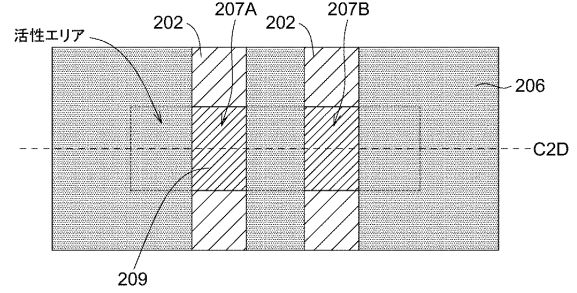


10

【図 2 C ( 2 )】

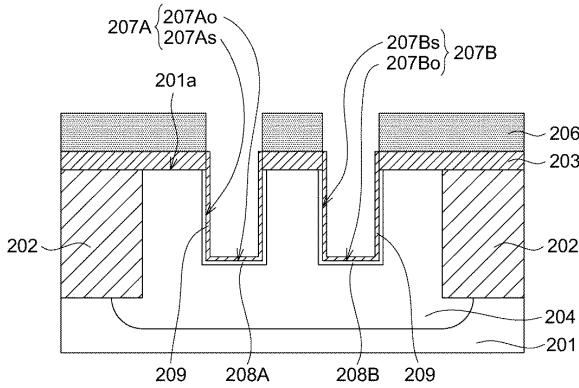


【図 2 D ( 1 )】

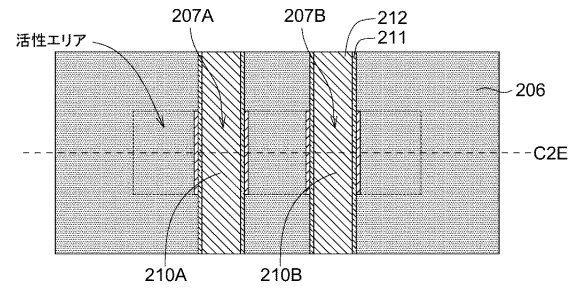


20

【図 2 D ( 2 )】



【図 2 E ( 1 )】

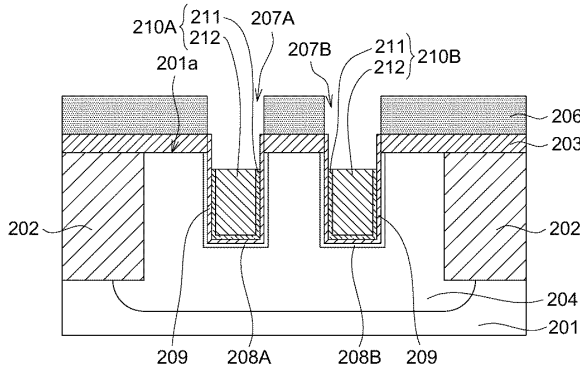


30

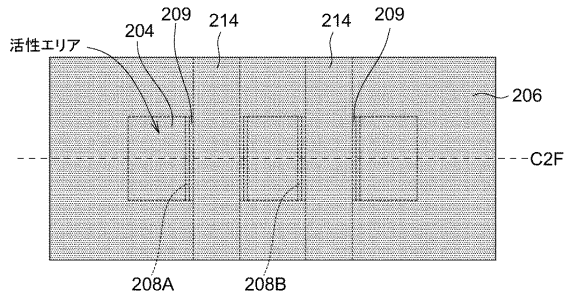
40

50

【図 2 E ( 2 )】

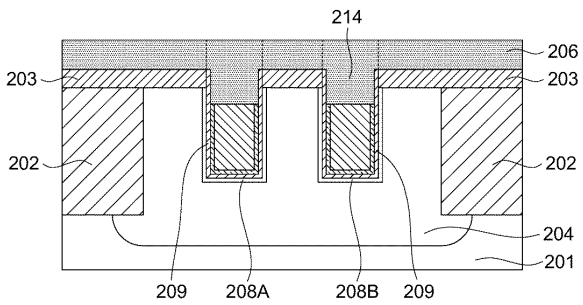


【図 2 F ( 1 )】

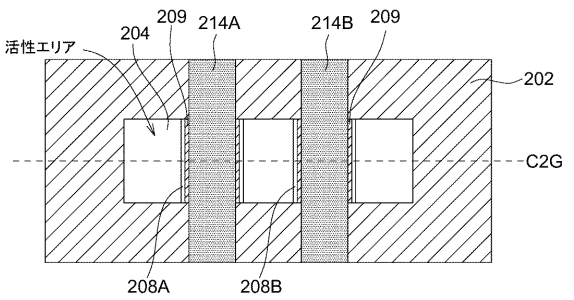


10

【図 2 F ( 2 )】

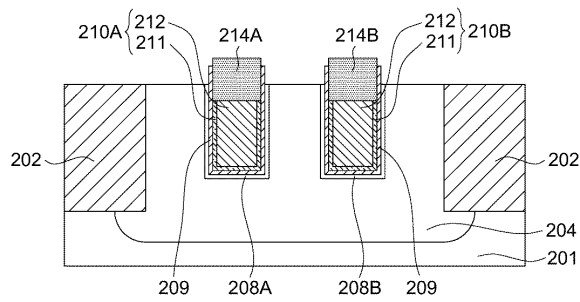


【図 2 G ( 1 )】

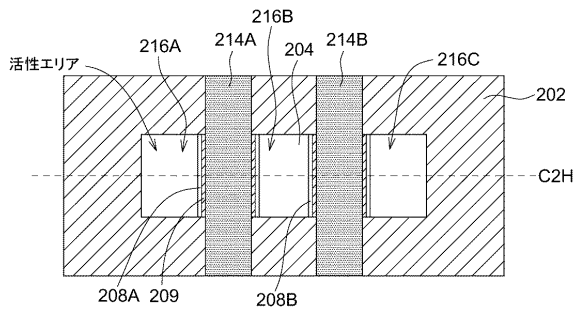


20

【図 2 G ( 2 )】



【図 2 H ( 1 )】

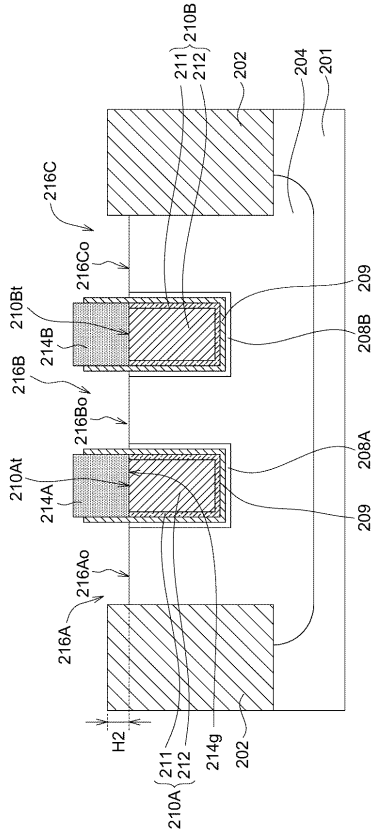


30

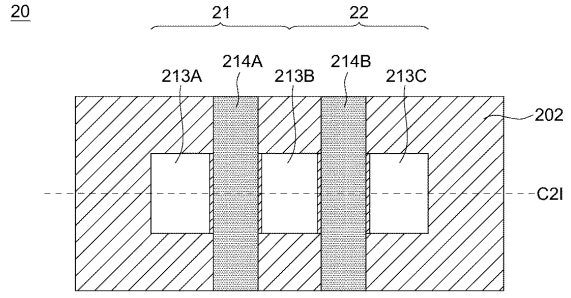
40

50

【図 2 H ( 2 )】



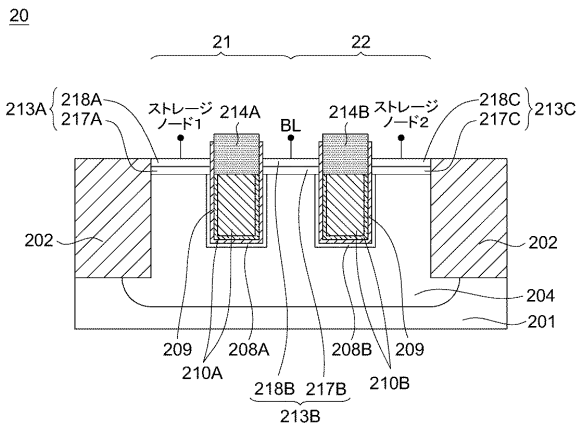
【図 2 I ( 1 )】



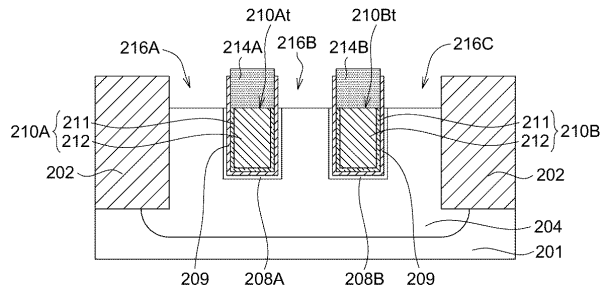
10

20

【図 2 I ( 2 )】



【図 2 J ( 1 )】



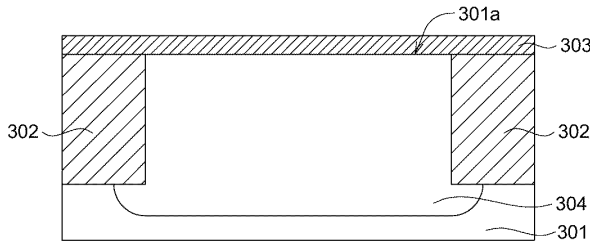
30

40

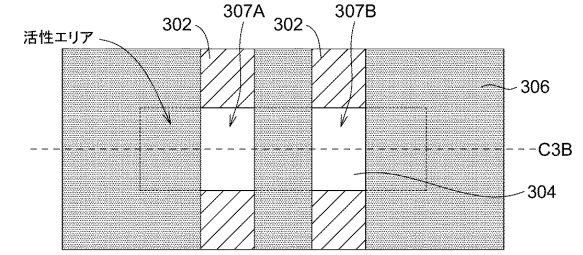
50



【図3A(2)】

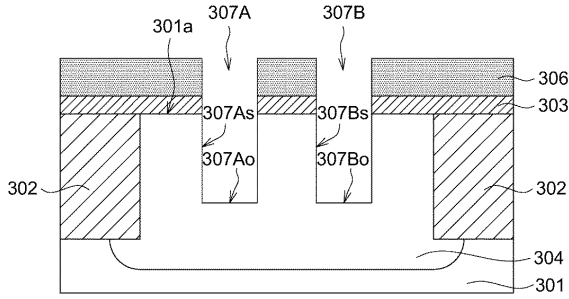


【図3B(1)】

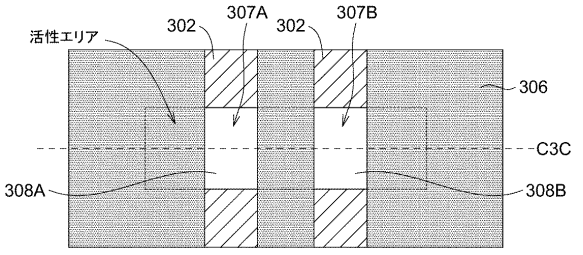


10

【図3B(2)】

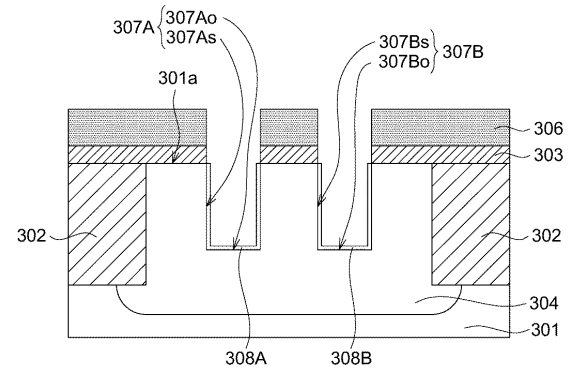


【図3C(1)】

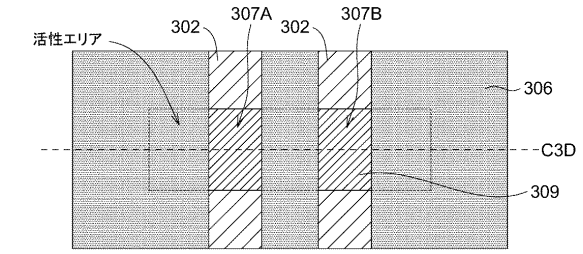


20

【図3C(2)】



【図3D(1)】

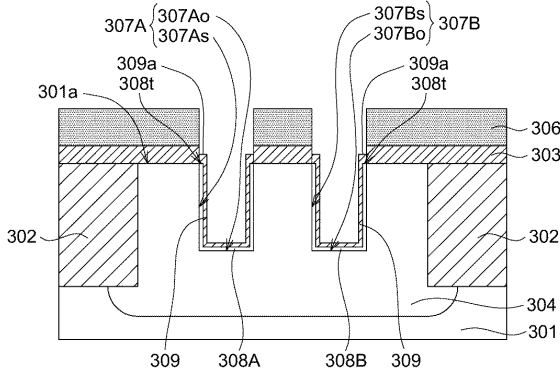


30

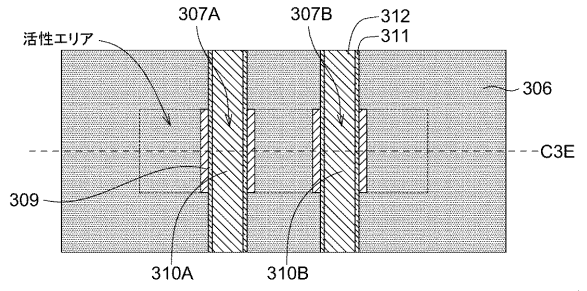
40

50

【図3D(2)】

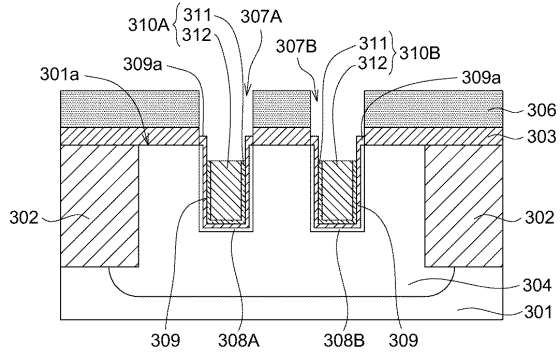


【図3E(1)】

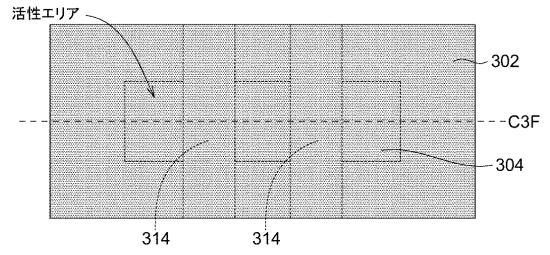


10

【図3E(2)】

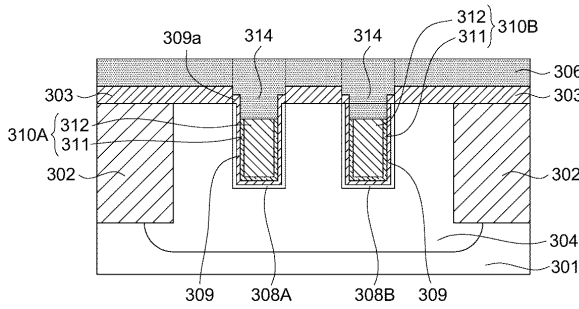


【図3F(1)】

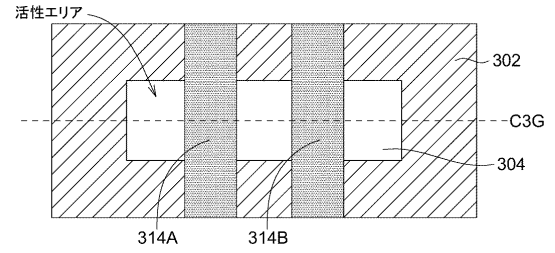


20

【図3F(2)】



【図3G(1)】

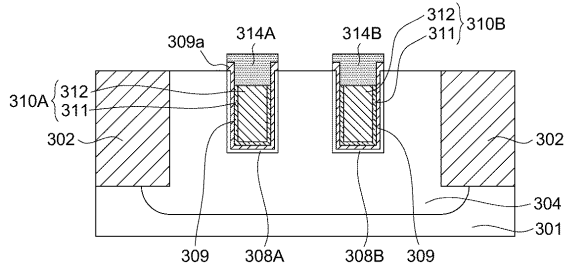


30

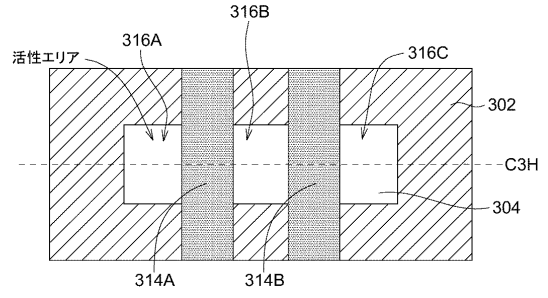
40

50

【図3G(2)】

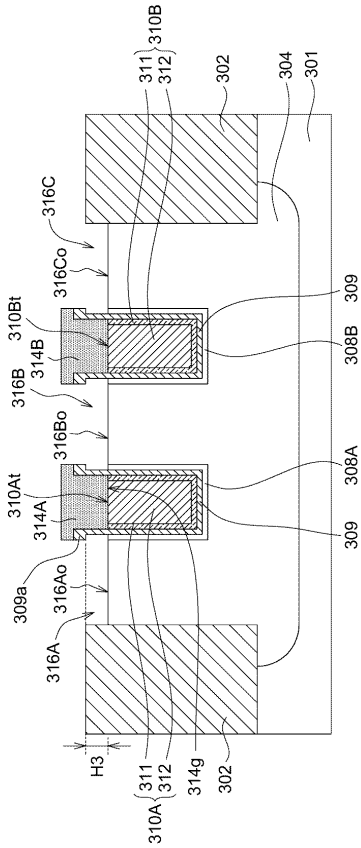


【図3H(1)】

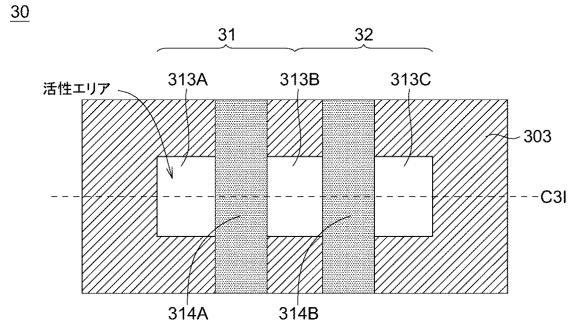


10

【図3H(2)】



【図3I(1)】



20

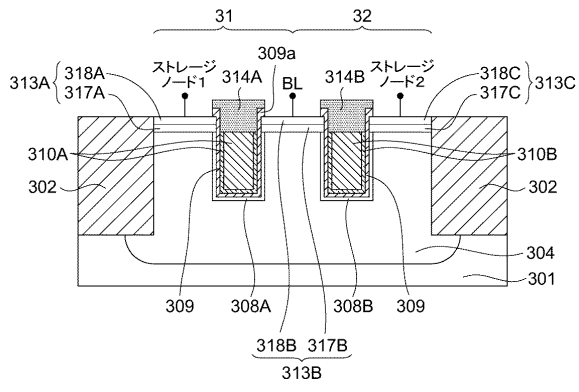
30

40

50

【図 3 I ( 2 )】

30



10

20

30

40

50

## フロントページの続き

(51)国際特許分類

F I

H 0 1 L

29/58

G

(56)参考文献

国際公開第 2 0 1 4 / 1 0 3 7 3 4 ( W O , A 1 )

国際公開第 2 0 1 4 / 1 2 5 9 5 0 ( W O , A 1 )

特開 2 0 0 3 - 2 8 2 8 6 9 ( J P , A )

特開 2 0 0 7 - 0 8 1 0 9 5 ( J P , A )

特開 2 0 1 1 - 1 2 9 5 6 5 ( J P , A )

特開 2 0 1 3 - 2 4 7 1 2 7 ( J P , A )

特開 2 0 1 2 - 0 9 9 7 9 3 ( J P , A )

特開 2 0 1 7 - 0 3 7 9 8 2 ( J P , A )

特開 2 0 1 7 - 1 0 3 4 7 6 ( J P , A )

特開 2 0 0 6 - 1 0 0 4 0 3 ( J P , A )

米国特許出願公開第 2 0 1 1 / 0 1 4 0 1 8 3 ( U S , A 1 )

米国特許出願公開第 2 0 1 3 / 0 3 1 3 6 3 7 ( U S , A 1 )

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 1 / 3 3 6

H 1 0 B 1 2 / 0 0

H 0 1 L 2 9 / 4 2 3