

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7681522号
(P7681522)

(45)発行日 令和7年5月22日(2025.5.22)

(24)登録日 令和7年5月14日(2025.5.14)

(51)国際特許分類			F I		
H 1 0 B	12/00	(2023.01)	H 1 0 B	12/00	8 0 1
H 1 0 B	41/70	(2023.01)	H 1 0 B	12/00	6 7 1 A
H 1 0 D	30/67	(2025.01)	H 1 0 B	41/70	
H 1 0 D	84/83	(2025.01)	H 1 0 D	30/67	1 0 3 B
H 1 0 D	84/80	(2025.01)	H 1 0 D	84/83	E
請求項の数 8 (全90頁) 最終頁に続く					
(21)出願番号 特願2021-571060(P2021-571060)			(73)特許権者 000153878		
(86)(22)出願日 令和2年12月28日(2020.12.28)			株式会社半導体エネルギー研究所		
(86)国際出願番号 PCT/IB2020/062472			神奈川県厚木市長谷3 9 8 番地		
(87)国際公開番号 WO2021/144648			(72)発明者 津田 一樹		
(87)国際公開日 令和3年7月22日(2021.7.22)			神奈川県厚木市長谷3 9 8 番地 株式会		
審査請求日 令和5年12月13日(2023.12.13)			社半導体エネルギー研究所内		
(31)優先権主張番号 特願2020-5330(P2020-5330)			(72)発明者 郷戸 宏充		
(32)優先日 令和2年1月16日(2020.1.16)			神奈川県厚木市長谷3 9 8 番地 株式会		
(33)優先権主張国・地域又は機関 日本国(JP)			社半導体エネルギー研究所内		
			(72)発明者 大下 智		
			神奈川県厚木市長谷3 9 8 番地 株式会		
			社半導体エネルギー研究所内		
			(72)発明者 國武 寛司		
			神奈川県厚木市長谷3 9 8 番地 株式会		
			社半導体エネルギー研究所内		
			最終頁に続く		

(54)【発明の名称】 記憶装置

(57)【特許請求の範囲】

【請求項1】

第1導電体と、
前記第1導電体上方の第2導電体と、
前記第2導電体上方の第3導電体と、
前記第3導電体上方の第4導電体と、
前記第4導電体上方の第5導電体と、
前記第5導電体上方の第6導電体と、
第7導電体と、
第1絶縁体と、
第2絶縁体と、
第1半導体と、
第2半導体と、を有し、
少なくとも前記第3導電体および前記第4導電体は、それぞれが開口を有し、
前記開口それぞれにおいて、内側側面から順に前記第1絶縁体、前記第1半導体、前記
第2絶縁体、および前記第2半導体が設けられ、
前記第3導電体と前記第2絶縁体の間の領域において、前記第1半導体と前記第2絶縁
体の間に前記第7導電体が設けられ、
前記第1半導体は、前記第2導電体の上面、および前記第5導電体の側面と接し、
前記第2半導体は、前記第1導電体の上面、および前記第6導電体の側面と接し、

前記第3導電体は、第1トランジスタのゲート電極として機能し、
前記第2半導体は、前記第1トランジスタのチャンネルが形成される領域を有し、
前記第4導電体は、第2トランジスタのゲート電極として機能し、
前記第1半導体は、前記第2トランジスタのチャンネルが形成される領域を有する、記憶装置。

【請求項2】

前記第3導電体が有する前記開口の内側において、前記第1絶縁体、前記第1半導体、前記第7導電体、前記第2絶縁体、および前記第2半導体がそれぞれ同心円状の層として設けられる、

請求項1に記載の記憶装置。

10

【請求項3】

前記第4導電体が有する前記開口の内側において、前記第1絶縁体、前記第1半導体、前記第2絶縁体、および前記第2半導体がそれぞれ同心円状の層として設けられる、

請求項1または請求項2に記載の記憶装置。

【請求項4】

前記第1半導体が第1の酸化物半導体である、

請求項1乃至請求項3のいずれか1項に記載の記憶装置。

【請求項5】

前記第1の酸化物半導体は、インジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、およびチタンから選ばれた一、または複数）、および亜鉛を含む請求項4に記載の記憶装置。

20

【請求項6】

前記第2半導体が第2の酸化物半導体である、

請求項1乃至請求項5のいずれか1項に記載の記憶装置。

【請求項7】

前記第2の酸化物半導体は、インジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、およびチタンから選ばれた一、または複数）、および亜鉛を含む請求項6に記載の記憶装置。

【請求項8】

前記開口は、前記第2導電体、および前記第5導電体にも設けられ、

前記第2導電体と、前記第2半導体の間に、前記第2絶縁体が設けられ、

前記第5導電体と、前記第2半導体の間に、前記第2絶縁体が設けられる、

請求項1乃至請求項7のいずれか1項に記載の記憶装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置およびその作製方法に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

40

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタやダイオードなどの半導体素子や、半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置および電子機器などは、半導体素子や半導体回路を含む場合がある。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置および電子機器なども、半導体装置と呼ばれる場合がある。本発明の一態様は、特に記憶装置およびその作製方法に関する。

50

【背景技術】

【0004】

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。単位面積あたりの記憶容量を増加させるためには、メモリセルを積層して形成することが有効である（特許文献1、特許文献2参照）。メモリセルを積層して設けることにより、単位面積あたりの記憶容量をメモリセルの積層数に応じて増加させることができる。特許文献3および特許文献4では、酸化物半導体を用いた記憶装置が開示されている。特許文献5では、電荷格納層として酸化物半導体を用いた半導体メモリが開示されている。

【0005】

また、非特許文献1では、結晶性酸化物半導体として、CAAC-IGZOが開示されている。また、非特許文献1では、CAAC-IGZOの成長メカニズムなども開示されている。

【先行技術文献】

【特許文献】

【0006】

【文献】米国特許公開2011/0065270A1公報

【文献】米国特許第9634097B2公報

【文献】特開2018-207038号公報

【文献】特開2019-8862号公報

【文献】特開2018-157205号公報

【非特許文献】

【0007】

【文献】Noboru Kimizuka and Shunpei Yamazaki、
「PHYSICS AND TECHNOLOGY OF CRYSTALLINE OX
IDE SEMICONDUCTOR CAAC-IGZO」FUNDAMENTALS（
米国）、Wiley-SID Series in Display Technolog
y、2017、p. 94-97

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1、および特許文献2においては、記憶素子（メモリセルともいう）が複数積層しており、これらが直列に接続することで、三次元構造のメモリセルアレイ（メモリストリングともいう）を構成している。

【0009】

特許文献1においては、柱状に設けられた半導体が、電荷蓄積層を有する絶縁体と接している。特許文献2においては、柱状に設けられた半導体が、トンネル誘電体として機能する絶縁体と接している。特許文献1および特許文献2ともに、メモリセルへの情報の書き込みは、絶縁体を介して電荷の引き抜きおよび注入によって行われる。この場合、半導体と絶縁体が接する界面に、トラップセンターが形成される場合がある。トラップセンターは、電子を捕獲し、トランジスタのしきい値電圧を変動させる場合がある。また、電荷の引き抜きおよび注入により、絶縁体内部および半導体と絶縁体が接する界面の一方、または両方が劣化し、電荷蓄積層に保持された電荷がリークして消失する場合がある。よって、記憶装置の信頼性に悪影響を及ぼす恐れがある。

【0010】

そこで、本発明の一形態は、信頼性の高い記憶装置を提供することを課題の一とする。また、本発明の一形態は、記憶容量の大きい記憶装置を提供することを課題の一とする。また、本発明の一形態は、占有面積が小さい記憶装置を提供することを課題の一とする。また、本発明の一形態は、製造コストの低い記憶装置を提供することを課題の一とする。また、本発明の一形態は、信頼性の高い半導体装置を提供することを課題の一とする。また

10

20

30

40

50

、本発明の一形態は、製造コストの低い半導体装置を提供することを課題の一とする。また、本発明の一形態は、新規な半導体装置を提供することを課題の一とする。

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0012】

本発明の一形態は、第1導電体と、第1導電体上方の第2導電体と、第2導電体上方の第3導電体と、第3導電体上方の第4導電体と、第4導電体上方の第5導電体と、第5導電体上方の第6導電体と、第7導電体と、第1絶縁体と、第2絶縁体と、第1半導体と、第2半導体と、を有し、少なくとも第3導電体、および第4導電体は開口を有し、開口の内側側面から順に第1絶縁体、第1半導体、第2絶縁体、および第2半導体が設けられ、第3導電体と第2絶縁体の間の領域において、第1半導体と第2絶縁体の間に第7導電体が設けられ、第1半導体は、第2導電体、および第5導電体と電氣的に接続し、第2半導体は、第1導電体、および第6導電体と電氣的に接続する記憶装置である。

10

【0013】

上記において、第3導電体が有する開口の内側において、第1絶縁体、第1半導体、第7導電体、第2絶縁体、および第2半導体がそれぞれ同心円状の層として設けられることが好ましい。

20

【0014】

上記において、第4導電体が有する開口の内側において、第1絶縁体、第1半導体、第2絶縁体、および第2半導体がそれぞれ同心円状の層として設けられることが好ましい。

【0015】

上記において、第1半導体が第1の酸化物半導体であることが好ましい。

【0016】

上記において、第1の酸化物半導体は、インジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、およびチタンから選ばれた一、または複数）、および亜鉛を含むことが好ましい。

30

【0017】

上記において、第2半導体が第2の酸化物半導体であることが好ましい。

【0018】

上記において、第1の酸化物半導体は、インジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、およびチタンから選ばれた一、または複数）、および亜鉛を含むことが好ましい。

【0019】

上記において、開口は、第2導電体、および第5導電体にも設けられ、第2導電体と、第2半導体の間に、第2絶縁体が設けられ、第5導電体と、第2半導体の間に、第2絶縁体が設けられることが好ましい。

40

【0020】

また、本発明の別の形態は、第1導電体を形成し、第1導電体上方に第2導電体を形成し、第2導電体と電氣的に接続する第1半導体を形成し、第1半導体、および第2導電体に開口を形成し、開口内において、第1半導体の側面、および第2導電体の側面を覆う絶縁体を形成し、第1導電体と電氣的に接続する第2半導体を形成する工程を有し、第1半導体と第2半導体の間に絶縁体が設けられ、第2導電体と第2半導体の間に絶縁体が設けられる記憶装置の作製方法である。

【0021】

上記において、第1半導体が第1の酸化物半導体であることが好ましい。

【0022】

50

上記において、第1の酸化物半導体は、インジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、およびチタンから選ばれた一、または複数）、および亜鉛を含むことが好ましい。

【0023】

上記において、第2半導体が第2の酸化物半導体であることが好ましい。

【0024】

上記において、第2の酸化物半導体は、インジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、およびチタンから選ばれた一、または複数）、および亜鉛を含むことが好ましい。

【0025】

また、本発明の別の態様は、第1導電体を形成し、第1導電体上方に第2導電体を形成し、第1導電体、および第2導電体を、第2導電体の幅が、第1導電体の幅より短くなるように加工し、第2導電体上方に第3導電体を形成し、第3導電体、第2導電体、および第1導電体に開口を形成し、開口内に絶縁体を形成し、開口内に半導体を形成する工程を有し、第1導電体と半導体の間に絶縁体が設けられ、第2導電体と半導体の間に絶縁体が設けられる、記憶装置の作製方法である。

【0026】

上記において、半導体は、酸化物半導体であることが好ましい。

【0027】

上記において、酸化物半導体は、インジウム、元素M（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、およびチタンから選ばれた一、または複数）、および亜鉛を含むことが好ましい。

【発明の効果】

【0028】

記憶素子を複数積層し、これらが直列に接続する三次元構造のメモリセルアレイの作製において、総工程数は、積層する記憶素子の数と、1つの記憶素子を作製する工程数の積より少なくできるため好ましい。つまり、上記メモリセルアレイの作製工程は、積層する記憶素子の数に比例しない。例えば、記憶素子を4層有するメモリセルアレイAの作製工程数と、記憶素子を32層有するメモリセルアレイBの作製工程数を比較した場合、記憶素子の積層数は8倍であるにもかかわらず、メモリセルアレイBの作製工程数は、メモリセルアレイAの作製工程数の8倍より大幅に少なくできる。

【0029】

本発明の一形態により、信頼性の高い記憶装置を提供することができる。また、本発明の一形態により、記憶容量の大きい記憶装置を提供することができる。本発明の一形態により、占有面積が小さい記憶装置を提供することができる。また、本発明の一形態により、製造コストの低い記憶装置を提供することができる。また、本発明の一形態により、信頼性の高い半導体装置を提供することができる。また、本発明の一形態により、製造コストの低い半導体装置を提供することができる。また、本発明の一形態により、新規な半導体装置を提供することができる。

【0030】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一形態は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0031】

図1Aおよび図1Bは、記憶装置の斜視図である。

図2は、記憶装置の断面図である。

図3は、メモリストリングの断面図である。

図4は、メモリストリングの回路図である。

10

20

30

40

50

図 5 A および図 5 B は、メモリストリングの断面図である。

図 6 は、記憶素子の断面図である。

図 7 A および図 7 B は、メモリストリングの断面図である。

図 8 は、メモリストリングの断面図である。

図 9 A は結晶構造の分類を説明する図である。図 9 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 9 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 1 0 A 乃至図 1 0 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 1 1 A 乃至図 1 1 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

10

図 1 2 A 乃至図 1 2 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 1 3 A 乃至図 1 3 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 1 4 A 乃至図 1 4 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 1 5 A 乃至図 1 5 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 1 6 A 乃至図 1 6 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

20

図 1 7 A 乃至図 1 7 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 1 8 A 乃至図 1 8 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 1 9 A 乃至図 1 9 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 0 A 乃至図 2 0 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 1 A 乃至図 2 1 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

30

図 2 2 A 乃至図 2 2 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 3 A 乃至図 2 3 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 4 A 乃至図 2 4 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 5 A 乃至図 2 5 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 6 A 乃至図 2 6 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

40

図 2 7 A 乃至図 2 7 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 8 A 乃至図 2 8 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 2 9 A 乃至図 2 9 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 0 A 乃至図 3 0 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図である。

図 3 1 A 乃至図 3 1 C は、本発明の一態様に係る半導体装置の作製工程を説明する断面図

50

である。

図 3 2 A は、マルチチャンバ型の成膜装置の模式図である。図 3 2 B は、成膜室の断面図である。

図 3 3 A 乃至図 3 3 C は、A L D 装置の構成例を説明する図である。

図 3 4 は、メモリストリングの回路構成例を説明する図である。

図 3 5 は、メモリストリングの回路構成例を説明する図である。

図 3 6 は、メモリストリングの回路構成例を説明する図である。

図 3 7 は、メモリストリングの回路構成例を説明する図である。

図 3 8 は、メモリストリングの回路構成例を説明する図である。

図 3 9 は、メモリストリングの書き込み動作例を説明するタイミングチャートである。

10

図 4 0 A および図 4 0 B は、メモリストリングの書き込み動作例を説明する回路図である。

図 4 1 A および図 4 1 B は、メモリストリングの書き込み動作例を説明する回路図である。

図 4 2 は、メモリストリングの読み出し動作例を説明するタイミングチャートである。

図 4 3 A および図 4 3 B は、メモリストリングの読み出し動作例を説明する回路図である。

図 4 4 A および図 4 4 B は、メモリストリングの読み出し動作例を説明する回路図である。

図 4 5 は、メモリストリングの読み出し動作例を説明する回路図である。

図 4 6 は、半導体装置の構成例を説明するブロック図である。

図 4 7 A 乃至図 4 7 C は、半導体装置の構成例を説明する斜視図である。

図 4 8 は、本発明の一態様に係る半導体装置を説明する断面図である。

20

図 4 9 は、本発明の一態様に係る半導体装置を説明する断面図である。

図 5 0 A はコンピュータの構成例を説明する斜視図であり、図 5 0 B はモノリシック I C を説明する斜視図である。

図 5 1 A、及び図 5 1 B のそれぞれは、コンピュータ、モノリシック I C の記憶階層を説明する図である。

図 5 2 A は、半導体装置の模式図である。図 5 2 B は、半導体装置の斜視図である。

図 5 3 A 乃至図 5 3 E は、記憶装置の一例を説明するための図である。

図 5 4 A 乃至図 5 4 G は、電子機器の一例を説明するための図である。

【発明を実施するための形態】

【0032】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

30

【0033】

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため図に反映しないことがある。

40

【0034】

また、図面などにおいて、説明を理解しやすくするために、一部の構成要素の記載を省略する場合がある。

【0035】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0036】

50

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

【0037】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0038】

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

【0039】

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0040】

また、本明細書などにおいて、「平行」とは、例えば、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」および「直交」とは、例えば、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0041】

なお、本明細書などにおいて、計数値および計量値に関して、または、計数値もしくは計量値に換算可能な物、方法、および事象などに関して、「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス 2.0% の誤差を含むものとする。

【0042】

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書などでは、特段の明示が無い限り、電圧と電位を言い換えることができるものとする。

【0043】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

【0044】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

【0045】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。

10

20

30

40

50

い。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

【0046】

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

10

【0047】

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

【0048】

また、本明細書等において、高電源電位 V_{DD} （以下、単に「 V_{DD} 」、「H電位」、または「H」ともいう）とは、低電源電位 V_{SS} （以下、単に「 V_{SS} 」、「L電位」、または「L」ともいう）よりも高い電位の電源電位を示す。また、 V_{SS} とは、 V_{DD} よりも低い電位の電源電位を示す。また、接地電位（以下、単に「 GND 」、または「 GND 電位」ともいう）を V_{DD} または V_{SS} として用いることもできる。例えば V_{DD} が接地電位の場合には、 V_{SS} は接地電位より低い電位であり、 V_{SS} が接地電位の場合には、 V_{DD} は接地電位より高い電位である。

20

【0049】

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）の n チャネル型電界効果トランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、 $0V$ より大きいものとする。また、明示されている場合を除き、「トランジスタのゲートにH電位を供給する。」とは、「トランジスタをオン状態にする。」と同義の場合がある。また、明示されている場合を除き、「トランジスタのゲートにL電位を供給する。」とは、「トランジスタをオフ状態にする。」と同義の場合がある。

30

【0050】

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【0051】

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

40

【0052】

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【0053】

また、図面などにおいて、配線および電極などの電位をわかりやすくするため、配線および電極などに隣接してH電位を示す“H”、またはL電位を示す“L”を付記する場合がある。また、電位変化が生じた配線および電極などには、“H”または“L”を囲み文字で付記す

50

る場合がある。また、トランジスタがオフ状態である場合、当該トランジスタに重ねて“×”記号を付記する場合がある。

【0054】

また、一般に、「容量」は、2つの電極が絶縁体（誘電体）を介して向かい合う構成を有する。本明細書等において、「容量素子」とは、前述の「容量」である場合が含まれる。すなわち、本明細書等において、「容量素子」とは、2つの電極が絶縁体を介して向かい合う構成を有したもの、2本の配線が絶縁体を介して向かい合う構成を有したもの、または、2本の配線が絶縁体を介して配置されたもの、である場合が含まれる。

【0055】

また、本明細書等において、複数の要素に同じ符号を用いる場合、特にそれらを区別する必要があるときは、符号に、「__1」、「__2」、「[n]」、「[m, n]」等、識別用の符号を付して記載する場合がある。例えば、2番目の導電体WWLを、導電体WWL[2]と記載する場合がある。

【0056】

（実施の形態1）

図1Aに、本発明の一態様に係る記憶装置100、および駆動回路2000を有する半導体装置200の斜視図を示す。記憶装置100は、三次元積層構造を有する記憶装置である。

【0057】

駆動回路2000は、WSLドライバ2001、WBLドライバ2002、RSLドライバ2003、RBLドライバ2004、WWLドライバ2005、RWLドライバ2006、SELドライバ2007等を有する。なお、RBLドライバ2004は、センスアンプの機能を有していてもよい。また、RSLドライバ2003は、グラウンドに接続されていてもよい。

【0058】

WSLドライバ2001は、配線WSL__Aを介して記憶装置100と接続する。WBLドライバ2002は、配線WBL__Aを介して記憶装置100と接続する。RSLドライバ2003は、配線RSL__Aを介して記憶装置100と接続する。RBLドライバ2004は、配線RBL__Aを介して記憶装置100と接続する。WWLドライバ2005は、配線WWL__Aおよび配線SG__Aの一方、または両方を介して記憶装置100と接続する。RWLドライバ2006は、配線RWL__Aを介して記憶装置100と接続する。SELドライバ2007は、配線SEL__Aを介して記憶装置100と接続する。また、配線BG__Aは、記憶装置100のバックゲートと接続する。

【0059】

記憶装置100は、駆動回路2000が設けられる層の上方に設けられることが好ましい。また、図1Bに示すように、記憶装置100が駆動回路の一部と重畳するように設けることで、半導体装置200の占有面積を低減することができるため好ましい。記憶装置100と駆動回路を重畳させる場合、駆動回路全体が記憶装置100と重畳してもよいし、駆動回路の一部と重畳してもよい。また、記憶装置100と、駆動回路が有する特定の回路と重畳してもよい。例えば、記憶装置100が、センスアンプと重畳するようにセンスアンプを配置することができる。

【0060】

本発明の一態様に係る半導体装置200は、書き込み用のソース線として機能する配線WSL__A、および読み出し用のソース線として機能する配線RSL__Aをそれぞれ有することを特徴の一つとするが、これに限定されない。配線WSL__Aと配線RSL__Aが互いに接続され、ソース線ドライバとして機能する駆動回路に接続されてもよい。

【0061】

本発明の一態様に係る半導体装置200は、書き込み用のビット線として機能する配線WBL__A、および読み出し用のビット線として機能する配線RBL__Aをそれぞれ有することを特徴の一つとするが、これに限定されない。配線WBL__Aと配線RBL__Aが互

10

20

30

40

50

いに接続され、ビット線ドライバとして機能する駆動回路に接続されてもよい。

【0062】

なお、図1Aなどにおいて、X方向、Y方向、およびZ方向を示す矢印を付す場合がある。X方向、Y方向、およびZ方向は、それぞれが互いに直交する方向である。本明細書などでは、X方向、Y方向、またはZ方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。本明細書などでは、後述する基体121の上面と垂直な方向をZ方向としている。

【0063】

図2は、X-Z平面の断面を示している。図2は、図1に一点鎖線で示した部位A1-A2、および導電体SELと配線の接続部の断面図である。なお、前述した通り、説明をわかりやすくするため図1および図2などでは、構成要素の一部を省略している場合がある。

【0064】

<記憶装置の構成例>

本発明の一態様に係る記憶装置100は、メモリセルアレイ110を有する。メモリセルアレイ110は複数のメモリストリング120を有する。メモリストリング120はZ方向に延在し、XY平面上でマトリクス状に配置されている。

【0065】

図3に、本発明の一態様に係るメモリストリング120の断面構成例、図4に、対応する回路図を示す。メモリストリング120は複数の記憶素子MC（「メモリセル」ともいう。）が直列に接続された構成を有する。本実施の形態では、記憶素子MCが5つ直列に接続する場合を示しているが、メモリストリング120が備える記憶素子MCの数は5に限定されるものではない。メモリストリング120が備える記憶素子MCの数をnとすると、nは2以上の整数であればよい。

【0066】

また、メモリストリング120は、複数の導電体WWLと、複数の導電体RWLと、導電体SGと、導電体SELと、を有する。なお、導電体WWLは、配線WWL__Aの一部として機能し、導電体RWLは、配線RWL__Aの一部として機能し、導電体SGは、配線SG__Aの一部として機能し、導電体SELは、配線SEL__Aの一部として機能する。複数の導電体WWLと複数の導電体RWLは、絶縁体123を介して交互に積層して設けられている。導電体SGは、複数の導電体WWLおよび複数の導電体RWLよりも下層に設けられている。導電体SGの下層には、導電体WSLが設けられ、導電体WSLの下層には、導電体RSLが設けられる。導電体SELは、複数の導電体WWLおよび複数の導電体RWLよりも上層に設けられている。導電体SELの上層には、導電体WBLが設けられ、導電体WBLの上層には、導電体RBLが設けられる。

【0067】

図3および図4では、5つの記憶素子MCを記憶素子MC[1]乃至記憶素子MC[5]と示している。なお、記憶素子MC[1]乃至記憶素子MC[5]に共通の事柄を説明する場合は単に「記憶素子MC」と示す。導電体WWL、導電体RWL、および絶縁体123などの他の構成要素も同様である。

【0068】

メモリストリング120は、記憶素子MC[1]と接続するトランジスタSTr1と、記憶素子MC[5]と接続するトランジスタSTr2と、を有する。

【0069】

導電体WWL、導電体RWL、導電体SG、および導電体SELは、メモリセルアレイ110を越えてX軸方向に延在する。また、導電体WWL、導電体RWL、導電体SG、および導電体SELは、メモリセルアレイ110の外側で、階段状に積層している（図1および図2参照。）。一方、導電体WSL、導電体RSL、導電体WBL、および導電体RBLは、メモリセルアレイ110を越えてY軸方向に延在する（図1および図3参照。）。

【0070】

10

20

30

40

50

図3に一点鎖線で示した部位B1-B2を含むX-Y平面をZ方向から見た断面を図5Aに示す。図3に一点鎖線で示した部位C1-C2を含むX-Y平面をZ方向から見た断面を図5Bに示す。図3に二点鎖線で示した領域105の拡大図を図6に示す。図6は、記憶素子MCの断面図に相当する。

【0071】

メモリストリング120は、基体121上に配線RSL__Aの一部として機能する導電体RSLを有し、導電体RSL上に、絶縁体118を介して配線WSL__Aの一部として機能する導電体WSLを有する。基体121としては、例えば絶縁体を用いればよい。また、導電体WSL上に絶縁体123[1]、導電体SG、絶縁体123[2]、導電体RWL[1]、絶縁体123[3]、導電体WWL[1]、絶縁体123[4]、導電体RWL[2]、絶縁体123[5]、導電体WWL[2]、絶縁体123[6]、導電体RWL[3]、絶縁体123[7]、導電体WWL[3]、絶縁体123[8]、導電体RWL[4]、絶縁体123[9]、導電体WWL[4]、絶縁体123[10]、導電体RWL[5]、絶縁体123[11]、導電体WWL[5]、絶縁体123[12]、および導電体SELを有する(図3参照)。また、導電体SEL上に、絶縁体138を介して配線WBL__Aの一部として機能する導電体WBLを有し、導電体WBL上に、絶縁体186を介して配線RBL__Aの一部として機能する導電体RBLを有する。

【0072】

また、メモリストリング120は、絶縁体118、導電体WSL、絶縁体123[1]、導電体SG、絶縁体123[2]、導電体RWL[1]、絶縁体123[3]、導電体WWL[1]、絶縁体123[4]、導電体RWL[2]、絶縁体123[5]、導電体WWL[2]、絶縁体123[6]、導電体RWL[3]、絶縁体123[7]、導電体WWL[3]、絶縁体123[8]、導電体RWL[4]、絶縁体123[9]、導電体WWL[4]、絶縁体123[10]、導電体RWL[5]、絶縁体123[11]、導電体WWL[5]、絶縁体123[12]、導電体SEL、絶縁体138、導電体WBL、絶縁体186、および導電体RBLの、それぞれの一部を除去した開口141を有する。

【0073】

開口141はZ方向に延在し、導電体WSL、および導電体RSLに達する。また、開口141において、導電体RWLと重なる領域142の径は、導電体WWLと重なる領域143の径よりも大きい。よって、開口141の側面は凹凸形状を有する。

【0074】

また、開口141の側面に沿って、絶縁体124、および半導体125が設けられている。半導体125は絶縁体124を介して開口141の側面と重なる領域を有する。

【0075】

また、メモリストリング120は、Z方向に延在する導電体130を有する。導電体130は開口141の中心もしくは中心付近に設けられている。また、導電体130の開口141の側面と重なる領域に絶縁体129、半導体127、および絶縁体126が設けられている。半導体127は、絶縁体129を介して、導電体130の側面と重なる領域を有する。絶縁体126は、絶縁体129、および半導体127を介して、導電体130の側面と重なる領域を有する。また、開口141の底部において、半導体127は、導電体RSLと電氣的に接続する領域を有し、開口141の上部において、半導体127は、導電体RBLと電氣的に接続する領域を有する。また、開口141の底部において、半導体125は、導電体WSLと電氣的に接続する領域を有し、開口141の上部において、半導体125は、導電体WBLと電氣的に接続する領域を有する。また、開口141の底部において、導電体130は、絶縁体129、および半導体127を介して導電体RSLと重なる領域を有する。また、導電体RWLと導電体130が重なる領域において、半導体125と絶縁体126の間に導電体128が設けられている。

【0076】

導電体WWLと導電体130との間には、導電体WWL側から、絶縁体124、半導体125、絶縁体126、半導体127、絶縁体129が順に設けられる(図5A参照)。導

電体RWLと導電体130との間には、導電体RWL側から、絶縁体124、半導体125、導電体128、絶縁体126、半導体127、および絶縁体129が順に設けられる(図5B参照)。

【0077】

記憶素子MCは、トランジスタWTrとトランジスタRTrを有する(図6参照)。導電体WWLと導電体130が重なる領域がトランジスタWTrとして機能する。導電体WWLがトランジスタWTrのゲート電極として機能し、導電体130がトランジスタWTrのバックゲート電極として機能する。また、半導体125の一部が、トランジスタWTrのチャネルが形成される半導体層として機能する。トランジスタWTrのチャネルが形成される半導体層は、絶縁体124の一部を介してゲート電極(導電体WWL)と重なる。なお、本実施の形態などでは、導電体WWLの一部がゲート電極として機能する例を示しているが、ゲート電極および導電体WWLをそれぞれ独立して設け、両者を電氣的に接続してもよい。

10

【0078】

導電体128、導電体RWL、および導電体130が重なる領域がトランジスタRTrとして機能する。導電体RWLがトランジスタRTrのゲート電極として機能する。また、導電体130がトランジスタRTrのバックゲート電極として機能する。半導体127の一部が、トランジスタRTrのチャネルが形成される半導体層として機能する。トランジスタRTrのチャネルが形成される半導体層は、絶縁体126、導電体128、半導体125、および絶縁体124それぞれの一部を介してゲート電極(導電体RWL)と重なる。トランジスタRTrのチャネルが形成される半導体層は、絶縁体129の一部を介してバックゲート電極(導電体130)と重なる。

20

【0079】

トランジスタSTr1のソースおよびドレインの一方は、トランジスタWTrが有する半導体125と電氣的に接続する。トランジスタSTr1のソースおよびドレインの他方は、導電体WSLと電氣的に接続する。また、トランジスタSTr2のソースおよびドレインの一方は、トランジスタRTrが有する半導体127と電氣的に接続する。トランジスタSTr2のソースおよびドレインの他方は、導電体RBLと電氣的に接続する。また、トランジスタSTr3のソースおよびドレインの一方は、トランジスタWTrが有する半導体125と電氣的に接続する。トランジスタSTr3のソースおよびドレインの他方は、導電体WBLと電氣的に接続する。ここで、導電体SELは、トランジスタSTr2、およびトランジスタSTr3のゲートとして機能する(図3および図4参照。)。また、半導体127の一部が、トランジスタSTr2のチャネルが形成される半導体層として機能し、半導体125の一部が、トランジスタSTr3のチャネルが形成される半導体層として機能する。

30

【0080】

ここで、バックゲートについて説明しておく。ゲートとバックゲートは、半導体層のチャネル形成領域を介して重なるように配置される。バックゲートはゲートと同様に機能させることができる。また、バックゲートの電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。ゲートまたはバックゲートの一方を「第1ゲート」または「第1のゲート」と呼び、他方を「第2ゲート」または「第2のゲート」と呼ぶ場合がある。

40

【0081】

ゲートとバックゲートは、導電層または抵抗率が小さい半導体層などで形成されるため、トランジスタの外部で生じる電場が、チャネルが形成される半導体層に作用しないようにする機能(特に静電気に対する静電遮蔽機能)を有する。すなわち、静電気などの外部の電場の影響によりトランジスタの電氣的な特性が変動することを防止することができる。

【0082】

また、バックゲートの電位を制御することで、トランジスタのしきい値電圧を制御することができる。バックゲートの電位は、ゲートと同じ電位にしてもよく、接地電位(GND

50

電位)や任意の電位としてもよい。

【0083】

トランジスタWTrおよびトランジスタRTrのチャネルが形成される半導体層は、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。トランジスタSTr1、トランジスタSTr2、およびトランジスタSTr3も同様である。

【0084】

なお、トランジスタに用いる半導体層は積層してもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

10

【0085】

トランジスタWTr、トランジスタRTr、トランジスタSTr1、トランジスタSTr2、およびトランジスタSTr3に用いられる半導体層は、金属酸化物を有する酸化物半導体であることが好ましい。金属酸化物を半導体層に用いたトランジスタは、アモルファスシリコンを半導体層に用いたトランジスタと比べ、高い電界効果移動度が得られる。また、多結晶シリコンを半導体層に用いたトランジスタでは、半導体層に結晶粒界が生じる恐れがある。結晶粒界では、キャリアが捕獲され、トランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。一方、詳細は後述するが、酸化物半導体では、明確な結晶粒界が確認されない結晶構造、または結晶粒界が極めて少ない結晶構造を実現することができる。このような酸化物半導体を半導体層に用いることは、高いオン電流および電界効果移動度など、良好な電気特性を有するトランジスタが実現できるため、好適である。

20

【0086】

本実施の形態では、酸化物半導体として、 $In:Ga:Zn=1:3:4$ [原子数比] またはその近傍の組成、 $In:Ga:Zn=4:2:3$ [原子数比] またはその近傍の組成、 $In:Ga:Zn=1:1:1$ [原子数比] またはその近傍の組成、または $In:Ga:Zn=1:1:0.5$ [原子数比] またはその近傍の組成の酸化物を用いる。

【0087】

また、酸化物半導体、特に結晶性の酸化物半導体であるCAAC-IGZOにおいては、被形成面に垂直な方向にc軸が配向する、数nm(例えば、1~3nm)のナノクラスタ同士が連結した特徴的な構造を持つ。そのため、Z方向に延在した開口内においても、明確な結晶粒界が確認されない結晶構造を形成することが可能となる。

30

【0088】

特に、トランジスタWTrは、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ(「OSTランジスタ」ともいう。)であることが好ましい。酸化物半導体はバンドギャップが2eV以上であるため、オフ電流が著しく少ない。ここで、導電体128と、トランジスタWTrのソースまたはドレインの一方が電氣的に接続する節点をノードNDとする。トランジスタWTrにOSTランジスタを用いると、ノードNDに書き込まれた電荷を長期間保持することができる。記憶素子MCを構成するトランジスタにOSTランジスタを用いた場合、記憶素子MCを「OSメモリ」と呼ぶことができる。また、当該記憶素子MCを含むメモリストリング120も「OSメモリ」と呼ぶことができる。また、記憶装置100も「OSメモリ」と呼ぶことができる。

40

【0089】

OSメモリは、電力の供給を停止しても、1年以上、さらには10年以上の期間で書き込まれた情報を保持することができる。よって、OSメモリを不揮発性メモリと見なすこともできる。

【0090】

また、OSメモリは書き込まれた電荷量が長期間変化しにくいいため、OSメモリは2値(

50

1ビット)に限らず、多値(マルチビット)の情報を保持可能である。

【0091】

また、OSメモリはトランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フラッシュメモリで行われるデータ書き換え前の消去動作が、OSメモリでは不要である。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われないため、OSメモリは実質的に無制限回のデータの書き込みおよび読み出しが可能である。OSメモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

【0092】

また、OSメモリは磁気抵抗メモリ(MRAM)あるいは抵抗変化型メモリ(ReRAM)などのように原子レベルでの構造変化を伴わない。よって、OSメモリは、磁気抵抗メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

【0093】

また、OSTランジスタは高温環境下でもオフ電流がほとんど増加しない。具体的には室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。OSメモリを含む記憶装置は、高温環境下においても動作が安定し、高い信頼性が得られる。また、OSTランジスタは、ソースとドレイン間の絶縁耐圧が高い。半導体装置を構成するトランジスタにOSTランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好な半導体装置が実現できる。

【0094】

半導体127はn型の半導体であることが好ましい。また、半導体125の導電体WWLと重なる領域はi型または実質的にi型の半導体であることが好ましい。この場合、トランジスタWTrはエンハンスメント型(ノーマリーオフ型)のトランジスタ、トランジスタRTrはデプレッション型(ノーマリーオン型)のトランジスタになる。

【0095】

なお、半導体125と半導体127は、同じ材料を有していてもよいし、異なる材料を有していてもよい。例えば、半導体125および半導体127は、それぞれ酸化物半導体でもよい。また、半導体125および半導体127は、それぞれシリコンを有する半導体でもよい。また、半導体125を酸化物半導体とし、半導体127をシリコンを有する半導体としてもよい。また、半導体125をシリコンを有する半導体とし、半導体127を酸化物半導体としてもよい。

【0096】

なお、図5Aは、トランジスタWTrの中心または中心付近のX-Y平面に相当し、図5Bは、トランジスタRTrの中心または中心付近のX-Y平面に相当する。図5Aおよび図5Bにおいて、導電体130の断面形状が円形である場合、絶縁体129は導電体130の外側に同心円状の層として設けられ、半導体127は絶縁体129の外側に同心円状の層として設けられ、絶縁体126は半導体127の外側に同心円状の層として設けられ、半導体125は絶縁体126の外側に同心円状の層として設けられ、絶縁体124は半導体125の外側に同心円状の層として設けられている。また、導電体128は、絶縁体126と半導体125の間に同心円状の層として設けられている。

【0097】

また、導電体130の断面形状は円形に限らない。図7Aに示すように、導電体130の断面形状は矩形でもよい。また、図7Bに示すように、導電体130の断面形状は三角形でもよい。

【0098】

また、上記では、メモリストリング120の底部において、半導体125が導電体WSLと電氣的に接続し、半導体127が導電体RSLと電氣的に接続例を示したが、本実施の形態はこれに限らない。

【0099】

図 8 に示すように、Y 軸方向に隣り合う二つのメモリストリングを電氣的に接続し、一つのメモリストリング 120A とすることができる。メモリストリング 120A では、メモリストリング 120__1 とメモリストリング 120__2 が、導電体 119、および導電体 122 により電氣的に接続される。

【0100】

メモリストリング 120__1 の上部では、半導体 125 と導電体 WSL が電氣的に接続し、半導体 127 と導電体 RSL が電氣的に接続する。また、メモリストリング 120__2 の上部では、半導体 125 と導電体 WBL が電氣的に接続し、半導体 127 と導電体 RBL が電氣的に接続する。また、メモリストリング 120__1、およびメモリストリング 120__2 の下部では、それぞれの半導体 125 が導電体 119 を介して電氣的に接続し、それぞれの半導体 127 が導電体 122 を介して電氣的に接続する。

10

【0101】

メモリストリング 120A は、導電体 WSL、および導電体 RSL 側から、導電体 WBL、および導電体 RBL 側に向かって、記憶素子 MC [1] 乃至記憶素子 MC [10] を有する。また、記憶素子 MC [5]、および記憶素子 MC [6] は、導電体 119、および導電体 122 を介して電氣的に接続される。

【0102】

なお、メモリストリング 120 を記憶装置ということもできるし、記憶素子 MC を記憶装置ということもできる。

【0103】

〔半導体装置の構成材料〕

続いて、記憶装置 100 に用いることができる構成材料について説明する。

20

【0104】

〔基板〕

記憶装置 100 は基体 121 上に設けられる。基体 121 として用いることができる基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

30

【0105】

〔絶縁体〕

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

40

【0106】

なお、本明細書等において、「酸化窒化物」とは、主成分として窒素よりも酸素の含有量が多い材料を指す。例えば「酸化窒化シリコン」とは、窒素よりも酸素の含有量が多い、シリコンと、窒素と、酸素と、を含む材料を指す。また、本明細書等において、「窒化酸化物」とは、主成分として酸素よりも窒素の含有量が多い材料を指す。例えば、「窒化酸化アルミニウム」とは、酸素よりも窒素の含有量が多い、アルミニウムと、窒素と、酸素と、を含む材料を示す。

【0107】

50

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、*high-k* 材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0108】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

10

【0109】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0110】

また、OSトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

20

【0111】

また、半導体125および／または半導体127に酸化物半導体を用いる場合、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを半導体125および／または半導体127と接する構造とすることで、半導体125および／または半導体127が有する酸素欠損を補償することができる。

30

【0112】

【導電体】

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

40

50

【0113】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0114】

なお、トランジスタのチャネル形成領域に金属酸化物の一種である酸化物半導体を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0115】

特に、ゲート電極として機能する導電体として、チャネルが形成される酸化物半導体に含まれる金属元素と、酸素と、を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される酸化物半導体に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0116】

〔酸化物半導体〕

半導体125および半導体127として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、半導体125および半導体127に適用可能な酸化物半導体について説明する。

【0117】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0118】

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種とする。そのほかの元素Mに適用可能な元素としては、ホウ素、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0119】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0120】

〔結晶構造の分類〕

まず、酸化物半導体における、結晶構造の分類について、図 9 A を用いて説明を行う。図 9 A は、酸化物半導体、代表的には I G Z O (I n と、G a と、Z n と、を含む金属酸化物) の結晶構造の分類を説明する図である。

【0121】

図 9 A に示すように、酸化物半導体は、大きく分けて「Amorphous (無定形)」と、「Crystalline (結晶性)」と、「Crystal (結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphous が含まれる。また、「Crystalline」の中には、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、及び CAC (cloud-aligned composite) が含まれる (excluding single crystal and polycrystal)。なお、「Crystalline」の分類には、single crystal、polycrystal、及び completely amorphous は除かれる。また、「Crystal」の中には、single crystal、及び polycrystal が含まれる。

10

【0122】

なお、図 9 A に示す太枠内の構造は、「Amorphous (無定形)」と、「Crystal (結晶)」との間の中間状態であり、新しい境界領域 (New crystalline phase) に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous (無定形)」や、「Crystal (結晶)」とは全く異なる構造と言い換えることができる。

20

【0123】

なお、膜または基板の結晶構造は、X線回折 (XRD: X-Ray Diffraction) スペクトルを用いて評価することができる。ここで、「Crystalline」に分類される CAAC-I G Z O 膜の G I X D (Grazing-Incidence XRD) 測定で得られる XRD スペクトルを図 9 B に示す。なお、G I X D 法は、薄膜法または Seemann-Bohlin 法ともいう。以降、図 9 B に示す G I X D 測定で得られる XRD スペクトルを、単に XRD スペクトルと記す。なお、図 9 B に示す CAAC-I G Z O 膜の組成は、I n : G a : Z n = 4 : 2 : 3 [原子数比] 近傍である。また、図 9 B に示す CAAC-I G Z O 膜の厚さは、500 nm である。

30

【0124】

図 9 B に示すように、CAAC-I G Z O 膜の XRD スペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-I G Z O 膜の XRD スペクトルでは、 $2\theta = 31^\circ$ 近傍に、c 軸配向を示すピークが検出される。なお、図 9 B に示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0125】

また、膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう。) にて評価することができる。CAAC-I G Z O 膜の回折パターンを、図 9 C に示す。図 9 C は、電子線を基板に対して平行に入射する NBED によって観察される回折パターンである。なお、図 9 C に示す CAAC-I G Z O 膜の組成は、I n : G a : Z n = 4 : 2 : 3 [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を 1 nm として電子線回折が行われる。

40

【0126】

図 9 C に示すように、CAAC-I G Z O 膜の回折パターンでは、c 軸配向を示す複数のスポットが観察される。

【0127】

[酸化物半導体の構造]

なお、酸化物半導体は、結晶構造に着目した場合、図 9 A とは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体

50

と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

【0128】

続いて、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0129】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

【0130】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0131】

また、In-M-Zn酸化物において、CAAC-OSは、インジウム(In)、及び酸素を有する層（以下、In層）と、元素M、亜鉛(Zn)、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

【0132】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0133】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【0134】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、

歪みを許容することができるためと考えられる。

【0135】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0136】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

【0137】

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0138】

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

【0139】

[酸化物半導体の構成]

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

【0140】

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成

10

20

30

40

50

である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、 0.5 nm 以上 10 nm 以下、好ましくは、 1 nm 以上 3 nm 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0141】

さらに、CAC-O-Sとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-O-Sは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0142】

ここで、In-Ga-Zn酸化物におけるCAC-O-Sを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-O-Sにおいて、第1の領域は、[In]が、CAC-O-S膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-O-S膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

10

【0143】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

20

【0144】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0145】

例えば、In-Ga-Zn酸化物におけるCAC-O-Sでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

30

【0146】

CAC-O-Sをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-O-Sに付与することができる。つまり、CAC-O-Sとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-O-Sをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

40

【0147】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-O-S、nc-O-S、CAAC-O-Sのうち、二種以上を有していてもよい。

【0148】

〔酸化物半導体を有するトランジスタ〕

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0149】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを

50

実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0150】

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合には、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。また、高純度真性又は実質的に高純度真性であることをi型または実質的にi型と呼ぶ場合がある。

10

【0151】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低い
ため、トラップ準位密度も低くなる場合がある。

【0152】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

20

【0153】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0154】

〔不純物〕

ここで、酸化物半導体中における各不純物の影響について説明する。

【0155】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

30

【0156】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

40

【0157】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times$

50

$1.0 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0158】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

10

【0159】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0160】

〔その他の半導体材料〕

半導体125および半導体127に用いることができる半導体材料は、上述の酸化物半導体に限られない。半導体125および半導体127として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いてもよい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

20

【0161】

本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

30

【0162】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

【0163】

半導体125および半導体127として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体125および半導体127として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

40

【0164】

<記憶装置の作製方法例>

次に、本発明に係る記憶装置の作製方法例を図10A乃至図31Cを参照して説明する。なお、図10A乃至図31Cの各図において、Aは、Z方向から見た上面図であり、Bは、AにA1-A2の一点鎖線で示す部位の断面図である。また、Cは、AにA3-A4の

50

一点鎖線で示す部位の断面図である。なお、本作製方法では、2つ（「2段」ともいう。）の記憶素子MCを有するメモリストリング120を2つ作製する例を示すが、本実施の形態はこれに限らない。メモリストリング120は、3段以上の記憶素子MCを有していてもよい。例えば、メモリストリング120は、32段以上、好ましくは64段以上、より好ましくは128段以上、さらに好ましくは256段以上の記憶素子MCを有していることが好ましい。

【0165】

まず、絶縁表面を有する基体121上に導電体122を形成し、導電体122の周囲に、絶縁体132を形成する（図10A乃至図10C参照。）。

【0166】

具体的には、導電膜を形成し、リソグラフィ法を用いて該導電膜を加工し、導電体122を形成する。次に、導電体122を覆うように基体121上に絶縁膜を形成する。次に該絶縁膜に対して平坦化処理を行うことが好ましい。該平坦化処理では、導電体122の表面が露出するまで、該絶縁膜を研磨することが好ましい。上記方法により、絶縁体132を形成することができる。ただし、導電体122、および絶縁体132の形成方法はこれに限らない。基体121上に絶縁体132を形成し、絶縁体132の不要な部分を除去することで、溝や開口を形成し、該溝や該開口部に導電体122を埋め込むように形成してもよい。このような導電体の形成方法をダマシン法（シングルダマシン法、デュアルダマシン法）と呼ぶ場合がある。上記方法により、図10A乃至図10Cに示す構造を得ることができる。

【0167】

導電体122や、絶縁体132の形成は、スパッタリング法、CVD法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法またはALD（Atomic Layer Deposition）法などを用いて行うことができる。

【0168】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0169】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0170】

ALD法には、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法などがある。

【0171】

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

【0172】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0173】

CVD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0174】

また、ALD法では、異なる組成の複数のプリカーサを同時に導入する、または、異なる組成の複数のプリカーサを各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

【0175】

なお、リソグラフィー法では、まず、フォトリソマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトリソマスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理、ウェットエッチング処理、ドライエッチング処理とウェットエッチング処理を組み合わせた処理を用いることができる。ドライエッチング処理とウェットエッチング処理を組み合わせた処理を用いる場合、ドライエッチング処理後にウェットエッチング処理を行ってもよいし、ウェットエッチング処理後にドライエッチング処理を行ってもよい。

【0176】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

【0177】

上記加工は、ドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0178】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周

10

20

30

40

50

波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

【0179】

導電膜のエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

10

【0180】

導電体122となる導電膜は、スパッタリング法を用いて、金属元素を含む導電膜を形成することが好ましい。また、CVD法を用いて形成することもできる。

【0181】

絶縁体132の表面は、必要に応じて、平坦化処理が行われていることが好ましい。平坦化処理には、化学機械研磨（CMP）法やリフロー法を用いることができる。

【0182】

導電体122、および絶縁体132上に絶縁体118を形成する。絶縁体118は、絶縁体132に用いることができる材料で、絶縁体132の形成に用いることができる方法を用いて形成することができる。

20

【0183】

絶縁体118上に導電体119、および絶縁体117を形成する（図10A乃至図10C参照。）。導電体119、および絶縁体117は、それぞれ導電体122、および絶縁体132に用いることができる材料で、導電体122、および絶縁体132の形成に用いることができる方法を用いて形成することができる。

【0184】

導電体119、および絶縁体117上に絶縁膜123A、導電膜134A、および導電膜136Aを交互に積層する。本実施の形態では、導電体119、および絶縁体117上に絶縁膜123Aを形成し、絶縁膜123A上に導電膜134Aを形成し、導電膜134A上に絶縁膜123Aを形成し、絶縁膜123A上に導電膜136Aを形成する例を示す（図10A乃至図10C参照。）。導電膜134A、導電膜136A、および絶縁膜123Aの形成には、CVD法を用いることができる。また、スパッタリング法を用いてもよい。

30

【0185】

導電体122、導電体119、導電膜134A、および導電膜136Aとして、不純物が添加されたシリコンや、金属など、導電性を有する材料を用いることができる。導電体136は、後工程において、導電体119、および導電体134に対して選択的にエッチングを行う必要があるため、導電膜136Aは、導電体122、導電体119、および導電膜134Aと異なる材料であることが好ましい。一方、導電体122、導電体119、および導電膜134Aは、それぞれ同じ材料でもよいし、異なる材料でもよい。導電体122、導電体119、導電膜134A、または導電膜136Aとして、不純物が添加されたシリコンを用いる場合、アモルファスシリコンや、ポリシリコンを用いることができる。また、シリコンに添加する不純物として、p型不純物やn型不純物を用いることができる。また、シリコンを含む導電性材料として、チタン、コバルト、またはニッケルを含むシリサイドを導電体122、導電膜134A、または導電膜136Aとして用いることができる。また、金属材料を導電体122、導電膜134A、または導電膜136Aに用いる場合、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。

40

50

【0186】

また、導電膜134Aおよび導電膜136Aの一方を、ダミー層としてもよい。ダミー層は、導電体122、絶縁体118、導電体119、絶縁体123、および導電膜134Aおよび導電膜136Aの他方に対して選択的にエッチングできる材料が好ましく、例えば、窒化シリコンや窒化酸化シリコンを用いることができる。後工程において、ダミー層を除去し、ダミー層が除去された領域に導電体を形成することで、導電体134および導電体136の一方を形成することができる。

【0187】

絶縁体132、絶縁体118、絶縁体117、および絶縁膜123Aとして、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などを用いることができる。酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを用いることができる。

10

【0188】

導電体136は、後工程において、導電体137、導電体134、導電体119、絶縁体138、および絶縁体123などに対して選択的にエッチングを行う必要があるため、導電膜136Aは、導電膜134A、導電膜134A、絶縁体138、および絶縁膜123Aに対する選択エッチングが可能な材料であることが好ましい。例えば、導電膜136Aは、導電膜134Aと異なる材料とし、絶縁体138、および絶縁膜123Aを酸化シリコン、または酸化窒化シリコンとすることが好ましい。

20

【0189】

また、本実施の形態では、絶縁膜123Aを6層、導電膜134Aを3層、および導電膜136Aを2層形成する例を示したが、積層数は、これに限らない。求められる半導体装置の性能に応じて、それぞれ形成することができる。ここで、導電膜134Aの積層数を m (m は2以上の整数)とすると、絶縁膜123Aの積層数は、 $2 \times m$ 、導電膜136Aの積層数は、 $m-1$ となる。例えば、 m は、33以上、好ましくは65以上、より好ましくは129以上、さらに好ましくは、257以上とすることができる。

30

【0190】

最上層の絶縁膜123Aの上に導電膜137Aを形成し、導電膜137A上に絶縁膜138Aを形成する。導電膜137Aは、導電膜134Aと同様な方法を用い、同様の材料で形成することができる。また絶縁膜138Aは、絶縁膜123Aと同様な方法を用い、同様の材料で形成することができる。

【0191】

次に、絶縁膜138A、導電膜137A、絶縁膜123A、導電膜134A、および導電膜136Aを加工し、図11Bに示すような階段状の絶縁体138B、導電体137B、絶縁体123B、導電体134B、および導電体136Bを形成する(図11A乃至図11C参照。)。絶縁膜138A、導電膜137A、絶縁膜123A、導電膜134A、および導電膜136Aの加工において、絶縁膜138A、導電膜137A、絶縁膜123A、導電膜134A、および導電膜136Aのエッチングと、マスクのスリミングを交互に行うことで、階段状の絶縁体138B、導電体137B、絶縁体123B、導電体134B、および導電体136Bを形成することができる。

40

【0192】

次に、絶縁体150を形成する(図11A乃至図11C参照。)。絶縁体150は、CVD法を用いて形成することができる。絶縁体150は、CMP法や、リフロー法を用いて、平坦化处理されていることが好ましい。

【0193】

50

次に、絶縁体150、絶縁体138B、導電体137B、絶縁体123B、導電体134B、および導電体136Bを加工して溝を形成し、絶縁体138、導電体137、絶縁体123、導電体134、および導電体136を得る。(図12A乃至図12C参照。)

【0194】

ここで、導電膜134Aおよび導電膜136Aの一方に、ダミー層を用いる場合、上記加工により露出する側面よりダミー層を除去し、ダミー層が除去された領域に導電体を形成してもよい。このとき、上記溝内部にも導電体が形成される場合、この導電体は除去する。なお、ダミー層の除去、および導電体の形成は、さらに後の工程で行ってもよい。

【0195】

次に、上記溝部分を埋め込むように絶縁体152を形成する(図12A乃至図12C参照。)。絶縁体152は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁体152を形成してもよい。絶縁体152は、CMP法や、リフロー法を用いて、平坦化処理されていることが好ましい。

【0196】

次に、絶縁体138、絶縁体150、および絶縁体152上に導電体184、および絶縁体185を形成する(図13A乃至図13C参照。)。導電体184、および絶縁体185は、それぞれ導電体122、および絶縁体132に用いることができる材料で、導電体122、および絶縁体132の形成に用いることができる方法を用いて形成することができる。

【0197】

次に、導電体184、および絶縁体185上に絶縁体186を形成する(図14A乃至図14C参照。)。絶縁体186は、絶縁体132に用いることができる材料で、絶縁体132の形成に用いることができる方法を用いて形成することができる。

【0198】

次に、絶縁体186上に導電体187、および絶縁体188を形成する(図14A乃至図14C参照。)。導電体187、および絶縁体188は、それぞれ導電体122、および絶縁体132に用いることができる材料で、導電体122、および絶縁体132の形成に用いることができる方法を用いて形成することができる。

【0199】

次に、導電体187、および絶縁体188上に絶縁体189を形成する(図14A乃至図14C参照。)。絶縁体189は、絶縁体132に用いることができる材料で、絶縁体132の形成に用いることができる方法を用いて形成することができる。

【0200】

次に、絶縁体189上にマスクを形成し、絶縁体189、導電体187、絶縁体186、導電体184、絶縁体138、導電体137、絶縁体123、導電体134、および導電体136を、リソグラフィ法を用いて加工し、導電体119を露出するように第1の開口を形成する(図15A乃至図15C参照。)

【0201】

ここで、導電体134および導電体136の一方に、ダミー層を用いる場合、上記加工により露出する側面よりダミー層を除去し、ダミー層が除去された領域に導電体を形成してもよい。このとき、上記第1の開口内部にも導電体が形成される場合、この導電体は除去する。

【0202】

次に、導電体136に対して等方性エッチングを行い、導電体136の開口の径を拡げる(図16A乃至図16C参照。)。この処理により、導電体136の開口の径は、絶縁体138、導電体137、絶縁体123、および導電体134の開口の径より大きくなる。また、導電体136は、上部または下部に位置する絶縁体138、導電体137、絶縁体123、または導電体134の側面に対して、凹部を有しているといえる。このような加

10

20

30

40

50

工には、ガス、ラジカル、プラズマなどを用いたドライエッチングによる等方性エッチングや、液体を用いたウェットエッチングによる等方性エッチングを用いることができる。ウェットエッチングに用いる液体をエッチャントと呼ぶことがある。ドライエッチングを用いて等方性エッチングを行う場合、塩素、臭素、およびフッ素の少なくとも一を含むガス、ラジカル、プラズマなどを用いることができる。等方性エッチングは、第1の開口の形成に用いたマスクを除去せずに行うことが好ましい。上記処理により得られた第1の開口は、図3に示した開口141に相当する。

【0203】

次に、絶縁体189上、および第1の開口内部に、絶縁膜124Aを形成する（図17A乃至図17C参照。）。なお、図示しないが、絶縁膜124Aは、積層構造を有していてもよい。絶縁膜124Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。特に、PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。または、ALD法と、CVD法を組み合わせると絶縁膜124Aを形成してもよい。絶縁膜124Aが積層構造を有する場合、各絶縁膜は、同じ成膜装置で形成されてもよいし、異なる成膜装置で形成されてもよい。

10

【0204】

上記の方法で形成された絶縁膜124Aは、被覆性が良く、導電体136が有する凹部に対しても絶縁膜124Aを形成することができる。すなわち、絶縁体123、導電体134、および導電体136の側面だけでなく、絶縁体123の上面の一部、および下面の一部とも接するように絶縁膜124Aを形成することができる。

20

【0205】

次に、第1の開口底部に形成された絶縁膜124Aを除去し、絶縁体124Bを得る。絶縁膜124Aの除去には、異方性エッチングを用いることが好ましい。このとき、絶縁体189上の絶縁膜124Aも除去されるため、絶縁体124Bは、第1の開口の側壁のみに設けられる（図18A乃至図18C参照。）。第1の開口底部の絶縁膜124Aを除去することで、再び導電体119が露出する。

【0206】

次に、図18A乃至図18Cに示すX-Y平面において、導電体184、および導電体187と重なる絶縁体124Bを除去する。絶縁体124Bの除去には、まず第1の開口内部に、後工程にて容易に除去可能な材料180（犠牲層とも呼ぶ）を埋め込むように形成し、第1の開口内部の所望の深さまで、エッチングなどにより除去する（図19A乃至図19C参照。）。次に、材料180をマスクに用いて、該エッチングにより露出した絶縁体124Bを除去し、絶縁体124を得る（図20A乃至図20C参照。）。絶縁体124Bの除去後、材料180を除去する。

30

【0207】

次に、絶縁体189上、および第1の開口内部に、半導体膜125A、および導電膜128Aを形成する（図21A乃至図21C参照。）。半導体膜125Aは、第1の開口内部で、少なくとも導電体119、絶縁体124、および導電体184と接するように設けられることが好ましい。

40

【0208】

半導体膜125Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。特に、PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。または、ALD法と、CVD法を組み合わせると半導体膜125Aを形成してもよい。半導体膜125Aは、CAAC構造を有する酸化物半導体であることが好ましい。半導体膜125AがCAAC構造を有する酸化物半導体である場合、半導体膜125Aのc軸は、第1の開口内部において、被形成面の法線方向に配向する。このとき、絶縁体124を介して、絶縁体138、導電体137

50

、絶縁体 123、導電体 134、および導電体 136 の側面に位置する半導体膜 125A の c 軸は、被形成面から図 21B、および図 21C に示す軸 178 に向かって配向する。なお、軸 178 は、第 1 の開口の中心軸と呼ぶことができる。これにより、上記に位置する半導体 125 の c 軸は、被形成面から軸 178 に向かって配向する。

【0209】

ここで、半導体膜 125A として、ALD 法を用いて金属酸化物を形成する場合、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、および亜鉛を含むプリカーサを用いて In-Ga-Zn 酸化物を形成することが好ましい。

【0210】

インジウムを含むプリカーサとして、トリエチルインジウム、トリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)インジウム、シクロペンタジエニルインジウム、塩化インジウム(III)などを用いることができる。また、ガリウムを含むプリカーサとして、トリメチルガリウム、トリエチルガリウム、トリス(ジメチルアミド)ガリウム、ガリウム(III)アセチルアセトナート、トリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、塩化ガリウム(III)などを用いることができる。また、亜鉛を含むプリカーサとして、ジメチル亜鉛、ジエチル亜鉛、ビス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)亜鉛、塩化亜鉛などを用いることができる。

【0211】

導電膜 128A は、少なくとも、絶縁体 124、および半導体膜 125A を介して、導電体 136 の凹部を充填するように形成されていればよく、必ずしも第 1 の開口内部全てを充填する必要は無い。導電膜 128A は、CVD 法や ALD 法を用いて形成することができる。特に、ALD 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。特に、PEALD 法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。または、ALD 法と、CVD 法を組み合わせる導電膜 128A を形成してもよい。

【0212】

次に、導電膜 128A を加工して、導電体 128 を形成する(図 22A 乃至図 22C 参照。)。導電膜 128A の加工には、等方性エッチング、または異方性エッチングを用いることができる。導電膜 128A の形成において、図 21A 乃至図 21C に示すように、導電膜 128A が凹部を充填し、第 1 の開口は完全に充填されていない場合は、導電膜 128A の加工には、等方性エッチングを用いることが好ましい。一方、凹部および第 1 の開口を充填するように導電膜 128A が形成されている場合は、異方性エッチングを用いることが好ましい。上記のような加工により、凹部の内部に、導電体 128 を形成することができる。

【0213】

次に、第 1 の開口内部に、材料 181 を形成する(図 22A 乃至図 22C 参照。)。材料 181 は、半導体膜 125A、導電体 119、絶縁体 118 などの加工において半導体膜 125A を保護する犠牲層として用いる。材料 181 は、絶縁性の材料で形成されることが好ましいが、本実施の形態の一態様は、これに限らない。材料 181 は、導電性を有する材料でもよい。材料 181 は、絶縁膜 124A に用いることができる材料で、絶縁膜 124A の形成に用いることができる方法を用いて形成することができる。

【0214】

次に、導電体 128 をマスクとして、半導体膜 125A の一部を高抵抗化し、高抵抗領域(I 型領域)を形成することが好ましい。高抵抗領域の形成方法として、半導体膜 125A をマイクロ波で照射し、半導体膜 125A に含まれる水素を除去すればよい。また、マイクロ波の照射を、酸素を含む雰囲気で行うことで、半導体膜 125A に酸素が供給されるため、好ましい。本実施の形態では、酸素、およびアルゴンを含む雰囲気下において半導体膜 125A の一部をマイクロ波で照射し、導電体 128 に覆われない半導体膜 125A の第 1 の領域を高抵抗化する。

【0215】

ここで、加熱処理を行ってもよい。加熱処理は、窒素を含む雰囲気、200℃以上500℃以下、好ましくは、300℃以上400℃以下で行うことが好ましい。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧雰囲気で行われてもよいし、大気圧雰囲気で行われてもよい。

【0216】

加熱処理により、導電体128と接する半導体膜125Aの第2の領域が低抵抗化し、低抵抗領域（N型領域）を形成することができる。半導体膜125Aと、導電体128が接する状態で、加熱処理を行うことで、導電体128と半導体膜125Aの界面には、導電体128が有する金属元素と、半導体膜125Aの成分とを含む金属化合物層が形成される場合がある。該金属化合物層が形成されることで、導電体128と接する領域において、半導体膜125Aの抵抗が低減するため好ましい。また、半導体膜125Aに含まれる酸素を、導電体128が吸収する場合がある。半導体膜125Aと、導電体128が接する状態で、加熱処理を行うことで、半導体膜125Aは、より低抵抗化する。該加熱処理は、マイクロ波処理前に行ってもよい。加熱処理により低抵抗化した第2の領域は、導電体128に覆われているため、マイクロ波の影響を受けず、マイクロ波処理後も低い抵抗値を維持できる。

【0217】

上記マイクロ波処理、および加熱処理後の第1の領域のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 未満、好ましくは、 $1 \times 10^{17} / \text{cm}^3$ 以下、より好ましくは、 $1 \times 10^{16} / \text{cm}^3$ 以下であることが好ましい。また、第2の領域のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上、好ましくは、 $1 \times 10^{19} / \text{cm}^3$ 以上、より好ましくは、 $1 \times 10^{20} / \text{cm}^3$ 以上であることが好ましい。

【0218】

なお、半導体膜125Aの高抵抗化処理を行う工程は、材料181の形成後に限らない。材料181の形成前に高抵抗化処理を行っても構わない。また、後述する絶縁膜126Aの形成前に高抵抗化処理を行ってもよいし、絶縁膜126Aの形成後に高抵抗化処理を行ってもよい。

【0219】

次に、第1の開口底部に形成された、材料181、および半導体膜125A、導電体119、および絶縁体118を除去し、半導体125Bを得る。半導体膜125A、材料181、導電体119、および絶縁体118の除去には、異方性エッチングを用いることが好ましい。このとき、絶縁体189上の半導体膜125A、および材料181も除去されるため、半導体125Bは、第1の開口の側壁のみに設けられる（図23A乃至図23C参照）。第1の開口底部の、半導体膜125A、材料181、導電体119、および絶縁体118を除去することで、導電体122が露出する。

【0220】

次に、図24A乃至図24Cに示すX-Y平面において、導電体187と重なる材料181、および半導体125Bを除去する。半導体125Bの除去には、まず第1の開口内部に、後工程にて容易に除去可能な材料182（犠牲層とも呼ぶ）を埋め込むように形成し、第1の開口内部の所望の深さまで、エッチングなどにより除去する（図24A乃至図24C参照）。次に、材料182をマスクに用いて、該エッチングにより露出した材料181、および半導体125Bを除去し、半導体125を得る（図24A乃至図24C参照）。半導体125Bの除去後、材料182、および材料181を除去する。

【0221】

次に、絶縁体189上、および第1の開口内部に、絶縁膜126Aを形成する（図25A乃至図25C参照）。なお、図示しないが、絶縁膜126Aは、積層構造を有していてもよい。絶縁膜126Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜

10

20

30

40

50

を形成することができるため、好ましい。特に、P E A L D法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。または、A L D法と、C V D法を組み合わせることで絶縁膜126Aを形成してもよい。絶縁膜126Aが積層構造を有する場合、各絶縁膜は、同じ成膜装置で形成されてもよいし、異なる成膜装置で形成されてもよい。

【0222】

次に、第1の開口底部に形成された絶縁膜126Aを除去し、絶縁体126Bを得る。絶縁膜126Aの除去には、異方性エッチングを用いることが好ましい。このとき、絶縁体189上の絶縁膜126Aも除去されるため、絶縁体126Bは、第1の開口の側壁のみに設けられる(図26A乃至図26C参照。)。第1の開口底部の絶縁膜126Aを除去することで、再び導電体122が露出する。

10

【0223】

次に、図27A乃至図27Cに示すX-Y平面において、導電体187と重なる絶縁体126Bを除去する。絶縁体126Bの除去には、まず第1の開口内部に、後工程にて容易に除去可能な材料183(犠牲層とも呼ぶ)を埋め込むように形成し、第1の開口内部の所望の深さまで、エッチングなどにより除去する(図27A乃至図27C参照。)。次に、材料183をマスクに用いて、該エッチングにより露出した絶縁体126Bを除去し、絶縁体126を得る(図27A乃至図27C参照。)。絶縁体126Bの除去後、材料183を除去する。

【0224】

次に、第1の開口内部に、導電体122と接するように半導体膜127Aを形成する(図28A乃至図28C参照。)。半導体膜127Aは、C V D法やA L D法を用いて形成することができる。特に、A L D法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。特に、P E A L D法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。または、A L D法と、C V D法を組み合わせることで半導体膜127Aを形成してもよい。このとき、半導体膜127Aは、導電体187と接するように形成することが好ましい。また、半導体膜127Aは、C A A C構造を有する酸化物半導体であることが好ましい。半導体膜127AがC A A C構造を有する酸化物半導体である場合、半導体膜127Aのc軸は、第1の開口内部において、被形成面の法線方向に配向する。このとき、第1の開口の側面に位置する半導体膜127Aのc軸は、被形成面から図28Bおよび図28Cに示す軸178に向かって配向する。これにより、上記に位置する半導体127のc軸は、被形成面から軸178に向かって配向する。

20

30

【0225】

ここで、半導体膜127Aとして、A L D法を用いて金属酸化物を形成する場合、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、および亜鉛を含むプリカーサを用いてIn-Ga-Zn酸化物を形成することが好ましい。

【0226】

インジウムを含むプリカーサとして、トリエチルインジウム、トリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオン酸)インジウム、シクロペンタジエニルインジウム、塩化インジウム(III)などを用いることができる。また、ガリウムを含むプリカーサとして、トリメチルガリウム、トリエチルガリウム、トリス(ジメチルアミド)ガリウム、ガリウム(III)アセチルアセトナート、トリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオン酸)ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、塩化ガリウム(III)などを用いることができる。また、亜鉛を含むプリカーサとして、ジメチル亜鉛、ジエチル亜鉛、ビス(2,2,6,6-テトラメチル-3,5-ヘプタンジオン酸)亜鉛、塩化亜鉛などを用いることができる。

40

【0227】

次に、絶縁体189上に形成された半導体膜127Aを除去する。半導体膜127Aの除去には、まず、第1の開口内部において、半導体膜127Aの内側に、後工程にて容易に

50

除去可能な材料 179（犠牲層とも呼ぶ）を埋め込むように形成する。次に、材料 179 をマスクに用いて、半導体膜 127A を除去し、半導体 127 を得る（図 29A 乃至図 29C 参照。）。半導体膜 127A の除去には、エッチングや CMP 法などを用いることができる。半導体膜 127A をエッチングにより除去する場合、ドライエッチングを用いてもよいし、ウェットエッチングを用いてもよい。半導体膜 127A の除去後、材料 179 を除去する。

【0228】

次に、絶縁体 189 上、および半導体 127 の内側に、絶縁体 129 を形成し、絶縁体 129 の内側に、導電体 130 を形成する（図 30A 乃至図 30C 参照。）。絶縁体 129、および導電体 130 は、CVD 法や ALD 法を用いて形成することができる。CVD 法や ALD 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD 法と、CVD 法を組み合わせ形成してもよい。また、形成する膜ごとに、異なる成膜方法や成膜装置を用いてもよい。例えば、絶縁体 129 は、絶縁膜 124A に用いることができる材料で、絶縁膜 124A の形成に用いることができる方法を用いることができる。また、導電体 130 は、導電膜 128A に用いることができる材料で、導電膜 128A の形成に用いることができる方法を用いることができる。

【0229】

ここで、半導体 127 に対して、半導体膜 125A に行ったような高抵抗化処理を行ってもよい。半導体 127 に対して高抵抗化処理を行う場合、該高抵抗化処理は、導電体 130 の形成前、または絶縁体 129 の形成前に行うことが好ましい。また、半導体膜 127A に対して高抵抗化処理を行うことで、半導体 125 の第 1 の領域の高抵抗化も行える場合、先の工程の高抵抗化処理は省略してもよい。

【0230】

次に、加熱処理を行う。加熱処理は、窒素を含む雰囲気中で、200℃以上500℃以下、好ましくは、300℃以上400℃以下で行うことが好ましい。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧雰囲気で行われてもよいし、大気圧雰囲気で行われてもよい。

【0231】

導電体 130 は、絶縁体 129 上、および絶縁体 129 の内側に導電膜を形成し、該導電膜を、絶縁体 129 の表面が露出するまで CMP 法などを用いて除去することで、得ることができる（図 30A 乃至図 30C 参照。）。なお、前述した加熱処理は、導電体 130 形成後に行ってもよい。

【0232】

次に、導電体 130、および絶縁体 129 上に絶縁体 156 を形成する（図 31A 乃至図 31C 参照。）。絶縁体 156 は、CVD 法、ALD 法、スパッタリング法などを用いて形成することができる。

【0233】

次に、絶縁体 156、絶縁体 129、絶縁体 189、絶縁体 188、絶縁体 186、絶縁体 185、絶縁体 138、絶縁体 150、および絶縁体 123 を、リソグラフィ法を用いて加工し、導電体 134、導電体 136、導電体 130、および導電体 137 を露出するように第 2 の開口を形成する。第 2 の開口は、階段状に形成された導電体 134、および導電体 136 それぞれに対して形成する（図 31A 乃至図 31C 参照。）。なお、図示しないが、導電体 184、および導電体 187 を露出する開口、および導電体 119、および導電体 122 を露出する開口を、上記の工程において形成してもよい。

【0234】

次に、第 2 の開口に埋め込むように、導電体 134 と電氣的に接続する導電体 161、導電体 136 と電氣的に接続する導電体 162、導電体 130 と電氣的に接続する導電体 163、および導電体 137 と電氣的に接続する導電体 164 を形成する（図 31A 乃至図 31C 参照。）。導電体 161、導電体 162、導電体 163、および導電体 164 は、

CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで上記導電体を形成してもよい。また、導電体161、導電体162、導電体163、および導電体164は、複数の層からなる積層構造を有していてもよい。導電体161、導電体162、導電体163、および導電体164は、絶縁体156上、および第2の開口内部に導電膜を形成し、CMP法などを用いて不要な導電膜を除去することで、形成することができる。なお、図示しないが、導電体184、導電体187、導電体119、および導電体122とそれぞれ電氣的に接続する導電体を、上記の工程において形成してもよい。

【0235】

次に、導電体161と電氣的に接続する導電体171、導電体162と電氣的に接続する導電体172、導電体163と電氣的に接続する導電体173、および導電体164と電氣的に接続する導電体174を形成する（図31A乃至図31C参照。）。導電体171、導電体172、導電体173、および導電体174は、絶縁体156上に導電膜を形成し、リソグラフィ法を用いて加工することで形成できる。該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0236】

導電体171、導電体161、および導電体134は、導電体SG、または導電体WWLとして機能することができる。導電体172、導電体162、および導電体136は導電体RWLとして機能することができる。導電体173、導電体163、および導電体130は、導電体BGとして機能することができる。導電体174、導電体164、および導電体137は、導電体SELとして機能することができる。導電体184は、導電体WBLとして機能することができる。導電体187は、導電体RBLとして機能することができる。以上の工程により、チャンネル形成領域として機能する半導体125と、ゲートとして機能する導電体134とを有するトランジスタSTr1、チャンネル形成領域として機能する半導体127と、ゲートとして機能する導電体137とを有するトランジスタSTr2、チャンネル形成領域として機能する半導体125と、ゲートとして機能する導電体137とを有するトランジスタSTr3、チャンネル形成領域として機能する半導体125と、ゲートとして機能する導電体134とを有するトランジスタWTr、およびチャンネル形成領域として機能する半導体127と、ゲートとして機能する導電体136と、バックゲートとして機能する導電体130と、半導体127と導電体136の間の導電体128とを有するトランジスタRTrを作製することができる。また、トランジスタSTr1、トランジスタSTr2、トランジスタSTr3、トランジスタWTr、およびトランジスタRTrを有する記憶装置を作製することができる。

【0237】

<成膜装置の構成例>

ここで、ALD法を用いて成膜することが可能な装置の一例として、成膜装置4000の構成について、図32A及び図32Bを用いて説明する。図32Aは、マルチチャンバ型の成膜装置4000の模式図であり、図32Bは、成膜装置4000に用いることができるALD装置の断面図である。

【0238】

成膜装置4000は、搬入搬出室4002と、搬入搬出室4004と、搬送室4006と、成膜室4008と、成膜室4009と、成膜室4010と、搬送アーム4014と、を有する。ここで、搬入搬出室4002、搬入搬出室4004、及び成膜室4008乃至4010は、搬送室4006とそれぞれ独立に接続されている。これにより、成膜室4008乃至4010において大気に曝すことなく、連続成膜を行うことができ、膜中に不純物が混入するのを防ぐことができる。また、基板と膜の界面、および各膜の界面の汚染は低減され、清浄な界面が得られる。

【0239】

なお、搬入搬出室4002、搬入搬出室4004、搬送室4006、及び成膜室4008乃至4010は、水分の付着などを防ぐため、露点が管理された不活性ガス（窒素ガス等）を充填させておくことが好ましく、減圧を維持させることが望ましい。

【0240】

また、成膜室4008乃至4010には、ALD装置を用いることができる。また、成膜室4008乃至4010のいずれかにALD装置以外の成膜装置を用いる構成としてもよい。成膜室4008乃至4010に用いることができる成膜装置としては、例えば、スパッタリング装置、プラズマCVD（PECVD：Plasma Enhanced CVD）装置、熱CVD（TCVD：Thermal CVD）装置、光CVD（Photo CVD）装置、金属CVD（MCVD：Metal CVD）装置、有機金属CVD（MOCVD：Metal Organic CVD）装置などがある。また、成膜室4008乃至4010のいずれか1つまたは複数に、成膜装置以外の機能を有する装置を設けても構わない。当該装置としては、例えば、加熱装置（代表的には、真空加熱装置）、プラズマ発生装置（代表的には、μ波プラズマ発生装置）などが挙げられる。

【0241】

例えば、成膜室4008をALD装置とし、成膜室4009をPECVD装置とし、成膜室4010を金属CVD装置とした場合、成膜室4008で金属酸化物、成膜室4009でゲート絶縁膜として機能する絶縁膜、成膜室4010でゲート電極として機能する導電膜を形成することができる。このとき、金属酸化物と、その上の絶縁膜と、その上の導電膜を、大気に曝すことなく、連続で形成することができる。

【0242】

また、成膜装置4000は、搬入搬出室4002、搬入搬出室4004、成膜室4008乃至4010を有する構成としているが、本発明はこれに限られるものではない。成膜装置4000の成膜室を4個以上にする構成としてもよい。また、成膜装置4000は枚葉式としてもよいし、複数の基板を一括で成膜するバッチ式にしてもよい。

【0243】

<ALD装置>

次に、成膜装置4000に用いることができるALD装置の構成について、図32Bを用いて説明する。ALD装置は、成膜室（チャンバー4020）と、原料供給部4021（原料供給部4021a、および4021b）、原料供給部4031と、導入量制御器である高速バルブ4022（高速バルブ4022a、および4022b）と、原料導入口4023（原料導入口4023a、および4023b）、原料導入口4033と、原料排出口4024と、排気装置4025を有する。チャンバー4020内に設置される原料導入口4023a、4023b、および4033は供給管やバルブを介して原料供給部4021a、4021b、および4031とそれぞれ接続されており、原料排出口4024は、排出管やバルブや圧力調整器を介して排気装置4025と接続されている。

【0244】

また、図32Bに示すようにチャンバー4020にプラズマ発生装置4028を接続することにより、熱ALD法に加えて、プラズマALD法で成膜を行うことができる。プラズマ発生装置4028は、高周波電源に接続されたコイル4029を用いるICP型のプラズマ発生装置とするのが好ましい。高周波電源は、10kHz以上100MHz以下、好ましくは1MHz以上60MHz以下、より好ましくは10MHz以上60MHz以下の周波数を持った電力を出力することができる。例えば、13.56MHz、60MHzの周波数を持った電力を出力することができる。プラズマALD法では、低温でも成膜レートをとさず成膜ができるので、成膜効率の低い枚葉式の成膜装置で用いるとよい。

【0245】

チャンバー内部には基板ホルダ4026があり、その基板ホルダ4026上に基板4030を配置する。基板ホルダ4026には、一定の電位、または高周波が印加される機構が設けられていてもよい。あるいは、基板ホルダ4026は、フローティングでもよいし、接地されていてもよい。また、チャンバー外壁には、ヒータ4027が設けられており、

チャンバー４０２０内部、基板ホルダ４０２６、および基板４０３０表面などの温度を制御することができる。ヒータ４０２７は、基板４０３０表面の温度を１００℃以上５００℃以下、好ましくは、２００℃以上４００℃以下に制御できることが好ましく、ヒータ４０２７自体の温度は１００℃以上５００℃以下に設定できることが好ましい。

【０２４６】

原料供給部４０２１ａ、４０２１ｂ、および４０３１では、気化器や加熱手段などによって固体の原料や液体の原料から原料ガスを形成する。または、原料供給部４０２１ａ、４０２１ｂ、および４０３１は、気体の原料ガスを供給する構成としてもよい。

【０２４７】

また、図３２Ｂでは、原料供給部４０２１を２つ、原料供給部４０３１を１つ設けている例を示しているが本実施の形態はこれに限定されない。原料供給部４０２１を１つ、または３つ以上設けてもよい。また原料供給部４０３１を２つ以上設けてもよい。また、高速バルブ４０２２ａ、４０２２ｂは時間で精密に制御することができ、原料供給部４０２１ａから供給される原料ガスと原料供給部４０２１ｂから供給される原料ガスの供給を制御する構成となっている。

【０２４８】

図３２Ｂに示す成膜装置では、基板４０３０を基板ホルダ４０２６上に搬入し、チャンバー４０２０を密閉状態とした後、ヒータ４０２７により基板４０３０を所望の温度（例えば、１００℃以上５００℃以下、好ましくは２００℃以上４００℃以下）とし、原料供給部４０２１ａから供給される原料ガスの供給と、排気装置４０２５による排気と、原料供給部４０３１から供給される原料ガスの供給と、排気装置４０２５による排気とを繰り返すことで薄膜を基板表面に形成する。また、該薄膜の形成において、さらに原料供給部４０２１ｂから供給される原料ガスの供給と、排気装置４０２５による排気を行ってもよい。ヒータ４０２７の温度は、形成される膜種、原料ガス、所望の膜質、基板や、その設けられている膜や素子の耐熱性に応じて適宜決定すればよい。例えば、ヒータ４０２７の温度を２００℃以上３００℃以下に設定して成膜してもよいし、３００℃以上５００℃以下に設定して成膜してもよい。

【０２４９】

ヒータ４０２７を用いて基板４０３０を加熱しながら成膜することで、後工程に必要な基板４０３０の加熱処理を省略することができる。すなわち、ヒータ４０２７が設けられたチャンバー４０２０、または成膜装置４０００を用いることで、基板４０３０上の膜の形成と、基板４０３０の加熱処理を兼ねることができる。

【０２５０】

図３２Ｂに示す成膜装置では、原料供給部４０２１、および原料供給部４０３１で用いる原料（揮発性有機金属化合物など）を適宜選択することにより、金属酸化物を形成することができる。金属酸化物として、インジウム、ガリウム、亜鉛を含むＩｎ－Ｇａ－Ｚｎ酸化物を形成する場合、少なくとも３つの原料供給部４０２１と、少なくとも１つの原料供給部４０３１が設けられた成膜装置を用いることが好ましい。第１の原料供給部４０２１からインジウムを含むプリカーサが供給され、第２の原料供給部４０２１からガリウムを含むプリカーサが供給され、第３の原料供給部４０２１から亜鉛を含むプリカーサが供給されることが好ましい。金属酸化物の形成に、ガリウムおよび亜鉛を含むプリカーサを用いる場合、原料供給部４０２１は、少なくとも２つ設けられればよい。インジウムを含むプリカーサ、ガリウムを含むプリカーサ、および亜鉛を含むプリカーサとして、それぞれ前述したプリカーサを用いることができる。

【０２５１】

また、原料供給部４０３１からは、リアクタントが供給される。リアクタントとして、オゾン、酸素、水の少なくとも１つを含む酸化剤を用いることができる。

【０２５２】

また、原料供給部４０２１ａ、４０２１ｂ、および４０３１で用いる原料（揮発性有機金属化合物など）を適宜選択することにより、ハフニウム、アルミニウム、タンタル、ジル

10

20

30

40

50

コニウム等から選択された一種以上の元素を含む酸化物（複合酸化物も含む）を含んで構成される絶縁層を成膜することができる。具体的には、酸化ハフニウムを含んで構成される絶縁層、酸化アルミニウムを含んで構成される絶縁層、ハフニウムシリケートを含んで構成される絶縁層、またはアルミニウムシリケートを含んで構成される絶縁層などを成膜することができる。また、原料供給部 4021a、4021b、および 4031 で用いる原料（揮発性有機金属化合物など）を適宜選択することにより、タングステン層、チタン層などの金属層や、窒化チタン層などの窒化物層などの薄膜を成膜することもできる。

【0253】

例えば、ALD装置により酸化ハフニウム層を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（TDMAHf）などのハフニウムアミド）を気化させた第1の原料ガスと、酸化剤としてオゾン（O₃）および酸素（O₂）の第2の原料ガスを用いる。この場合、原料供給部 4021a から供給する第1の原料ガスが TDMAHf であり、原料供給部 4031 から供給する第2の原料ガスがオゾンおよび酸素となる。なお、テトラキスジメチルアミドハフニウムの化学式は $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。また、第2の原料ガスとして、水を用いることができる。

【0254】

ALD装置により酸化アルミニウム層を形成する場合には、溶媒とアルミニウム前駆体化合物（TMA：トリメチルアルミニウムなど）を含む液体を気化させた第1の原料ガスと、酸化剤としてオゾン（O₃）および酸素（O₂）を含む第2の原料ガスを用いる。この場合、原料供給部 4021a から供給する第1の原料ガスが TMA であり、原料供給部 4031 から供給する第2の原料ガスがオゾンおよび酸素となる。なお、トリメチルアルミニウムの化学式は $\text{Al}(\text{CH}_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオナート）などがある。また、第2の原料ガスとして、水を用いることができる。

【0255】

図33A乃至図33Cを用いて、成膜装置4000に用いることができるALD装置の異なる構成について説明する。なお、図32Bに示したALD装置と同様の構成や、その機能については詳細な説明を省略する場合がある。

【0256】

図33AはプラズマALD装置の一態様を示す模式図である。プラズマALD装置4100は、反応室4120と反応室4120上部に、プラズマ生成室4111が設けられている。反応室4120は、チャンバーと呼ぶことができる。または、反応室4120とプラズマ生成室4111を合わせてチャンバーと呼ぶことができる。反応室4120は、原料導入口4123と、原料排出口4124を有し、プラズマ生成室4111は、原料導入口4133を有する。また、プラズマ生成装置4128によりRF等の高周波や、マイクロ波をプラズマ生成室4111に導入されたガスに印加し、プラズマ生成室4111内にプラズマ4131を生成することができる。マイクロ波を用いてプラズマ4131を生成する場合、代表的には周波数2.45GHzのマイクロ波が用いられる。このようなマイクロ波を用いて生成されたプラズマをECR（Electron Cyclotron Resonance）プラズマと呼ぶ場合がある。また、反応室4120は、基板ホルダ4126を有し、その上に基板4130が配置される。原料導入口4123から導入された原料ガスは、反応室4120に設けられたヒータからの熱により分解され、基板4130上に堆積する。また、原料導入口4133から導入された原料ガスは、プラズマ生成装置4128によりプラズマ状態となる。プラズマ状態となった原料ガスは、基板4130表面に到達するまでに電子や他の分子と再結合し、ラジカル状態となり基板4130に到達する。このように、ラジカルを利用して成膜を行うALD装置を、ラジカルALD（Radical-Enhanced ALD）装置と呼ぶ場合もある。また、プラズマALD装

10

20

30

40

50

置 4 1 0 0 では、プラズマ生成室 4 1 1 1 を反応室 4 1 2 0 の上部に設ける構成を示しているが、本実施の形態はこれに限定されない。プラズマ生成室 4 1 1 1 を反応室 4 1 2 0 の側面に隣接して設けてもよい。

【 0 2 5 7 】

図 3 3 B はプラズマ A L D 装置の一態様を示す模式図である。プラズマ A L D 装置 4 2 0 0 は、チャンバー 4 2 2 0 を有している。チャンバー 4 2 2 0 は、電極 4 2 1 3、原料排出口 4 2 2 4、基板ホルダ 4 2 2 6 を有し、その上に基板 4 2 3 0 が配置される。電極 4 2 1 3 は、原料導入口 4 2 2 3 と、導入された原料ガスをチャンバー 4 2 2 0 内に供給するシャワーヘッド 4 2 1 4 を有している。また、電極 4 2 1 3 には、コンデンサ 4 2 1 7 を介して高周波を印加できる電源 4 2 1 5 が接続されている。基板ホルダ 4 2 2 6 には、一定の電位、または高周波が印加される機構が設けられていてもよい。あるいは、基板ホルダ 4 2 2 6 は、フローティングでもよいし、接地されていてもよい。電極 4 2 1 3、および基板ホルダ 4 2 2 6 は、それぞれプラズマ 4 2 3 1 を生成するための上部電極、および下部電極として機能する。原料導入口 4 2 2 3 から導入された原料ガスは、チャンバー 4 2 2 0 に設けられたヒータからの熱により分解され、基板 4 2 3 0 上に堆積する。または、原料導入口 4 2 2 3 から導入された原料ガスは、電極 4 2 1 3、および基板ホルダ 4 2 2 6 の間でプラズマ状態となる。プラズマ状態となった原料ガスは、プラズマ 4 2 3 1 と基板 4 2 3 0 の間に生じる電位差（イオンシースともいう）により基板 4 2 3 0 に入射する。

【 0 2 5 8 】

図 3 3 C は、図 3 3 B とは異なるプラズマ A L D 装置の一態様を示す模式図である。プラズマ A L D 装置 4 3 0 0 は、チャンバー 4 3 2 0 を有している。チャンバー 4 3 2 0 は、電極 4 3 1 3、原料排出口 4 3 2 4、基板ホルダ 4 3 2 6 を有し、その上に基板 4 3 3 0 が配置される。電極 4 3 1 3 は、原料導入口 4 3 2 3 と、導入された原料ガスをチャンバー 4 3 2 0 内に供給するシャワーヘッド 4 3 1 4 を有している。また、電極 4 3 1 3 には、コンデンサ 4 3 1 7 を介して高周波を印加できる電源 4 3 1 5 が接続されている。基板ホルダ 4 3 2 6 には、一定の電位、または高周波が印加される機構が設けられていてもよい。あるいは、基板ホルダ 4 3 2 6 は、フローティングでもよいし、接地されていてもよい。電極 4 3 1 3、および基板ホルダ 4 3 2 6 は、それぞれプラズマ 4 3 3 1 を生成するための上部電極、および下部電極として機能する。プラズマ A L D 装置 4 3 0 0 は、電極 4 3 1 3 と基板ホルダ 4 3 2 6 の間に、コンデンサ 4 3 2 2 を介して高周波を印加できる電源 4 3 2 1 が接続されたメッシュ 4 3 1 9 を有している点で、プラズマ A L D 装置 4 2 0 0 と異なる。メッシュ 4 3 1 9 を設けることで、基板 4 1 3 0 からプラズマ 4 2 3 1 を離すことができる。原料導入口 4 3 2 3 から導入された原料ガスは、チャンバー 4 3 2 0 に設けられたヒータからの熱により分解され、基板 4 3 3 0 上に堆積する。または、原料導入口 4 3 2 3 から導入された原料ガスは、電極 4 3 1 3、および基板ホルダ 4 3 2 6 の間でプラズマ状態となる。プラズマ状態となった原料ガスは、メッシュ 4 3 1 9 により電荷が除去され、ラジカルなどの電氣的に中性な状態で基板 4 1 3 0 に到達する。このため、イオンの入射やプラズマによる損傷が抑制された成膜を行うことができる。

【 0 2 5 9 】

A L D 法を用いて半導体 1 2 5、または半導体 1 2 7 を形成することで、被成膜面の法線方向と概略平行に c 軸が配向した C A A C 構造の金属酸化物を形成することができる場合がある。

【 0 2 6 0 】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【 0 2 6 1 】

（実施の形態 2）

本実施の形態では、記憶装置であるメモリストリング 1 2 0 の回路構成と動作について説明する。図 3 4 にメモリストリング 1 2 0 の回路構成例を示す。また、図 3 5 に記憶素子

10

20

30

40

50

MCの等価回路図を示す。

【0262】

また、図面などにおいて、配線、電極または導電体などの電位をわかりやすくするため、配線、電極または導電体などに隣接してH電位を示す“H”、またはL電位を示す“L”を付記する場合がある。また、電位変化が生じた配線、電極または導電体などには、“H”または“L”を囲み文字で付記する場合がある。また、トランジスタがオフ状態である場合、当該トランジスタに重ねて“×”記号を付記する場合がある。

【0263】

<メモリストリングの回路構成例>

図34では、5つの記憶素子MCを備えるメモリストリング120の回路構成例を示している。記憶素子MCはトランジスタWTrおよびトランジスタRTrを有する。図34では、記憶素子MC[1]に含まれるトランジスタWTrをトランジスタWTr[1]と示し、記憶素子MC[1]に含まれるトランジスタRTrをトランジスタRTr[1]と示している。よって、図34に示すメモリストリング120は、トランジスタWTr[1]乃至トランジスタWTr[5]、およびトランジスタRTr[1]乃至トランジスタRTr[5]を有する。また、図34に示すメモリストリング120は、トランジスタSTr1、トランジスタSTr2、およびトランジスタSTr3を有する。メモリストリング120は、NAND型の記憶装置である。

【0264】

なお、等価回路図などにおいて、トランジスタがOSTランジスタであることを明示するために、トランジスタの回路記号に「OS」を付記する場合がある。同様に、トランジスタがSiトランジスタ（チャネルが形成される半導体層にシリコンを用いたトランジスタ）であることを明示するために、トランジスタの回路記号に「Si」を付記する場合がある。図34では、トランジスタWTrおよびトランジスタRTrがOSTランジスタであることを示している。

【0265】

OSメモリを含むNAND型の記憶装置を「OS NAND型」または「OS NAND型の記憶装置」ともいう。また、複数のOSメモリがZ方向に積層された構成を有するOS NAND型の記憶装置を「3D OS NAND型」または「3D OS NAND型の記憶装置」ともいう。

【0266】

トランジスタWTrはノーマリーオフ型のトランジスタであり。トランジスタRTrはノーマリーオン型のトランジスタである。また、上記実施の形態で説明した通り、トランジスタRTrは、ゲートと半導体層の間に導電体128を備える。導電体128は、トランジスタRTrのフローティングゲートとして機能できる。例えば、トランジスタRTr[1]に含まれる導電体128を導電体128[1]と呼ぶ。

【0267】

また、導電体128と、トランジスタWTrのソースまたはドレインの一方が電氣的に接続する節点をノードNDとする。例えば、導電体128[1]と、トランジスタWTr[1]のソースまたはドレインの一方が電氣的に接続する節点をノードND[1]と呼ぶ。

【0268】

トランジスタRTr[1]のソースまたはドレインの一方は、導電体RSLと電氣的に接続され、他方はトランジスタRTr[2]のソースまたはドレインの一方と電氣的に接続される。トランジスタRTr[1]のゲートは導電体RWL[1]と電氣的に接続される。トランジスタRTr[1]のバックゲートは導電体BGと電氣的に接続される。トランジスタWTr[1]のソースまたはドレインの一方は導電体128[1]と電氣的に接続され、他方は導電体128[2]と電氣的に接続される。トランジスタWTr[1]のゲートは導電体WWL[1]と電氣的に接続される。また、トランジスタSTr1のソースまたはドレインの一方は導電体WSLと電氣的に接続され、他方は導電体128[1]と電氣的に接続され、ゲートは導電体SGと電氣的に接続される。

10

20

30

40

50

【0269】

ここで、図35に示すように、トランジスタRT_rは、容量C_sとトランジスタT_rに置き換えて表すことができる。トランジスタT_rのゲートは、容量C_sを介して導電体RW_Lと電氣的に接続される。

【0270】

また、トランジスタRT_r [5] のソースまたはドレインの一方は、トランジスタRT_r [4] のソースまたはドレインの他方と電氣的に接続され、他方はトランジスタST_r 2のソースまたはドレインの一方と電氣的に接続される。トランジスタRT_r [5] のゲートは、導電体RW_L [5] と電氣的に接続される。トランジスタRT_r [5] のバックゲートは導電体BGと電氣的に接続される。トランジスタWT_r [5] のソースまたはドレインの一方は導電体128 [5] と電氣的に接続され、他方はトランジスタST_r 3のソースまたはドレインの一方と電氣的に接続される。トランジスタWT_r [5] のゲートは導電体WW_L [5] と電氣的に接続される。また、トランジスタST_r 2のソースまたはドレインの他方は導電体RBLと電氣的に接続され、ゲートは導電体SELと電氣的に接続される。また、トランジスタST_r 3のソースまたはドレインの他方は導電体WBLと電氣的に接続され、ゲートは導電体SELと電氣的に接続される。

【0271】

メモリストリング120がn個（nは1以上の整数）の記憶素子MCを備える場合、1番目とn番目の記憶素子MCを除くi番目（iは2以上n-1以下の整数）の記憶素子MC [i] において、トランジスタRT_r [i] のソースまたはドレインの一方は、トランジスタRT_r [i-1] のソースまたはドレインの他方と電氣的に接続され、他方はトランジスタRT_r [i+1] のソースまたはドレインの一方と電氣的に接続される。トランジスタRT_r [i] のゲートは、導電体RW_L [i] と電氣的に接続される。トランジスタRT_r [i] のバックゲートは導電体BGと電氣的に接続される。トランジスタWT_r [i] のソースまたはドレインの一方は導電体128 [i] と電氣的に接続され、他方は、導電体128 [i+1] と電氣的に接続される。トランジスタWT_r [i] のゲートは導電体WW_L [i] と電氣的に接続される。なお、1番目およびn番目の記憶素子MCと、他の素子、および導電体との接続関係は、上記記憶素子MC [1]、および記憶素子MC [5] で説明した接続関係を参照することができる。

【0272】

トランジスタST_r 1、トランジスタST_r 2、およびトランジスタST_r 3は、例えば、OSTランジスタであってもよいし、S_iトランジスタであってもよい。トランジスタST_r 1、トランジスタST_r 2、およびトランジスタST_r 3のいずれか少なくとも一がOSTランジスタで、それ以外がS_iトランジスタであってもよい。なお、トランジスタWT_r およびトランジスタRT_r の双方をOSTランジスタで形成する場合は、トランジスタST_r 1、トランジスタST_r 2、およびトランジスタST_r 3もOSTランジスタで形成することが好ましい。トランジスタに用いる半導体材料を揃えることで、半導体装置の生産性を高めることができる。

【0273】

また、トランジスタWT_r にOSTランジスタを用い、トランジスタRT_r にS_iトランジスタを用いてもよい。トランジスタWT_r としてOSTランジスタを用い、トランジスタRT_r としてS_iトランジスタを用いる場合のメモリストリング120の等価回路図を図36に示す。

【0274】

トランジスタRT_r をS_iトランジスタで形成する場合は、半導体125に例えば多結晶シリコンを用いればよい。トランジスタWT_r をOSTランジスタで形成する場合は、半導体127に例えばCAAC-IGZOを用いればよい。このとき、トランジスタST_r 1、およびトランジスタST_r 3にOSTランジスタを用い、トランジスタST_r 2にS_iトランジスタを用いることが好ましい。

【0275】

なお、図 37 に示すように、目的または用途などによっては、トランジスタ WTr として Si トランジスタを用い、トランジスタ RTr として OStランジスタを用いてもよい。このとき、トランジスタ ST r 1、およびトランジスタ ST r 3 に Si トランジスタを用い、トランジスタ ST r 2 に OStランジスタを用いることが好ましい。また、図 38 に示すように、目的または用途などによっては、トランジスタ WTr およびトランジスタ RTr の双方に Si トランジスタを用いてもよい。トランジスタ WTr およびトランジスタ RTr の双方に Si トランジスタを用いる場合は、トランジスタ ST r 1、トランジスタ ST r 2、およびトランジスタ ST r 3 にも Si トランジスタを用いることが好ましい。

【0276】

<メモリストリングの動作例>

続いて、図 34 に示したメモリストリング 120 の動作例を説明する。

【0277】

〔書き込み動作〕

記憶素子 MC に H 電位、または L 電位を書き込む場合の動作例を説明する。図 39 は書き込み動作を説明するタイミングチャートである。図 40A 乃至図 41B は、書き込み動作を説明するための回路図である。

【0278】

初期状態として、記憶素子 MC [1] 乃至記憶素子 MC [5] に L 電位が書き込まれているものとする。また、導電体 WWL [1] 乃至導電体 WWL [5]、導電体 RWL [1] 乃至導電体 RWL [5]、導電体 SEL、導電体 BG、導電体 WBL、導電体 RBL、導電体 SG、導電体 WSL、および導電体 RSL に L 電位が供給されているものとする。なお、導電体 BG は、トランジスタ RTr のしきい値電圧を制御することができる。トランジスタ RTr が所望のノーマリーオン型のトランジスタとなるよう、導電体 BG に供給する電位を適宜調整してもよい。なお導電体 SEL は、トランジスタ ST r 2 およびトランジスタ ST r 3 のゲートとして、共通の導電体であるとして説明するが、異なる導電体としてもよい。

【0279】

〔期間 T1〕

期間 T1 において、導電体 WWL [3] を L 電位としたまま、導電体 WWL [1]、導電体 WWL [2]、導電体 WWL [4]、導電体 WWL [5]、導電体 SG、および導電体 SEL に H 電位を供給する（図 40A 参照。）。また、導電体 WSL および導電体 WBL に、それぞれ H 電位および L 電位の任意の一方の電位を供給する。すると、ノード ND [1] 乃至ノード ND [3] に導電体 WSL の電位が供給され、ノード ND [4] およびノード ND [5] に導電体 WBL の電位が供給される。

【0280】

〔期間 T2〕

期間 T2 において、導電体 WWL [2] および導電体 WWL [4] に L 電位を供給する（図 40B 参照。）。すると、トランジスタ WTr [2] およびトランジスタ WTr [4] がオフ状態になり、ノード ND [3] およびノード ND [4] に書き込まれた電荷が保持される。

【0281】

〔期間 T3〕

期間 T3 において、ノード ND [1] およびノード ND [2] に導電体 WSL の電位が供給され、ノード ND [5] に導電体 WBL の電位が供給される。（図 40B 参照。）。

【0282】

〔期間 T4〕

期間 T4 において、導電体 WWL [1] および導電体 WWL [5] に L 電位を供給する（図 41A 参照。）。すると、トランジスタ WTr [1] およびトランジスタ WTr [5] がオフ状態になり、ノード ND [2] およびノード ND [5] に書き込まれた電荷が保持される。

10

20

30

40

50

【0283】

〔期間T5〕

期間T5において、ノードND[1]に導電体WSLの電位が供給される。(図41A参照。)

【0284】

〔期間T6〕

期間T6において、導電体SGにL電位を供給する(図41B参照。)。すると、トランジスタStr1がオフ状態になり、ノードND[1]に書き込まれた電荷が保持される。このとき、導電体SELにL電位を供給してもよい。

【0285】

このようにして、記憶素子MCに情報を書き込むことができる。

【0286】

メモリストリング120は、情報の書き込みを導電体WSLおよび導電体WBLの双方から行うことができる。すなわち、記憶素子MC[3]および記憶素子MC[4]に対して同時に書き込みを行うことができる。さらに、記憶素子MC[3]および記憶素子MC[4]に対する書き込み後、記憶素子MC[2]および記憶素子MC[5]に対して同時に書き込みを行うことができる。このように、1メモリストリング120内の複数の記憶素子MCに対して同時に書き込みを行うことができることから、情報の書き込み速度を高めることができる。また、書き込む情報に相当する電荷の供給をより確実に行うことができる。

【0287】

また、i番目の記憶素子MCに情報を書き込む場合、iがnに近い場合は導電体WBL側から情報を書き込むことで、1番目乃至i-1番目までの記憶素子MCの情報の書き込み動作を省略することができる。また、iが1に近い場合は導電体WSL側から情報を書き込むことで、i+1番目乃至n番目までの記憶素子MCの情報の書き込み動作を省略することができる。メモリストリング120では、書き込み動作に係る時間と、消費電力を低減することができる。

【0288】

なお、本実施の形態では、書き込み動作において、導電体WWL[3]に常時L電位を供給し、記憶素子MC[1]乃至記憶素子MC[3]への書き込みを導電体WSL側から行い、記憶素子MC[4]および記憶素子MC[5]への書き込みを導電体WBL側から行う例を示したが、本発明はこれに限らない。任意の導電体WWL[i]を境に、記憶素子MC[1]乃至記憶素子MC[i]への書き込みを導電体WSL側から行い、記憶素子MC[i+1]乃至記憶素子MC[n]への書き込みを導電体WBL側から行ってもよい。また、記憶素子MC[1]乃至記憶素子MC[n]への書き込みを導電体WSL側から行ってもよいし、記憶素子MC[1]乃至記憶素子MC[n]への書き込みを導電体WBL側から行ってもよい。

【0289】

〔読み出し動作〕

上記回路構成のメモリストリング120の読み出し動作例を説明する。初期状態として、導電体WWL[1]乃至導電体WWL[5]、導電体RWL[1]乃至導電体RWL[5]、導電体SG、導電体SEL、導電体BG、導電体WSL、導電体RSL、導電体WBL、および導電体RBLにL電位が供給されているものとする。図42は読み出し動作を説明するタイミングチャートである。図43A乃至図45は読み出し動作を説明するための回路図である。

【0290】

本実施の形態では、記憶素子MC[1]乃至記憶素子MC[5]を順次読み出す動作について説明する。

【0291】

〔期間T7〕

10

20

30

40

50

期間T7において、導電体RWL[2]乃至導電体RWL[5]、導電体SEL、および導電体RSLにH電位を供給する(図43A参照。)。すると、トランジスタRTTr[2]乃至トランジスタRTTr[5]がオン状態となる。また、トランジスタSTr2がオン状態になり、トランジスタRTTrが備える半導体127と導電体RBLが導通する。

【0292】

このとき、記憶素子MC[1]のノードND[1]にH電位が保持されている場合、導電体RWL[1]に供給される電位がL電位だとしても、トランジスタRTTr[1]は、オン状態となる。よって、導電体RSLと導電体RBLは、トランジスタRTTr[1]乃至トランジスタRTTr[5]を介して導通状態となり、導電体RSLに供給されるH電位を導電体RBL側で検出することができる。すなわち、記憶素子MC[1]のノードND[1]に保持されている電位がH電位であることを検出できる。なお、導電体RBLは、センスアンプなどを備えた、RBLドライバ2004と機能的に接続することが好ましい(図1Aおよび図1B参照。)。

10

【0293】

一方、記憶素子MC[1]のノードND[1]にL電位が保持されている場合、導電体RWL[1]に供給される電位がL電位であるため、トランジスタRTTr[1]は、オフ状態となる。よって、導電体RSLと導電体RBLが導通しないため、導電体RSLに供給されるH電位を導電体RBL側で検出することができない。したがって、導電体RBL側において、記憶素子MC[1]のノードND[1]にはL電位が保持されていることを検出できる。

20

【0294】

【期間T8】

次に、期間T8において、導電体RWL[1]にH電位を供給し、導電体RWL[2]にL電位を供給する(図43B参照。)。このとき、記憶素子MC[2]のノードND[2]にH電位が保持されている場合、導電体RWL[2]に供給される電位がL電位だとしても、トランジスタRTTr[2]は、オン状態となる。よって、導電体RSLと導電体RBLは、トランジスタRTTr[1]乃至トランジスタRTTr[5]を介して導通状態となり、導電体RSLに供給されるH電位を導電体RBL側で検出することができる。すなわち、記憶素子MC[2]のノードND[2]に保持されている電位がH電位であることを検出できる。

30

【0295】

一方、記憶素子MC[2]のノードND[2]にL電位が保持されている場合、導電体RWL[2]に供給される電位がL電位であるため、トランジスタRTTr[2]は、オフ状態となる。よって、導電体RSLと導電体RBLが導通しないため、導電体RSLに供給されるH電位を導電体RBL側で検出することができない。したがって、導電体RBL側において、記憶素子MC[2]のノードND[2]にはL電位が保持されていることを検出できる。

【0296】

【期間T9】

次に、期間T9において、導電体RWL[2]にH電位を供給し、導電体RWL[3]にL電位を供給する(図44A参照。)。このとき、記憶素子MC[3]のノードND[3]にH電位が保持されている場合、導電体RWL[3]に供給される電位がL電位だとしても、トランジスタRTTr[3]は、オン状態となる。よって、導電体RSLと導電体RBLは、トランジスタRTTr[1]乃至トランジスタRTTr[5]を介して導通状態となり、導電体RSLに供給されるH電位を導電体RBL側で検出することができる。すなわち、記憶素子MC[3]のノードND[3]に保持されている電位がH電位であることを検出できる。

40

【0297】

一方、記憶素子MC[3]のノードND[3]にL電位が保持されている場合、導電体RWL[3]に供給される電位がL電位であるため、トランジスタRTTr[3]は、オフ状

50

態となる。よって、導電体RSLと導電体RBLが導通しないため、導電体RSLに供給されるH電位を導電体RBL側で検出することができない。したがって、導電体RBL側において、記憶素子MC[3]のノードND[3]にはL電位が保持されていることを検出できる。

【0298】

〔期間T10〕

次に、期間T10において、導電体RWL[3]にH電位を供給し、導電体RWL[4]にL電位を供給する（図44B参照。）。このとき、記憶素子MC[4]のノードND[4]にH電位が保持されている場合、導電体RWL[4]に供給される電位がL電位だとしても、トランジスタRTTr[4]は、オン状態となる。よって、導電体RSLと導電体RBLは、トランジスタRTTr[1]乃至トランジスタRTTr[5]を介して導通状態となり、導電体RSLに供給されるH電位を導電体RBL側で検出することができる。すなわち、記憶素子MC[4]のノードND[4]に保持されている電位がH電位であることを検出できる。

10

【0299】

一方、記憶素子MC[4]のノードND[4]にL電位が保持されている場合、導電体RWL[4]に供給される電位がL電位であるため、トランジスタRTTr[4]は、オフ状態となる。よって、導電体RSLと導電体RBLが導通しないため、導電体RSLに供給されるH電位を導電体RBL側で検出することができない。したがって、導電体RBL側において、記憶素子MC[4]のノードND[4]にはL電位が保持されていることを検出できる。

20

【0300】

〔期間T11〕

次に、期間T11において、導電体RWL[4]にH電位を供給し、導電体RWL[5]にL電位を供給する（図45参照。）。このとき、記憶素子MC[5]のノードND[5]にH電位が保持されている場合、導電体RWL[5]に供給される電位がL電位だとしても、トランジスタRTTr[5]は、オン状態となる。よって、導電体RSLと導電体RBLは、トランジスタRTTr[1]乃至トランジスタRTTr[5]を介して導通状態となり、導電体RSLに供給されるH電位を導電体RBL側で検出することができる。すなわち、記憶素子MC[5]のノードND[5]に保持されている電位がH電位であることを検出できる。

30

【0301】

一方、記憶素子MC[5]のノードND[5]にL電位が保持されている場合、導電体RWL[5]に供給される電位がL電位であるため、トランジスタRTTr[5]は、オフ状態となる。よって、導電体RSLと導電体RBLが導通しないため、導電体RSLに供給されるH電位を導電体RBL側で検出することができない。したがって、導電体RBL側において、記憶素子MC[5]のノードND[5]にはL電位が保持されていることを検出できる。

【0302】

このように、ノードND[1]乃至ノードND[5]に保持された電位を検出することで、記憶素子MC[1]乃至記憶素子MC[5]の情報を読み出すことができる。なお、本実施の形態では、記憶素子MC[1]から記憶素子MC[5]へ順次情報の読み出しを行う例を示したが、これに限らない。記憶素子MC[5]から記憶素子MC[1]へ順次情報の読み出しを行ってもよい。

40

【0303】

また、必ずしも記憶素子MC[1]乃至記憶素子MC[5]の情報を読み出す必要は無く、任意の記憶素子MC[i]の情報を読み出すことができる。このとき、導電体RWL[i]にL電位を供給し、それ以外の導電体RWLにH電位を供給し、導電体RBL側で導電体RSLの電位を検出できるか否かで、記憶素子MC[i]のノードND[i]に保持された電位を検出し、記憶素子MC[i]の情報を読み出せばよい。

50

【0304】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0305】

(実施の形態3)

本実施の形態では、記憶装置100を含む半導体装置200の構成例について説明する。

【0306】

図46に、本発明の一態様である半導体装置200の構成例を示すブロック図を示す。図46に示す半導体装置200は、駆動回路210と、メモリアレイ220と、を有する。メモリアレイ220は、1以上の記憶装置100を有する。図46では、メモリアレイ220がマトリクス状に配置された複数の記憶装置100を有する例を示している。

10

【0307】

駆動回路210は、PSW241（パワースイッチ）、PSW242、および周辺回路215を有する。周辺回路215は、周辺回路211、コントロール回路212（Control Circuit）、および電圧生成回路228を有する。なお、半導体装置200は、メモリアレイ220、PSW241、242、周辺回路211、コントロール回路212、電圧生成回路228などの様々な機能を有する素子または回路などを有する。そのため、半導体装置200をシステム、またはサブシステムと呼称してもよい。

【0308】

半導体装置200において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

20

【0309】

また、信号BW、CE、および信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路212で生成してもよい。

30

【0310】

コントロール回路212は、半導体装置200の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GWおよび信号BWを論理演算して、半導体装置200の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路212は、この動作モードが実行されるように、周辺回路211の制御信号を生成する。

【0311】

電圧生成回路228は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路228への入力を制御する機能を有する。例えば、信号WAKEとしてHレベルの信号が与えられると、信号CLKが電圧生成回路228へ入力され、電圧生成回路228は負電圧を生成する。

40

【0312】

周辺回路211は、記憶装置100に対するデータの書き込みおよび読み出しをするための回路である。周辺回路211は、行デコーダ221（Row Decoder）、列デコーダ222（Column Decoder）、行ドライバ223（Row Driver）、列ドライバ224（Column Driver）、入力回路225（Input Cir.）、出力回路226（Output Cir.）、センスアンプ227（Sense Amplifier）を有する。

【0313】

50

行デコーダ 221 および列デコーダ 222 は、信号 ADDR をデコードする機能を有する。行デコーダ 221 は、アクセスする行を指定するための回路であり、列デコーダ 222 は、アクセスする列を指定するための回路である。行ドライバ 223 は、行デコーダ 221 が指定する導電体 WWL を選択する機能を有する。列ドライバ 224 は、データを記憶装置 100 に書き込む機能、記憶装置 100 からデータを読み出す機能、読み出したデータを保持する機能等を有する。

【0314】

入力回路 225 は、信号 WDA を保持する機能を有する。入力回路 225 が保持するデータは、列ドライバ 224 に出力される。入力回路 225 の出力データが、記憶装置 100 に書き込むデータ (Din) である。列ドライバ 224 が記憶装置 100 から読み出したデータ (Dout) は、出力回路 226 に出力される。出力回路 226 は、Dout を保持する機能を有する。また、出力回路 226 は、Dout を半導体装置 200 の外部に出力する機能を有する。出力回路 226 から出力されるデータが信号 RDA である。

【0315】

PSW 241 は周辺回路 215 への VDD の供給を制御する機能を有する。PSW 242 は、行ドライバ 223 への VHM の供給を制御する機能を有する。ここでは、半導体装置 200 の高電源電圧が VDD であり、低電源電圧は GND (接地電位) である。また、VHM は、ワード線を高レベルにするために用いられる高電源電圧であり、VDD よりも高い。信号 PON1 によって PSW 241 のオン・オフが制御され、信号 PON2 によって PSW 242 のオン・オフが制御される。図 46 では、周辺回路 215 において、VDD が供給される電源ドメインの数を 1 としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

【0316】

駆動回路 210 とメモリアレイ 220 は同一平面上に設けてもよい。また、図 47A に示すように、駆動回路 210 とメモリアレイ 220 を重ねて設けてもよい。駆動回路 210 とメモリアレイ 220 を重ねて設けることで、信号伝搬距離を短くすることができる。また、図 47B に示すように、駆動回路 210 上にメモリアレイ 220 を複数層重ねて設けてもよい。

【0317】

また、図 47C に示すように、駆動回路 210 の上層および下層に、メモリアレイ 220 を設けてもよい。図 47C では、駆動回路 210 の上層および下層にそれぞれ 1 層のメモリアレイ 220 を設ける例を示している。複数のメモリアレイ 220 で駆動回路 210 を挟むように配置することで、信号伝搬距離をさらに短くすることができる。なお、駆動回路 210 の上層に積層されるメモリアレイ 220 と、駆動回路 210 の下層に積層されるメモリアレイ 220 の層数は、それぞれ 1 層以上であればよい。駆動回路 210 の上層に積層されるメモリアレイ 220 の数と、駆動回路 210 の下層に積層されるメモリアレイ 220 の数は等しいことが好ましい。

【0318】

<半導体装置 200 の断面構成例>

図 48 に、図 47A に示す半導体装置 200 の断面構成例を示す。図 48 では図 47A に示す半導体装置 200 の一部を示している。

【0319】

図 48 では、駆動回路 210 に含まれる、トランジスタ 301、トランジスタ 302、およびトランジスタ 303 を示している。

なお、トランジスタ 301、およびトランジスタ 302 は、センスアンプ 227 の一部として機能する。また、トランジスタ 303 は列選択スイッチとして機能する。具体的には、メモリアレイ 220 に含まれる導電体 RBL は、トランジスタ 301 のソースおよびドレインの一方と電氣的に接続し、トランジスタ 301 のゲートは、トランジスタ 302 のソースおよびドレインの一方と電氣的に接続し、トランジスタ 302 のゲートは、トランジスタ 301 のソースおよびドレインの一方と電氣的に接続する。また、トランジスタ 3

10

20

30

40

50

01のソースおよびドレインの一方と、トランジスタ302のゲートは、列選択スイッチとして機能する、トランジスタ303のソースおよびドレインの一方と電氣的に接続する。これにより半導体装置200のレイアウト面積を縮小することができる。なお、図48には、1つのメモリストリングあたり、5個の記憶素子MCを設けた例を示している。ただし、1つのメモリストリングに設ける記憶素子MCの数はこれに限らない。例えば、1つのメモリストリングに設ける記憶素子MCの数は、32、64、128または、200以上でもよい。

【0320】

メモリアレイ220の導電体RBLは、導電体715、導電体714、導電体705、および絶縁体726、絶縁体722などに、埋め込まれるように形成された導電体752を介して、センスアンプ227や、列選択スイッチとして機能するトランジスタ303と電氣的に接続している。なお、駆動回路210が有する回路やトランジスタは、一例であり、その回路構成や、トランジスタ構造に限定されない。上記以外にも、制御回路、行デコーダ、行ドライバ、ソース線ドライバ、入出力回路など、半導体装置200の構成や、その駆動方法に応じて適切な回路やトランジスタを設けることができる。

【0321】

トランジスタ301、トランジスタ302、およびトランジスタ303は、基板311上に設けられ、それぞれ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。なお、図48に示すように、一つの低抵抗領域を、トランジスタ301およびトランジスタ302の、一方のソース領域またはドレイン領域、かつ他方のソース領域またはドレイン領域として共有する場合がある。

【0322】

トランジスタ301、トランジスタ302、およびトランジスタ303は、チャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ301、トランジスタ302、およびトランジスタ303は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0323】

トランジスタ301、トランジスタ302、およびトランジスタ303は、それぞれpチャネル型、あるいはnチャネル型のいずれでもよい。また、トランジスタ301とトランジスタ302は、それぞれ同じ極性を有するトランジスタでもよいし、異なる極性を有するトランジスタでもよい。

【0324】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ301、トランジスタ302、およびトランジスタ303をHEMT（High Electron Mobility Transistor）としてもよい。

【0325】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型

10

20

30

40

50

の導電性を付与する元素を含む。

【0326】

絶縁体315は、トランジスタ301、トランジスタ302、およびトランジスタ303のゲート絶縁膜として機能する。

【0327】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0328】

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することでしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

【0329】

また、導電体316の上方には、エッチストップパーとして機能する絶縁体317が設けられていることが好ましい。また、絶縁体315の側面には、スペーサーとして機能する絶縁体318が設けられていることが好ましい。絶縁体317および絶縁体318を設けることで、低抵抗領域314a、および低抵抗領域314bと導電体328が電氣的に接続する領域を自己整合的に定めることができる。よって、低抵抗領域314a、および低抵抗領域314bの一部を露出するための開口を形成する際に、アライメントずれが生じたとしても、意図した領域を露出するための開口を形成することができる。このようにして形成された開口に、導電体328を形成することで、低抵抗領域314a、および低抵抗領域314bと導電体328の間で、コンタクト抵抗が低減した良好なコンタクトが得られる。このようにして形成された低抵抗領域314a、および低抵抗領域314bと導電体328とのコンタクトを、セルフアラインコンタクトと呼ぶ場合がある。また、絶縁体317、および絶縁体322に埋め込まれるように、導電体316と電氣的に接続する導電体329を設けてもよい。

【0330】

トランジスタ301、トランジスタ302、およびトランジスタ303を覆って、絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327が順に積層して設けられている。

【0331】

絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0332】

絶縁体320、および絶縁体322は、その下方に設けられるトランジスタ301などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体320、および絶縁体322の一方、または両方の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されていてもよい。

【0333】

また、絶縁体324には、基板311、またはトランジスタ301などから、メモリアレイ220が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0334】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、記憶素子MC等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、記憶素子

MCと、トランジスタ301などとの間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0335】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たり換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0336】

なお、絶縁体326、および絶縁体327は、絶縁体324よりも比誘電率が低いことが好ましい。例えば、絶縁体326、および絶縁体327の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326、および絶縁体327の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0337】

また、絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327にはメモリアレイ220と電氣的に接続する導電体328、導電体329、および導電体330等が埋め込まれている。なお、導電体328、導電体329、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0338】

各プラグ、および配線(導電体328、導電体329、および導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0339】

絶縁体327、および導電体330上に、配線層を設けてもよい。例えば、図48において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、導電体329、および導電体330と同様の材料を用いて設けることができる。

【0340】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ301などと、記憶素子MCとは、バリア層により分離することができ、トランジスタ301などから記憶素子MCへの水素の拡散を抑制することができる。

【0341】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ301などからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0342】

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図48において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線としての機能を有する。なお導電体366は、導電体328、導電体329、および導電体330と同様の材料を用いて設けることができる。

【0343】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ301などと、記憶素子MCとは、バリア層により分離することができ、トランジスタ301などから記憶素子MCへの水素の拡散を抑制することができる。

10

【0344】

絶縁体364、および導電体366上には絶縁体722が設けられ、さらに絶縁体722の上方には、メモリアレイ220が設けられている。絶縁体364と絶縁体722の間に、絶縁体324と同様の材料を用いたバリア膜を設けてもよい。

【0345】

なお、上記では、記憶装置100が、メモリストリング120を有する例を示したが、本実施の形態は、これに限らない。図49に示すように、記憶装置100が、図8で説明したようなメモリストリング120Aを有していてもよい。

20

【0346】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0347】

(実施の形態4)

本実施の形態では、本発明の一態様の情報処理装置の応用例について説明する。

【0348】

一般に、コンピュータは、構成要素として、マザーボード上にプロセッサ、メインメモリ、ストレージなどを有し、それぞれの構成要素は、一例として、バス配線によって、電氣的に接続されている。このため、バス配線が長くなるほど寄生抵抗が大きくなるため、信号の送信に必要な消費電力も高くなる。

30

【0349】

具体的には、コンピュータとしては、例えば、図50Aに示すような構成となる。コンピュータは、マザーボードBDを有し、またマザーボードBD上には、演算処理装置（プロセッサ、CPUなど）10、メインメモリ（DRAM（Dynamic Random Access Memory）など）30、ストレージ（三次元構造のNAND型の記憶装置、3DOS NAND型の記憶装置など）40、インターフェース60などが設けられている。なお、図50には、メインメモリとしても機能するSRAM（Static Random Access Memory）20も図示しているが、マザーボードBD上に必ずしも設けなくてもよい。

40

【0350】

なお、図50には、演算処理装置10がレジスタ11を有する構成を図示している。

【0351】

図50Aにおいて、演算処理装置10は、SRAM20と、メインメモリ30と、ストレージ40と、インターフェース60と、に電氣的に接続されている。また、メインメモリ30は、SRAM20と、ストレージ40と、に電氣的に接続されている。

【0352】

なお、図50Aのコンピュータの各構成要素は、バス配線BSHによって電氣的に接続さ

50

れている。つまり、コンピュータの構成要素が増えるほど、又は、マザーボードBDが大きくなるほど、引き回されるバス配線BSHが長くなるため、号の送信に必要な消費電力が高くなる。

【0353】

ところで、図50Aのコンピュータは、当該コンピュータの各構成要素を1個のチップにまとめて、モノリシックIC(Integrated Circuit)にまとめてもよい。また、このとき、上記の実施の形態で説明した、情報処理装置をメインメモリ30及びストレージ40として適用することができる。このように、図50AのコンピュータをモノリシックICとしたものを図50Bに示す。

【0354】

図50BのモノリシックICは、Siを有する半導体基板上に、回路層LGCを有する。また、回路層LGCの上部に記憶層STRを有し、記憶層STRの上部に回路層OSCを有する。

【0355】

回路層LGCは、例えば、Siを有する半導体基板SBTに形成されるSiトランジスタを含む複数の回路を有する。当該複数の回路の一部としては、例えば、図50Aにおける、演算処理装置10、SRAM20などとすることができる。また、情報処理装置をメインメモリ30及びストレージ40として適用した場合、当該複数の回路の一部としては、情報処理装置50に含まれているコントローラ1197とすることができる。

【0356】

特に、SRAM20は、一例として、Siトランジスタを用いることによって、SRAMの駆動周波数を高くすることができる。

【0357】

記憶層STRは、Siトランジスタ、及び／又はOSTランジスタを有する記憶部として機能する。記憶層STRとしては、例えば、三次元構造のNAND型の記憶回路、3DOSNAND型の記憶回路などとすることができる。そのため、記憶層STRは、情報処理装置における記憶部1196、図50Aにおけるストレージ40などを有する。

【0358】

なお、3DOSNAND型の記憶回路を用いることによって、図50BのモノリシックICの消費電力を低減することができる。

【0359】

回路層OSCは、例えば、OSTランジスタを含む複数の回路を有する。当該複数の回路の一部としては、例えば、演算処理装置10、SRAM20など回路層LGCに含まれている回路とは異なる、回路とすることができる。

【0360】

図50BのモノリシックICでは、マザーボード上に引き回すためのバス配線BSHを設けていないため、それぞれの構成要素同士を電氣的に接続する配線が短くなる。このため、信号の送信に必要な消費電力を低くすることができる。

【0361】

また、図50BのモノリシックICは、情報処理装置50を有している。このため、情報処理装置50は、図50Aにおけるストレージ40と、メインメモリ30と、の役割として機能する。このため、図50BのモノリシックICにおいて、記憶層STRの記憶部1196が、メインメモリ30の機能を有することができる。

【0362】

バス配線BSHを設けていない点、メインメモリ30の代替として記憶部1196を用いる点によって、図50BのモノリシックICは、図50Aのコンピュータよりも回路面積を低減することができる。

【0363】

次に、図50Aのコンピュータ、及び図50BのモノリシックICの記憶階層の一例をそれぞれ図51A、及び図51Bに示す。

10

20

30

40

50

【0364】

一般に、記憶階層は、上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図51Aでは、一例として、最上層から順にCPU（演算処理装置10）に含まれているレジスタと、SRAMと、メインメモリ30に含まれているDRAMと、ストレージ40に含まれている三次元構造のNAND型の記憶回路と、を示している。

【0365】

演算処理装置10に含まれているレジスタと、SRAMと、は、演算結果の一時保存などに用いられるため、演算処理装置10からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

10

【0366】

メインメモリ30に含まれているDRAMは、一例として、ストレージ40から読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、およそ0.1乃至0.3 Gbit/mm²である。

【0367】

ストレージ40は、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージ40には動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージ40に用いられる記憶装置の記録密度は、およそ0.6乃至6.0 Gbit/mm²である。このため、ストレージ40としては、三次元構造のNAND型の記憶回路、ハードディスクドライブ（HDD）などが用いられる。

20

【0368】

ところで、図50BのモノリシックICは、図50Aのストレージ40、及びメインメモリ30の役割を有するため、図50BのモノリシックICの記憶階層は図51Bに示すとおりとなる。

【0369】

つまり、図50BのモノリシックICにおいて、情報処理装置50の記憶部に含まれているメモリセルは、記憶部のキャッシュメモリだけでなく、図50Aのコンピュータにおけるメインメモリ30として扱うことができる。このため、図50BのモノリシックICでは、DRAMなどのメインメモリ30を設ける必要がなくなるため、図50BのモノリシックICの回路面積を低減することができ、また、DRAMなどのメインメモリ30を動作させることに必要な消費電力を低減することができる。

30

【0370】

なお、図50Bに示したモノリシックICの構成は、一例であり、本発明の一態様に限定されない。図50Bに示したモノリシックICは、状況に応じて、構成を変更してもよい。例えば、図50BのモノリシックICにおいて、例えば、SRAMとして1GHz以上の高速なメモリが求められる場合には、SRAMは、演算処理装置に混載されてもよい。

【0371】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

40

【0372】

（実施の形態5）

本実施の形態では、図52Aおよび図52Bを用いて、本発明の記憶装置が実装された半導体装置の一種であるチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip：SoC）と呼ぶ場合がある。

【0373】

図52Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または

50

複数のインターフェース 1215、一または複数のネットワーク回路 1216等を有する。

【0374】

チップ 1200には、バンプ（図示しない）が設けられ、図 52Bに示すように、プリント基板（Printed Circuit Board: PCB）1201の第1の面と接続する。また、PCB 1201の第1の面の裏面には、複数のバンプ 1202が設けられており、マザーボード 1203と接続する。

【0375】

マザーボード 1203には、センサ 1221、電源回路 1222等が設けられていてもよい。

【0376】

CPU 1211は、複数のCPUコアを有することが好ましい。また、GPU 1212は、複数のGPUコアを有することが好ましい。また、CPU 1211、およびGPU 1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU 1211、およびGPU 1212に共通のメモリが、チップ 1200に設けられていてもよい。また、GPU 1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU 1212に、画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

【0377】

また、CPU 1211、およびGPU 1212が同一チップに設けられていることで、CPU 1211およびGPU 1212間の配線を短くすることができ、CPU 1211からGPU 1212へのデータ転送、CPU 1211、およびGPU 1212が有するメモリ間のデータ転送、およびGPU 1212での演算後に、GPU 1212からCPU 1211への演算結果の転送を高速に行うことができる。

【0378】

アナログ演算部 1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部 1213に上記積和演算回路を設けてもよい。

【0379】

メモリコントローラ 1214は、本発明の一態様の記憶装置のコントローラ、およびインターフェースとして機能する回路を有する。

【0380】

インターフェース 1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

【0381】

ネットワーク回路 1216は、LAN（Local Area Network）などと接続するためのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

【0382】

チップ 1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ 1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ 1200を低コストで作製することができる。

【0383】

GPU 1212を有するチップ 1200が設けられたPCB 1201、センサ 1221、および電源回路 1222が設けられたマザーボード 1203は、GPUモジュール 1204と呼ぶことができる。

【0384】

10

20

30

40

50

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

【0385】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0386】

（実施の形態6）

本実施の形態では、先の実施の形態に示す記憶装置を用いた半導体装置の応用例について説明する。先の実施の形態に示す記憶装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用することができる。図53A乃至図53Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

【0387】

図53AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

【0388】

図53BはSDカードの外観の模式図であり、図53Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

【0389】

図53DはSSDの外観の模式図であり、図53Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す記憶装置または半導体装置を組み込むことができる。

【0390】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0391】

（実施の形態7）

10

20

30

40

50

図5 4 A乃至図5 4 Gに、本発明の一態様に係る記憶装置または半導体装置を搭載した電子機器の具体例を示す。

【0392】

＜電子機器・システム＞

本発明の一態様に係る記憶装置または半導体装置は、様々な電子機器に搭載することができる。電子機器の例としては、例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、テレビジョン装置、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、録画再生装置、ナビゲーションシステム、音響再生装置、などが挙げられる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

10

【0393】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0394】

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）を有していてもよい。

20

【0395】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

【0396】

〔情報端末〕

本発明の一態様に係る記憶装置または半導体装置を用いて、マイクロコントローラのプログラム保持用記憶装置を形成することができる。よって、本発明の一態様によれば、マイクロコントローラチップを小型にすることができる。

30

【0397】

図5 4 Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5 1 0 0は、筐体5 1 0 1と、表示部5 1 0 2と、を有しており、入力用インターフェースとして、タッチパネルが表示部5 1 0 2に備えられ、ボタンが筐体5 1 0 1に備えられている。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、携帯電話内部の限られた空間を有効に利用することができる。また、携帯電話のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

40

【0398】

図5 4 Bには、ノート型情報端末5 2 0 0が図示されている。ノート型情報端末5 2 0 0は、情報端末の本体5 2 0 1と、表示部5 2 0 2と、キーボード5 2 0 3と、を有する。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、ノート型情報端末内部の限られた空間を有効に利用することができる。また、ノート型情報端末のストレージに、本発明の一態様に係る記憶装置を用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

【0399】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図5 4 A、図5 4 Bに図示したが、スマートフォン、およびノート型情報端末以

50

外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

【0400】

〔ゲーム機〕

図54Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに本発明の一態様に係る記憶装置または半導体装置などを組み込むことができる。

10

【0401】

また、図54Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

【0402】

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、ゲーム機内部の限られた空間を有効に利用することができる。また、携帯ゲーム機のストレージに、本発明の一態様に係る記憶装置または半導体装置などを用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

20

【0403】

図54C、図54Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のマイクロコントローラを適用するゲーム機はこれに限定されない。本発明の一態様のマイクロコントローラを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

30

【0404】

〔大型コンピュータ〕

本発明の一態様の記憶装置または半導体装置などは、大型コンピュータに適用することができる。

【0405】

図54Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図54Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

【0406】

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に本発明の一態様に係るマイクロコントローラを搭載することができる。本発明の一態様に係る、小型化されたマイクロコントローラを用いることで、大型コンピュータの限られた空間を有効に利用することができる。また、大型コンピュータのストレージに、本発明の一態様に係る記憶装置または半導体装置などを用いてもよい。これにより、当該ストレージの単位面積当たりの記憶容量を大きくすることができる。

40

【0407】

図54E、図54Fでは、大型コンピュータの一例としてスーパーコンピュータを図示し

50

ているが、本発明の一態様に係るマイクロコントローラを適用する大型コンピュータはこれに限定されない。本発明の一態様に係るマイクロコントローラを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

【0408】

〔電化製品〕

図54Gは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

【0409】

本発明の一態様に係る記憶装置または半導体装置などは、電気冷凍冷蔵庫5800に適用することもできる。例えば、電気冷凍冷蔵庫5800に本発明の一態様に係る小型化されたマイクロコントローラを適用することによって、電気冷凍冷蔵庫の限られた空間を有効に利用することができる。

10

【0410】

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【0411】

本実施の形態で説明した電子機器、その電子機器の機能、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

20

【0412】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【符号の説明】

【0413】

100記憶装置、110メモリセルアレイ、117絶縁体、118絶縁体、119導電体、120メモリストリング、121基体、122導電体、123絶縁体、124絶縁体、125半導体、126絶縁体、127半導体、128導電体、129絶縁体、130導電体、132絶縁体、134導電体、136導電体、137導電体、138絶縁体、141開口、150絶縁体、152絶縁体、156絶縁体、161導電体、162導電体、163導電体、164導電体、171導電体、172導電体、173導電体、174導電体、179材料、180材料、181材料、182材料、183材料、184導電体、185絶縁体、186絶縁体、187導電体、188絶縁体、189絶縁体、200半導体装置、2000駆動回路、2001WSLドライバ、2002WBLドライバ、2003RSLドライバ、2004RBLドライバ、2005WWLドライバ、2006RWLドライバ、2007SELドライバ

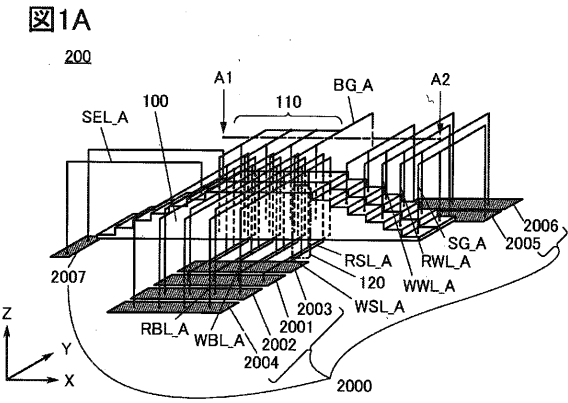
30

40

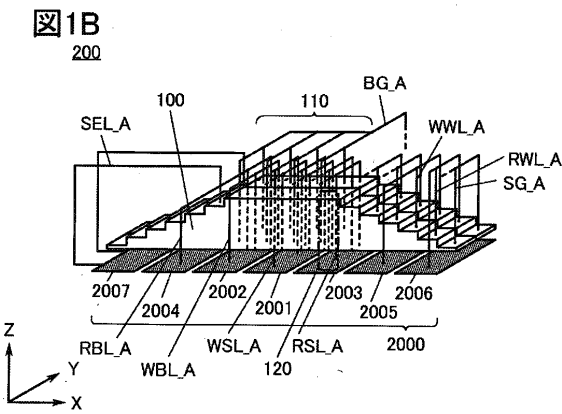
50

【図面】

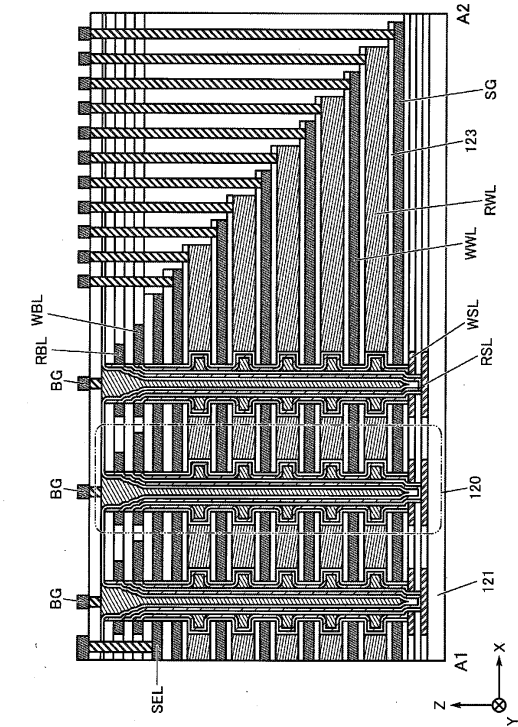
【図 1 A】



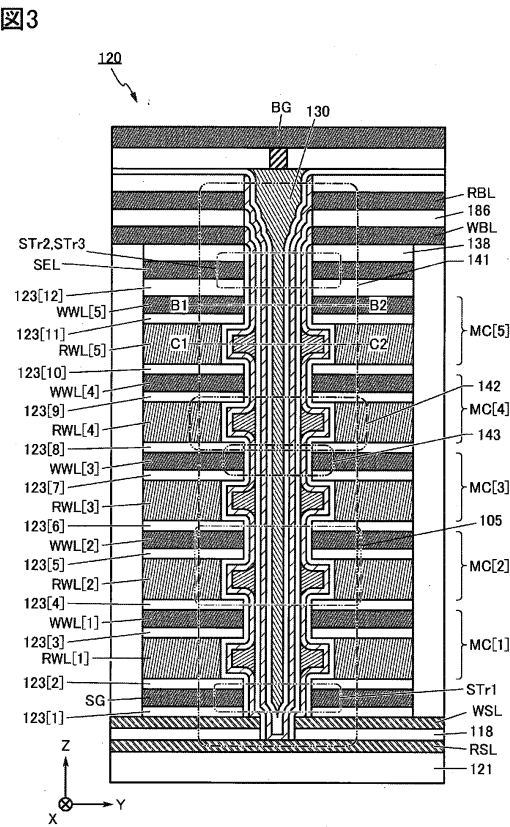
【図 1 B】



【図 2】



【図 3】



10

20

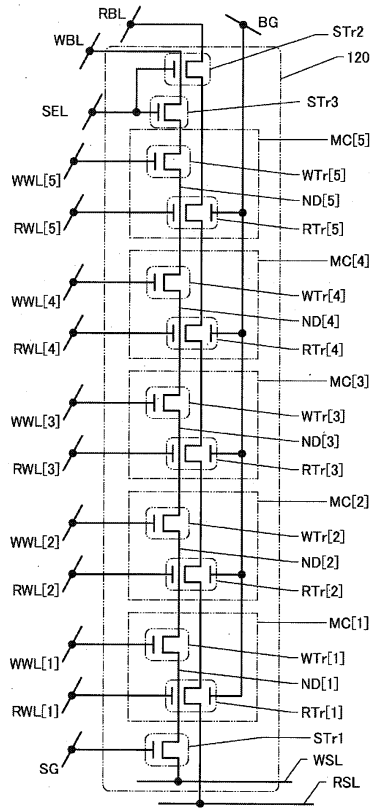
30

40

50

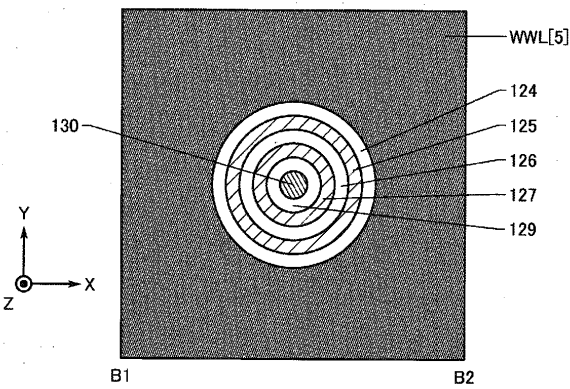
【図 4】

図4



【図 5 A】

図5A

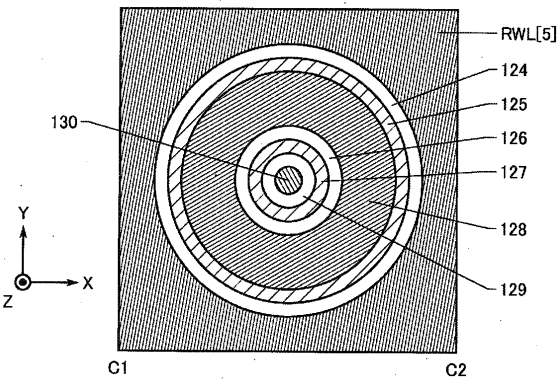


10

20

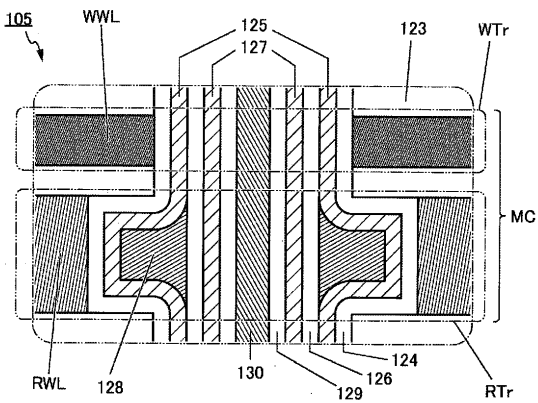
【図 5 B】

図5B



【図 6】

図6



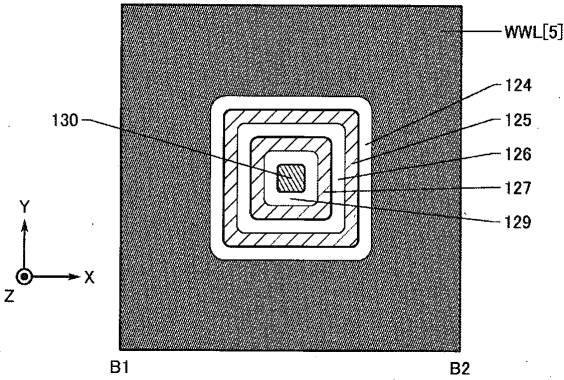
30

40

50

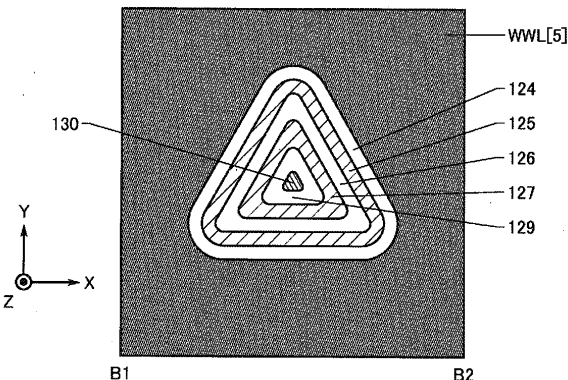
【図 7 A】

図7A



【図 7 B】

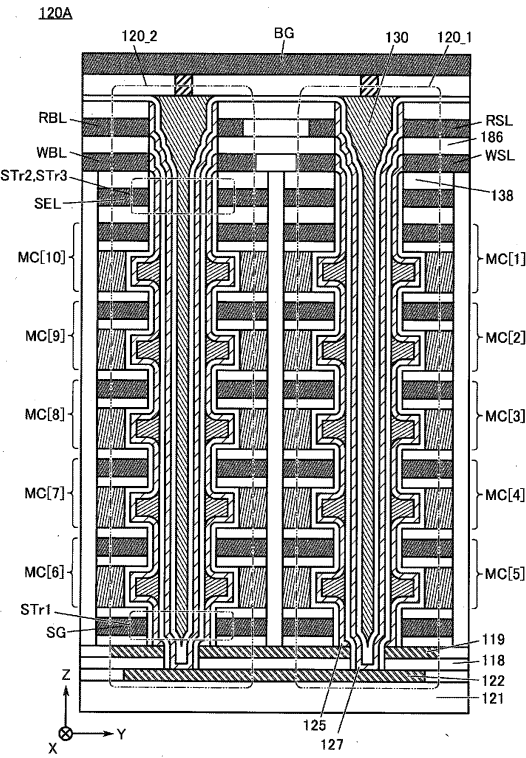
図7B



10

【図 8】

図8



【図 9 A】

図9A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
•completely amorphous	•CAAC •nc •CAC excluding single crystal and poly crystal	•single crystal •poly crystal

20

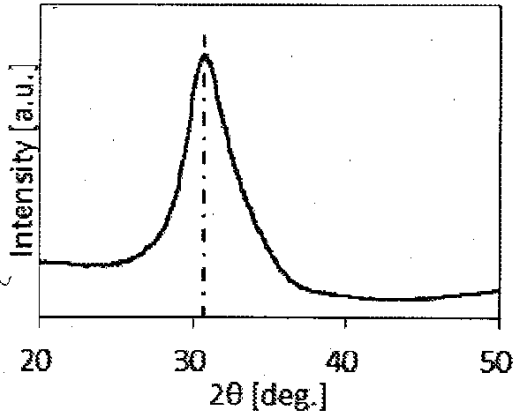
30

40

50

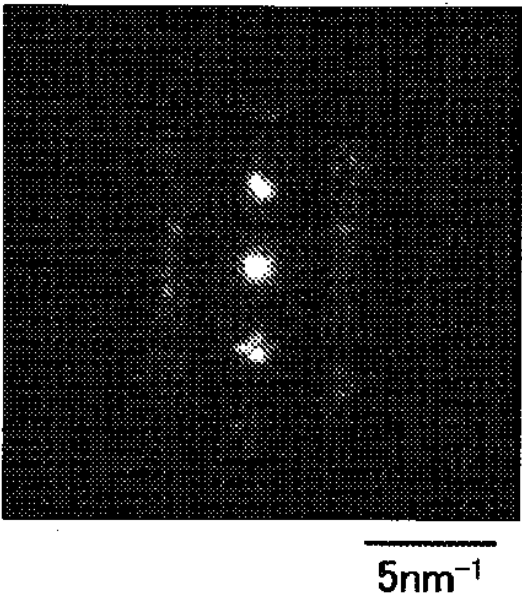
【図 9 B】

図9B



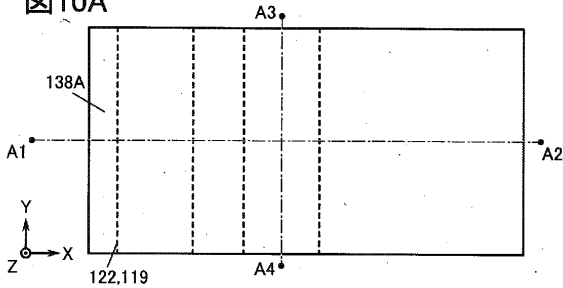
【図 9 C】

図9C



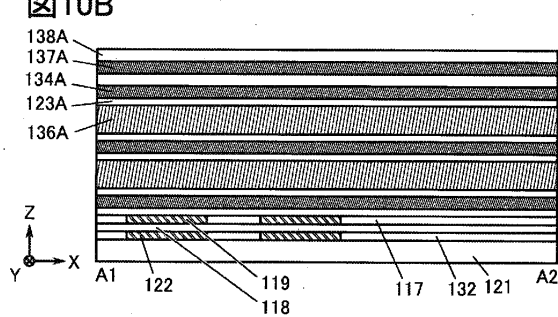
【図 1 0 A】

図10A



【図 1 0 B】

図10B



10

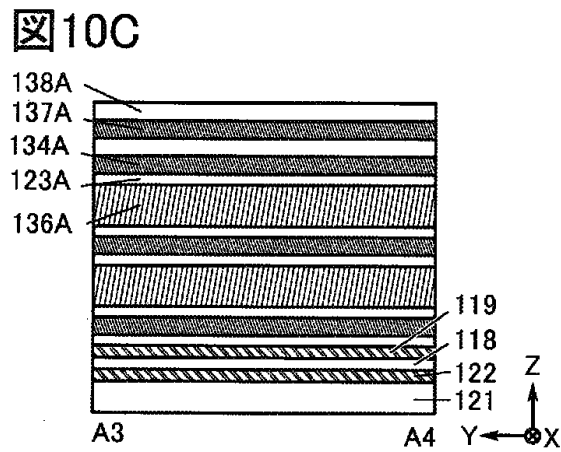
20

30

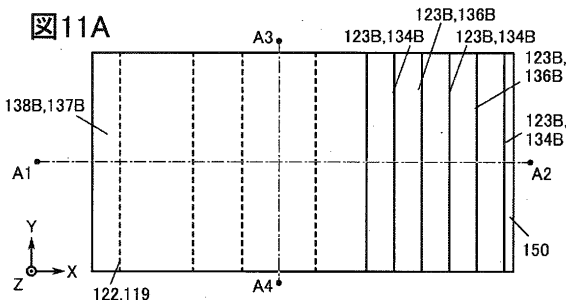
40

50

【図 10 C】

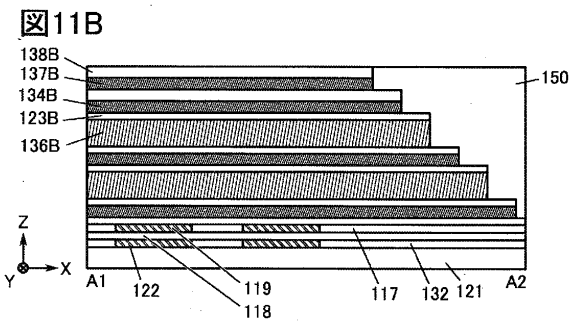


【図 11 A】

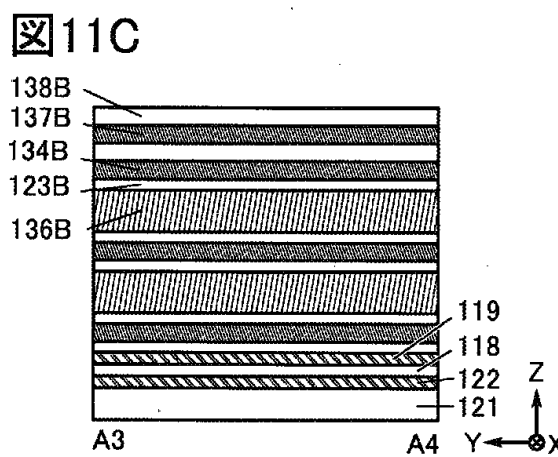


10

【図 11 B】



【図 11 C】



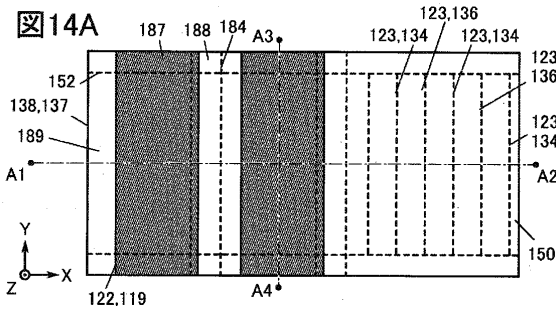
20

30

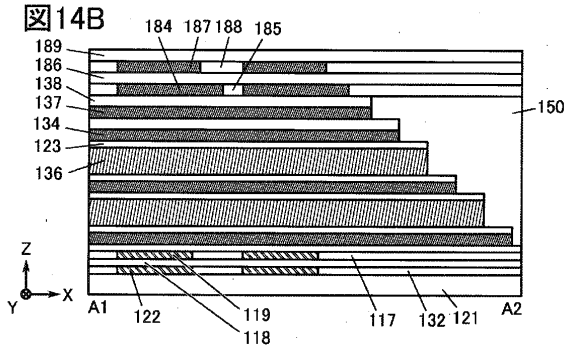
40

50

【図 1 4 A】

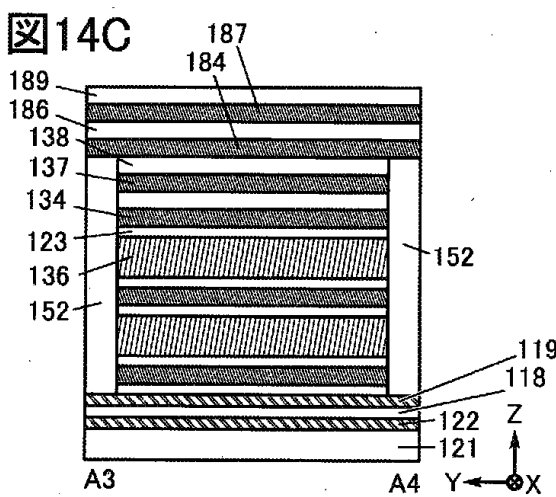


【図 1 4 B】

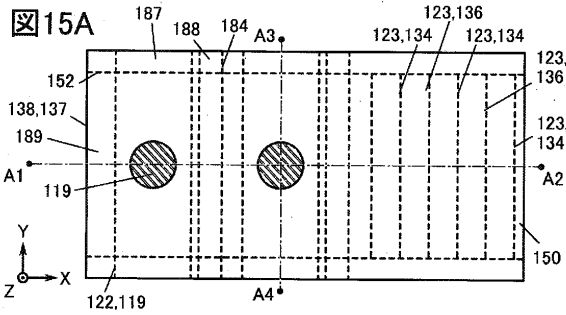


10

【図 1 4 C】



【図 1 5 A】



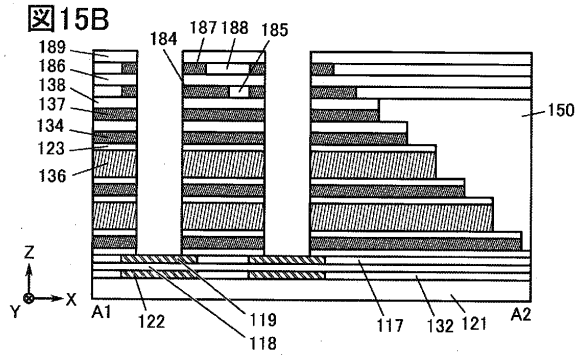
20

30

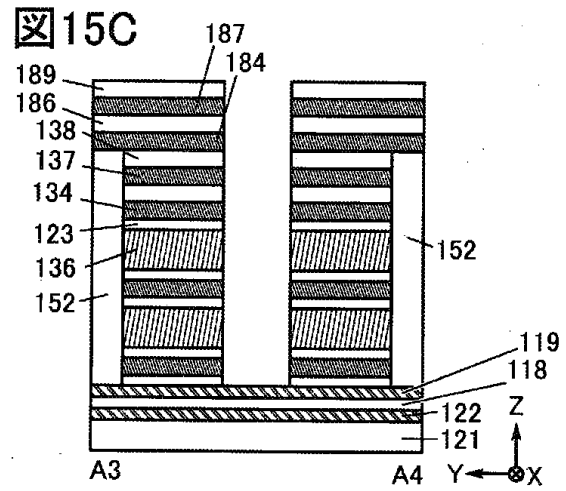
40

50

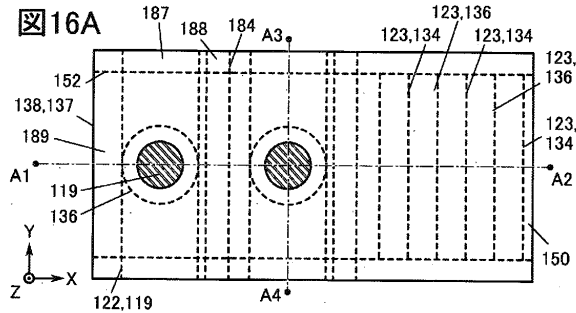
【図 15 B】



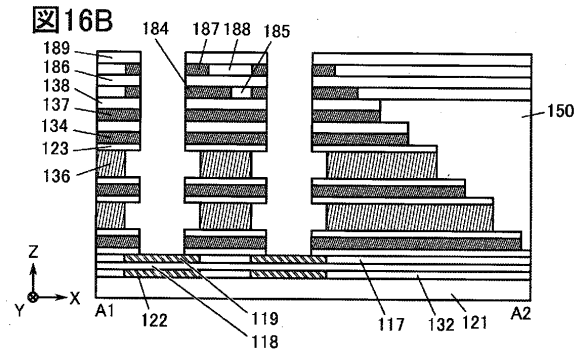
【図 15 C】



【図 16 A】



【図 16 B】



10

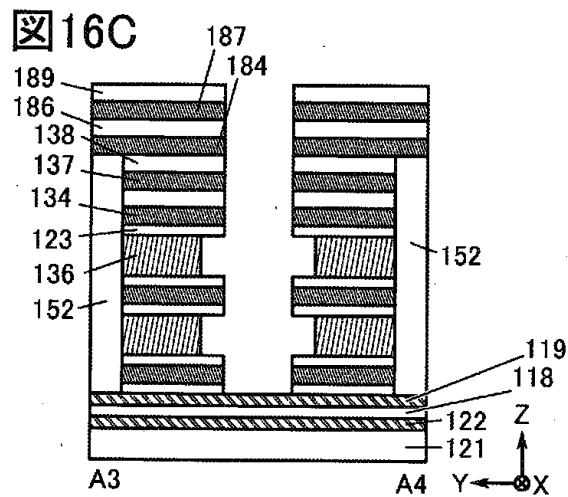
20

30

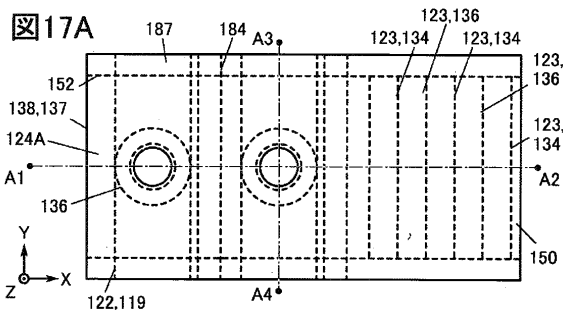
40

50

【図 1 6 C】

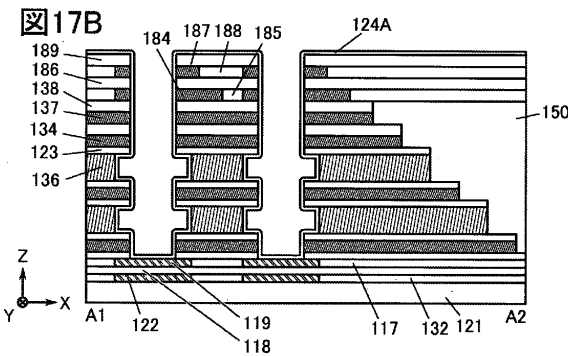


【図 1 7 A】

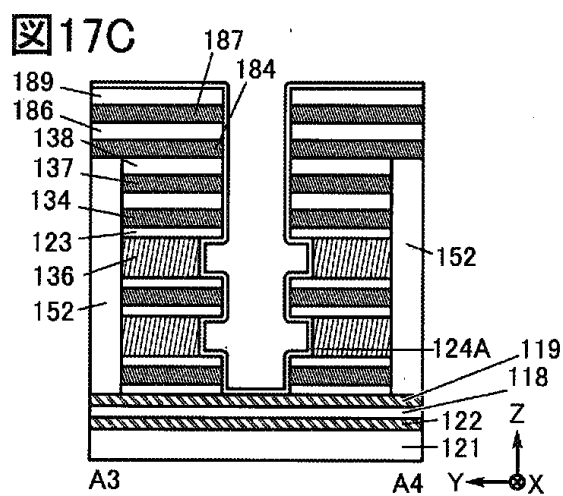


10

【図 1 7 B】



【図 1 7 C】



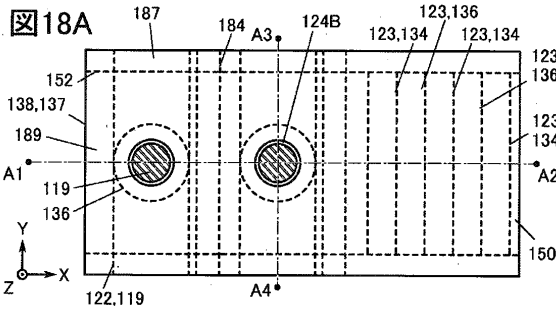
20

30

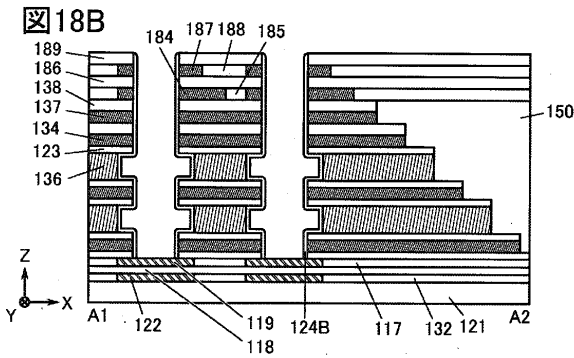
40

50

【図 18 A】

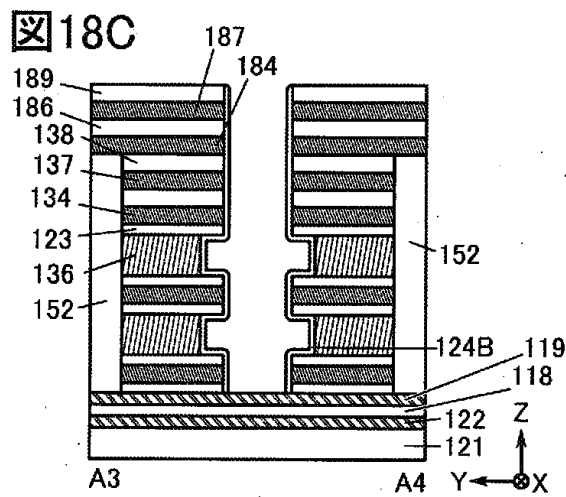


【図 18 B】

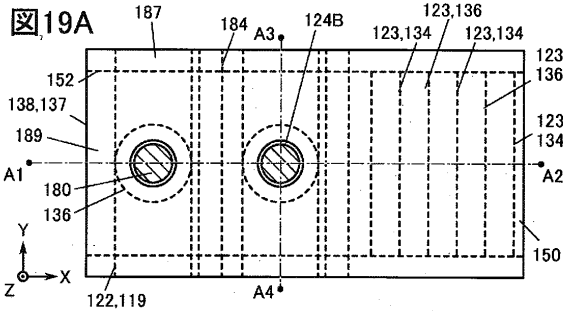


10

【図 18 C】



【図 19 A】



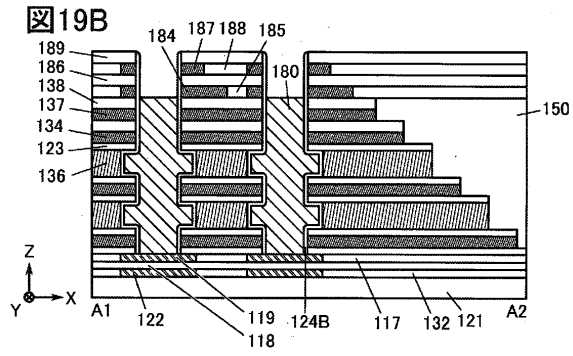
20

30

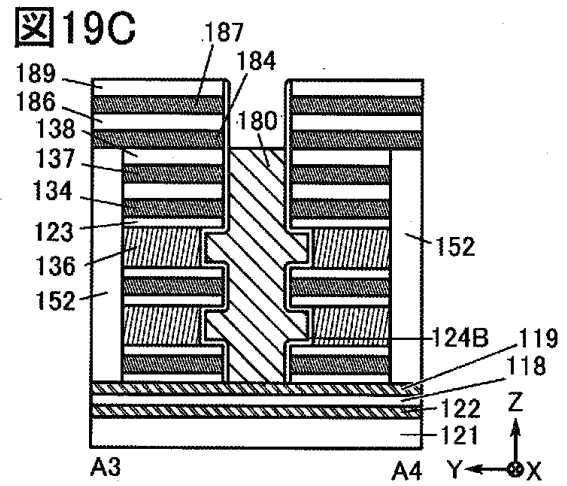
40

50

【図 19 B】

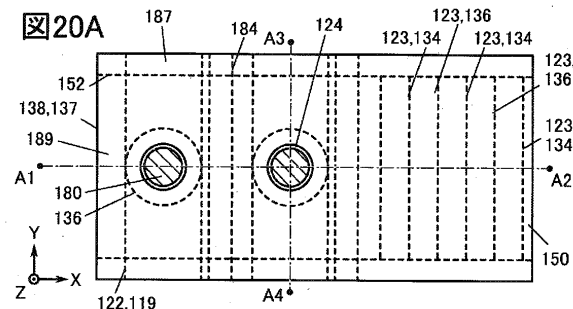


【図 19 C】

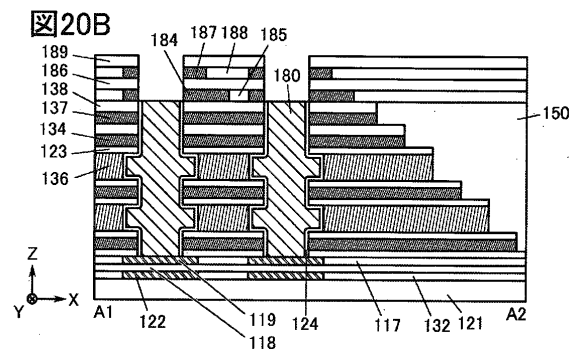


10

【図 20 A】



【図 20 B】



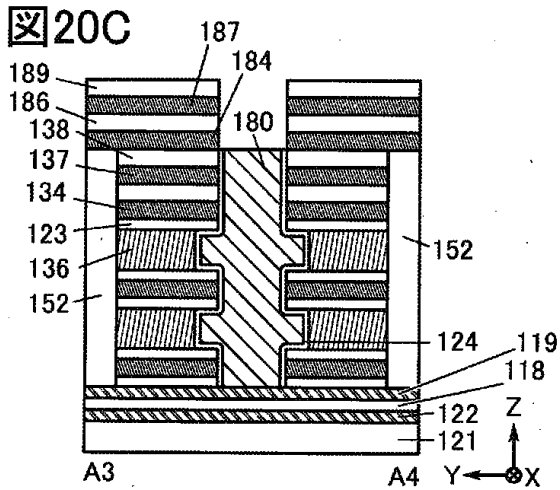
20

30

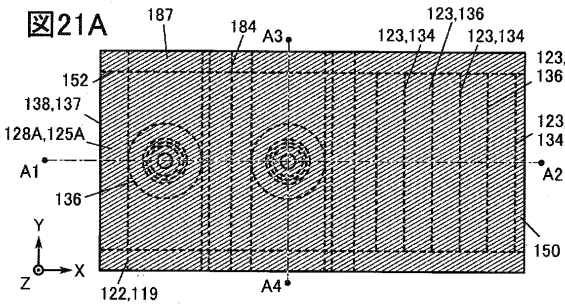
40

50

【図 20 C】

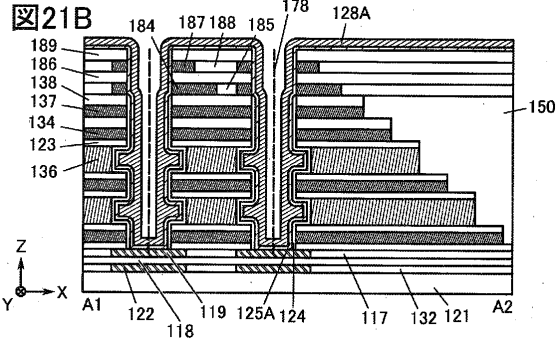


【図 21 A】

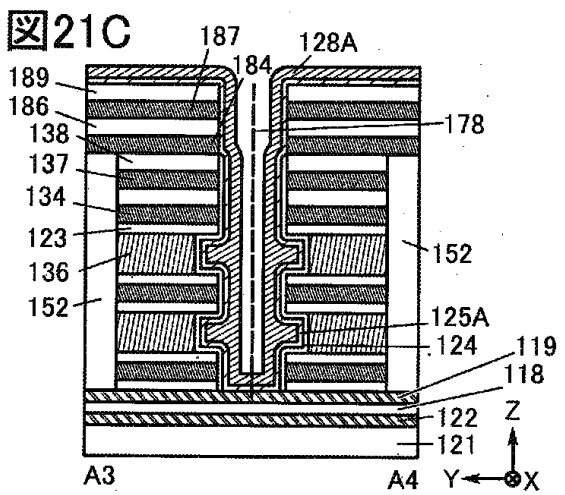


10

【図 21 B】



【図 21 C】



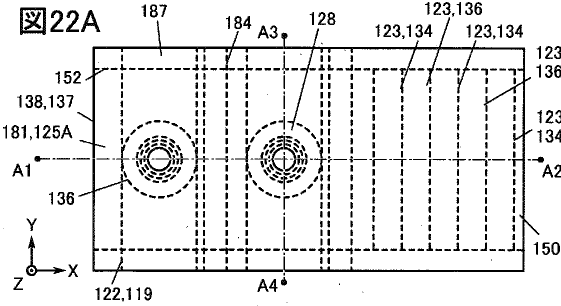
20

30

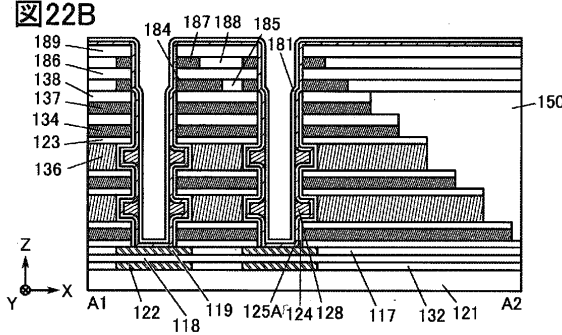
40

50

【図 2 2 A】

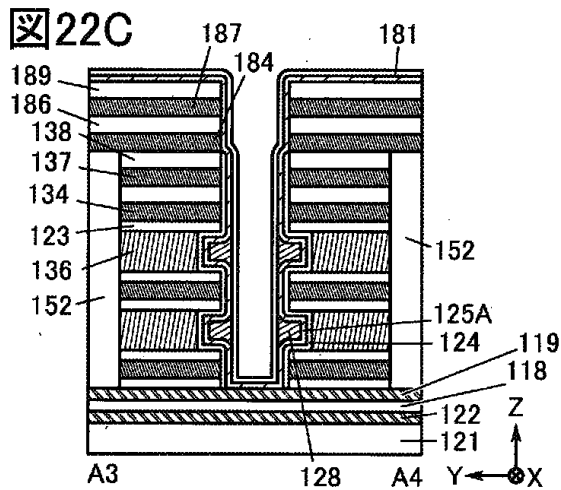


【図 2 2 B】

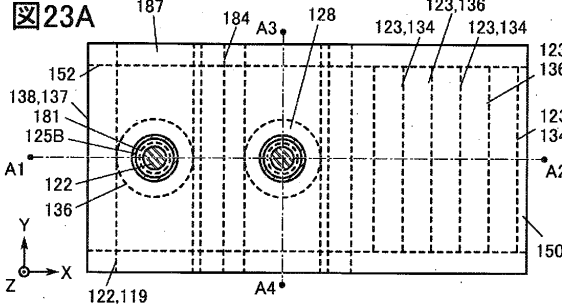


10

【図 2 2 C】



【図 2 3 A】



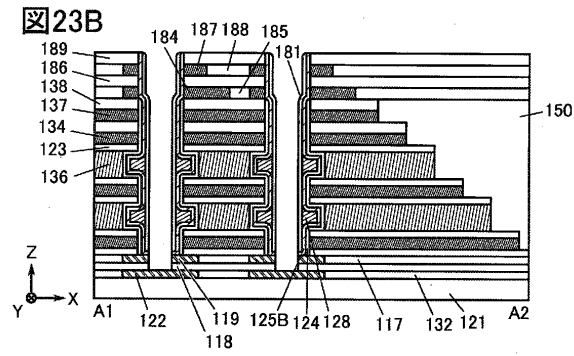
20

30

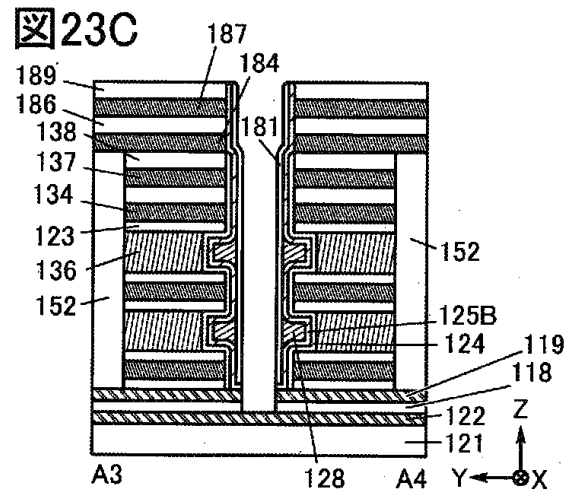
40

50

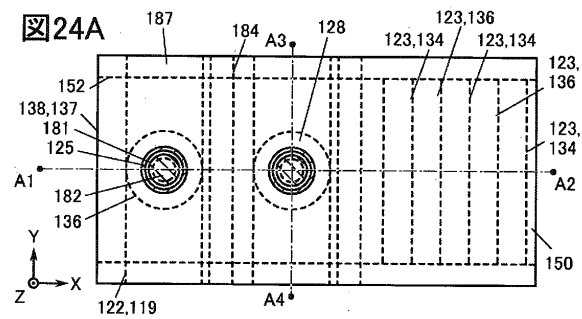
【図 2 3 B】



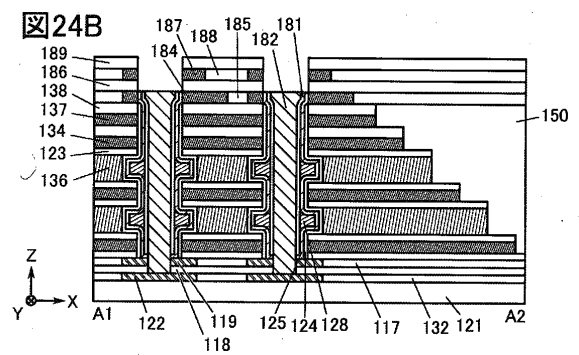
【図 2 3 C】



【図 2 4 A】



【図 2 4 B】



10

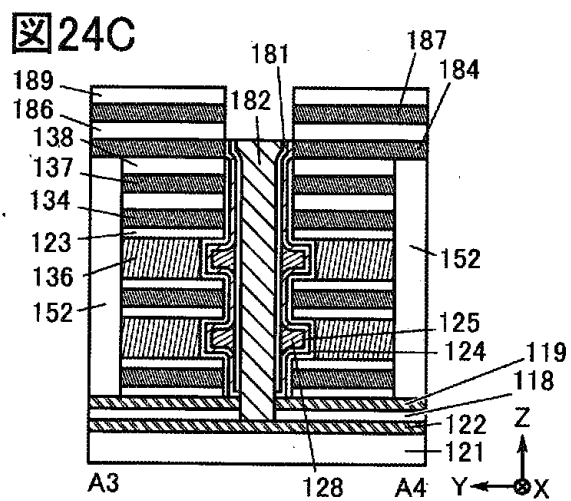
20

30

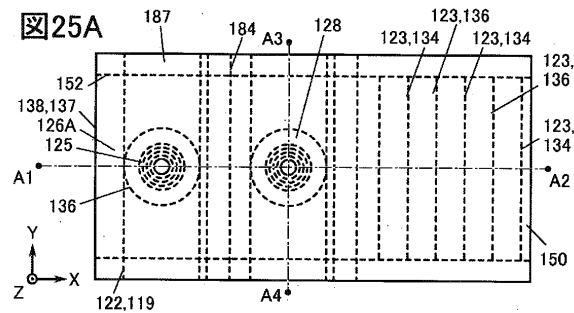
40

50

【図 2 4 C】

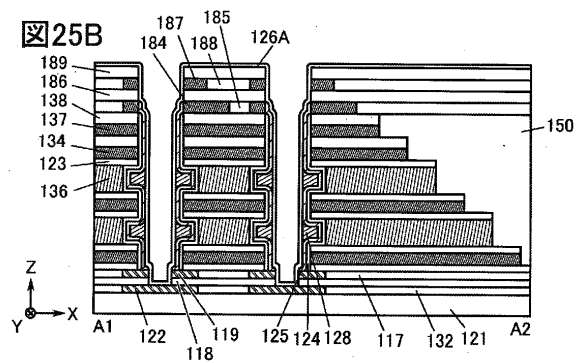


【図 25 A】

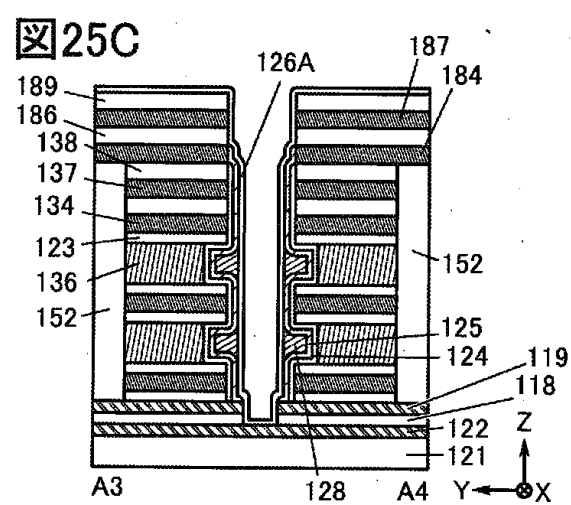


10

【図 25 B】



【図 25 C】



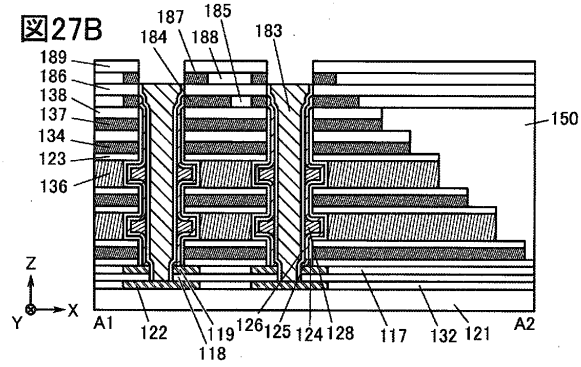
20

30

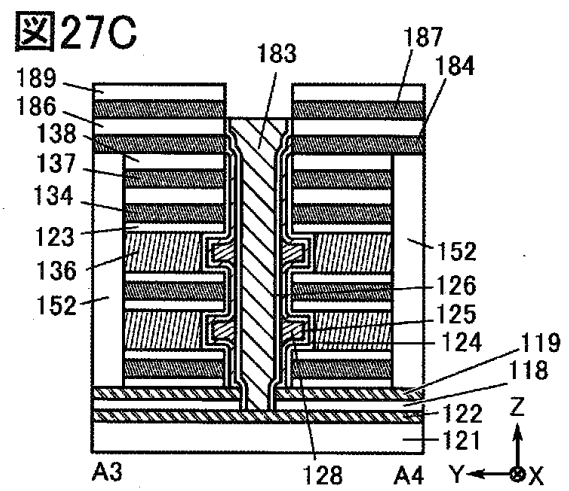
40

50

【図 27 B】

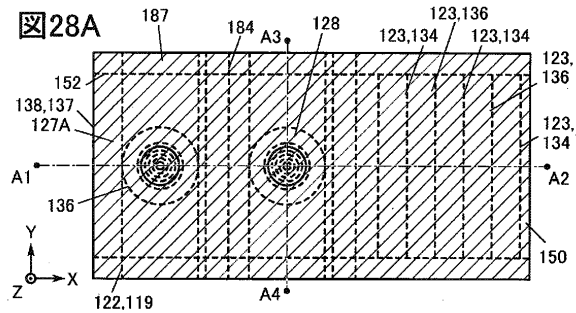


【図 27 C】

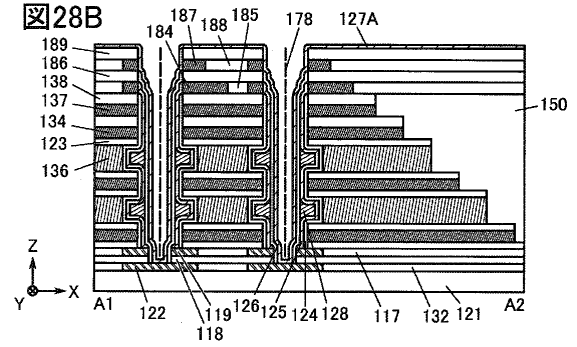


10

【図 28 A】



【図 28 B】



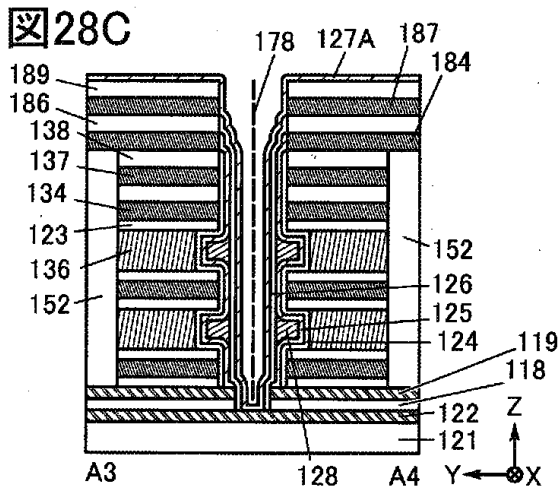
20

30

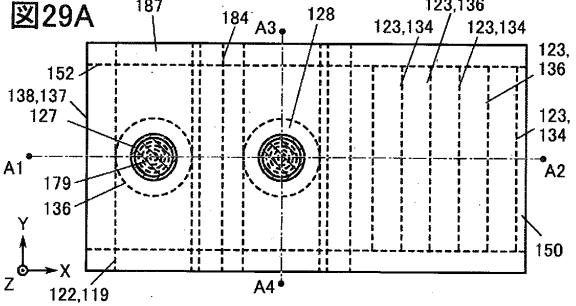
40

50

【図 28 C】

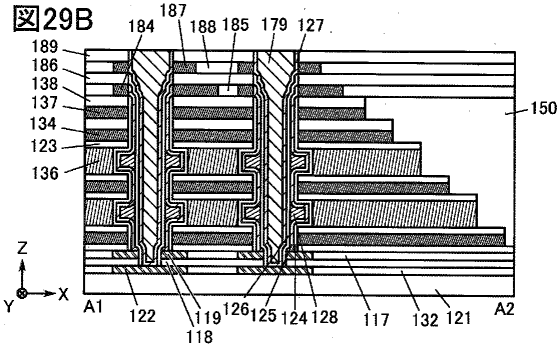


【図 29 A】

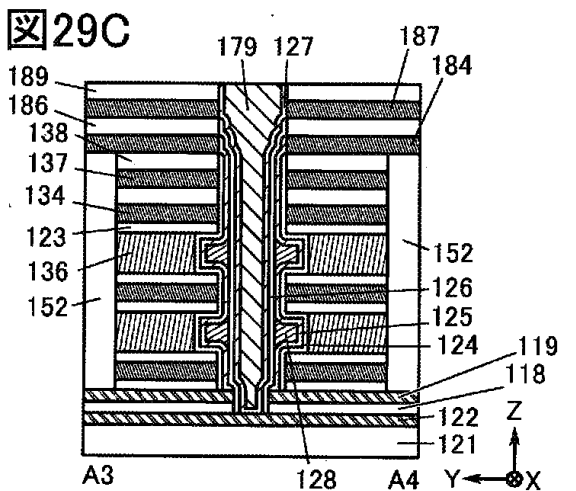


10

【図 29 B】



【図 29 C】



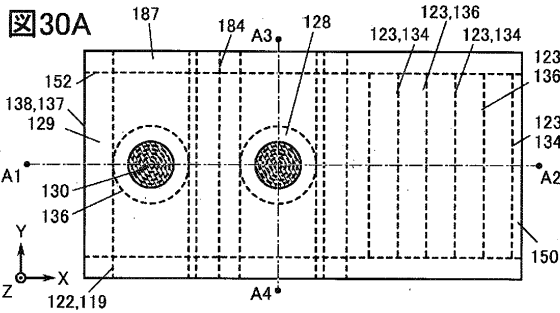
20

30

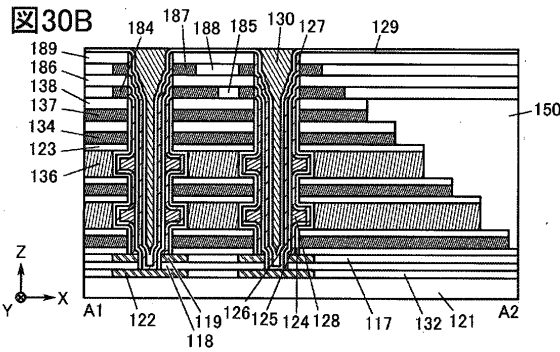
40

50

【図 3 0 A】

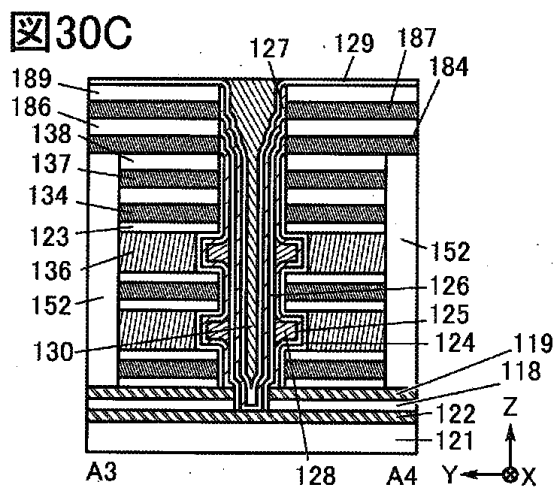


【図 3 0 B】

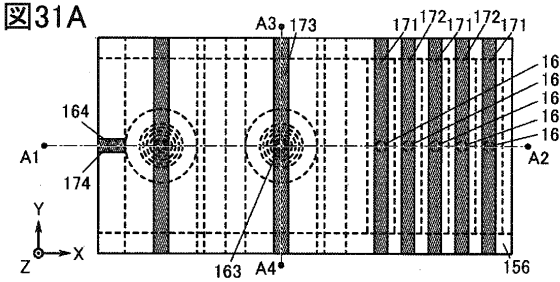


10

【図 3 0 C】



【図 3 1 A】



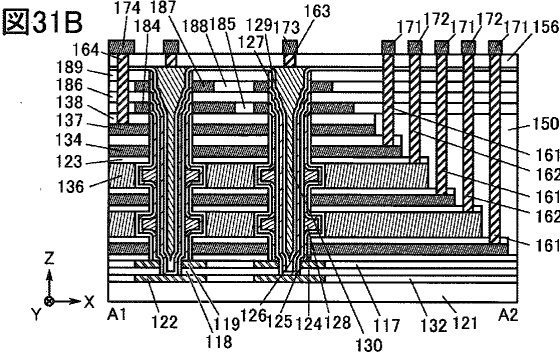
20

30

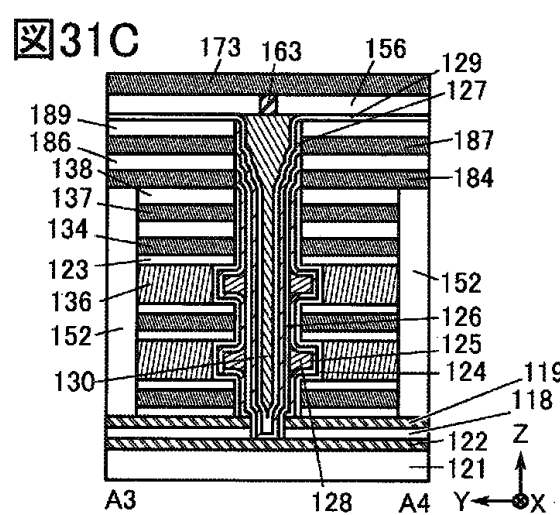
40

50

【図 3 1 B】

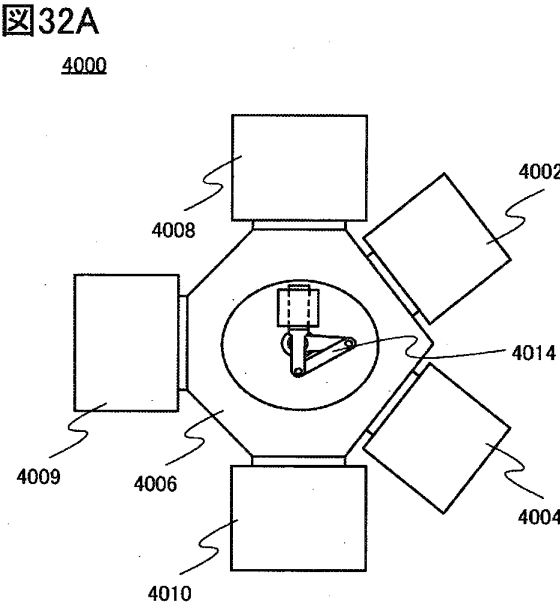


【図 3 1 C】

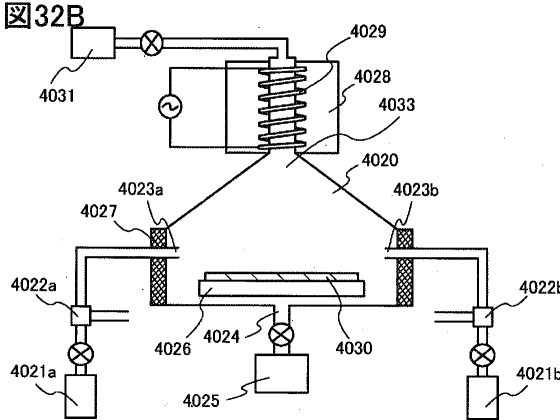


10

【図 3 2 A】



【図 3 2 B】



20

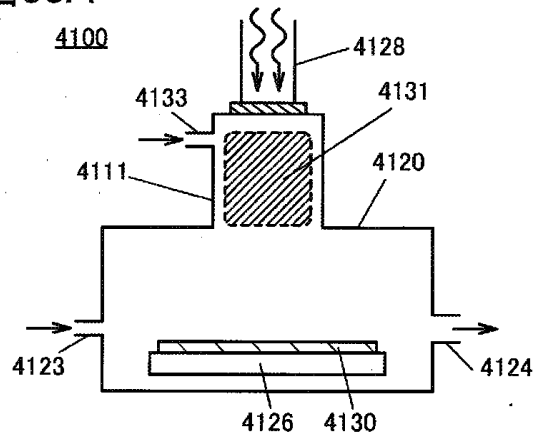
30

40

50

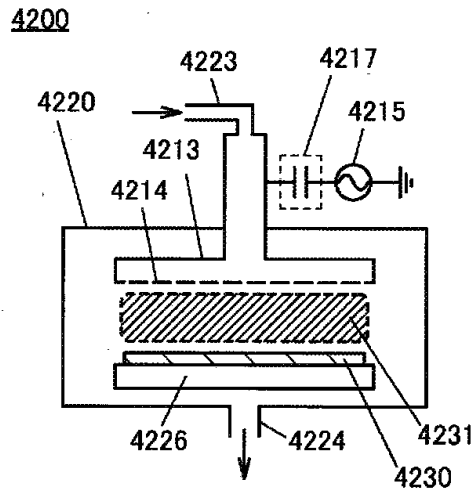
【図 3 3 A】

図33A



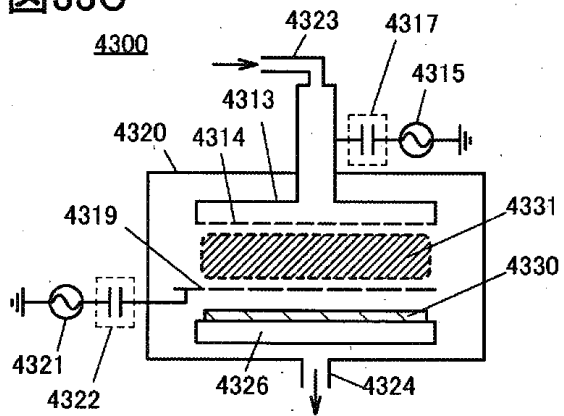
【図 3 3 B】

図33B



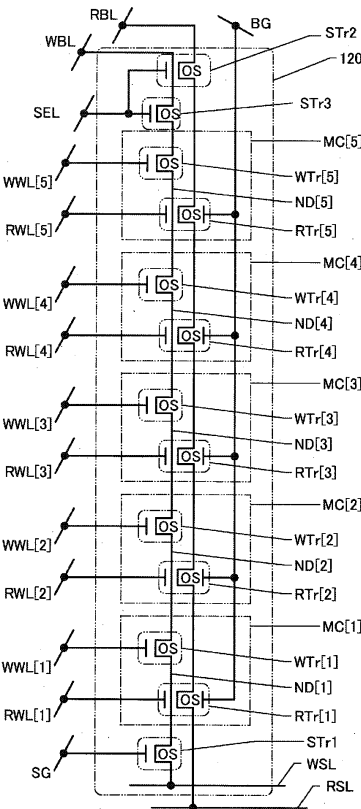
【図 3 3 C】

図33C



【図 3 4】

図34



10

20

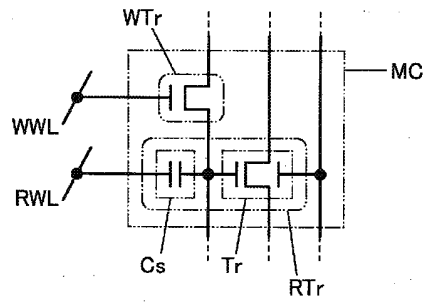
30

40

50

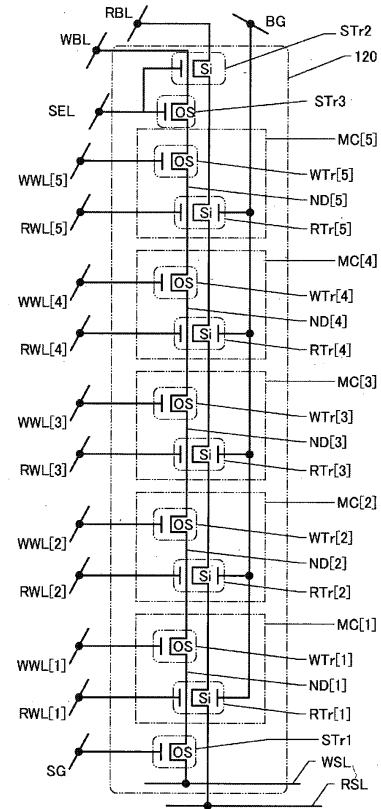
【図 35】

図35



【図 36】

図36

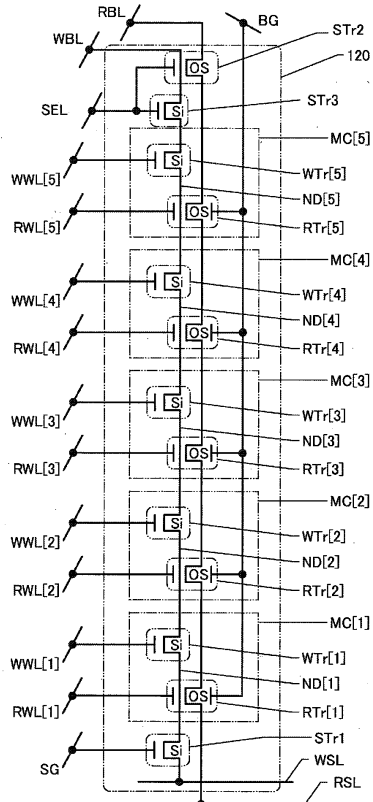


10

20

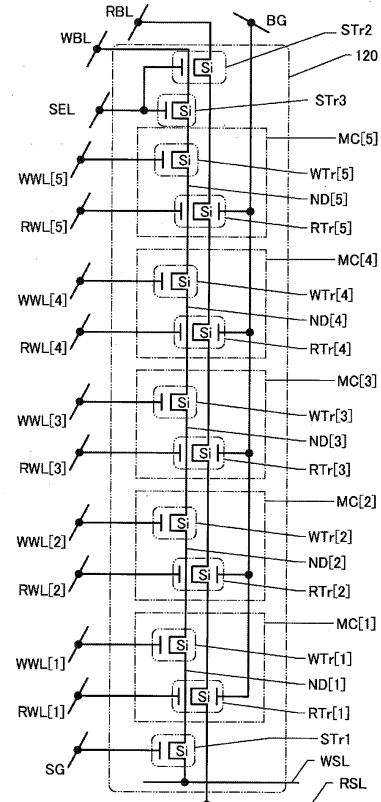
【図 37】

図37



【図 38】

図38



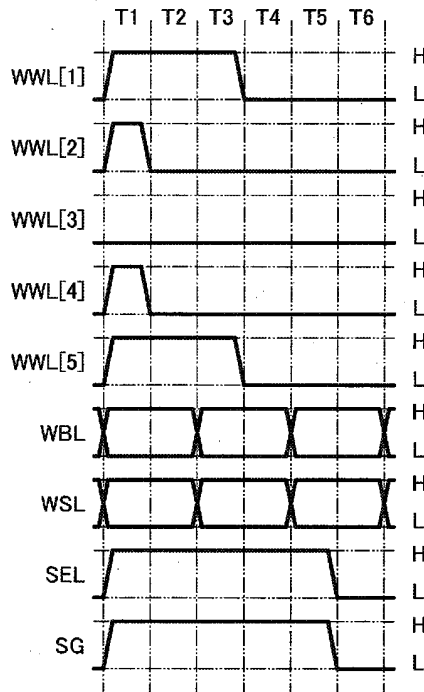
30

40

50

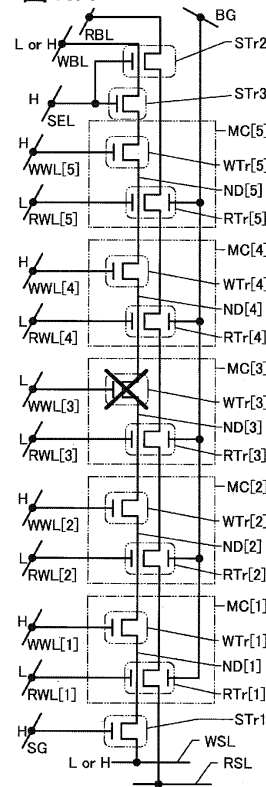
【図 39】

図39



【図 40 A】

図40A

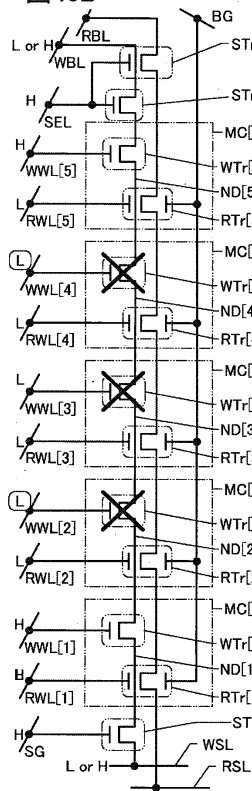


10

20

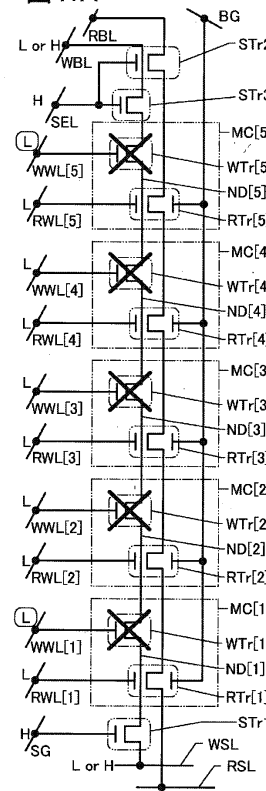
【図 40 B】

図40B



【図 41 A】

図41A

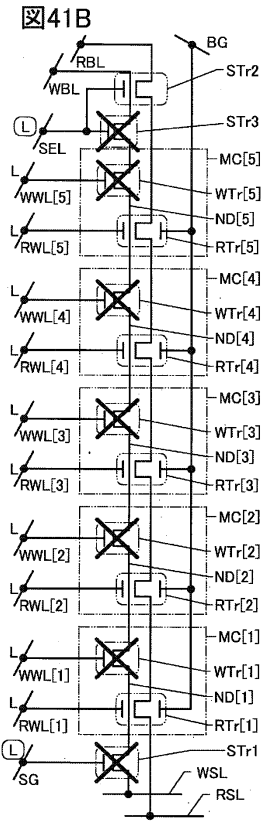


30

40

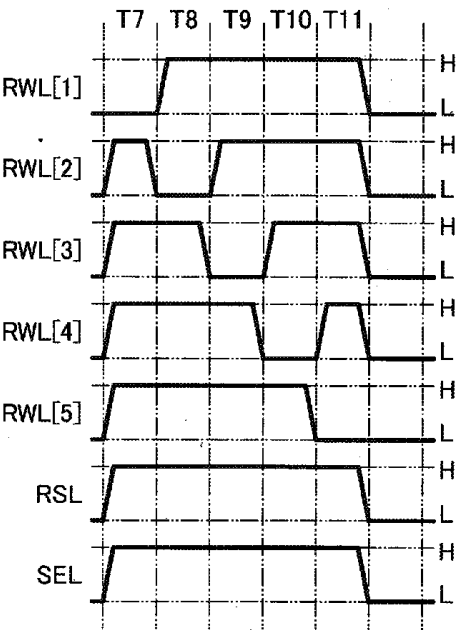
50

【図 4 1 B】



【図 4 2】

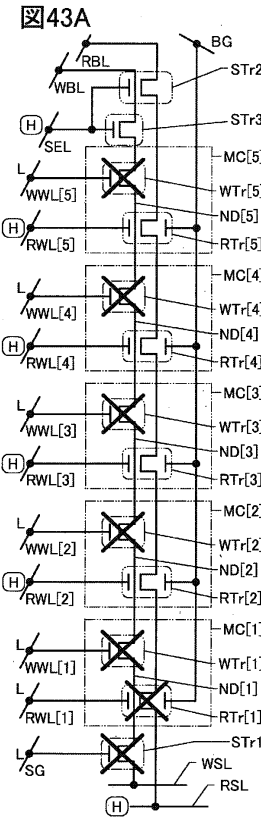
図42



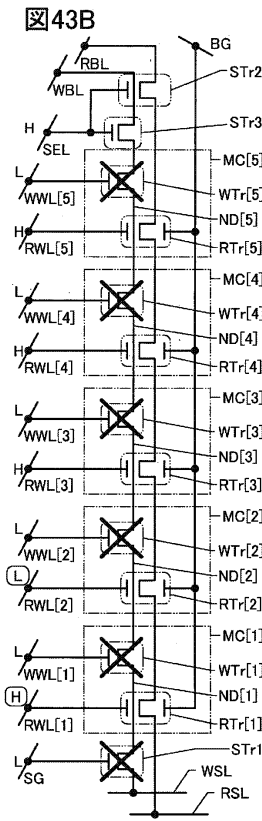
10

20

【図 4 3 A】



【図 4 3 B】



30

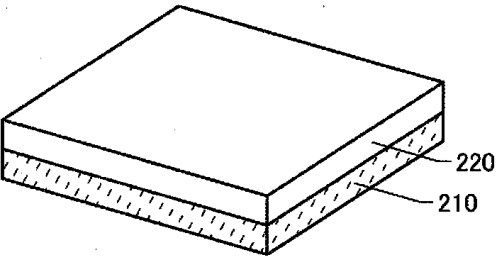
40

50

【図 47 A】

図47A

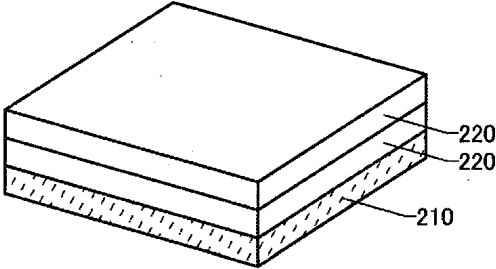
200



【図 47 B】

図47B

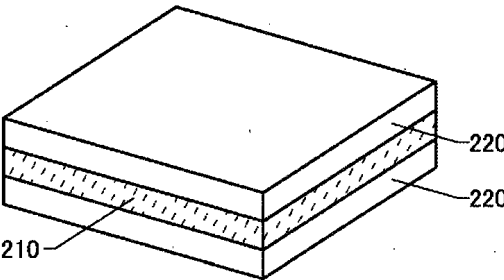
200



【図 47 C】

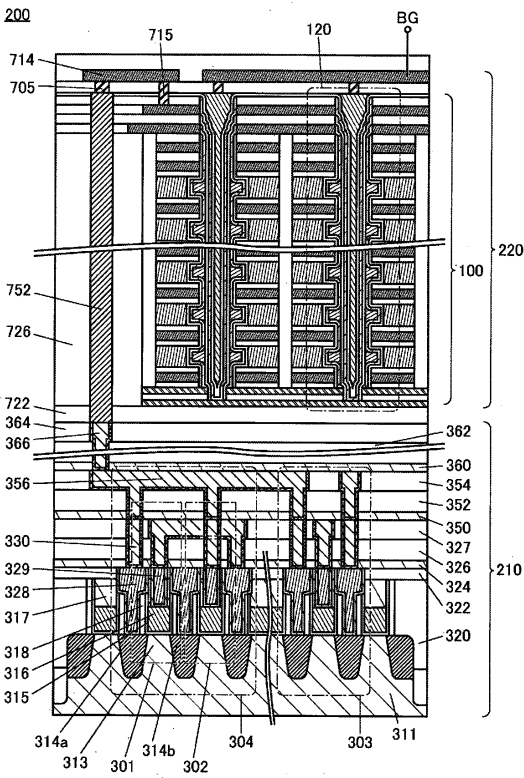
図47C

200



【図 48】

図48



10

20

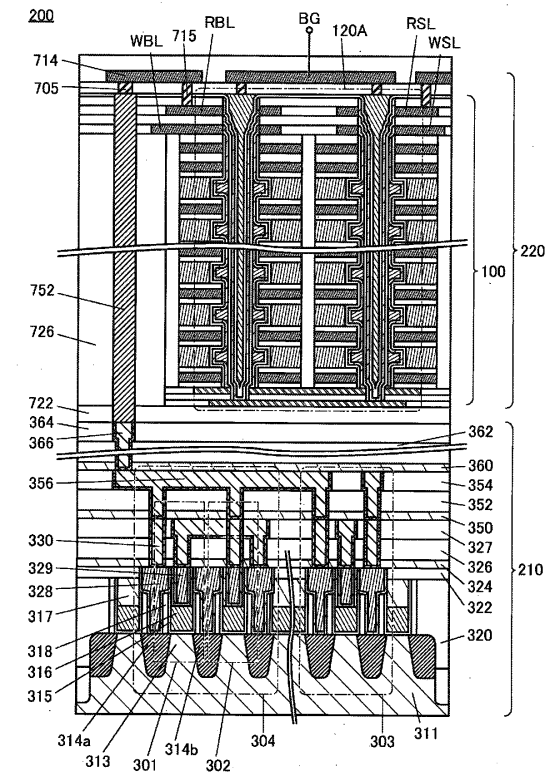
30

40

50

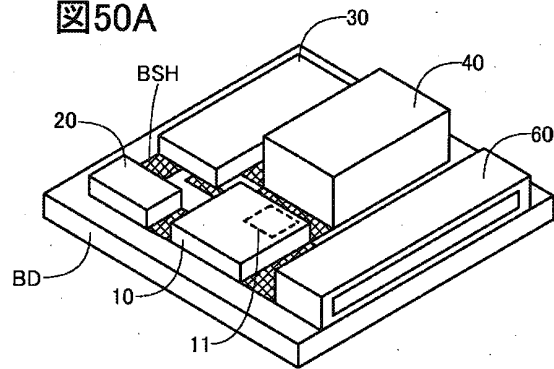
【図 4 9】

図49



【図 5 0 A】

図50A

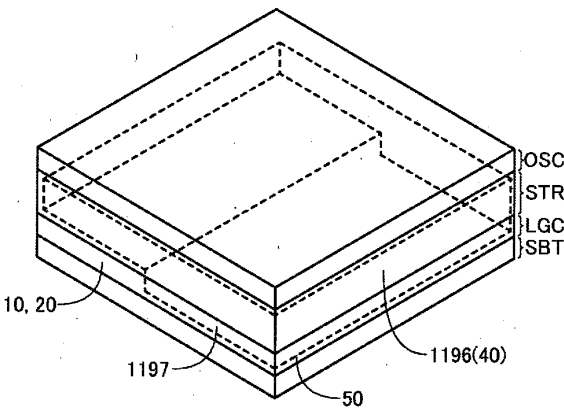


10

20

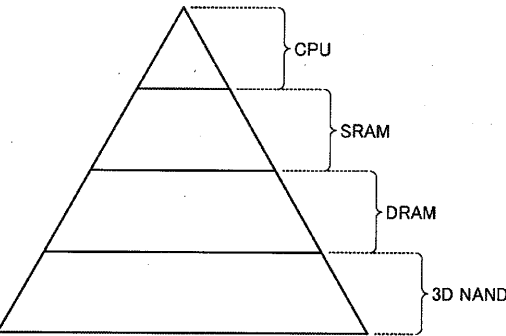
【図 5 0 B】

図50B



【図 5 1 A】

図51A



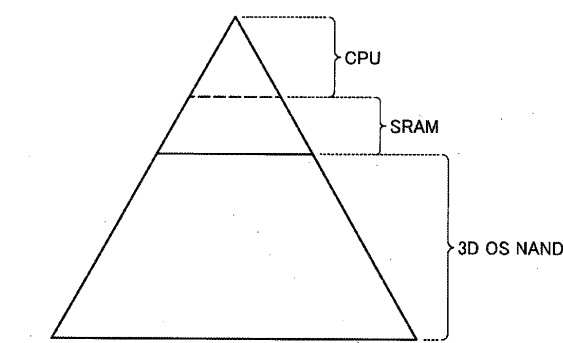
30

40

50

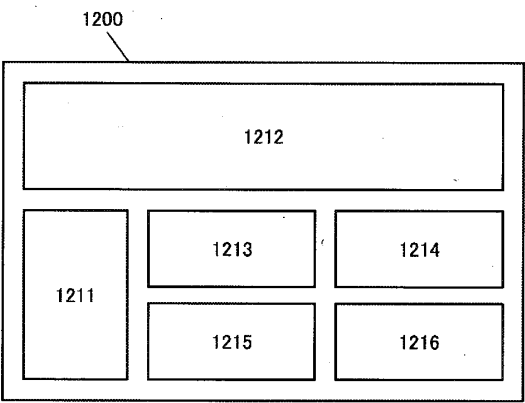
【図 5 1 B】

図51B



【図 5 2 A】

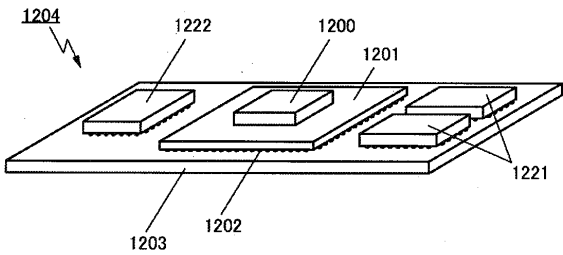
図52A



10

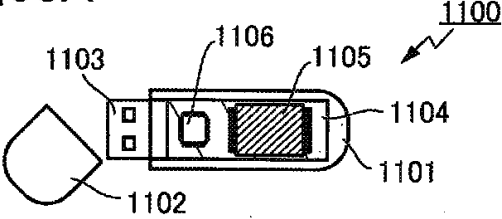
【図 5 2 B】

図52B



【図 5 3 A】

図53A



20

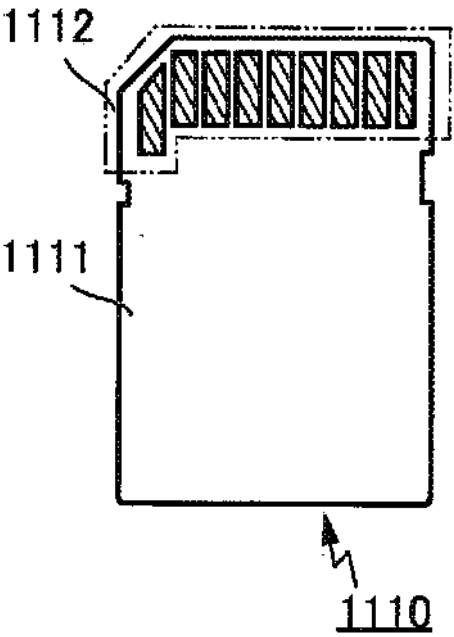
30

40

50

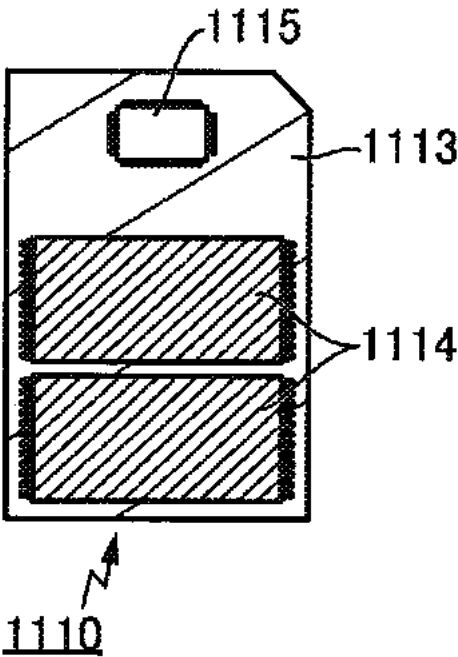
【図 5 3 B】

図53B



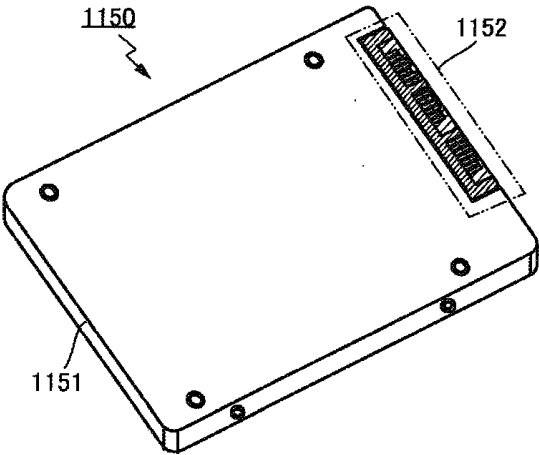
【図 5 3 C】

図53C



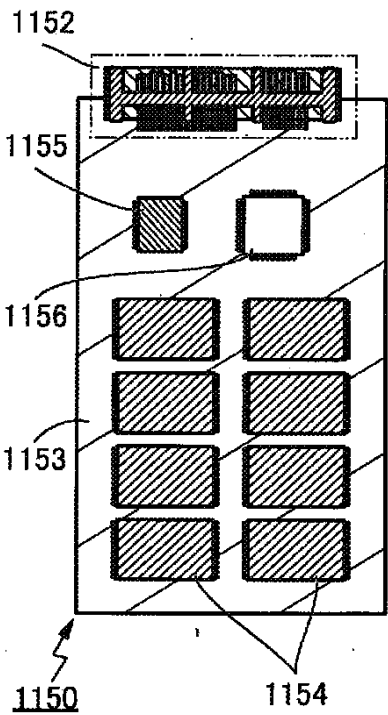
【図 5 3 D】

図53D



【図 5 3 E】

図53E



10

20

30

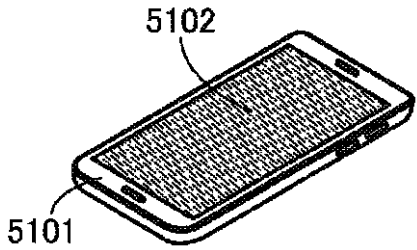
40

50

【図 5 4 A】

図54A

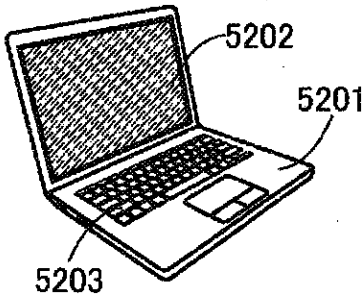
5100



【図 5 4 B】

図54B

5200

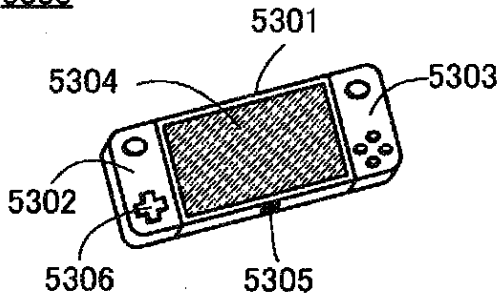


10

【図 5 4 C】

図54C

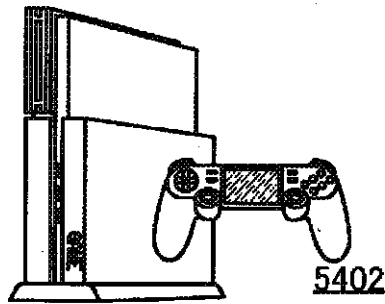
5300



【図 5 4 D】

図54D

5400



20

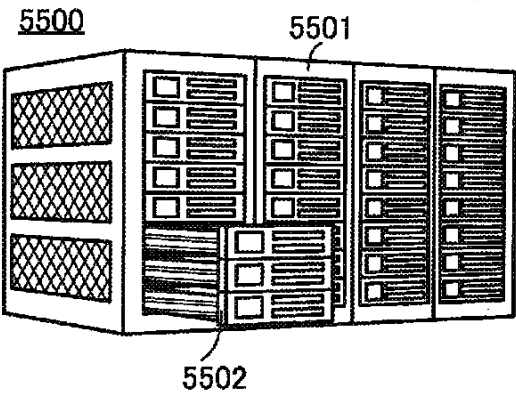
30

40

50

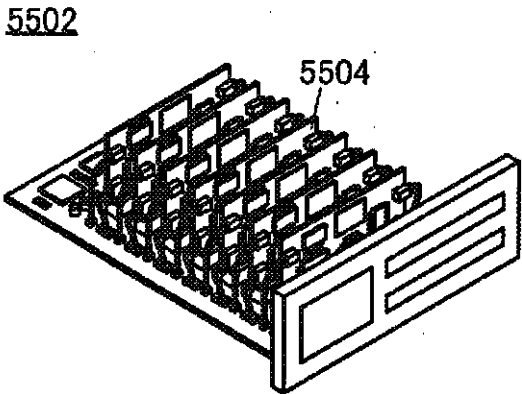
【図 5 4 E】

図54E



【図 5 4 F】

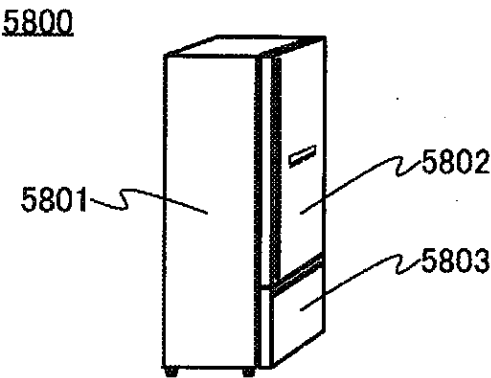
図54F



10

【図 5 4 G】

図54G



20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 1 0 D 86/40 (2025.01)	H 1 0 D	84/80	1 0 1 A
H 1 0 D 88/00 (2025.01)	H 1 0 D	86/40	1 0 1 B
	H 1 0 D	88/00	B

(72)発明者 岡本 悟
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 宮本 博司

(56)参考文献 特開 2 0 1 9 - 0 2 4 0 8 7 (J P , A)
特開 2 0 1 9 - 0 0 8 8 6 2 (J P , A)
特開 2 0 1 8 - 1 5 7 2 0 8 (J P , A)
国際公開第 2 0 1 9 / 0 0 3 0 4 2 (W O , A 1)

(58)調査した分野 (Int.Cl., D B 名)
H 1 0 B 1 2 / 0 0
H 1 0 B 4 1 / 7 0
H 1 0 D 3 0 / 6 7
H 1 0 D 8 4 / 8 3
H 1 0 D 8 4 / 8 0
H 1 0 D 8 6 / 4 0
H 1 0 D 8 8 / 0 0