

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2024-0154899
(43) 공개일자 2024년10월28일

(51) 국제특허분류(Int. Cl.)

H10K 10/46 (2023.01) H10K 10/84 (2023.01)

H10K 71/12 (2023.01)

(52) CPC특허분류

H10K 10/466 (2023.02)

H10K 10/484 (2023.02)

(21) 출원번호 10-2023-0051421

(22) 출원일자 2023년04월19일

심사청구일자 2023년04월19일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

한양대학교 산학협력단

서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)

(72) 발명자

김현석

대전광역시 유성구 대학로 99

이경진

대전광역시 유성구 대학로 99

(뒷면에 계속)

(74) 대리인

특허법인더웨이브

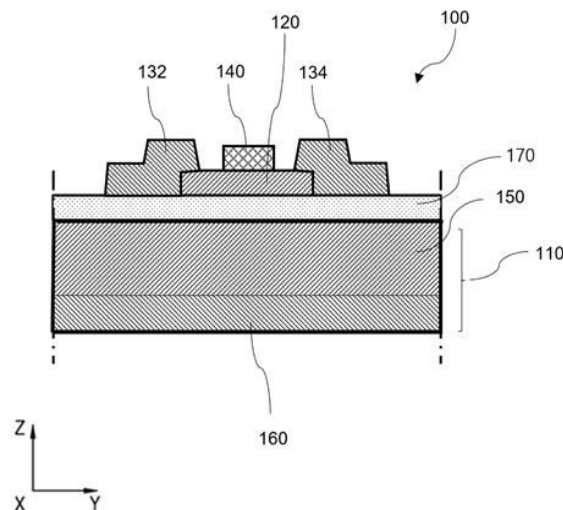
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기 박막 트랜지스터 및 이의 제조방법

(57) 요약

본 발명의 일 실시예는, 기판, 상기 기판 상의 유기물층, 상기 유기물층 상의 유기 반도체층, 상기 유기물층 상에 위치하고, 상기 유기 반도체의 양측에 각각 접하는 소스 전극과 드레인 전극 및 상기 유기 반도체층 상에 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 탄소 보조층을 포함하고, 상기 탄소 보조층은 상기 유기 반도체층 상에 직접 위치하여 상기 유기 반도체층과 접하는 유기 박막 트랜지스터를 제공한다.

대표도 - 도1



(52) CPC특허분류

H10K 10/84 (2023.02)

H10K 71/12 (2023.02)

(72) 발명자

박지민

대전광역시 유성구 대학로 99

이건오

대전광역시 유성구 대학로 99

김도환

서울특별시 강동구 아리수로50길 50, 111동 1603호

권혁민

서울특별시 강남구 영동대로 22, 806동 421호

이 발명을 지원한 국가연구개발사업

과제고유번호 1711175884

과제번호 2022RMD-S03

부처명 과학기술정보통신부

과제관리(전문)기관명 (재단)과학기술일자리진흥원

연구사업명 연구재료개발확산지원

연구과제명 트랜지스터 및 센서 연구를 위한 작용기 함유 페틸린 박막필름 연구재료 개발

기 여 율 1/3

과제수행기관명 충남대학

연구기간 2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711188543

과제번호 2020R1A2C3014237

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 개인기초연구(과기정통부)

연구과제명 가역적 이온 동역학 기반 다중 촉각 감지-기억-학습 일체형 뉴로모픽 전자피부 개발

기 여 율 1/3

과제수행기관명 한양대학교

연구기간 2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호 1711186956

과제번호 2021M3F3A2A03017873

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 차세대지능형반도체기술개발

연구과제명 유연 3차원 집적 CMOS 디지털 논리 회로 어레이 개발

기 여 율 1/3

과제수행기관명 충남대학교

연구기간 2023.01.01 ~ 2024.01.31

명세서

청구범위

청구항 1

기관;

상기 기관 상의 유기물층;

상기 유기물층 상의 유기 반도체층;

상기 유기물층 상에 위치하고, 상기 유기 반도체층의 양측에 각각 접하는 소스 전극과 드레인 전극; 및

상기 유기 반도체층 상에 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 탄소 보조층;을 포함하고,

상기 탄소 보조층은 상기 유기 반도체층 상에 직접 위치하여 상기 유기 반도체층과 접하는 유기 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 기관은 제1 영역 및 상기 제1 영역 상의 제2 영역을 포함하며,

상기 제1 영역은 게이트 전극이고, 상기 제2 영역은 절연층인 유기 박막 트랜지스터.

청구항 3

제2항에 있어서,

상기 제1 영역은 불순물이 도핑된 규소를 포함하고, 상기 제2 영역은 이산화규소를 포함하는 유기 박막 트랜지스터.

청구항 4

제1항에 있어서,

상기 소스 전극과 상기 드레인 전극을 잇는 방향과 수직한 제1 방향을 따른 상기 탄소 보조층의 길이는 상기 제1 방향을 따른 상기 소스전극 폭의 100% 내지 160%인 유기 박막 트랜지스터.

청구항 5

제1항에 있어서,

상기 소스 전극과 상기 드레인 전극을 잇는 방향과 나란한 제2 방향을 따른 상기 탄소 보조층의 폭은 상기 제2 방향 따른 소스 전극과 드레인 전극 사이에 형성되는 채널길이의 40% 내지 60%인 유기 박막 트랜지스터.

청구항 6

제1항에 있어서,

상기 탄소 보조층은 10 내지 30nm의 두께를 갖는 유기 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 유기물층은 ODTS 및 ODS 중 하나를 포함하는 유기 박막 트랜지스터.

청구항 8

기관을 준비하는 단계;

상기 기판상에 유기물층을 형성하는 단계;

상기 유기물층상에 유기 반도체층을 형성하는 단계;

상기 유기 반도체 상에 위치하며, 상기 유기 반도체층의 양측에 각각 접하는 소스 전극과 드레인 전극을 형성하는 단계; 및

상기 유기 반도체층 상에 상기 소스전극과 상기 드레인 전극 사이에 탄소 보조층을 형성하는 단계;를 포함하는 유기 박막 트랜지스터의 제조방법.

청구항 9

제8항에 있어서,

상기 탄소 보조층은 탄소봉을 원료로 하는 스퍼터링 공정을 통해 10nm 내지 30nm의 두께로 증착되는 박막 트랜지스터의 제조방법.

청구항 10

제8항에 있어서,

상기 기판은 제1 영역 및 상기 제1 영역 상의 제2 영역을 포함하며, 상기 제1 영역은 불순물이 도핑된 규소를 포함하고, 상기 제2 영역은 이산화규소를 포함하는 유기 박막 트랜지스터의 제조방법.

청구항 11

제10항에 있어서,

상기 제1 영역은 게이트 전극이고, 상기 제2 영역은 절연층인 유기 박막 트랜지스터의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 탄소 보조층을 포함하는 유기 박막 트랜지스터 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(TFT)는 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층(active layer), 활성층과 전기적으로 연결된 소스 전극과 드레인 전극 그리고 절연층에 의해 활성층과 전기적으로 절연되는 게이트 전극을 포함할 수 있다. 활성층의 소스 영역과 드레인 영역 각각에는 소스 전극과 드레인 전극이 전기적으로 연결될 수 있다.

[0003] 한편, 활성층이 저분자 또는 고분자와 같은 유기물 반도체로 형성된 유기 박막 트랜지스터는 유기물질의 특성상 플렉서블 기판들과의 호환성이 뛰어나고, 제조공정이 간단하며 저비용으로 생산 가능한 이점이 있다.

[0004] 그러나, 유기 박막 트랜지스터는 무기 박막 트랜지스터에 비해 전기적 특성이 낮을 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은, 전기적 특성이 향상된 유기 박막 트랜지스터 및 이의 제조 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예는, 기판, 상기 기판 상의 유기물층, 상기 유기물층 상의 유기 반도체층, 상기 유기물층 상에 위치하고, 상기 유기 반도체의 양측에 각각 접하는 소스 전극과 드레인 전극 및 상기 유기 반도체층 상에 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 탄소 보조층을 포함하고, 상기 탄소 보조층은 상기 유기 반도체층 상에 직접 위치하여 상기 유기 반도체층과 접할 수 있다.

- [0007] 본 실시예에 있어서, 상기 기판은 제1 영역 및 상기 제1 영역 상의 제2 영역을 포함하며, 상기 제1 영역은 게이트 전극이고, 상기 제2 영역은 절연층일 수 있다.
- [0008] 본 실시예에 있어서, 상기 제1 영역은 불순물이 도핑된 규소를 포함하고, 상기 제2 영역은 이산화규소를 포함할 수 있다.
- [0009] 본 실시예에 있어서 상기 소스 전극과 상기 드레인 전극을 잇는 방향과 수직한 제1 방향을 따른 상기 탄소 보조층의 길이는 상기 제1 방향을 따른 상기 소스전극 폭의 100% 내지 160%일 수 있다.
- [0010] 본 실시예에 있어서, 상기 소스 전극과 상기 드레인 전극을 잇는 방향과 나란한 제2 방향을 따른 상기 탄소 보조층의 폭은 상기 제2 방향 따른 소스 전극과 드레인 전극 사이에 형성되는 채널길이의 40% 내지 60%인 유기 박막 트랜지스터.
- [0011] 본 실시예에 있어서, 상기 탄소 보조층은 10 내지 30nm의 두께를 가질 수 있다.
- [0012] 본 실시예에 있어서, 상기 유기물층은 ODTS 및 ODS 중 하나를 포함할 수 있다.
- [0013] 본 실시예에 있어서, 기판을 준비하는 단계, 상기 기판상에 유기물층을 형성하는 단계, 상기 유기물층상에 유기 반도체층을 형성하는 단계, 상기 유기 반도체 상에 위치하며, 상기 유기 반도체층의 양측에 각각 접하는 소스 전극과 드레인 전극을 형성하는 단계 및 상기 유기 반도체층 상에 상기 소스전극과 상기 드레인 전극 사이에 탄소 보조층을 형성하는 단계를 포함할 수 있다.
- [0014] 본 실시예에 있어서, 상기 탄소 보조층은 탄소봉을 원료로 하는 스퍼터링 공정을 통해 10nm 내지 30nm의 두께로 증착될 수 있다.
- [0015] 본 실시예에 있어서, 상기 기판은 제1 영역 및 상기 제1 영역 상의 제2 영역을 포함하며, 상기 제1 영역은 불순물이 도핑된 규소를 포함하고, 상기 제2 영역은 이산화규소를 포함할 수 있다.
- [0016] 본 실시예에 있어서, 상기 제1 영역은 게이트 전극이고, 상기 제2 영역은 절연층일 수 있다.

발명의 효과

- [0017] 본 발명의 실시예들에 의하면, 소스 전극과 드레인 전극 사이에 유기 반도체층과 접하는 탄소 보조층을 위치시킴으로써 전하의 이동도가 증가하여, 유기 박막 트랜지스터의 전기적 특성이 향상될 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 유기 박막 트랜지스터의 일 예를 개략적으로 도시한 단면도이다.
- 도 2는 도 1의 유기 박막 트랜지스터의 기판의 일 예를 개략적으로 도시한 단면도이다.
- 도 3은 도 1의 유기 박막 트랜지스터를 개략적으로 도시한 평면도이다.
- 도 4는 도 1의 유기 박막 트랜지스터의 제조방법의 일 예를 개략적으로 도시한 순서도이다.
- 도 5는 유기 박막 트랜지스터의 탄소 보조층의 유무에 따른 유기 박막 트랜지스터의 특성을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0020] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0021] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0022] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

- [0023] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0024] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하기로 한다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 유기 박막 트랜지스터의 일 예를 개략적으로 도시한 단면도이고, 도 2는 도 1의 유기 박막 트랜지스터의 기관의 일 예를 개략적으로 도시한 단면도이다.
- [0027] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기 박막 트랜지스터(100)는 기관(110), 상기 기관(110) 상의 유기물층(170), 상기 유기물층(170)상의 유기 반도체층(120), 상기 유기 반도체층(120)의 양측에 각각 접하는 소스 전극(132)과 드레인 전극(134) 및 상기 유기 반도체층(120) 상에 위치하며 상기 소스 전극(132)과 상기 드레인 전극(134) 사이에 위치하는 탄소 보조층(120)을 포함할 수 있다.
- [0028] 이하의 실시예에서, 제1 방향(X)은 소스 전극과 드레인 전극을 잇는 방향과 수직한 방향일 수 있고, 제2 방향(Y)은 제1 방향(X)과 동일한 평면에 위치하고, 제1 방향(X)과 수직한 방향(소스 전극과 드레인 전극을 잇는 방향과 나란한 방향)일 수 있다. 또한 제3 방향(Z)은 제1 방향(X) 및 제2 방향(Y)과 수직한 방향일 수 있다.
- [0029] 기관(110)은 제1 영역(111)과 제1 영역(111) 상의 제2 영역(112)을 포함할 수 있다. 일 예로, 제1 영역(111)은 고농도로 도핑된 규소를 포함하고, 제2 영역(112)은 이산화규소를 포함할 수 있다. 제1 영역(111)은 유기 박막 트랜지스터(100)의 게이트 전극(160)일 수 있다. 즉, 별도의 공정 없이 기관(110)의 제1 영역(111)에 의해 게이트 전극(160)이 구현될 수 있다.
- [0030] 기관(110)의 제2 영역(112)은 절연층(150)일 수 있다. 절연층(150)은 고농도로 도핑된 규소를 포함할 수 있다.
- [0031] 유기물층(170)은 절연층(150)상에 위치할 수 있다. 일 예로, 유기물층(170)은 유기 용액공정 등의 방법으로 절연층(150)의 표면에 형성될 수 있다.
- [0032] 선택적 실시예로, 유기물층(170)은 절연체일 수 있고, ODTS(trichloro(octadecyl)silane), OTS(trichloro(octyl)silane), 파릴렌(parylene), 폴리메틸메타크릴레이트(PMMA, polymethylmethacrylate), 폴리스타이렌(PS, polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자이리렌계 고분자, 비닐알콜계 고분자 중에서 선택되는 어느 하나 또는 다수 개를 사용할 수 있으나, 이에 한정되는 것은 아니다.
- [0033] 선택적 실시예로, 유기물층(170)은 ODTS(trichloro(octadecyl)silane)를 포함할 수 있다. ODTS(trichloro(octadecyl)silane)는 OTS(trichloro(octyl)silane)보다 알킬기의 길이가 긴 것으로, ODTS(trichloro(octadecyl)silane)로 유기물층(170)을 형성함으로써, 유기물층(170)의 표면에너지를 낮춰주어, 후술하는 유기 반도체층(120)이 유기물층(170)상에 안정적으로 형성될 수 있다.
- [0034] 유기 반도체층(120)은 유기물층(170)상에 위치할 수 있다.
- [0035] 선택적 실시예로, 유기 반도체층(120)은 플러렌(Fullerene), Hexadecafluoro copper phthalocyanine(F16CuPc), 1,4,5,8-Naphthalenetetracarboxylic dianhydride(NTCDA), Perylene-3,4,9,10-tetracarboxylic dianhydride(PTCDA), N,N'-Dipentyl-3,4,9,10-perylenedicarboximide(PTCDI-C5), N,N'-Dioctyl-3,4,9,10-perylenedicarboximide(PTCDI-C8), N,N'-Diphenyl-3,4,9,10-perylenedicarboximide(PDCDI-Ph), 7,7,8,8-Tetracyanoquinodimethane(TCNQ), 2,3,5,6-Tetrafluoro-7,7,8,8-tetracyanoquinodimethane(F4TCNQ), BBL 및 polynaphthalene-fluorobithiophene(P(NDI2OD-T2F))중에서 선택되는 어느 하나 또는 다수 개를 사용할 수 있으나, 이에 한정되는 것은 아니다.
- [0036] tetracyanoquinodimethane(F4TCNQ), BBL 및 polynaphthalene-fluorobithiophene(P(NDI2OD-T2F))중에서 선택되는 어느 하나 또는 다수 개를 사용할 수 있으나, 이에 한정되는 것은 아니다.
- [0037] 소스전극(132)과 드레인전극(134)은 도전성 물질을 포함할 수 있다. 도전성 물질은, 예를 들어, 금(Au), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질을 포함할 수 있으며, 단층 또는 다층 구조를 가질 수 있다.

- [0038] 탄소 보조층(140)은 10nm 내지 30nm의 두께를 가지며 유기 반도체층(120) 상에 직접 위치할 수 있다. 즉, 탄소 보조층(140)은 유기 반도체층(120)에 접할 수 있다. 이 때, 탄소 보조층(140)은 유기 반도체층(120)과 동종원소를 포함함으로써, 추가적인 열처리를 통해 안정적으로 결합이 가능할 수 있다. 탄소 보조층(140)은 소스 전극(132) 및 드레인 전극(134) 사이에서, 소스 전극(132) 및 드레인 전극(134)과 이격되어 위치한다. 따라서, 탄소 보조층(140)은 전압이 직접 인가되지 않는 플로팅 상태를 가질 수 있다.
- [0039] 탄소 보조층(140)은 유기 반도체층(120)의 채널 영역에서 유기 반도체층(120)과 직접 접하여 형성되어, 캐리어가 부족한 유기 반도체층(120) 내에 전자를 주입해줌으로써 유효 캐리어 수를 증가시킬 수 있다. 또한, 소스영역에서 공급되는 캐리어인 전자가 채널 영역을 통해 드레인 영역으로 이동할 때, 탄소 보조층(140)을 경유하여 이동하게 함으로써, 탄소 보조층(140) 근처에서 전자 이동 속도의 가속화 효과로 전자의 이동 효율을 향상시킬 수 있다. 그 결과, 유기 박막 트랜지스터(100)의 전류량이 증가할 수 있고, 이동도(Mobility)가 향상될 수 있다.
- [0040] 도 3은 도 1의 유기 박막 트랜지스터를 개략적으로 도시한 평면도이다.
- [0041] 도 3은 소스전극(132), 드레인전극(134) 및 탄소 보조층(140)만을 도시한 평면도로서, 도 3을 참조하면, 제1 방향(X)을 따른 탄소 보조층(140)의 길이(L1)는 제1 방향(X)을 따른 소스전극(132)과 드레인전극(134)의 폭(W1)보다 클 수 있고, 제2 방향(Y)을 따른 탄소 보조층(140)의 폭(W2)은 제2 방향(Y)을 따른 채널길이(L2)보다 작을 수 있다.
- [0042] 일 예로, 제1 방향(X)을 따른 탄소 보조층(140)의 길이(L)는 제1 방향(X)을 따른 소스전극(132)과 드레인전극(134)의 폭(W)의 100% 내지 160%일 수 있다. 이에 의해, 채널을 통과하는 전자들이 탄소 보조층(140)을 경유하여 이동하는 확률을 높일 수 있고, 이동 중 캐리어가 재결합에 의해 소멸되는 것을 감소시킴으로써, 전하의 이동도(Mobility)와 전류량이 효과적으로 증가할 수 있다.
- [0043] 또한, 제2 방향(Y)을 따른 탄소 보조층(140)의 폭(W2)은 제2 방향(Y)을 따른 채널길이(L2)의 40% 내지 60%일 수 있다. 이에 따라, 탄소 보조층(140)에 의한 소스 전극(132)과 드레인전극(134) 간의 단락을 방지하면서, 전자의 이동경로가 감소함으로써 전자의 이동 효율을 향상시킬 수 있다.
- [0044] 도 4는 유기 박막 트랜지스터의 제조방법의 일 예를 개략적으로 도시한 순서도이다. 도 4를 참조하면, 본 발명의 일 실시예에 따른 유기 박막트랜지스터의 제조 방법은, 기판(110)을 준비하는 단계(S210), 상기 기판(110)상에 유기물층(170)을 형성하는 단계(S220), 상기 유기물층(170)상에 유기 반도체층(120)을 형성하는 단계(S230), 상기 유기 반도체층(120)상에 위치하며, 상기 유기 반도체층(120)과 양측에 각각 접하는 소스 전극(132)과 드레인 전극(134)을 형성하는 단계(S240) 및 상기 유기 반도체층(120)상에 상기 소스 전극(123)과 상기 드레인 전극(134) 사이에 위치하는 탄소 보조층(140)을 형성하는 단계(S250)를 포함할 수 있다.
- [0045] 기판(110)을 준비하는 단계(S210)에서, 기판(110)은 선택적 실시예로, 고농도로 도핑된 규소를 포함하는 제1 영역(111)과 이산화규소를 포함하는 제2 영역(112)을 포함할 수 있다. 따라서 별도의 게이트 전극을 형성하지 않더라도, 기판(110)의 제1 영역(111)이 게이트 전극으로 구현되며, 제2 영역은 절연층이 될 수 있다. 선택적 실시예로, 절연층(150)은 이산화규소를 포함할 수 있고, 250nm 내지 350nm의 두께로 형성될 수 있다.
- [0046] 기판(110)상에 유기물층(170)을 형성하는 단계(S220)에서 유기물층(170)은 절연체일 수 있고, 선택적 실시예로, ODS(trichloro(octadecyl)silane), OTS(trichloro(octyl)silane), 파릴렌(parylene), 폴리메틸메타크릴레이트(PMMA, polymethylmethacrylate), 폴리스타이렌(PS, polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자이리렌계 고분자, 비닐알콜계 고분자 중에서 선택되는 어느 하나 또는 다수 개를 사용할 수 있으나, 이에 한정되는 것은 아니다.
- [0047] 유기물층(170)은 유기 용액공정 등의 방법으로 기판(110)의 표면에 형성될 수 있다.
- [0048] 선택적 실시예로, 유기물층(170)은 ODS(trichloro(octadecyl)silane)를 포함할 수 있다. ODS(trichloro(octadecyl)silane)는 OTS(trichloro(octyl)silane)보다 알킬기의 길이가 긴 것으로, ODS(trichloro(octadecyl)silane)로 유기물층(170)을 형성하기 위해, 기판(110)의 제2 영역(112)의 표면을 산소 플라즈마로 60초간 처리하여 Si-OH로 표면 기능화 시킨 후, ODS 용액 40 μ l 및 톨루엔 20ml를 포함하는 용액에 기판(110)을 30분동안 침지 시킨 후, 140℃ 온도에서 30분동안 열처리한다. 열처리가 끝난 기판(110)을 톨루엔 용매로 씻어내어 미반응된 ODS 분자를 제거함으로써 유기물층(170)을 형성할 수 있다.

- [0049] ODTS(trichlorooctadecyl)silane)로 유기물층(170)을 형성함으로써, 유기물층(170)의 표면에너지를 낮춰주어, 후술하는 유기 반도체층(120)이 유기물층(170)상에 안정적으로 형성될 수 있다. 유기물층(170)상에 유기 반도체층(120)을 형성하는 단계(S230)에서 유기 반도체층(120)은 선택적 실시예로, 플러렌(Fullerene), Hexadecafluoro copper phthalocyanine(F16CuPc), 1,4,5,8-Naphthalenetetracarboxylic dianhydride(NTCDA), Perylene-3,4,9,10-tetracarboxylic dianhydride(PTCDA), N,N'-Dipentyl-3,4,9,10-perylenedicarboximide(PTCDI-C5), N,N'-Dioctyl-3,4,9,10-perylenedicarboximide(PTCDI-C8), N,N'-Diphenyl-3,4,9,10-perylenedicarboximide(PDCDI-Ph), 7,7,8,8-Tetracyanoquinodimethane(TCNQ), 2,3,5,6-Tetrafluoro-7,7,8,8-
- [0050] tetracyanoquinodimethane(F4TCNQ), BBL 및 polynaphthalene-fluorobithiophene(P(NDI2OD-T2F))중에서 선택되는 어느 하나 또는 다수 개를 사용할 수 있으나, 이에 한정되는 것은 아니다.
- [0051] 선택적 실시예로, 유기 반도체층(120)은 P(NDI2OD-T2F)를 포함할 수 있다. 유기 반도체층(120) 형성을 위해, 질소 분위기에서 P(NDI2OD-T2F)를 포함하는 고분자 반도체 용액 250 μ l를 유기물층(170)의 표면에 도포하여 1000rpm으로 60초간 스핀코팅하여 박막을 형성할 수 있으며, 형성된 박막은 질소 분위기에서 200℃온도로 1시간 동안 열처리하여 유기 반도체층(120)을 형성할 수 있다.
- [0052] 유기 반도체층(120)상에 위치하며, 유기 반도체층(120)의 양측에 각각 접하는 소스전극(132)과 드레인전극(134)을 형성하는 단계(S240)에서 소스전극(132)과 드레인전극(134)은 열증착(Thermal evaporation)공정을 통해 도전성 물질을 증착하여 형성할 수 있다.
- [0053] 도전성 물질은 예를 들어, 금(Au), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질을 포함할 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0054] 소스전극(132)과 드레인전극(134)은 50nm 내지 150nm의 두께로 형성될 수 있다.
- [0055] 유기 반도체층(120)상에 소스전극(132)과 드레인전극(134)사이에 탄소 보조층(140)을 형성하는 단계(S250)에서 탄소 보조층(140)은 10nm 내지 30nm의 두께로 유기 반도체층(120) 상에 직접 형성될 수 있다. 이 때, 탄소 보조층(140)은 유기 반도체층(120)과 동종원소를 포함함으로써, 추가적인 열처리를 통해 안정적으로 결합이 가능할 수 있다. 탄소 보조층(140)은 소스 전극(132) 및 드레인 전극(134) 사이에서, 소스 전극(132) 및 드레인 전극(134)과 이격되어 위치한다. 따라서, 탄소 보조층(140)은 전압이 직접 인가되지 않는 플로팅 상태를 가질 수 있다.
- [0056] 탄소 보조층(140)은 유기 반도체층(120)의 채널 영역에서 유기 반도체층(120)과 직접 접하여 형성되어, 캐리어가 부족한 유기 반도체층(120) 내에 전자를 주입해줌으로써 유효 캐리어 수를 증가시킬 수 있다. 또한, 소스영역에서 공급되는 캐리어인 전자가 채널 영역을 통해 드레인 영역으로 이동할 때, 탄소 보조층(140)을 경유하여 이동하게 함으로써, 탄소 보조층(140) 근처에서 전자 이동 속도의 가속화 효과로 전자의 이동 효율을 향상시킬 수 있다. 그 결과, 유기 박막 트랜지스터(100)의 전류량이 증가할 수 있고, 이동도(Mobility)가 향상될 수 있다. 일 예로, 탄소 보조층(140)은 스퍼터링 공정을 통해 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0057] 도 5는 유기 박막 트랜지스터의 탄소 보조층의 유무에 따른 유기 박막 트랜지스터의 특성을 도시한 그래프이다.
- [0058] 도 5에서 (A)는 탄소를 포함하는 보조층을 포함하지 않은 경우이고, (B)는 유기 반도체층 상에 탄소를 포함하는 보조층을 도입한 경우이다. 그 외에, 모든 점은 동일하다.
- [0059] <실시예>
- [0060] 일 실시예에 따른 유기 박막 트랜지스터(100)의 제조를 위해, 기판(110)은 고농도로 도핑된 규소를 포함하는 제1 영역(111)과 이산화규소를 포함하는 제2 영역(112)을 포함할 수 있다. 따라서, 기판(110)의 제1 영역(111)이 게이트 전극일 수 있고, 기판(110)의 제2 영역(112)은 절연층(150)일 수 있다.
- [0061] 게이트 전극(160)은 고농도로 도핑된 규소를 포함할 수 있으며, 절연층(150)은 이산화규소를 포함할 수 있고, 250nm 내지 350nm 두께로 형성될 수 있다.
- [0062] 기판(110)상에 위치하는 유기물층(170)을 형성하기 위해 기판(110)의 표면을 산소 플라즈마로 60초간 처리하여 Si-OH로 표면 기능화 시킨 후, 기판(110)을 ODTS 용액 40 μ l 및 톨루엔 20ml를 포함하는 용액에 30분동안 침지시킨 후, 140℃온도에서 30분동안 열처리한다. 열처리가 끝난 기판(110)을 톨루엔 용매로 씻어내어 미반응된 ODTS 분자를 제거함으로써 유기물층(170)을 형성할 수 있다.

[0063] 유기물층(170)상에 위치하는 유기 반도체층(120)을 형성하기 위해, 질소 분위기에서 P(NDI20D-T2F)를 포함하는 고분자 반도체 용액 250 μ l를 유기물층(170)의 표면에 도포하여 1000rpm으로 60초간 스핀코팅하여 박막을 형성할 수 있다. 이 때 형성된 박막을 질소 분위기에서 200℃온도로 1시간동안 열처리하여 유기 반도체층(120)을 형성할 수 있다.

[0064] 유기물층(170) 상에 위치하고, 유기 반도체층(120)의 양측에 각각 접하는 소스전극(132)과 드레인전극(134)은 금(Au)을 포함할 수 있으며, 열증착(Thermal evaporation)공정을 통해, 50nm 내지 150nm의 두께로 형성될 수 있다.

[0065] 유기 반도체층(120) 상에 소스 전극(132)과 드레인 전극(134) 사이에 위치하는 탄소 보조층(140)은 Quorum Q150V ES+장비를 이용한 스퍼터링 공정을 통해 10nm 내지 30nm의 두께로 유기 반도체층(120) 상에 직접 형성될 수 있다. 이 때, 0.05mm*300mm 면적의 탄소봉(carbon rod)이 스퍼터링 공정의 원료일 수 있으며, 탄소 보조층(140)과 유기 반도체층(120)은 동종원소인 탄소를 포함함으로써, 추가적인 열처리를 통해 안정적으로 결합이 가능할 수 있다.

[0066] 한편, 하기 표 1은 (A), (B)의 유기 박막 트랜지스터의 이동도(μ_{FE}), 문턱전압이하 스윙(S.S) 및 문턱전압(V_{th})을 측정한 결과이다.

표 1

	$\mu_{FE} (Cm^2 V^{-1} s^{-1})$	S.S. ($V \cdot dec^{-1}$)	$V_{th}(V)$
(A)	0.04	1.53	29.39
(B)	0.24	1.77	5.05

[0068] 상기 표 1에서 알 수 있는 바와 같이, (B)의 탄소 보조층을 도입한 경우는 탄소 보조층을 도입하지 않은 경우인 (A)와 비교해 문턱전압이하 스윙(S.S)은 거의 비슷한 결과를 나타내지만, 문턱전압(V_{th})값이 29.36V에서 5.05V로 5배이상 감소하고, 이동도(μ_{FE})가 0.04 $Cm^2 V^{-1} s^{-1}$ 에서 0.24 $Cm^2 V^{-1} s^{-1}$ 6배이상 증가한 것을 알 수 있다.

[0069] 이는, 탄소 보조층이 유기 반도체층의 채널 영역에서 유기 반도체층과 직접 접하여 형성됨으로써, 전자의 이동 시 전자가 탄소 보조층을 경유하여 이동하여, 전자의 가속화 효과로 이동 효율이 향상되기 때문이다.

[0070] 즉, 유기 반도체층은 탄소 보조층을 포함함으로써, 유기 박막 트랜지스터의 이동도 특성을 크게 개선할 수 있다.

[0071] 한편, 도 5의 (B)와 (A)를 비교하면, (B)가 (A)에 비해 I_{DS} 값이 증가한 것을 알 수 있다.

[0072] 이는, 탄소 보조층이 유기 반도체층의 채널 영역에서 유기 반도체층과 직접 접하여 형성되어, 캐리어가 부족한 유기 반도체층 내에 전자를 주입해줌으로써 유효 캐리어 수를 증가시켰기 때문이다.

[0073] 즉, 유기 반도체층은 탄소 보조층을 포함함으로써, 유기 박막 트랜지스터의 온커런트(on-current)를 크게 개선할 수 있다.

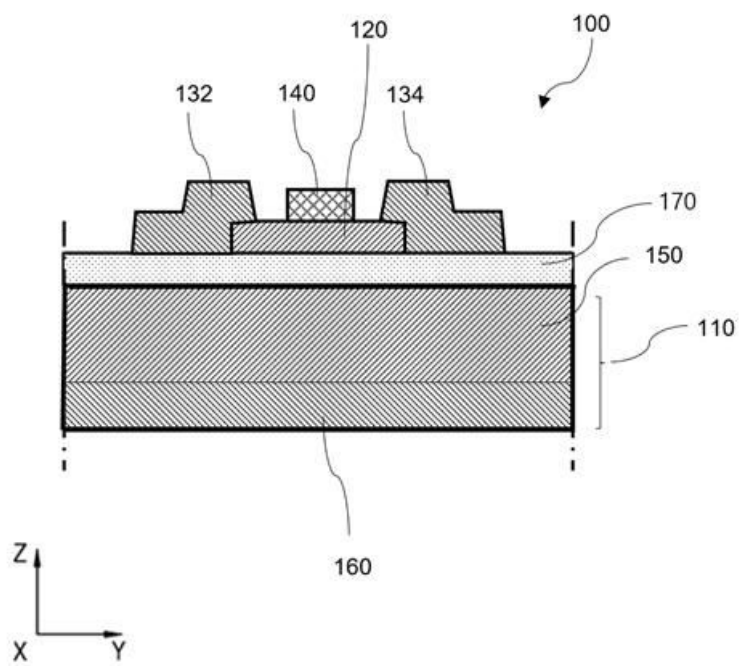
[0074] 따라서, 본 발명에 의하면, 소스 전극과 드레인 전극 사이에서 유기 반도체층에 접하는 탄소 보조층을 형성함으로써, 유기 박막 트랜지스터의 전하 이동도와 전류량이 큰 폭으로 상승할 수 있는 바, n 형 유기 박막 트랜지스터의 성능이 향상될 수 있다.

[0075] 도 5에서 알 수 있는 바와 같이, (A)에 비해 (B)는 이동도가 증가하였는데, 이는 탄소를 포함하는 탄소 보조층이 도입됨으로써 유기 반도체의 저이동도 관련 단점을 개선하고 유기 박막 트랜지스터의 채널영역에서 전자를 가속화시키는 효과를 나타내는 것으로 이해될 수 있다.

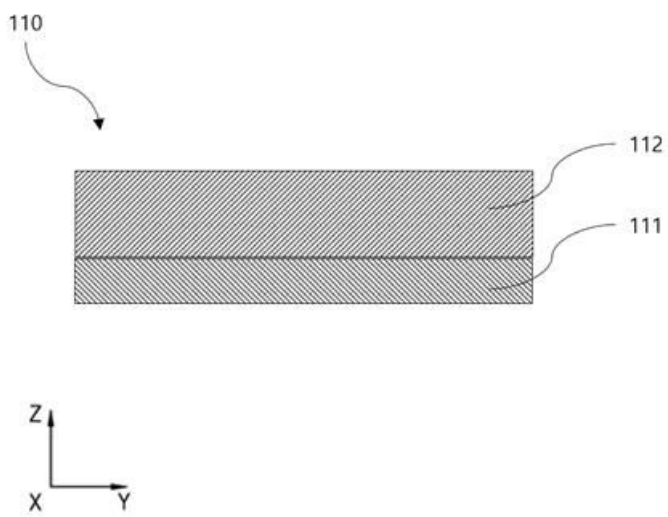
[0076] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

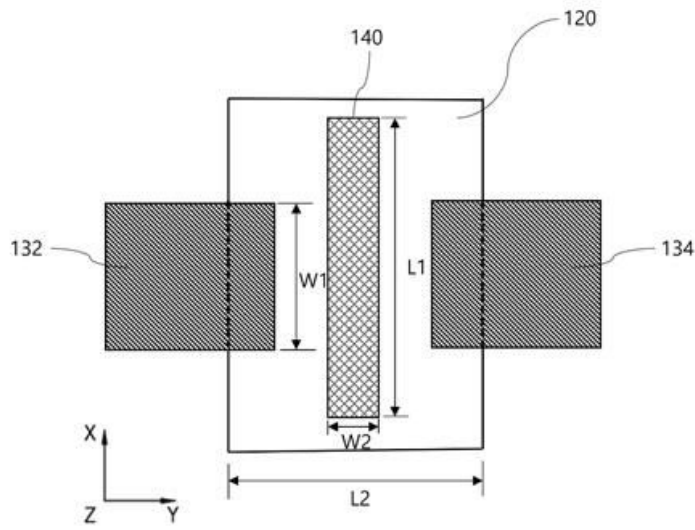
도면1



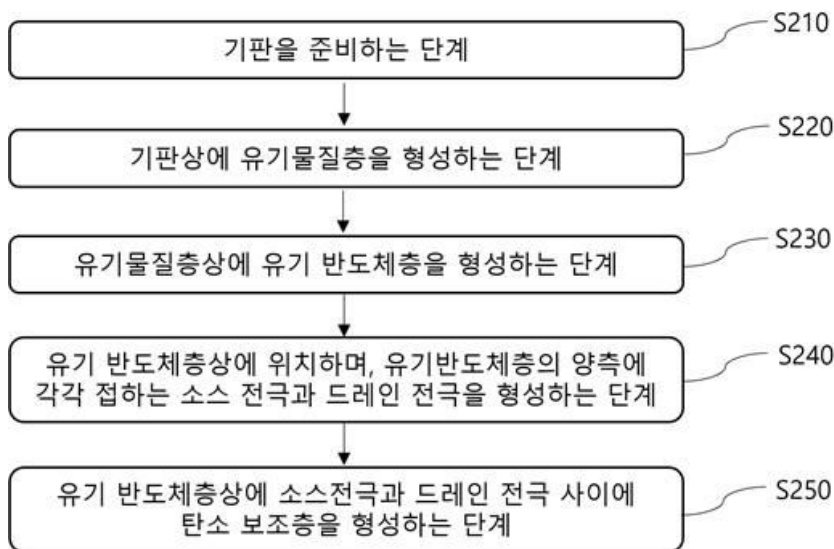
도면2



도면3



도면4



도면5

