

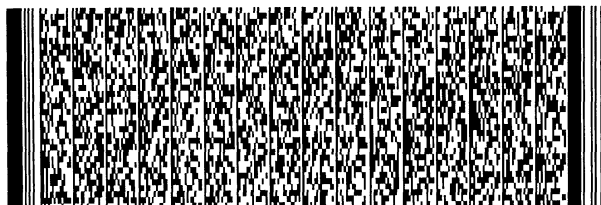
申請日期： 91-12-26	IPC分類 H01L 21/324, H01L 21/28
申請案號： 91137575	

(以上各欄由本局填註)

發明專利說明書

200301939

一、 發明名稱	中 文	基板處理方法及半導體裝置之製造方法
	英 文	METHOD OF TREATING SUBSTRATE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE
二、 發明人 (共3人)	姓 名 (中文)	1. 菅原 卓也
	姓 名 (英文)	1. Sugawara, Takuya
	國 籍 (中英文)	1. 日本 JP
	住居所 (中 文)	1. 日本國山梨縣韮崎市穗坂町三澤650 東京威力科創股份有限公司內
	住居所 (英 文)	1. c/o TOKYO ELECTRON LIMITED 650 Mitsuzawa, Hosaka-cho, Nirasaki City, Yamanashi 407-0192 Japan
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 東京威力科創股份有限公司
	名稱或 姓 名 (英文)	1. TOKYO ELECTRON LIMITED
	國 籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中 文)	1. 日本國東京都港區赤坂五丁目3番6號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3-6 Akasaka 5-chome, Minato-ku, Tokyo 107-8481, JAPAN
	代表人 (中文)	1. 東 哲郎
	代表人 (英文)	1. Azuma, Tetsuo



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中 文)	2. 松山 征嗣
	姓 名 (英 文)	2. Matsuyama, Seiji
	國 籍 (中 英 文)	2. 日本 JP
	住居所 (中 文)	2. 日本國兵庫縣尼崎市扶桑町1-8 東京威力科創股份有限公司內
	住居所 (英 文)	2. c/o TOKYO ELECTRON LIMITED 1-8 Fuso-cho, Amagasaki City, Hyogo 660-0891 Japan
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	

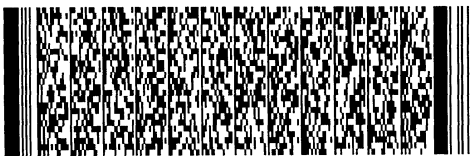


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 佐佐木 勝
	姓 名 (英文)	3. Sasaki, Masaru
	國 籍 (中英文)	3. 日本 JP
	住居所 (中 文)	3. 日本國兵庫縣尼崎市扶桑町1-8 東京威力科創股份有限公司內
	住居所 (英 文)	3. c/o TOKYO ELECTRON LIMITED 1-8 Fuso-cho, Amagasaki City, Hyogo 660-0891 Japan
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

日本 JP

2001/12/26

特願2001-394546

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

一、【發明所屬之技術領域】

本發明一般而言係關於電子元件之製造，特別是關於將形成有半導體裝置之電子元件用基板，曝露於氫自由基之基板處理方法。

二、【先前技術】

半導體裝置之製造製程中，將形成有各種半導體裝置之電子元件用基板，於氫環境中進行熱處理之氫燒結處理乃為不可欠缺者。藉由進行如此之氫燒結處理，例如，於MOSFET(Metal-Oxide-Semiconductor Field Effect

Transistor)中，藉由氫自由基，使存在於通道基板及閘極絕緣膜之界面區域之懸空鍵成為終端，而抑制因電荷被如此之懸空鍵捕獲而導致半導體裝置之電氣特性之劣化。

使用氫燒結處理之半導體裝置有許多，具體而言，如要求高速動作之邏輯元件、以使用高介電常數物質(High-k)作為電極間絕緣膜之以DRAM為代表之記憶體元件、或形成於玻璃基板上之薄膜電晶體(TFT:Thin Film Transistor)等。以下，說明此等半導體裝置需使用氫燒結之理由。

近年，以邏輯元件之高速化為目標，而開發使用以形成於Si晶圓上之SiGe(矽化鍺)結晶膜作為基板之MOSFET。藉由以SiGe結晶膜作為通道層而使p通道之移動度上升，以期實現高速之MOSFET。

使用此構造時，必需於SiGe結晶膜上形成氧化膜作為閘極絕緣膜，但若進行利用熱氧化之閘極氧化膜形成，則

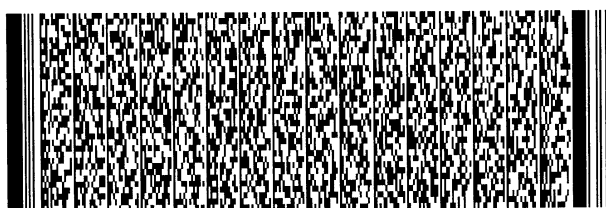


五、發明說明 (2)

形成 SiO_2 及 GeO_2 之混合層，與純粹之 SiO_2 膜相比，其絕緣特性較差。因此，嘗試可以低溫形成氧化膜之CVD(Chemical Vapor Deposition)法、或使用電漿氧化而形成氧化膜等。此等氧化膜之絕緣特性雖較 SiO_2 及 GeO_2 之混合層為優，但與純粹之熱氧化膜相比時其絕緣特性差，故無法獲得實用化所需之動作特性(T. Nagai, X. Chen, S. K. Banerjee, "Improving SiO_2/SiGe interface of SiGe p-metal-oxide-silicon field-effect transistor using water vapor annealing", Applied Physics Letters, volume 80, Number 10, pp. 1773-4775; D. Tchikatilov, Y. F. Yang and E. S. Yang, Applied Physics Letters, vol. 69, Number 17, pp. 2578-2580)。

另一方面，雖利用 Ta_2O_5 等高介電常數物質(High-k)，作為用於DRAM之記憶單元之電極間絕緣膜，但若於存在多量氫自由基之條件下，進行此等含高介電常數物質之半導體裝置之處理(蝕刻或氫燒結處理)，則容易產生漏電流增大、介電常數下降之特性劣化問題(筑根敦弘，「Cu金屬鑲嵌形成製程」第8次半導體製程座談會，1999年9月20日，21日，pp，71-79)。

又，TFT因形成於玻璃基板上，故必需有低於 400°C 以下之低溫下之處理。然而，於如此之溫度區下，不可能藉由熱氧化形成具有良好特性之氧化膜，現在，係使用以CVD法或電漿氧化法所形成之氧化膜作為閘極絕緣膜。然

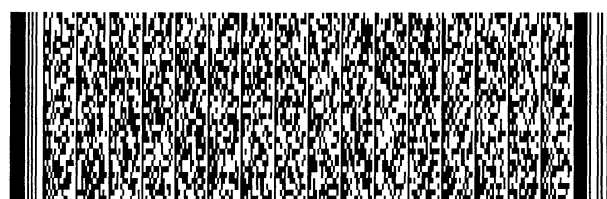


五、發明說明 (3)

而，以此等方法所製作之氧化膜之絕緣特性，遠較熱氧化膜為差，而產生因漏電流增大而造成消耗電力增加等之問題，故無法應用於要求低消耗電力之攜帶終端機上(N. Sano, M. Sekiya, M. Hara, A. Kohno and T. Sameshima, "Improvement of SiO_2/Si interface by low-temperature annealing in wet atmosphere", Applied Physics Letters, volume 66, Number 16, pp. 2107-2109)。

為了提升此等閘極絕緣膜之特性，而使用利用熱處理之氫燒結處理。然而，因欲利用熱處理產生氫自由基時需有有高於 450°C 之高溫，故不易應用於需低溫製程之SiGe基板或TFT。又，於使用利用熱處理之氫燒結時，氫自由基主要係藉由溫度加以控制，但於形成如DRAM般之混載耐熱物質(熱穩定性高之物質)及不耐熱物質(熱穩定性低之物質)之半導體裝置時，不易確立最佳之製程。又，用為DRAM之電極間絕緣膜之High-k物質，亦可望成為下一世代之閘極絕緣膜，但此等物質因成膜後實施高溫處理，而有因結晶化或與矽反應而造成氧化膜厚增大等之問題，故可預測不易將利用熱之氫燒結處理，應用於搭載High-k閘極絕緣膜之半導體裝置。

為了改善此等缺點，而提出於基板溫度 300°C 左右之 H_2O 環境下進行回火之濕回火製程(Nagai, et al., op cit, Tchikatilov, et al., op cit., Sano, et al., op cit.)，但因回火時間長達3小時左右，故不易用於量



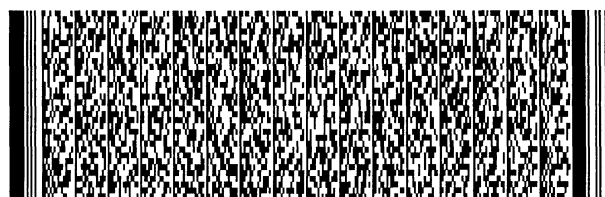
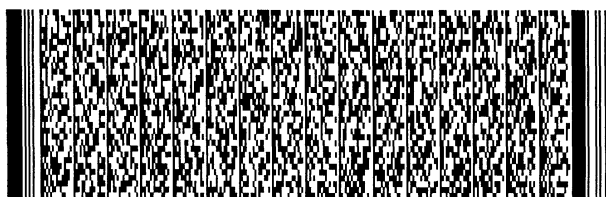
五、發明說明 (4)

產。

因此，於低於 400°C 之低溫下使用容易形成及控制氫自由基之電漿法，成為最有力之氫自由基形成方法。關於使用電漿而形成氫自由基之方法已有許多研究，此等電漿法為以清洗為目的而被開發之手法(Kotara Miyatani, Kenichi Nishizawa, Yasuo Kobayasghi and Yoshihida Tada, "A New Plasma Dry Cleaning Method Applied to Contact and Gate Pre Cleaning", Extended Abstracts of Solid State Devices and Materials, 2002, pp.196-197, Y. Aoki, S. Aoama, H. Uetake, K. Moeizuka and T. Ohmi, "In situ substrate surface cleaning by low-energy ion bombardment for high quality thin film formation", J. Vac. Sci. Technol. A11(2), Mr/Aor 1993, pp.307-313)，其具有起因於高電子溫度之電漿損壞或大面積化不易等問題。

對此，近年來，提出使用平面天線及微波之電漿形成方法，作為以形成閘極絕緣膜為目的之電漿處理方法。

此方法中，將He、Ne、Ar、Kr、Xe等稀有氣體與含有氧或氮之氣體，共同從設於被處理基板上部之環狀之噴灑板，供應至處理基板及噴灑板間之空間。所提技術係為藉由從設置於此噴灑板上部之平面天線構件(槽縫平面天線，SPA)背後照射微波，而介著天線導入微波。利用此微波，電漿激發該空間中之稀有氣體，同時，形成含氧氣體



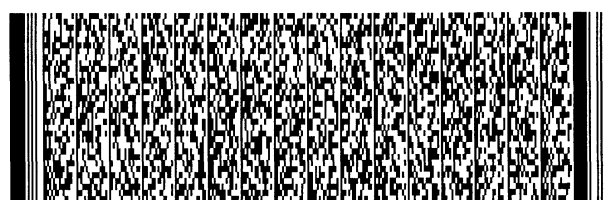
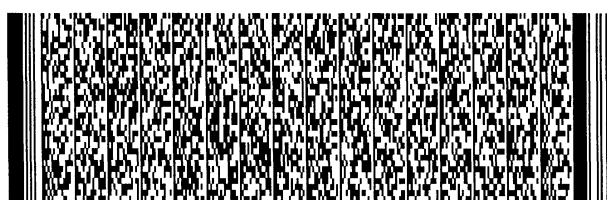
五、發明說明 (5)

或含氮氣體之自由基，如氧自由基 O^* 或氮自由基 N^* ，而使矽基板表面氧化或氮化。

藉此方法所形成之電漿因電子密度高，故即使於低基板處理溫度中亦產生多量自由基。又，因電子溫度低，故於其他電漿形成方法中成為問題之電漿損壞低。此外，因傳播於平面天線之微波於大面積中均勻地形成電漿，故亦有可應用於300mm直徑之晶圓或大型TFT顯示裝置用基板等之大面積基板之優點(Katsuyaki Sekine, Yuji Saito, Masaki Hirayama and Tadahiro Ohmi, J. Vac. Sci. Technol. A17(5), Sep/Oct 1999, pp. 3129-3133, Takuya Sufawara, Toshio Nakanishi, Mararu Sasaki, Shigenori Ozaki, Yoshihida Tada, "Characterization of Ultra Thin Oxynitride Formed by Radical Nitridation with Slot Plane Antenna Plasma", Extended Abstracts of Solid State Devices and Materials, 2002, pp. 714-715)。

藉由使用如此之技術，即使於低於400℃之低基板溫度，亦可直接對電子元件用基板表面進行氧化或氮化處理。此技術當然亦可應用於前述之低溫氧化膜形成，且亦可望用作為以氫燒結為目的之氫自由基形成方法。

圖1A~1H為依據本發明之氫燒結製程之代表應用例之n型MOSFET之製造製程。又，圖2為本發明所使用之氫自由基形成裝置之使用微波及平面天線之電漿形成裝置之一態樣。



五、發明說明 (6)

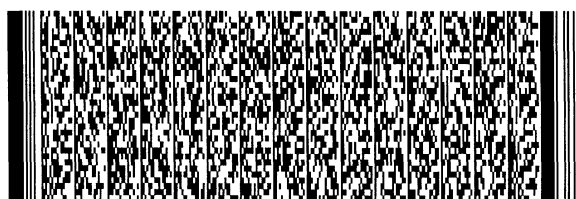
首先，參考圖2，微波電漿處理裝置10具有形成有保持被處理基板W之基板保持台12之處理容器11，處理容器11於排氣埠11A中排氣。

於該處理容器11上，形成對應該基板保持台12上之被處理基板W之開口部，該開口部以由鋁等低損耗陶瓷所成之蓋板13所覆蓋。此外，於蓋板13下，與該被處理基板W相對地形成由鋁等低損耗陶瓷所成之噴灑板14，其形成有氣體導入路徑及與此連通之多數噴嘴開口部。

該蓋板13及噴灑板14形成微波窗，於該蓋板14之外側，形成輻射線狀槽縫天線或孔洞天線等之微波天線15。

動作時，該處理容器11內部之處理空間藉由經由該排氣埠11A排氣，而設定成預定之處理壓，從該噴灑板14，與氫或Kr等惰性氣體，導入於前述之以閘極絕緣膜形成為目的之電漿處理方法中之含氧氣體。又，如後所述，於本發明之以氫自由基生成為目的之電漿處理方法中，與惰性氣體共同導入之氣體可使用氫氣。

此外，從該天線15上部照射頻率為數GHz之微波。所照射之微波沿天線之直徑方向傳播，放射至天線下部，將蓋板13均衡化而導入處理容器11中。此時，因微波係介著天線導入，故產生高密度、低電子溫度之電漿，又，此電漿於與天線面積成正比之廣範圍區域成為均勻分布。因此，藉由使用圖2之基板處理裝置，可進行300mm直徑晶圓或大型TFT顯示用基板等之大面積處理，且因電漿之電子溫度低，故可避免被處理基板W或處理容器11內壁損壞。



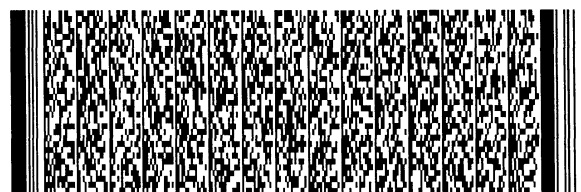
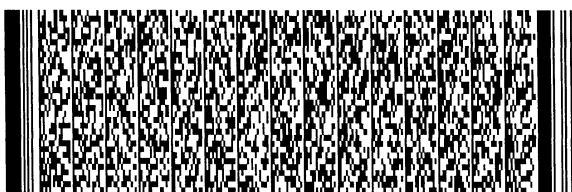
五、發明說明 (7)

又，所形成之自由基因沿著被處理基板W表面流往直徑方向，可快速地排氣，故可抑制自由基之再結合，於低於 600°C 之低溫中，可有效地進行相當一致之基板處理。

其次，參考圖1A~1H，於圖1A之製程中，使用於基板上具有比電阻為 $1\sim 30\ \Omega\text{cm}$ 之(100)面方位之p型矽基板21，於該矽基板21上，藉由STI或LOCOS製程形成元件分離構造21S。此外，於藉由該元件分離構造21S所劃分之元件區域21C中，進行利用硼(B)之通道摻雜。於圖1A之製程中，於該矽基板21表面，形成犧牲氧化膜20，作為於後實行之閘極絕緣膜形成製程之預備製程。

其次，於圖1B之製程中，使用組合APM(氨、過氧化氫及純水之混合液)、HPM(鹽酸、過氧化氫水及純水之混合液)及DHF(氟酸及純水之混合液)之RCA清洗，對圖1A之構造，進行閘極絕緣膜成膜前清洗，該犧牲氧化膜20與金屬、有機物或微塵等污染要素共同被去除，而露出新鮮之矽基板21表面。於此製程中，因狀況亦可使用SPM(硫酸及過氧化氫水之混合液)、臭氧水、FPM(氟酸、過氧化氫水及純水之混合液)、鹽酸水(鹽酸及純水之混合液)、有機鹼等。

其次，於圖1C之製程中，於該矽基板21表面上形成閘極氧化膜22。例如，將已實施圖1B之RCA清洗之基板，保持於 850°C 之溫度，藉由於 700Pa 之壓力下、 H_2/O_2 氣體流量比為 $100/700\text{SCCM}$ 之環境下進行2分鐘之氧化處理，而形成 2nm 左右膜厚之熱氧化膜作為該閘極氧化膜22。



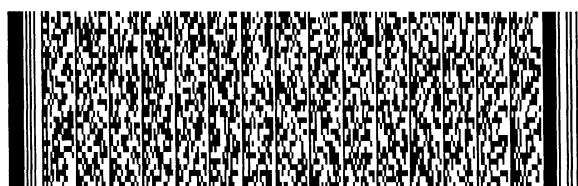
五、發明說明 (8)

其次，於圖1D之製程中，藉由CVD法，於圖1C之閘極氧化膜22上，沈積構成閘極電極之複晶矽膜23。例如，將形成有該閘極氧化膜22之矽基板21保持於620℃之溫度，藉由於30Pa之壓力下導入矽烷氣體，而於該閘極氧化膜22上，形成150nm膜厚之複晶矽膜23。

其後，於圖1E之製程中，藉由利用光阻製程將該複晶矽膜23加以圖案化，而於該矽基板21上，形成閘極電極圖案23A及閘極氧化膜圖案22A，此外，於圖1F之製程中，於該元件區域21C中，進行As或P等之p型雜質元素之離子植入，接著，藉由利用熱處理將所植入之雜質元素加以活化，而於該矽基板21中之該閘極電極23A兩側，形成成為源極區域或汲極區域之n型擴散區域21A、21B。

此外，於圖1G之製程中，於圖1F之構造上，可覆蓋該閘極電極23A地，形成由TEOS等之低介電常數膜所成之層間絕緣膜24，此外，於該層間絕緣膜23中，分別藉由選擇蝕刻，形成露出該擴散區域21A、21B及閘極電極23A之接觸孔，此外，藉由利用以斜線所示之電極材料填充該接觸孔，而形成所希望之MOSFET。

又，圖1G之MOSFET形成，係於選擇蝕刻或光阻去除製程所使用之灰化製程中，使用電漿處理。然而，藉由如此之電漿處理，於閘極氧化膜22及矽基板21之界面附近中，產生界面準位增加等之MOSFET特性劣化之問題。因此，於習知之半導體裝置之製造製程中，對所得之圖1G之半導體構造，進行氫燒結處理。



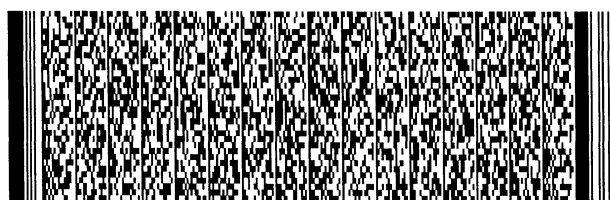
五、發明說明 (9)

圖3係顯示具與圖1E相同構造之n型MOS電容器之C-V特性。又，於圖3中，縱軸係顯示由p型矽基板21、閘極氧化膜22及n型複晶矽閘極電極23A所構成之MOS電容器之電容；而橫軸係顯示施加於該複晶矽閘極電極23A之閘極電壓。又，於圖3之例中，將閘極氧化膜22之面積設為 $100\ \mu\text{m}^2$ ，並使用採100kHz及250kHz之測定頻率之2周波解析法進行解析(Akio Nara, Naoki Yasuda, Hideki Satake and Akira Toriumi, "A Guidance for Accurate Two-Frequency Capacitance Measurement for Ultra-Thin Gate Oxide", Extended Abstracts of Solid State Devices and Materials, 2000, pp. 452-453)。

參考圖3，於未進行先前所說明之氬燒結處理之情形時，於對應 $-0.5\text{V} \sim +0.5\text{V}$ 之閘極電壓之空乏側區域中，確認存在起因於界面準位之大電容。

對此，將圖1G之構造加熱至 450°C ，並藉由於 H_2/N_2 比為0.5%之環境中，放置30分鐘放置，於進行圖1H之氬燒結處理之情形時，如圖3所示，可知於空乏領域中起因於界面準位之電容減少，可得良好之C-V特性。

如此，於製作具有良好界面持性之MOSFET時，圖1H之氬燒結處理為不可或缺。然而，於習知之利用熱製程之氬燒結處理中，必需有高於 400°C 之高溫，故於製造使用玻璃基板之TFT或混合熱穩定性優劣材料之DRAM等半導體裝置時，不易採用利用熱製程之氬燒結處理。



五、發明說明 (10)

三、【發明內容】

因此，本發明之概括課題在於解決上述課題，提供新且有用之基板處理方法。

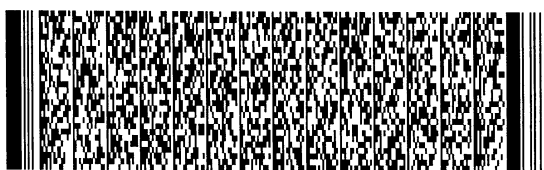
本發明之更為具體之課題為：於以氫自由基(含氫離子)處理以Si基板、SiGe基板及玻璃基板等為代表之電子元件用基板之方法中，提供溫度以外之控制方法，例如以壓力或氣體流量等，有效地控制氫自由基生成之方法。

本發明之其他課題為提供一種基板處理方法，其對形成有半導體元件之電子元件用基板，可以低基板處理溫度，且不使基板受損而進行氫燒結處理。

本發明之其他課題為提供一種對形成有半導體元件之電子元件用基板，可以低基板處理溫度，進行氫燒結處理之基板處理方法，其為特別適用於容易因熱而導致特性劣化之SiGe基板或玻璃基板等之方法。

本發明之其他課題為提供一種對形成有半導體元件之電子元件用基板，可以低基板處理溫度，進行氫燒結處理之基板處理方法，其為特別適用於將必需以熱以外方法控制氫自由基生成之High-k物質包含作為電容中之電極間絕緣膜之DRAM、或包含作為MOSFET中之閘極絕緣膜之下一世代邏輯元件等之半導體裝置之方法。

本發明之其他課題為提供一種半導體裝置之製造方法，其在於包含於藉由熱CVD法電漿法或熱配線法等以低基板溫度形成之閘極絕緣膜之半導體裝置中，可藉由進行利用低基板處理溫度之氫燒結處理，而使存在於閘極絕緣



五、發明說明 (11)

膜及基板間、或閘極絕緣膜及閘極電極間之界面附近、或閘極絕緣膜中或閘極電極中之懸空鍵成為終端，而補償半導體裝置之電氣特性劣化。

本發明之其他課題在於提供一種將形成有半導體裝置之電子元件用基板，曝露於氫自由基(含氫離子)之基板處理方法，該氫自由基係藉由電漿所激發。

本發明之其他課題在於提供一種將形成有半導體裝置之電子元件用基板，曝露於氫自由基(含氫離子)之基板處理方法，該氫自由基係藉由微波電漿所激發。

本發明之其他課題在於提供一種將形成有半導體裝置之電子元件用基板，曝露於氫自由基(含氫離子)之基板處理方法，該氫自由基係藉由利用對平面天線(Slot Plane Antenna; SPA)照射微波而形成之電漿所激發。

四、【實施方式】

〔第1實施例〕

圖4係為利用圖2之基板處理裝置10之本發明之第1實施例之氫自由基控制方法。於圖4中，橫軸顯示處理壓力；縱軸顯示藉由OES(Optical Emission Spectroscopy)所觀測之氫自由基之發光強度。又，於圖4之實驗中，將供應至圖2之噴灑板14之氫氣對Ar氣體之比例設為1%，並對該天線15，以2000W之電力照射2.45GHz之微波。

參考圖4可知，即使基板溫度為250℃，亦可得到與使用400℃之基板溫度時相等之發光強度，藉由使用圖2之基板處理裝置10產生氫自由基，即使於低基板溫度中，亦



五、發明說明 (12)

可產生充分之氫自由基。此外，從圖4中，藉由改變處理壓而產生之氫自由基量大浮變化，例如，藉由將處理壓由13.3Pa(100mTorr)改變成267Pa(2Torr)，而使氫自由基之發光強度增加至5倍。此表示可藉由與習知之溫度控制以外方法控制氫自由基之生成量，特別是，圖4A之關係係表示即使於250℃之低基板溫度中，與基板溫度為400℃之情形相同，亦可藉由基板處理裝置10中之處理壓之控制，可相同且任意控制氫自由基之生成量。

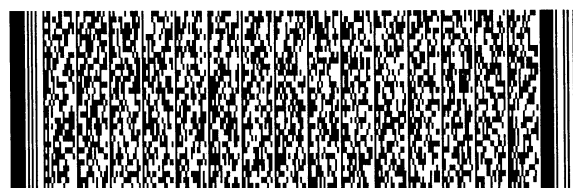
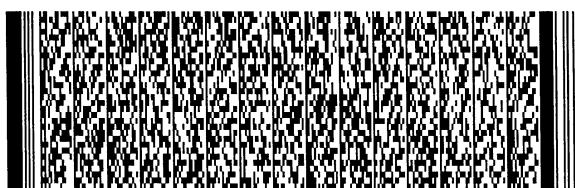
圖5係表示圖2之基板處理裝置10中所測定之電子溫度及電子密度之關係。參考圖5可知，藉由使用圖2之基板處理裝置10，可以 10^{11}cm^{-3} 以上之電子密度，形成具有1.5eV以下之電子溫度之電漿。此表示藉由本發明，可於較其他電漿形成方法之電子溫度為低，因而電漿損壞少之條件下，形成充分量之氫自由基。

如此，於本發明中，藉由於產生氫自由基時，使用圖2之基板處理裝置10形成電漿，可控制所形成電漿之電子溫度，又可避免於使用其他電漿形成方法時所產生之因為荷電粒子所導致之半導體裝置之損壞問題。

又，本實施例中係藉由壓力控制而控制氫自由基之生成量，但藉由改變氣體流量或微波電力，亦可控制氫自由基之生成量。

再者，本實施例中，氫自由基之生成亦可使用含重氫之環境而進行。此時，於環境中形成重氫自由基 D^* 。

此外，含該氫自由基之環境亦可含氫離子。



五、發明說明 (13)

〔第2實施例〕

圖6A、6B係顯示使用圖2之基板處理裝置10之本發明之一實施例之氫燒結處理。但是於先前說明部分相對應之部分使用相同參考符號，而省略說明。

參考圖6A，將形成圖1G之半導體裝置構造之矽基板21，導入該基板處理裝置10之處理容器11中作為該被處理基板W，從該噴灑板14導入Ar或Kr等稀有氣體及氫之混合氣體，藉由以2.45GHz或8.3GHz之微波將其激發，而形成氫自由基 H^* 。

例如，將該處理容器11減壓至67Pa之處理壓，將基板溫度設定為250℃，此外，藉由使 H_2 之比例成1% ($H_2/Ar=1\%$)地，將氫氣及Ar氣供應至該處理容器11中，而於該噴灑板14正下方與Ar電漿共同形成含氫自由基 H^* 之環境。

結果，所形成之氫自由基 H^* 容易侵入該複晶矽閘極電極23A中，而使複晶矽閘極電極23A中之懸空鍵成為終端。此外，如此所形成之氫自由基 H^* 通過該複晶矽膜23，而如圖6B所示，到達氧化膜內部、或複晶矽膜/氧化膜界面、或氧化膜/矽基板界面，而使存於相關區域之以 $\times$ 表示之懸空鍵成為終端。結果，藉由本實施例，例如，與利用熱之氫燒結所造成之效果相同，使圖3中之閘極電壓由-5V至+5V範圍中作為電容所觀測之懸空鍵成為終端，使起因於此懸空鍵之界面準位密度減少。

又，於本實施例中，亦可對圖2之基板處理裝置10供



五、發明說明 (14)

應氫及重氫之混合氣體或重氫，而進行利用重氫自由基之界面之回復處理。

又，於本實施例中，MOSFET之閘極絕緣膜22A係藉由熱氧化法形成，但其亦可藉由電漿氧化法、電漿氮化法、觸媒氧化法、觸媒氮化法、CVD(化學氣相沈積)法或PVD(物理氣相沈積)法之任一方法所形成。

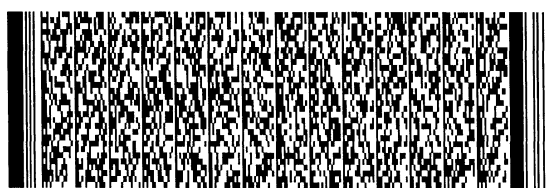
圖7係應用本發明之基板處理方法而形成之DRAM之例。而於圖7中，先前所說明之部分係使用相同參考符號而省略其說明。

參考圖7，於本實施例中，該閘極電極23A作為字元線WL而延置於基板21表面，此外，形成於該層間絕緣膜24上之構成位元線BL之複晶矽電極圖案26A，藉由形成於該層間絕緣膜24中之接觸孔，而與構成源極區域之該擴散區域21A相接觸。

此外，於該層間絕緣膜24上，形成可覆蓋該位元線圖案26A之下一個層間絕緣膜，於該層間絕緣膜24上，介著貫通該層間絕緣膜24及25而形成於該擴散區域21B之接觸孔而相接觸地形成構成記憶單元電容器之蓄積電極26B之複晶矽電極圖案。

該蓄積電極26B表面藉由高電介質電容器絕緣膜27所覆蓋，此外，於該層間絕緣膜25上形成可覆蓋該電容器絕緣膜27之相對電極28。

於圖7之DRAM中，亦與圖6B相同，可藉由利用圖2之基板處理裝置之電漿處理，使存在於矽基板21及閘極絕緣膜



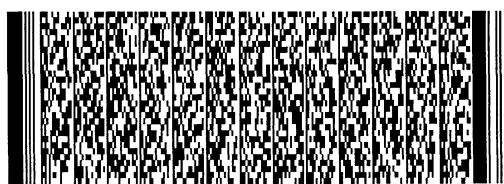
五、發明說明 (15)

22A之界面附近、或閘極絕緣膜22A或複晶矽電極23A內部、或該閘極絕緣膜22A及複晶矽電極28A之界面附近之懸空鍵，藉由氫自由基 $H^{\bullet}$ 而成為終端，而得到特性穩定之DRAM。

以上，係以較佳實施例說明本發明，但本發明並不限於上述特定實施例，於符合專利申請範圍所記載之要旨內者，可作各種變形/變更。

產業上之利用可能性

依據本發明，於包含可能因高溫處理而使特性劣化之半導體裝置之電子元件用基板中，藉由使用具高電子密度之微波電漿，進行氫燒結處理，可於將基板溫度控制為低溫下，提升半導體裝置之電氣特性。又，藉由介著平面天線導入微波可達成低電子溫度，可避免因電漿損壞而導致之半導體裝置之損壞。又，因微波係傳播於平面天線中而放射，故可進行與天線面積成正比之大面積處理，亦可應用於300mm直徑之晶圓或大面積TFT基板等之大面積基板。



圖式簡單說明

五、【圖式簡單說明】

圖1A～1H係先前所提案之半導體裝置之製造製程圖。

圖2係於本發明所使用之微波電漿處理裝置之構成圖。

圖3係於圖1A～1H之半導體裝置裝置製造製程中所產生問題之說明圖。

圖4係本發明之第1實施例之說明圖。

圖5係本發明之第1實施例之說明圖。

圖6A、6B係本發明之第2實施例之說明圖。

圖7係將本發明應用於DRAM時之示意圖。



四、中文發明摘要 (發明名稱：基板處理方法及半導體裝置之製造方法)

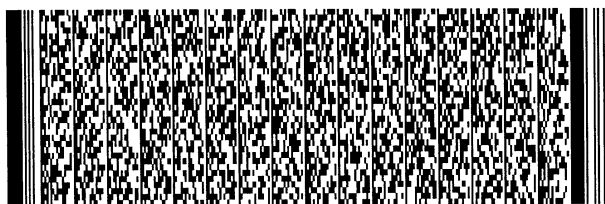
一種基板處理方法，其將形成有半導體裝置之電子元件用基板曝露於氫自由基(含重氫自由基)，其中，藉由利用對平面天線放射微波而形成之電漿，激發該氫自由基。

伍、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：
無符號。

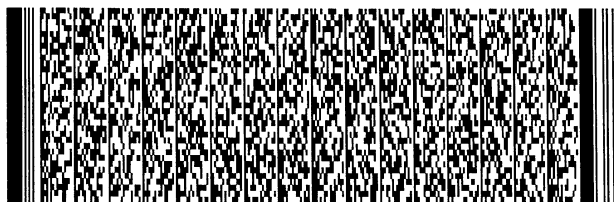
六、英文發明摘要 (發明名稱：METHOD OF TREATING SUBSTRATE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE)

A method of treating substrate adapted to expose a substrate for electronic components, on which semiconductor devices are provided, to hydrogen radical including deuterium radical, wherein the hydrogen radical is excited by plasma arose from irradiating a plane-shaped antenna with microwave.



六、申請專利範圍

1. 一種基板處理方法，其將形成有半導體裝置之電子元件用基板，曝露於含氫自由基及氫離子之環境，
其特徵為：
該氫自由基及氫離子係藉由以電漿激發含稀有氣體及氫之處理氣體所形成。
2. 如申請專利範圍第1項之基板處理方法，其中，該含氫自由基及氫離子之環境係含重氫自由基及重氫離子。
3. 如申請專利範圍第1項之基板處理方法，其中，該電漿係藉由微波所形成。
4. 如申請專利範圍第1項之基板處理方法，其中，該電漿係藉由從平面天線照射微波所形成。
5. 如申請專利範圍第1項之基板處理方法，其中，該半導體裝置包含MOSFET。
6. 如申請專利範圍第1項之基板處理方法，其中，該電子元件用基板係為Si基板、SiGe基板或玻璃基板之任一種。
7. 如申請專利範圍第5項之基板處理方法，其中，該MOSFET包含熱氧化膜及熱氧氮化膜之任一種而作為閘極絕緣膜。
8. 如申請專利範圍第5項之基板處理方法，其中，該MOSFET包含藉由電漿氧化法、電漿氮化法、觸媒氧化法、觸媒氮化法、CVD法及PVD法中任一方法所形成之閘極絕緣膜。
9. 如申請專利範圍第1項之基板處理方法，其中，該半導體裝置包含使用高電介質絕緣膜作為電極間絕緣膜之記憶



六、申請專利範圍

元 件 。



圖式

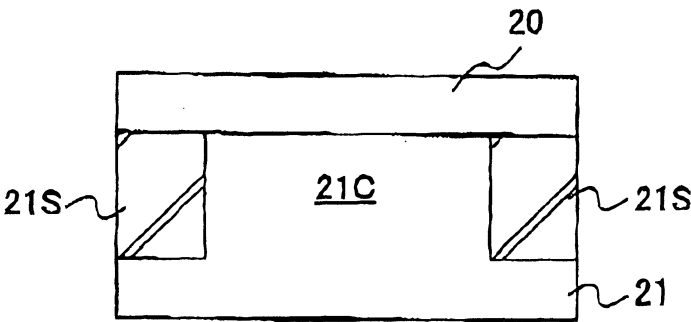


圖 1A

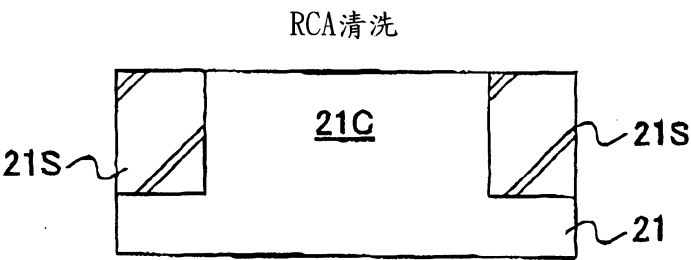


圖 1B

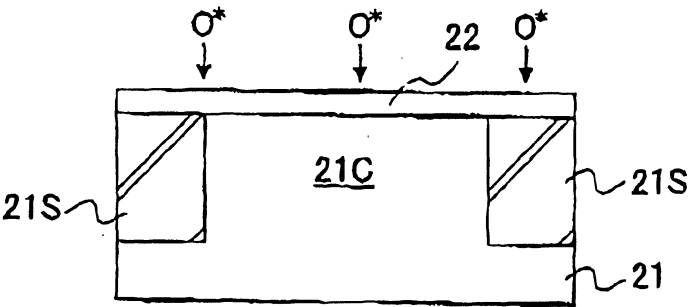


圖 1C

圖式

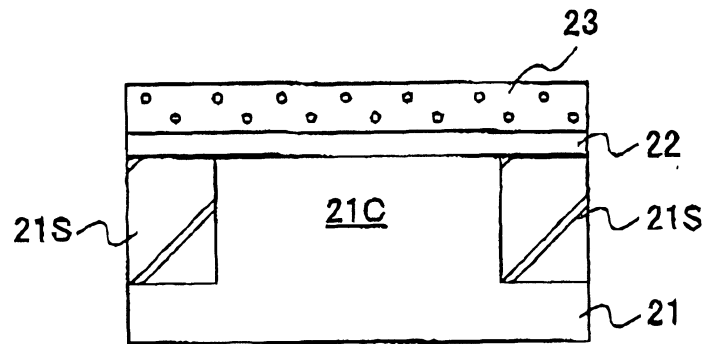


圖 1D

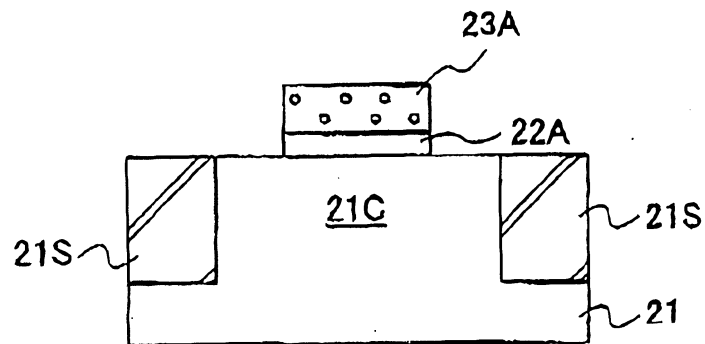


圖 1E

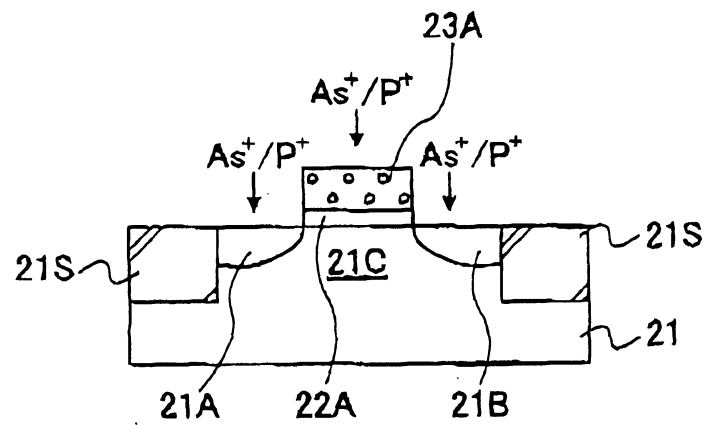


圖 1F

圖式

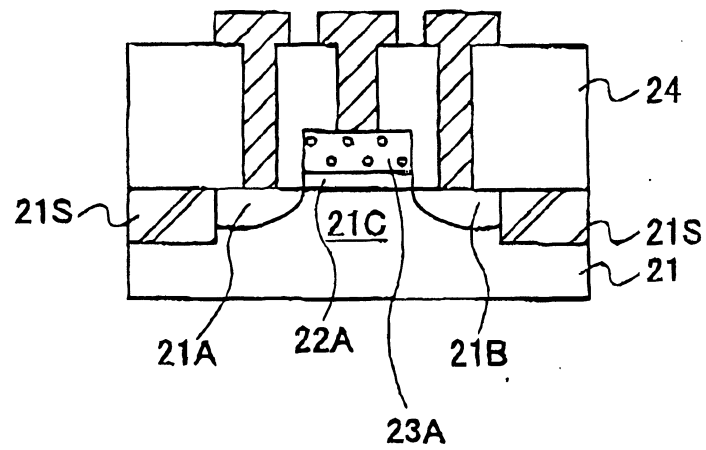


圖 1G

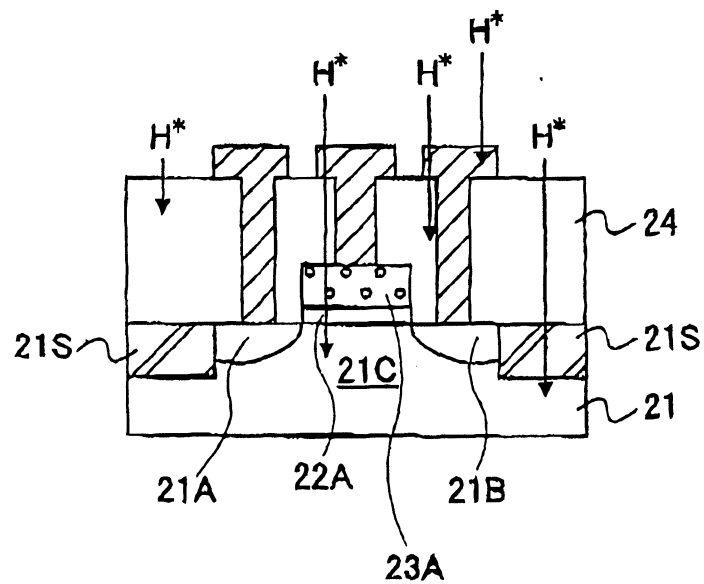


圖 1H

圖式

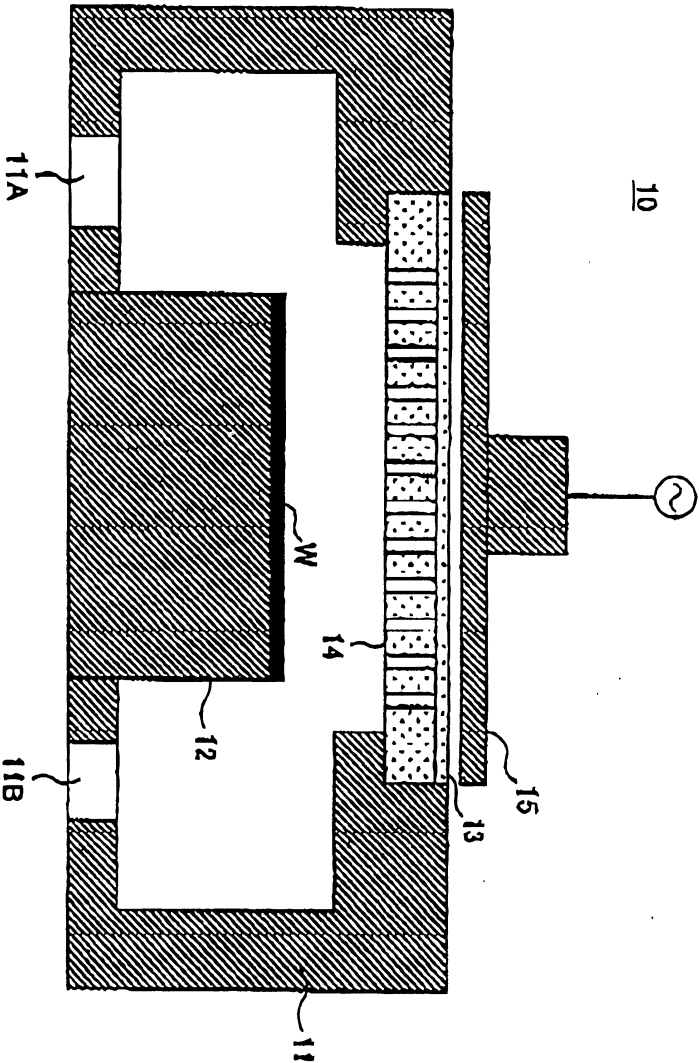


圖 2

圖式

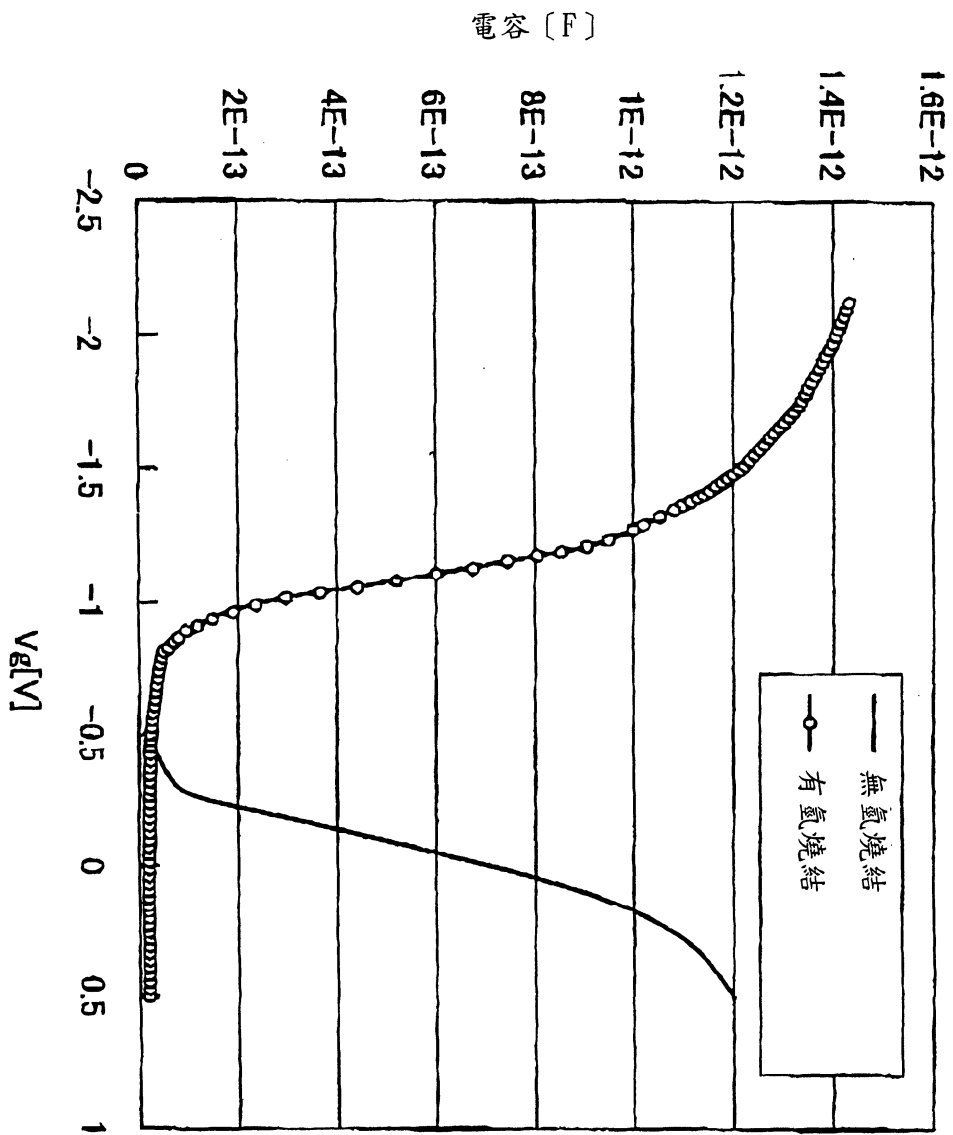


圖 3

圖式

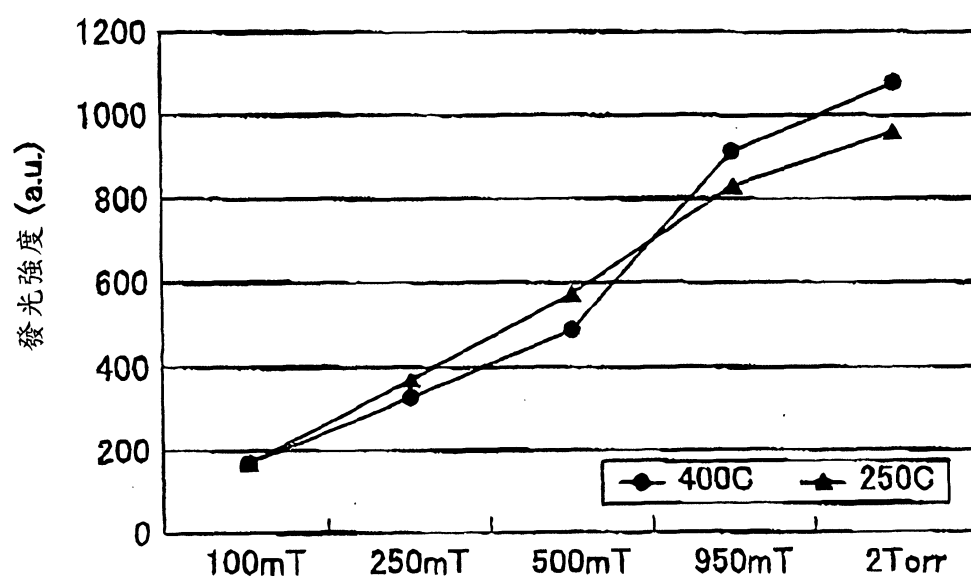
 $\text{H}_2/\text{Ar} = 1\%$, 壓力 = XmTorr

圖 4

圖式

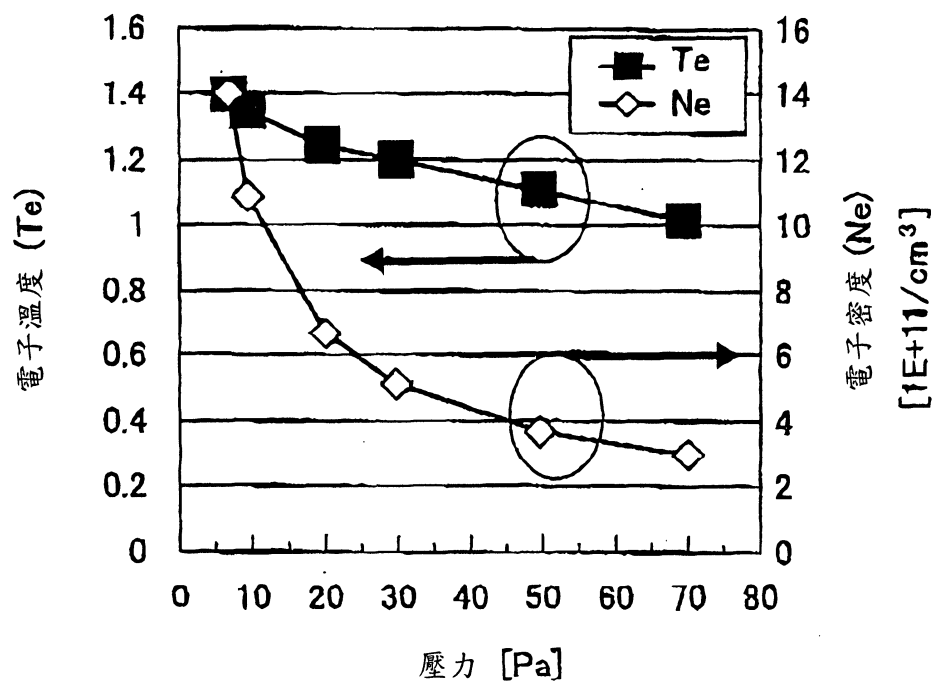


圖 5

圖式

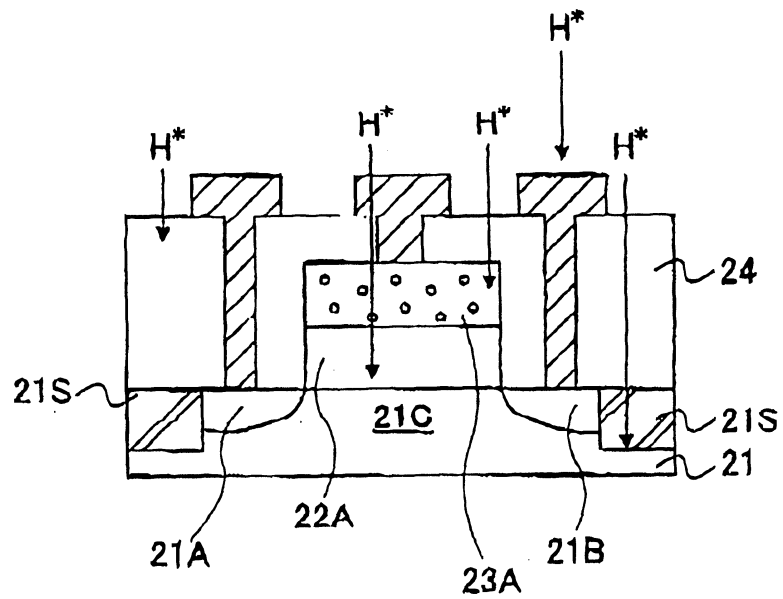


圖 6A

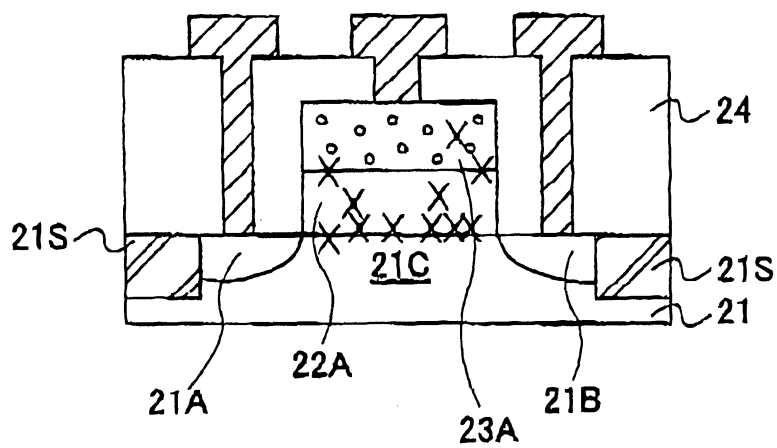


圖 6B

圖式

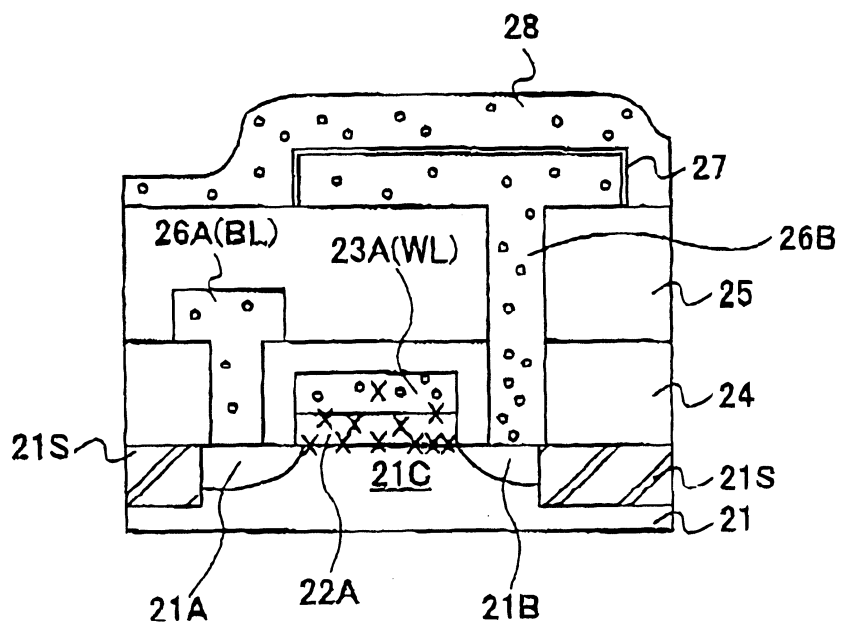


圖 7