

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-221796

(P2006-221796A)

(43) 公開日 平成18年8月24日(2006.8.24)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/413 (2006.01)</b>	G 1 1 C 11/34 3 3 5 A	5 B 0 1 5
<b>H 0 1 L 27/11 (2006.01)</b>	H 0 1 L 27/10 3 8 1	5 F 0 8 3
<b>H 0 1 L 21/8244 (2006.01)</b>	H 0 1 L 27/10 4 8 1	
<b>H 0 1 L 27/10 (2006.01)</b>		

審査請求 有 請求項の数 10 O L (全 24 頁)

(21) 出願番号	特願2006-75770 (P2006-75770)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成18年3月20日(2006.3.20)	(74) 代理人	100081938 弁理士 徳若 光政
(62) 分割の表示	特願平8-27574の分割	(72) 発明者	伊藤 清男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所 中央研究所内
原出願日	平成8年2月15日(1996.2.15)	(72) 発明者	石橋 孝一郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所 中央研究所内
(31) 優先権主張番号	特願平7-136349	Fターム(参考)	5B015 HH04 JJ05 KA06 KB63
(32) 優先日	平成7年6月2日(1995.6.2)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

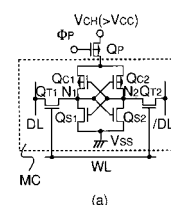
## (57) 【要約】

【課題】電源電圧1V程度のような低い電圧で動作するスタティックメモリにおいて、サブスレシヨルド電流による待機時の漏れ電流の問題を避けながら、低電力化と動作速度の向上を図る。電源電圧の低下によって減少するスタティックメモリのメモリセルの電圧マージンの確保を図る。

【解決手段】 交差結合した比較的高いしきい電圧をもつMOSトランジスタからなるスタティックメモリセルにおいて、その給電線電圧を制御するMOSトランジスタを設けておく。非選択状態にあるメモリセル内の2つの記憶ノードの電圧差が、データ対線DL、/DLから選択メモリセル内の該2つのノードに書き込み情報に対応した電圧が印加された時の該2つのノードの電圧差よりも大きくなるように、ワード線電圧がオフになった後に該給電線電圧制御トランジスタをオンにして高電圧VCHを給電線に与える。

【選択図】 図1

図1



## 【特許請求の範囲】

## 【請求項 1】

相互接続された第 1 の MOS を有するスタティックメモリセルと、  
前記スタティックメモリセルに接続されたデータ線と、  
前記データ線に接続され、第 2 の MOS を有する周辺回路とを有し、  
前記第 1 の MOS のしきい電圧は、前記第 2 の MOS のしきい電圧よりも高い値であり

、  
前記スタティックメモリセルの選択時に前記スタティックメモリセルの内部の電源電圧を制御することを特徴とする半導体装置。

## 【請求項 2】

10

請求項 1 において、  
前記周辺回路には複数の動作電圧が供給されていることを特徴とする半導体装置。

## 【請求項 3】

請求項 1 または 2 において、  
前記第 2 の MOS の絶縁膜は前記第 1 の MOS の絶縁膜よりも薄い膜であることを特徴とする半導体装置。

## 【請求項 4】

請求項 1 ないし 3 のいずれかにおいて、  
前記周辺回路は、読み出し / 書き込み回路とプロセッサ回路とを有することを特徴とする半導体装置。

20

## 【請求項 5】

複数の入出力端子と、  
前記複数の入出力端子と接続された第 1 の回路と、  
前記第 1 の回路に接続された第 2 の回路とを具備して成り、  
前記第 1 の回路は第 1 の電圧で動作し、  
前記第 2 の回路は前記第 1 の電圧および前記第 1 の電圧よりも低い第 2 の電圧で動作し

、  
前記第 2 の回路は、  
スタティックメモリセルと、  
前記スタティックメモリセルに接続されたワード線およびデータ線と、  
前記ワード線と前記データ線とに接続され、前記第 2 の電圧が電源として接続される周辺回路と、  
前記第 1 の電圧が供給される電源端子と、  
前記第 1 の電圧に基づいて前記第 2 の電圧を発生する電圧発生回路とを含んで成り、  
前記スタティックメモリセルに供給される電源電圧は前記第 2 の電圧よりも大きく、  
前記スタティックメモリセルの選択時に前記スタティックメモリセルの内部の電源電圧を制御することを特徴とする半導体装置。

30

## 【請求項 6】

請求項 5 において、  
前記スタティックメモリセルの給電ノードを有に前記第 1 の電圧が接続されていることを特徴とする半導体装置。

40

## 【請求項 7】

請求項 6 において、  
前記周辺回路は、前記スタティックメモリセルを選択し、前記データ線を介して前記スタティックメモリセルからデータを読み出し、前記ワード線を介して前記スタティックメモリセルからデータを書き込むことを特徴とする半導体装置。

## 【請求項 8】

複数の入出力端子と、  
前記複数の入出力端子と接続された第 1 の回路と、  
前記第 1 の回路に接続された第 2 の回路とを具備して成り、

50

前記第 1 の回路は第 1 の電圧で動作し、

前記第 2 の回路は前記第 1 の電圧および前記第 1 の電圧よりも低い第 2 の電圧で動作し

、  
前記第 2 の回路は、

スタティックメモリセルと、

前記スタティックメモリセルに接続されたワード線およびデータ線と、

前記ワード線と前記データ線とに接続された周辺回路とを有し、

前記スタティックメモリセルに供給される電源電圧は前記第 2 の電圧よりも大きく、

前記スタティックメモリセルに含まれる MOS トランジスタのゲート絶縁膜は前記周辺回路に含まれる MOS トランジスタの絶縁膜よりも薄く、

10

前記スタティックメモリセルの選択時に前記スタティックメモリセルの内部の電源電圧を制御することを特徴とする半導体装置。

【請求項 9】

複数の入出力端子と、

前記複数の入出力端子と接続された第 1 の回路と、

前記第 1 の回路に接続された第 2 の回路とを具備して成り、

前記第 1 の回路は第 1 の電圧で動作し、

前記第 2 の回路は前記第 1 の電圧および前記第 1 の電圧よりも低い第 2 の電圧で動作し

、  
前記第 2 の回路は、

20

スタティックメモリセルと、

前記スタティックメモリセルに接続されたワード線およびデータ線と、

前記スタティックメモリセルの給電ノードに接続されたスイッチとを有し、

前記スタティックメモリセルに供給される電源電圧は、前記第 2 の電圧よりも大きく、

前記スタティックメモリセルの前記給電ノードは、前記スイッチを介して前記第 1 の電圧と接続され、

前記スイッチは、前記ワード線が選択状態とされる際に非導通とされ、

前記スタティックメモリセルの選択時に前記スタティックメモリセルの内部の電源電圧を制御することを特徴とする半導体装置。

【請求項 10】

30

複数の入出力端子と、

前記複数の入出力端子と接続された第 1 の回路と、

前記第 1 の回路に接続された第 2 の回路とを具備して成り、

前記第 1 の回路は第 1 の電圧で動作し、

前記第 2 の回路は前記第 1 の電圧および前記第 1 の電圧よりも低い第 2 の電圧で動作し

、  
前記第 2 の回路は、

スタティックメモリセルと、

前記スタティックメモリセルに接続されたワード線およびデータ線とを有し、

前記スタティックメモリセルに供給される電源電圧は前記第 2 の電圧よりも大きく、

40

前記スタティックメモリセルは、一方の出力が他方の入力にそれぞれ接続された第 1 および第 2 のインバータを有し、

前記第 2 の電圧は、前記第 1 および第 2 のインバータに含まれる MOS トランジスタのしきい値よりも低く、

前記スタティックメモリセルの選択時に前記スタティックメモリセルの内部の電源電圧を制御することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は低電圧で動作する半導体集積回路、特に M I S トランジスタ又は M O S トラン

50

ジスタ（以下、単にMOSまたはMOSトランジスタと略記）により構成されたスタティックメモリセルをメモリセルとする半導体集積回路に係り、特にスタティックメモリ（スタティック・ランダム・アクセス・メモリ）の高速・低電力に適した回路に関する。

【背景技術】

【0002】

ゲート絶縁膜を有する電界効果トランジスタの一種であるMOSトランジスタは微細化されるにつれてその耐圧が低下するために、その動作電圧を低くせざるを得ない。この場合でも高速動作を維持するためには、動作電圧の低下に合わせてMOSトランジスタのしきい電圧（ $V_T$ ）を低下させる必要がある。動作速度はMOSトランジスタの実効ゲート電圧、すなわち動作電圧から $V_T$ を差し引いた値で支配され、この値が大きいほど高速だからである。しかし一般に $V_T$ を0.4V程度以下にすると、よく知られているように、本来はカットオフであるべきMOSトランジスタには $V_T$ の低下とともに指数関数的に増加するサブスレッショルド電流と称する直流電流が流れる。このため多数のMOSトランジスタで構成される半導体集積回路にはそれがCMOS回路といえども直流電流が著しく増加してしまう。したがって高速・低電力・低電圧動作が重要な今後の半導体装置では本質的な問題となる。すなわち、サブスレッショルド電流が発生し、チップ全体として大きな直流電流になってしまうからである。このためメモリセル内のトランジスタ、特に交差結合されたトランジスタの $V_T$ は0.4V程度以下にすることはできない。しかしそれでは動作電圧の低下とともにますます実効ゲート電圧が低くなる。このためメモリセルの動作余裕度（マージン）は狭まり、動作速度は低下したりあるいは $V_T$ の製造ばらつきの影響を受けやすくなる。

【0003】

図2は上述した問題点をさらに説明するために従来技術のメモリセルと波形図を示したものである。

【0004】

メモリセルとしてCMOS型のスタティックメモリ（SRAM）を例にとる。まずメモリセルが非選択状態、すなわちワード線WLが0Vのようなロウレベルで、セル内の記憶ノードN2が電源電圧 $V_{CC}$ に等しい1Vのようなハイレベルで他の記憶ノードN1が0Vのようなロウレベルであるような情報を記憶している場合を考えてみる。従来ではメモリセルのすべてのトランジスタの $V_T$ は0.4V以上なので、NチャネルMOSトランジスタQ<sub>S2</sub>ならびにPチャネルMOSトランジスタQ<sub>C1</sub>はともに非導通である。これはQ<sub>S2</sub>とQ<sub>C1</sub>ではゲートとソース間電圧が0Vであることによる。したがって $V_{CC}$ を通して流れる電流は無視できる。これがSRAMが低電力である理由である。このメモリセルの電圧マージンは $V_{CC} - V_T$ が小さくなるほど小さくなる。したがって $V_{CC}$ を低くしていくほど $V_T$ も低くしなければならないが、 $V_T$ を0.4V以下に下げていくと本来非導通であるべき2個のトランジスタQ<sub>S2</sub>、Q<sub>C1</sub>にサブスレッショルド電流が流れはじめ、 $V_T$ の低下とともに指数関数で増加するようになる。一般に $V_T$ は製造プロセスの変動でばらつき、またサブスレッショルド電流は高温になるほど増加するので、 $V_T$ ばらつきや接合温度上昇を考慮するとこの電流は最悪条件ではさらに大きくなる。チップ内の全てのメモリセルにこの電流が流れるので、128Kビット程度のSRAMでも合計で10mA程度以上の電流が流れる場合もある。この電流はセルアレイ全体のデータ保持電流でもある。サブスレッショルド電流が実質的に生じないように比較的大きいしきい電圧にされたMOSトランジスタを用いた通常のSRAMのデータ保持電流は10 $\mu$ A以下にできることを考慮すると、これは大きな問題である。したがって電流の点で $V_T$ は0.4V程度以上のような比較的大きい値に設定しなければならない。ここで $V_T$ を例えば0.5Vに固定したままで、 $V_{CC}$ を下げる場合を考えてみよう。 $V_{CC}$ を下げる要求は、MOSトランジスタの低耐圧化からの要求以外に、低電力化からの要求あるいは1個の電池で駆動したいという要求からくる。たとえば、MOSトランジスタの微細化の程度が、そのチャネル長が0.5 $\mu$ m以下とかそのゲート絶縁膜の膜厚が6nm以下などになると、外部電源電圧 $V_{CC}$ を1.5～1.0V程度まで低電圧にしてもトランジスタは十分高速動作するので、低電力化を優先し

10

20

30

40

50

てこの程度まで $V_{CC}$ を下げるができる。しかし $V_{CC}$ を下げるとメモリセルの電圧マージンが著しく低下するようになる。すなわち導通トランジスタ $Q_{S1}$ の実効ゲート電圧は $V_{CC} - V_T$ であり、 $V_{CC}$ が $V_T$ に接近するとこの実効ゲート電圧が小さくなり $V_T$ のばらつきに対する変動率が著しくなるためである。またよく知られているソフトエラー耐性も低下するしメモリセル内の交差結合した対トランジスタ( $Q_{S1}$ と $Q_{S2}$ 、 $Q_{C1}$ と $Q_{C2}$ )間のしきい電圧の差(いわゆるオフセット電圧)等の等価雑音に対するマージンも低下する。

【0005】

メモリセルが選択された場合も $V_T$ が $0.5V$ と高く $V_{CC}$ が低いと低速になったり動作マージンが低下する。ワード線 $W_L$ にたとえば $1V$ の $V_{CC}$ が印加されると、 $Q_{T1}$ と $Q_{S1}$ は導通しそこに流れる電流とデータ線 $D_L$ に接続された負荷抵抗(実際には $MOS$ トランジスタで構成)によって $D_L$ に微小電圧の変化( $0.2V$ )が現われる。一方、 $Q_{S2}$ はそのゲート電圧が $V_T$ よりも十分低いので非導通で、このため他のデータ線/ $D_L$ には電圧変化は現われない。このデータ対線間の電圧極性によってメモリセルの記憶情報が弁別され読み出しが行われる。ここで $D_L$ に現われる電圧変化が大きいほど安定に弁別されるが、このためにはできるだけ大きくかつ一定な電流が $Q_{S1}$ 、 $Q_{T1}$ を通して流れる必要がある。この電流は $Q_{S1}$ と $Q_{T1}$ のそれぞれの実効ゲート電圧はほぼ等しく $V_{CC} - V_T$ なので、前述したように $V_{CC}$ の低下とともに電流は小さくなり、また $V_T$ のばらつきの影響を強く受けるようになる。

【0006】

以上から従来の回路と駆動方式では、 $V_{CC}$ の低下とともに著しく直流電流が増えたり、メモリセルの動作速度が低下・変動したりあるいは動作マージンが低下したりしてしまう。したがって $SRAM$ チップあるいは $SRAM$ を内蔵した例えばマイクロプロセッサチップなどの性能も $V_{CC}$ の低下とともに著しく劣化してしまう。

【非特許文献1】超 $LSI$ メモリ(培風館, 1994年11月発刊), ページ315

【非特許文献2】1995 Symposium on VLSI Circuits Digest of Technical Papers, (1995), pp.75-76

【特許文献1】特開昭60-38796号公報

【特許文献2】特開平02-108297号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、スタティックメモリあるいはスタティックメモリを内蔵する半導体装置において、 $MOS$ トランジスタから成るスタティックメモリセルの低電圧動作に伴うサブスレッショルド電流の増加と電圧マージンなどの低下を抑制することにある。

【課題を解決するための手段】

【0008】

上記目的は、ゲートとソースのそれぞれの電圧が等しくてもドレインとソース間に実質的に電流が流れないような $MOS$ トランジスタが交差結合されたスタティックメモリセルにおいて、非選択状態にあるメモリセル内の2つの記憶ノードの電圧差が、該メモリセルが選択されてデータ対線から該メモリセルの該記憶ノードに書き込み情報に対応した電圧が印加されたときの該2つの記憶ノードの電圧差よりも大きくなるように該メモリセルの少なくとも1つの給電線の電圧を制御することによって実現される。これにより、メモリセルの選択時の主要電源電圧が低くても、メモリセル内の2つの記憶ノード間電圧は十分高くとれるので、メモリセルは低電力でしかも動作マージンが広く安定動作が可能になる。

【発明の効果】

【0009】

以上述べた実施例で明らかなように、本発明により低電圧動作でも消費電流を増やすことなく電圧マージンの広い高速スタティックメモリセルを内蔵した半導体装置を実現できる。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0010】

以下、図面を参照して本発明の実施例を説明する。

## 【0011】

図1(a)から(c)は本発明の一実施例を示す図である。図1(a)はセル毎に、回路の動作電位点 $V_{CH}$ とメモリセルの接続を制御する手段であるトランジスタQPを付加した例を示し、(b)は行毎にQPを付加した例、(c)はすべてのセルでQPを共有する例を示す。

## 【0012】

簡単のためメモリセル内のすべてのトランジスタのしきい電圧 $V_T$ は0.5Vとする。  
したがってゲートとソースの電圧がほぼ等しければトランジスタにはサブスレッショルド電流は流れない。図1(a)は最も基本となる本発明の概念図である。メモリセルMCの高電位側の給電ノードであるPチャネルMOS Q<sub>C1</sub>、Q<sub>C2</sub>の共通ソースと、電源 $V_{CH}$ の間にスイッチの働きをするPチャネルMOS QPがメモリセルに対して挿入される。メモリセルMCの低電位側の給電ノードであるNチャネルMOS Q<sub>S1</sub>、Q<sub>S2</sub>の共通ソースは基準電位 $V_{SS}$ (通常は接地電位0V)に接続されている。ここで例示したメモリセルMCは、ゲートとドレインが互いに交差結合されたMOSトランジスタで構成されたスタティックメモリセルである。更に、詳しくはQ<sub>C1</sub>とQ<sub>S1</sub>からなるインバータと、Q<sub>C2</sub>とQ<sub>S2</sub>からなるインバータがあり、一方のインバータの出力が他方のインバータの入力にそれぞれ接続された記憶セルと、記憶ノードN<sub>1</sub>、N<sub>2</sub>にそれぞれその一端が接続された転送MOSトランジスタQ<sub>T1</sub>、Q<sub>T2</sub>からなる。このメモリセルMCの動作環境は、外部から供給される電圧 $V_{CC}$ の十分に電流供給能力の高い電源があるものとし、 $V_{CC}$ よりも電圧の高い $V_{CH}$ の電源は電流供給能力の低い電源であるとする。電流供給能力の低い電源ではその供給能力以上の電流が流れると一時的に電源の電圧が低下するという問題がある。

## 【0013】

メモリセルにデータ対線からデータを書き込む場合は、QPを非導通にした状態で通常は対線の一方には $V_{CC}$ を、他方には0を印加する。この時ワード線電圧を $V_{CC}$ とすれば、記憶ノードN<sub>1</sub>、N<sub>2</sub>のいずれか一方にはQ<sub>T1</sub>あるいはQ<sub>T2</sub>の $V_T$ だけ降下した $V_{CC} - V_T$ が、また他方には0が入力される。しかしこのままでは記憶電圧(ノードN<sub>1</sub>とN<sub>2</sub>の差電圧)は $V_{CC} - V_T$ となり、たとえば $V_{CC} = 1V$ 、 $V_T = 0.5V$ では0.5Vとなり低すぎる。  
そこで書き込んだ後、すなわちワード線電圧をオフにした後でQPを導通させ、共通ソースに十分高い $V_{CH}$ (例えば2V)を印加する。するとメモリセル内の交差結合トランジスタは差動アンプとして働くように活性化され、その結果として、N<sub>1</sub>、N<sub>2</sub>のいずれか一方は $V_{CH}$ まで充電され他方は0となる。結局記憶電圧は $V_{CC} - V_T$ から $V_{CH}$ へと高くなる。QPを導通にするタイミングは、ワード線選択タイミングと一致されなくとも良いが、電流供給能力の弱い電源 $V_{CH}$ からメモリセルを介してデータ線DL、 $\bar{DL}$ に不要な電流が流れないようにするためには、ワード線電圧をオフした後のタイミングとされることが望ましい。なお、ワード線をオフしてからQPを導通するまでの期間におけるノードN<sub>1</sub>、N<sub>2</sub>の書き込みデータは、ノードN<sub>1</sub>、N<sub>2</sub>のそれぞれが持つ寄生容量によって保持されることになる。上記のようにメモリセルを活性化した後のデータ保持期間や待機時にはQPをオンにしてメモリセルに $V_{CH}$ を給電しつづければ、この間のメモリセルの動作マージンは拡大する。またメモリセルの読み出し時にも動作は高速・安定である。Q<sub>S1</sub>あるいはQ<sub>S2</sub>の電流駆動能力がゲート電圧が高くなった分だけ向上するためである。このように書き込みはQPを非導通にした状態で行えるので、いかなる書き込みデータでもメモリセル内はダイナミック動作となり低電力で高速な書き込みができる。もしQPがなくメモリセルに直接 $V_{CH}$ が接続されていたり、書き込み途中でQPを導通させたりすると、それまで蓄えられていた記憶情報を反転させるような書き込みの場合に、QPを通して長時間電流が流れて高電力になったり反転させにくくなるなどの不都合が生じる。

## 【0014】

図1(b)は複数のメモリセルでQPを共有した実施例で、トランジスタ数が少なくな

10

20

30

40

50

る分だけメモリセルは小形になる。今、MC1に前述したようにQP1を非導通にしたまま書き込むと、データ対線からMC1のたとえばQC1のゲートに0、QC2のゲートには $V_{CC} - V_T$  (0.5V) が強制的に加えられる。このためQC1が導通しそれまで共通給電線PL1の寄生容量に充電していた $V_{CH}$ は $V_{CC} - V_T$ まで放電する。この時同じワード線WL1上のメモリセルMC2は実質的には読み出し動作が行われているが、上述したPL1の電圧低下でMC2の記憶情報が破壊されることはない。MC2の記憶電圧もそれまでの $V_{CH}$ からPL1の電圧である $V_{CC} - V_T$ に低下するだけである。メモリセル内の差動アンプの感度は対になるトランジスタのオフセット電圧などで決まりそれは例えば0.2V程度以下であり、 $V_{CC} - V_T$ がこの感度以上なので情報は破壊されない。すなわち書き込み終了後にQP1をオンにしてPL1に再び $V_{CH}$ を与えれば、MC2の記憶電圧もMC1と同様に $V_{CH}$ になる。この実施例では、選択されたワード線に対応する給電線1本だけを $V_{CH}$ に充電すればよい。ほかの多数の給電線(PL2など)は $V_{CH}$ のままなので、対応する充電トランジスタ(QP2)などをオンにしても充電動作は起こらない。つまり給電線の充電は局所化され、低電力化される。

10

#### 【0015】

図1(c)は充電トランジスタQPを全てのメモリセルで共有した実施例で、集積度は上述した例よりも向上する。しかしこの場合は、非選択のワード線側のメモリセルの給電線を含む全ての給電線の電圧が降下してしまうので、それらを $V_{CH}$ まで充電するための充放電電力が増加したり低速になったりする可能性があるので注意を要する。尚、ワード線に対して隣り合う給電線を共通化するとメモリセルの面積を小さくできる。たとえば第1

20

#### 【0016】

なお、SRAMのメモリセルの高電位側の給電ノードにスイッチMOSトランジスタを設ける回路構成は、特開昭60-38796号公報や特開平02-108297号公報に記載されるが、スイッチMOSを介して接続される電位は装置に供給される電源電位であり、本発明とはその思想が全く異なるものである。

#### 【0017】

以下では主に図1(b)を例に、書き込み動作だけでなく読み出し動作を含めて、さらに具体的な実施例を説明する。

30

#### 【0018】

図3は本発明実施例の回路図で、図4は読みだし時のタイミング図、図5は書き込み時のタイミング図である。

#### 【0019】

メモリセルとしてPチャネルMOSトランジスタとNチャネルMOSトランジスタから成るフリップフロップ型のセルを例にとり、セル内のすべてのトランジスタのしきい電圧 $V_T$ は、サブスレッショルド電流がほぼ無視できる程度に高い値、たとえば0.5Vとする。また簡単のため4ビットのセルアレイを取り上げ、電池駆動でSRAMの $V_{CC}$ 単一電源駆動を前提に $V_{CC} = 1V$ 、 $V_{CH} = 2V$ と仮定している。本発明の特徴は、(1)セル給電線(PL1及びPL2)の電圧をセルの動作タイミングに応じて切り換えることにある。すなわちセルが非選択時の情報保持電圧(図3では2V)はセルの給電線から印加される電圧で決まり、その大きさはセルが選択時に該セルにデータ線から書き込まれる書き込み電圧よりも大きくなるようにセルの給電線の電圧が制御される。

40

#### 【0020】

(2) データ線(DL1, /DL1, DL2, /DL2)は、データ線の取り得る最大電圧(図3では $V_{CC} = 1V$ )のほぼ中間電圧( $V_{CC}/2 = 0.5V$ )を基準にして動作する。これによってデータ線の充放電電力が半減する。

#### 【0021】

(3) 選択されたワード線のパルス電圧の振幅が、データ線の取り得る最大電圧よりも大きい。ワード線に接続された選択トランジスタのしきい電圧 $V_T$ の影響をなくすために、

50

該パルス電圧の振幅は、チップ内の昇圧回路などでデータ線の該最大電圧よりも $V_T$ 以上の大きな値 ( $V_{CH}$ ) に設定される。また昇圧された分だけ  $Q_{T1}$ ,  $Q_{T2}$  の電流駆動能力が向上し高速になる。

#### 【0022】

マイクロプロセッサチップなどに内蔵される  $SRAM$  の部分、あるいは  $SRAM$  チップそのもの (以下、両者をまとめて  $SRAM$ ) が  $SRAM$  活性化信号  $CE$  によって非活性化されている場合を考えてみよう。 $SRAM$  内の主要部はプリチャージ信号  $P$  によってプリチャージ状態になっている。たとえばセルの給電線 ( $PL1$ ,  $PL2$ ) は、外部電源電圧 ( $V_{CC}$ ) をもとにしてチップ内部で十分昇圧された電圧  $V_{CH}$  にプリチャージされている。セル内の微少なリーク電流によるセル内の記憶電圧の低下は、 $P-MOS$   $Q_{P1}$ ,  $Q_{P2}$  からの補償電流によって阻止され、これによって各セルの記憶状態は保持される。ここで  $V_{CH}$  は電圧変換回路  $VC2$  で形成される。 $VC2$  はキャパシタを駆動するチャージポンプ回路を用いてチップ内部で  $V_{CC}$  を昇圧して作られるようにされ、これに応じてその電流駆動能力は低い。しかしセル内のトランジスタのしきい電圧は  $0.5V$  以上と十分高く設定してあるので、メガビット級の大容量  $SRAM$  でもセルのリーク電流の合計はせいぜい  $10\mu A$  以下と十分低くすることが可能である。したがって  $V_{CH}$  昇圧回路からすべてのメモリセルに補償電流は供給できる。尚、昇圧回路の詳細は、「超  $LSI$  メモリ (培風館, 1994 年 11 月発刊), ページ 315」に述べられている。また本願の課題とする  $1V$  程度の非常に低電圧の電源  $V_{CC}$  で動作するオンチップの昇圧回路については「1995 Symposium on VLSI Circuits Digest of Technical Papers, (1995), pp.75-76」に記載される。この文献の昇圧回路に利用される  $MOS$  トランジスタのしきい電圧は  $0.6V$  程度とされており、更にしきい電圧が低い  $MOS$  トランジスタを利用すれば更に低い電圧の電源電圧  $V_{CC}$  でも動作する昇圧回路ができると考えられる。しきい電圧の低いトランジスタを利用する際には、前述したサブスレショルド電流に注意しなければならないが、昇圧回路を形成する程度のトランジスタの数であれば実用に耐えないほどのリーク電流とはならないようにすることが可能である。また、 $SRAM$  のメモリセルの高電位側の給電ノードに外部供給電源により昇圧電圧を発生する昇圧回路が接続される回路構成は、特開平 6 - 223581 号公報に記載されるが、前記給電ノードには昇圧回路の電位または外部供給電源が接続されとしている。

#### 【0023】

$SRAM$  活性化信号  $CE$  によって非活性化されているプリチャージ期間には、それぞれのデータ線 ( $DL1$ ,  $/DL1$ ,  $DL2$ ,  $/DL2$  (この明細書では相補信号の対である反転信号は  $/DL1$  のように記述する。)) はプリチャージ回路  $PC$  により  $V_{CC}/2$  にプリチャージされている。こうすることによってデータ線の電圧振幅は従来の  $V_{CC}$  プリチャージに比べて半減するので、多ビットデータの同時書き込み時に従来から問題となっていたデータ線充放電電力を半減できる。この場合  $V_{CC}/2$  電源は、 $V_{CC}$  から電圧変換回路  $VC1$  で形成され、具体的には前述の「超  $LSI$  メモリ」の 324 頁の図 4.60 に記載される回路等が利用できる。この  $V_{CC}/2$  は、チップ内部で作られるので一般に負荷電流駆動能力が低い。したがってプリチャージ時にこの  $V_{CC}/2$  電源で直接データ対線の一方を  $0$  から  $V_{CC}/2$  へとプリチャージすると、十分な充電電流が供給できなくなるので  $V_{CC}/2$  のレベルは変動してしまう。データ対線の数通常 64 あるいは 128 以上と多数なので特にこの変動がおおきく問題となる。そこで各データ線にアンプ  $AMP$  を設ける。アンプ  $AMP$  の役割は、データ対線に現われたセル読み出し時の微少な差動電圧を  $V_{CC}$  まで高速に増幅する。その結果、データ対線の一方は  $0$  となり他方は  $V_{CC}$  となる。次のプリチャージ動作では  $Q_{EQ}$  がオンとなりデータ対線は自動的に平衡化され  $V_{CC}/2$  となる。このため  $V_{CC}/2$  電源から大きな充電電流を流す必要はない。プリチャージ期間が長い場合にデータ対線がその微少リーク電流によって徐々にレベル変動するのを抑えるだけの微少電流を流せばよい。したがって  $AMP$  を使えば内蔵  $V_{CC}/2$  電源回路が使える。

#### 【0024】

以下図 4 も参照しながらメモリセルからデータを読み出す場合について説明する。  $SR$



A M イネーブル信号 C E によって S R A M が活性化され、あるワード線たとえば W L 1 が選択され W L 1 に V C H のパルスが印加されると W L 1 上のすべてのセル ( M C 1 , M C 2 ) が活性化される。このワード線の選択信号パルスは行アドレス信号 A X をうけて行アドレスデコーダ X D E C ・ドライバ D R V により形成される。今セル M C 1 内のノード N 1 , N 2 にそれぞれ 0 , 2 V ( = V C H ) が記憶されていると、Q T 1 と Q S 1 は導通するので、データ線 D L 1 は 0 V に向かって徐々に放電する。一方 Q S 2 と Q C 2 のゲート電圧はほぼ 0 なので、Q C 2、Q T 2 を通して電流が流れ、データ線 D L 1 は 0 . 5 V ( = V C C / 2 ) からわずかに上昇する。データ対線に現われたこの微少な差動電圧が十分大きくなるには時間がかかるので、アンプ A M P の駆動線 S P , S N にパルスを印加してデータ線 D L 1 , / D L 1 をそれぞれ 0 , 1 V に高速に増幅する。A M P はセルほどには S R A M の集積度やサブスレッショルド電流を決めないで、A M P 内トランジスタの寸法はセル内のそれよりも大きく選べるし、そのしきい電圧も 0 . 2 V 程度と低くできるので高速増幅が可能なのである。さらに A M P はアンプ駆動回路 S P G によりメモリセルが選択状態とされるときに動作状態とされ、非動作状態 ( 待機状態 ) では駆動線 S P と S N は同電位にしておくのでサブスレッショルド電流が問題となることはない。またデータ対線電圧が 0 . 5 V 程度でも A M P は動作する。

10

#### 【 0 0 2 5 】

上記のようにして十分大きく増幅されたデータ対線の差電圧は、列アドレス・デコーダ Y D E C ・ドライバ D R V の読み出し選択信号 R 1 によって I / O 対線上に出力され、読み出し・書き込み制御回路 R W C を通りデータ出力 D O U T となる。ここで Q R 1 , Q R 2 はデータ対線の電圧を電流に変換する回路である。これらのトランジスタのしきい電圧を 0 . 5 V とすると、データ線 D L 1 の電圧は 0 V なので I / O 線には電流が流れず、一方 / D L 1 では 1 V なので / I / O 線には電流が流れる。いずれに大きな電流が流れるかは、差動電流あるいは差動電圧 ( 図中の抵抗 R を利用 ) の極性弁別の形で R W C 内で検出できる。尚、Q R 1 と Q R 2 のしきい電圧 V T が十分低い、たとえば 0 . 2 V とすれば、アンプ A M P で増幅する前の微少電圧差も検出できるようになるのでその分だけ高速になる。V T を低くした分だけ相互コンダクタンスが増加しより大きな電流を流せるためである。

20

#### 【 0 0 2 6 】

以上の読み出し動作 ( 図 4 ) においてメモリセル M C 1 のノード電圧を詳細に調べてみよう。もしこの動作期間中に Q P 1 や Q P 2 を導通させたり、あるいは Q P 1 や Q P 2 を取り除いた構造にして給電線 P L 1 などに強制的に V C H ( 2 V ) を印加すると問題が出る。V C H が電流駆動能力の大きな外部電圧の場合には、P L 1 上のすべてのセルから大きな直流電流がワード線に電圧が印加されている期間中流れ続けるので大電力になってしまう。あるいは本実施例のように、チップ内で昇圧した電源電圧 V C H を使う場合には、その昇圧回路の電流駆動能力が不足するので V C H のレベルが低下する。このため P L 1 上の非選択セルの記憶電圧も低下する。いったんすべての給電線の電圧が低下すると V C H のレベル回復には長時間を要する。給電線の合計の寄生容量が大きいからである。このため S R A M のサイクル時間が遅くなる。そこでセル非活性時にはすべての給電線 P L 1 , P L 2 をプリチャージ信号 P によって強制的に V C H ( 2 V ) にしておくが、活性化期間にはそれぞれの給電線を V C H 発生回路から切り離す。各給電線はほぼフローティング状態となり、それらの寄生容量に V C H のレベルは保持される。しかしセルが活性化 ( この場合は読み出し動作 ) されると、結局はセルノード N 1 は 0 となり、Q C 2 は強く導通する。これらトランジスタのソースは P L 1 に接続されているので、P L 1 のフローティング電圧は V C H から降下し、その結果として N 1 , N 2 は高レベルに充電されようとする。しかし、N 1 は、強制的に D L 1 の電圧 ( 0 V ) に固定されているので 0 のままである。一方 Q T 2 のゲート、すなわち W L 1 の電圧は 2 V , / D L 1 も 1 V なので Q T 2 は導通し、Q C 2 によって P L 1 と N 2 の電圧が等しくなるまで N 2 は充電されつづけ、結局 P L 1 は 1 V になる。明らかに 1 V に放電される給電線は局所化される。すなわちそれは P L 1 だけでほかの非選択ワード線に対応した P L 2 は放電されずに V C H のままである。実際のメモリでは多数の給電線が存在し、その中の 1 本しか放電されないからむだな充放電電力はなくなり、また内蔵された V C H 発生回路

30

40

50

が充電すべき給電線は1本と局所化されるのでV<sub>CH</sub>発生回路の設計は容易となる。

【0027】

セルMC1への書き込み動作は図5に示すように、共通I/O対線に差動電圧を印加して行う。今、MC1にそれまで記憶されている情報とは逆の情報を書き込む場合を例にとる。データ対線DL1、/DL1にはそれぞれ1V、0Vの電圧が印加され、この電圧がそのままセルノードN1、N2に印加される。したがってノードN1、N2には差電圧1Vが書き込まれたことになる。ワード線WL1を2Vから0へとオフにした後でPでプリチャージ動作を行うと、セルノードの差電圧1Vはセル自身の増幅作用によって2Vまで増幅される。セル給電線PL1の電圧は2Vになるからである。この高い電圧がその後の情報保持電圧となる。ここで書き込み動作においてもWL1をオフにし、V<sub>CH</sub>発生回路が充電すべき容量を最小にしてからPL1にV<sub>CH</sub>を印加しなければならない。

10

【0028】

以上の動作によっても前述したように選択ワード線WL1上のほかのメモリセルMCの記憶情報が破壊されることはない。メモリセルMC1が読み出しあるいは書き込み動作がなされてI/O対線と情報(データ)の授受を行っている間は、MC2のWL1には常に選択パルスが印加されるから図4と同様の読み出し動作がMC2とデータ対線DL2、/DL2の間で行われている。したがってPL1が2Vから1Vへ変わっても再び2VのV<sub>CH</sub>を印加するとMC2内の2つのノードはV<sub>CH</sub>、0へと復帰する。また非選択ワード線WL2上のメモリセルMC3、MC4の記憶情報にも全く悪影響はない。MC3、MC4内のトランジスタには、V<sub>T</sub>は十分高いのでサブスレッショルド電流は流れず、流れるとしても無視できるほど小さい接合リーク電流だけなので、給電線PL2はプリチャージ時のV<sub>CH</sub>が維持されるからである。

20

【0029】

選択ワード線のパルス電圧の振幅はV<sub>CC</sub>で、データ線の取り得る最大値(V<sub>D</sub>)をV<sub>CC</sub>-V<sub>T</sub>以下に設定すれば、ワード電圧を昇圧電源V<sub>CH</sub>から発生させずにすみ、またセル書き込み時などにメモリセル内トランジスタ(QT1、QT2)のしきい電圧V<sub>T</sub>の影響をなくせるので設計が容易になる。図6はその場合の実施例であり、(a)に回路図を、(b)に波形図を示す。図6は図3のSRAM全体のうちメモリセルの駆動方式に関する部分を取り出したものであり、図3と比較したときの違いはプリチャージ回路PCと読み出し・書き込み回路RWCである。また、この実施例では、ワード線の信号レベルは基準電位である0Vと電源電位V<sub>CC</sub>にとり、非選択時のメモリセルの高電位側の給電ノードはV<sub>CH</sub>(=2V<sub>CC</sub>)、メモリセルの低電位側の給電ノードは基準電位である0Vとした。またデータ線のプリチャージ電位は、基準電位(0V=V<sub>SS</sub>)から少なくともメモリセルの感度電圧分だけ上昇した電位に設定したものである。

30

【0030】

メモリセルの感度電圧もしくは感度とは、例えば図1のDLと/DLの間に印加される電位差によって、フリップフロップ回路である記憶セルの状態を反転するために必要な最小の電位差である。データ線のDLと/DLの間に印加される電位差を感度電圧にするにはデータ線のプリチャージ電位はこの感度電圧の半分以上であれば良い。通常メモリセルの感度電圧は0.2Vより小さいためここでは余裕を持たせて参照電圧V<sub>R</sub>を0.2Vにとり、データ線のプリチャージ電位を0.2Vとした。言い換えればこの実施例は、データ線の取りうる電圧振幅の最大値をV<sub>T</sub>(0.5V)以下の、メモリセル自身がもつ感度電圧近くの低い電圧V<sub>R</sub>まで低くした例である。メモリセルのデータ線の電圧振幅は最小となるのでその分だけ高速で低電力動作ができる。またこのため図示するQL1とV<sub>R</sub>を参照電圧とするコンパレータから成る降圧電源でデータ対線をプリチャージできる。メモリセルの記憶電圧はV<sub>CH</sub>(2V)と十分高くできる。

40

【0031】

以下図6(b)も参照しながら、読み出し動作について説明する。まずプリチャージ信号Pによってすべてのセル給電線はV<sub>CH</sub>(2V)にプリチャージされる。プリチャージ終了後、選択ワード線(WL1)に振幅V<sub>CC</sub>(1V)のパルスが印加される。セル内のノ

50

ドN1が0, N2が $V_{CH}(2V)$ の場合を例にとると、QT1は導通しデ-タ線DL1は0.2Vから0に向かって放電する。他方のデ-タ線/DL1は、QT2は導通するがQS2は非導通なのでノ-ドN2の電荷が/DL1に分配されデ-タ線はわずかに0.2Vから上昇しとなる。この上昇分は、デ-タ線容量がセル内ノ-ド容量に比べて100倍以上と圧倒的に大きいのでわずかである。この時N2の電圧は2Vから まで放電してしまう。このようにしてデ-タ対線に現われた差動電圧は、読みだしトランジスタQR1, QR2を通してセル読み出し情報としてI/O対線にとり出される。ここで大きな利得を得るためにQR1, QR2にはPチャンネルMOSが使われる。この一連の動作により、結局PL1は まで低下してしまう。しかし次にプリチャ-ジ動作が始まると、 はセル自身の持つ感度よりも大きいので交差結合したPチャンネルMOS QC1とQC2によって $V_{CH}$ まで正常に増幅される。もし、N2とN1の電圧差 がこの感度以下なら、プリチャ-ジ時には正常には増幅されず、反転した情報が保持される恐れがある。尚、書き込み動作については、I/O対線から選択されたデ-タ対線の一方に0.2V、他方に0の差動電圧を印加した後に、読み出し動作と同様にプリチャージ動作によってPL1を2Vにすることによって行う。

10

20

30

40

50

### 【0032】

図7は、プリチャージ時にメモリセルの高電位側と低電位側の2つの給電ノードをパルス駆動することによって大きな記憶電圧を得る実施例であり、(a)にその回路図、(b)にその波形図を示す。図7は図3のSRAM全体のうちメモリセルの駆動方式に関する部分を取り出したものであり、図3と比較したときの違いはメモリセルの低電位側の電位をメモリの選択非選択に応じて変化させられるようにしたことである。すなわち、メモリセルの低電位側の給電ノードは、非選択時には基準電位である0Vに、選択時に $V_{CC}/2$ から少なくとも前述したメモリセルの感度電圧分だけ低下した電位になるようにした。また、この実施例では、ワード線の信号レベルは基準電位である0Vと電源電位 $V_{CC}$ にとり、データ線のプリチャージ電位は $V_{CC}/2$ 、非選択時のメモリセルの高電位側の給電ノードは $V_{CH}(=2V_{CC})$ とした。

### 【0033】

図6では、データ線のプリチャージ電圧が0V付近の低い電圧だったのに対して、本実施例では $V_{CC}/2$ であることに特徴がある。このため図6の読みだしトランジスタQR1, QR2を高速動作に適したNチャンネルMOSで置き換えることもできる。またプリチャージ時の初期にセル内の2種類のアンプ(QS1とQS2, QC1とQC2)が活性化されるので、より高速に増幅される。今、 $V_{CH}=3V$ ,  $V_{CC}=1.5V$ ,  $V_T=0.5V$ ,  $V_R=0.2V$ と仮定しよう。また各データ対線には図3のような $V_{CC}/2$ プリチャージ回路PCが接続されているものとする。プリチャージ期間はすべてのデータ線は0.75V, PL1などの給電線は3V, PL1'などのセル内のNチャンネルMOSに接続されている給電線は0Vに設定される。プリチャージ期間はQL3によってQL2はカットオフになるので、QL4によってPL1'は0となるためである。またすべてのセル内の2つのノード(N1, N2)は記憶情報に応じて3Vあるいは0となっている。プリチャージが終了すると、PL1は3Vに保持される。一方PL1'は抵抗R'によって $V_{CC}$ に向かって上昇しはじめるが( $V_{CC}/2$ )- $V_R$ 、つまり0.55Vになると( $V_{CC}/2$ )- $V_R$ を参照電圧とするコンパレータとQL2によって作られる電圧制限回路が作動しこれ以上の上昇は押さえられる。これとともにたとえば低電圧側のノードN1も0.55Vとなる。ここで消費電力を押さえるためにR'は比較的高い抵抗値に設定されるが、MOSトランジスタで代用することも可能である。ワード電圧が立ち上がると、N1が3VでN1が0.55VなのでQT1, QS1は導通しデータ線DL1は放電される。DL1とPL1'の間には $V_R$ だけの差があるので、結局DL1はPL1'の電圧0.55Vまで放電される。一方QS2は非導通なので、前述したようにノードN2の電荷はQT2を通して/DL1に放電され、N2と/DL1はほぼ等しい電圧0.75V+ となる。データ対線に現われたこの差電圧は各データ線に接続された読み出し回路の選択を通してI/O対線にとり出される。その後のプリチャージによってノードN1とN2間のほぼ0.2Vの差電圧は高速に3Vまで増幅される。PL1'が0になると、それまでN1は0.55VでN2は0.75Vよりわずか( )に高い電圧であったのでQS1

とQ S2の両者が導通し、N1とN2間のほぼ0.2Vの差電圧は交差結合形アンプQ S1とQ S2によって増幅される。またこの差電圧は、他の交差結合アンプQ C1とQ C2によっても増幅される。図6の例では、プリチャージ開始時のセル内での増幅初期にはQ S1とQ S2で構成されるアンプは非導通で、Q C1とQ C2で構成されるアンプだけで増幅したのでやや低速だった。しかし本例では増幅初期には両方のアンプが増幅作用に寄与するので高速である。また明らかに、書き込み動作は、選択されたデータ対線の一方に0.75V、他方に0.55Vと書き込みデータに応じて印加してやればよい。もちろんP L1'はセル選択時には読み出し時同様0.55Vになるように制御される。尚、本例ではデータ線の電圧振幅は0.2程度と極めて小さいので、チップに内蔵したVCC/2電圧発生回路でも駆動できる。したがって図3のアンプAMPは場合によっては取り除くこともできるのでチップが小形になる。またデータ対線は常にVCC/2近傍で動作するので、各データ線上のプリチャージ回路や読み出し回路(Q R1, Q R2)用トランジスタへのストレス電圧は半減するので信頼性は向上する。尚、データ線のプリチャージ電圧は必ずしもVCC/2である必要はない。明らかにデータ線のプリチャージ電圧を、選択時のP L1'電圧に対してセル内アンプの感度以上に高く設定すればよい。

#### 【0034】

また本実施例ではセル内NチャネルMOSのソース駆動線P L' (P L1', P L2')毎にQ L2, Q L3並びにコンパレータからなる電源回路を接続した例を示した。P L1'を0.55Vまで持ち上げる時間を速めてアクセス時間を高速にするためである。しかしチップ面積を小さくするためには図8に示すようにこの回路を他の給電線と共用することもできる。プリチャージ期間中には共通給電線P L Cは共通電源回路によって常時(VCC/2) - VRに固定されているが、すべての給電線(P L1' ... P Ln')は0である。今、P L1'が選択される場合には、外部アドレスによってデコードされてX1は0となりP L1'はP L Cから切り離される。その後、PはVCCになりP L1を0に放電する。

#### 【0035】

図9は読み出し時にデータ線の電圧がVCC近傍の値をとる駆動方式への適用例である。図9は図3のSRAM全体のうちメモリセルの駆動方式に関係する部分を取り出したものであり、図3と比較したときの違いはプリチャージ回路PCと読み出し・書き込み制御回路RWCである。この実施例では、ワード線の信号レベルは基準電位である0Vと電源電位VCCにとり、非選択時のメモリセルの高電位側の給電ノードはVCH (= 2VCC)、メモリセルの低電位側の給電ノードは基準電位である0Vとした。またデータ線のプリチャージ電位をVCCにした。

#### 【0036】

各データ線には、選択されたセルに対して負荷となるトランジスタQ D1とQ D2並びにデータ対線電圧を平衡化するトランジスタQ EQが接続されている。これらの回路がこの実施例のプリチャージ回路PCである。図10の読み出し動作タイミングを用いて以下に動作を説明する。

#### 【0037】

プリチャージ期間には、データ対線はVCC(1V)、P L1はVCH(2V)である。ここで、データ対線D L1, /D L1が列アドレス選択信号RW1によって選択され(RW1が1Vから0)、またワード線W L1が選択され0から1Vのパルスが印加されたとする。N2が2Vとすると、Q D1, Q T1, Q S1の間に直流電流が流れその結果D L1には微少なレシオ電圧VS(約0.2V)が現われる。一方N1はほぼ0でQ S2は非導通で、またQ T2もその電圧関係から明らかなように非導通なのでQ D2, Q T2, Q S2の経路に電流が流れることはない。なぜならN1の電圧はレシオ動作によって多少もち上がるが、それはVT以下になるようにセル内のトランジスタの大きさが設計されているためである。したがってデータ対線にはVSだけの差動信号が現われる。この電圧はレシオ電圧なので図3のような複雑な読み出し回路を経なくても、そのままI/O対線に伝えられ外部に読み出される。ここでQ S2とQ T2は常に非導通なのでN2のノードに蓄積されていた電荷は消失されるこ

とはない。つまり P L 1 の電圧は 2 V のままである。したがってチップに内蔵した V C H 昇圧回路の電流駆動能力がそれほどなくても、その負荷となる P L 1 に電流が流れないから、場合によっては Q p1 を取り除き直接接続することも可能である。しかしこれができるのは読み出し動作に限られる。書き込み動作ではこれが困難になることを図 1 1 をもとに説明する。

#### 【 0 0 3 8 】

I / O 対線からデータ対線の一方 D L 1 に 1 V が、他の一方 / D L 1 に 0 V になるような書き込みが行われると、セル内のノード N 1 はそれまでのほぼ 0 から 0.5 V になる。Q T 1 のしきい電圧は 0.5 V で、W L 1 の電圧は 1 V なのでしきい電圧分だけ降下した電圧が N 1 の電圧になるからである。一方 N 2 はそれまでの 2 V から 0 となる。Q T 2 が導通し N 2 は / D L 1 の電圧に等しくなるように放電するためである。このため Q C 1 は Q C 2 に比べて導通の度合いが強くなり、フローティング状態の P L 1 は強制的にデータ線から N 1 に与えられている 0.5 V に放電してしまう。したがって後続のプリチャージによって P L 1 を再び 2 V になるように充電しなければならない。

10

#### 【 0 0 3 9 】

P L 1 の電圧降下が大きければ昇圧電圧 ( V C H ) 発生回路でそれに応じた電荷を P L 1 に供給しなければならないので昇圧回路の負担が重くなる。このため V C H 発生回路自体の面積が大きくなったり消費電力が大きくなったりする。図 1 2 はその電圧降下を V C C 近傍までに抑えるための負荷回路である。図 1 2 ( a ) ではセルが選択される時間帯では Q P を非導通にし、代わりに Q R を導通させる。給電線の電圧は V C H から V C C になるので、セル内ノードの一方 (たとえば N 1) は図 1 1 のように 0.5 V まで降下することではなく V C C (1 V) に抑えられる。図 1 2 ( b ) ではプリチャージパルス / P を取り除き設計を簡単にしたものである。しきい電圧が 0.2 V 程度と他のトランジスタのそれよりも低い N チャンネル M O S Q R が使われている。ダイオード接続されているので、給電線の電圧が V C C - V T、つまり 0.8 V 以下になると導通するので、それ以下の電圧降下を防ぐことができる。つまりセルノードの一方は図 1 1 のように 0.5 V まで降下することではなく 0.8 V に抑えられる。このトランジスタ Q R は Q p が長時間オフのパルスタイミングの場合に、フローティング状態にある P L 1 の電圧レベルが、セル内の拡散層リーク電流によって低下しすぎるのを防ぎ、セルの電圧マージンを拡大する役割もする。

20

#### 【 0 0 4 0 】

図 1 0、図 1 1 の電圧印加を前提にすると、図 9 のようにワード線と給電線を平行に設置した構成以外に、図 1 3 のようにワード線 W L 1、W L 2 と給電線 P L 1、P L 2 を直交に配置した構成もとれる。たとえば W L 1 上のセルが読み出された場合、それらすべてのセルは図 1 0 と同様な動作を行うのですべての給電線の電圧 ( V C H ) レベルは変わらない。しかし書き込み動作では選択されたデータ対線に属する給電線だけが変化する。たとえばデータ対線 D L 1、/ D L 1 ( 図中では明らかなので省略 ) に書き込み情報に対応した 1 V と 0 の組合せのパルス電圧を印加すると、セル M C 1 は図 1 1 と同様な動作を行うので P L 1 の電圧は 2 V から 0.5 V まで降下してしまう。セル M C 2 は図 1 0 と同様な動作を行うので P L 2 の電圧 V C H は変わらない。ワード線と給電線の相互の配置関係を平行にするか直交にするかはセルのレイアウトと面積に依存する。図 9 では給電線とデータ対線は交差するので異なる配線層でレイアウトしなければならない欠点はあるが、低雑音という利点がある。たとえば W L 1 にパルスが印加されセル M C 1 が書き込まれたために大きな電圧変化が P L 1 に起こった場合を考えてみよう。この時セル M C 2 は実効的には読み出し動作が行われているので、その信号がデータ対線 D L 2、/ D L 2 に現われている。この信号は微少なので M C 2 の動作は雑音に強く影響を受けやすい。しかしデータ対線は P L 1 と直交しているので、P L 1 の電圧変化が結合容量を介して発生する雑音はデータ対線上では相殺されてしまう。図 1 3 は、図 9 とは利害得失が逆になる。たとえば P L 1 の電圧変動によって隣接するデータ対線 ( D L 2、/ D L 2 ) には差動雑音が発生する。しかしこの場合には、ダイナミックメモリなどでよく知られているようにデータ対線を途中で対線間交差すれば雑音は相殺できる。

30

40

50

## 【 0 0 4 1 】

以上の実施例では $V_{CH}$ はチップ内で $V_{CC}$ を昇圧した電源から発生させることを前提としてきた。これはユーザにとって使い易い $V_{CC}$ 単一電源動作を実現するためである。しかし場合によっては $V_{CH}$ はチップ外部電源そのものでもよい。たとえば図 1 4 のように、外部 2 電源 ( $V_{CC1}$ ,  $V_{CC2}$ ) の場合が考えられる。チップは入出力インタフェース回路  $INTF$  とスタティックメモリ  $SRAM$  や演算回路 (たとえばマイクロプロセッサ  $MPU$ ) などのコア  $CORE$  からなるとする。 $INTF$  は既存の論理インタフェースレベルを保証するために比較的寸法の大きな素子を比較的高い電圧 ( $V_{CC1}$ ) で動作させる。一方  $CORE$  はチップの性能 (速度、電力) やチップ面積を決定するので、この部分の主要部は低い電圧 ( $V_{CC2}$ ) で動作する微細素子を用いて高性能化する。 $CORE$  内の素子は一般には  $INTF$  内の素子より微細である。このようなチップでは、 $V_{CC1}$ をこれまでの実施例内の  $V_{CH}$ とみなせばよい。こうすることによってチップ全体としては 2 電源動作だが、内部電源動作に伴う出力レベル変動などの問題がなくなり設計が容易になる。図 1 5 は図 1 4 を単一電源で実現したチップへの適用例である。 $CORE$ の主要部を、外部単一電源 ( $V_{CC1}$ ) を降圧した内部電源 ( $V_{CC2}$ ) で動作させたチップにおいて、 $V_{CC1}$ をこれまでの実施例内の  $V_{CH}$ とみなせばよい。

10

## 【 0 0 4 2 】

以上の実施例ではメモリセルは  $CMOS$  形を仮定したが、本発明ではメモリセル内の差動アンプ機能を応用しているので、メモリセル内に交差結合したラッチ形アンプが少なくても 1 個あればよい。 $P$ チャネル  $MOS$  ( $Q_{C1}$ ,  $Q_{C2}$ ) の代わりに、よく知られた高抵抗ポリシリコン負荷などでもよい。ノード  $N1$ ,  $N2$  を  $V_{CH}$  に向けて持ち上げられるので結局は交差結合した  $N$ チャネル  $MOS$  ( $Q_{S1}$ ,  $Q_{S2}$ ) で増幅できるようになるからである。またメモリセル内の転送 (トランスファー) 機能を持つ  $N$ チャネル転送トランジスタ  $Q_{T1}$ ,  $Q_{T2}$  の  $V_T$  はメモリセル内のほかのトランジスタの  $V_T$  よりも低く、たとえば 0.2 にしてもよい。選択時に  $V_T$  を低くした分だけ  $Q_{T1}$ ,  $Q_{T2}$  の実効ゲート電圧が増加し駆動電流が増えて高速動作が可能になる。ただし非選択時に  $Q_{T1}$  あるいは  $Q_{T2}$  を通してサブスレッショルド電流が流れるのでこれをなくすために、非選択状態でのワード線すなわち  $Q_{T1}$ ,  $Q_{T2}$  のゲートをこれまでの 0 から負電圧たとえば -0.2 V より深くなるようにバイアスしなければならない。ゲート電圧とソース電圧をそれぞれ  $V_G$ ,  $V_S$  とすれば、 $Q_{T1}$  あるいは  $Q_{T2}$  の非選択時の実効ゲート電圧は  $V_G - V_S - V_T$  となるが、 $V_G$ ,  $V_S$ ,  $V_T$  がそれぞれ -0.2 V 以下、0、0.2 V ではこの実効ゲート電圧は -0.4 V 以下となる。一方、サブスレッショルド電流が無視できる  $V_T$  の最小値を 0.4 V とすれば、通常のバイアス条件で 0.4 V の  $V_T$  を持つトランジスタの実効ゲート電圧は、 $V_G$ ,  $V_S$ ,  $V_T$  がそれぞれ 0, 0, 0.4 V なので、-0.4 V となる。したがって上述した低い  $V_T$  と負電圧ゲートを組み合わせた方式ではより低い実効ゲート電圧が加わるのでサブスレッショルド電流は流れない。尚、この場合選択ワード電圧は、非選択状態の -0.2 V から  $V_{CC}$  あるいはそれ以上に立ち上がるパルスとなる。

20

30

## 【 0 0 4 3 】

またこれまでにはメモリセル内の  $P$ チャネルと  $N$ チャネルトランジスタの  $V_T$  を 0.5 V と等しいものと仮定してきたが、必ずしもその必要はない。 $N$ チャネルトランジスタはデータ線への読み出し電流などを決定する重要なトランジスタなので、この  $V_T$  はサブスレッショルド電流が問題にならない程度のできるだけ低い  $V_T$  たとえば 0.4 V にする。しかし  $P$ チャネルトランジスタはメモリセル内の微少容量を充電するのが主な役割で多少低速でもかまわないので、その絶対値は 0.4 V 以上たとえば 0.6 V に設定してもよい。また簡単のため  $V_{CH}$  は  $V_{CC}$  の 2 倍と仮定してきたが、 $V_{CH}$  はトランジスタの耐圧、たとえばゲート耐圧以下である限り、 $V_{CC}$  以上であればよい。

40

## 【 0 0 4 4 】

さらにメモリセル内の感度を高めたままで高速に給電線を充電する方法もある。前述したようにメモリセル内でトランジスタが交差結合した回路は差動アンプとみなせるが、オフセット電圧以外にノード  $N1$ ,  $N2$  間の容量差も差動アンプの感度に影響する。メモリセ

50

ルのレイアウトによっては、高密度化を優先にすると容量差ができる場合があるが、この値が大きいと感度が悪くなる。つまり増幅直前にはノードN1, N2の間により大きな電圧差が必要になる。この容量差による感度は、給電線（たとえばPL1）をVCHに立ち上げる速度が速いほど悪くなる。この問題は図16に示すような2段増幅で解決できる。すなわちそれぞれの給電線（PL1など）に互いにチャネル幅の大幅に異なる（たとえば10倍）2個のトランジスタを並列接続する。Pを印加してまずチャネル幅の小さいトランジスタ（QP1）を導通して給電線を少しずつ充電し、ノードN1, N2間がある大きな電圧差まで増幅されてからP'を印加してチャネル幅の大きなトランジスタ（QP1'）を導通して高速に充電する。

【0045】

10

図17は本発明の実施例の断面図である。本実施例に示すように、スイッチMOS（QP）とメモリセルのPMOSTランジスタはnウエルに形成されているが、それぞれのトランジスタのソースまたはドレイン電極はVCHまで大きくなるためにそれらのウエルの電位もVCHにしておく必要がある。また、このとき周辺回路のPMOSTランジスタを作るnウエルの電位はVCCにする場合には基板をP型にしておけばよい。

【0046】

図18は本発明の別の断面図の実施例である。本実施例では、スイッチMOSとメモリセルのPMOSTランジスタには大きい電圧VCHがかかるため、これらのMOSのゲート酸化膜を周辺回路よりも厚くすることによって耐圧を大きくしたものである。周辺回路のMOSTランジスタは、酸化膜圧が薄いままなのでトランスコンダクタンスが大きくなり、高速に動作できる効果がある。

20

【0047】

図19は本発明の別の断面図の実施例である。本実施例では、図1の(a)に示すように、スイッチMOSが各メモリセルに付いている時のようにスイッチMOSとメモリセルのPMOSが分離しない場合の実施例である。このような場合には両MOSTランジスタを形成するウエルをVCHの電位にしておけばよい。

【0048】

図20は本発明の別の断面図の実施例で、本発明をN型基板上に形成した場合の実施例である。N型基板上に本発明を適用する場合、周辺回路とスイッチMOSとメモリセルのPMOSを分離できない。したがって、本実施例に示すようにスイッチMOSとメモリセルのPMOSには共通の深いPウエルを形成し、その中にNウエルを形成して周辺回路と電位を変えるようにできる。

30

【0049】

本発明の良さを最大限に活かすには、メモリアレイと周辺回路にさらなる工夫があることが望ましい。図21はチップ内のSRAM部分または、1チップのSRAMに適用したその実施例である。メモリ部分は、複数のメモリアレイ（MA1, MA2, ...）に分割されている。グローバルワード線は複数のメモリアレイにまたがって布線されている。メモリアレイ内では、サブワード線（WL11, ..., WLn1, WL12, ..., WLn2, ...）方向にm個、データ線方向（DL11, /DL11, ..., DL12, /DL12, ..., ...）にn個、マトリクス配置されたm×n個の複数のメモリセルMCから成る。スイッチMOSTランジスタ（QPL11, ..., QPLn1, QPL12, ..., QPLn2, ...）を介して複数のメモリセルの高電位側への給電ノードに昇圧電圧VCHが印加されるサブ給電線（PL11, ..., PLn1, PL12, ..., PLn2, ...）はそれぞれ前述したサブワード線と対をなすように布線されている。尚、サブワード線は、前述した実施例との対応では単にワード線と読み換えることができる。

40

【0050】

今、図9を基本とする方式で、図22に示すようにメモリセルMCの記憶セルを形成するMOSTランジスタ（QC1, QC2, QS1, QS2）のVTは0.5V、転送MOSTランジスタ（QT1, QT2）のVTは0.2Vとする。すなわち記憶セルに含まれるMOSTランジスタは、SRAM全体としてサブスレッショルド電流が問題とならないしきい電圧に設定されており、逆に転送MOSTランジスタは注意を要するしきい電圧に設定されている。

50

またこのSRAMに外部から供給される電源VCCは1V、このVCCから電圧変換回路VC2で形成された昇圧電圧VCHは2V (= 2VCC)、同じくVCCから電圧変換回路VC3で形成された負電圧-VWBは0.2Vとした。

#### 【0051】

例えば1本のサブワード線WL11を選択する、すなわち前述した負電圧-VWB(たとえば-0.2V)からVCC(1V)に立ち上がるセル活性化パルス WL11に印加するには、グローバルワード線GL1と制御線RX1をアドレス信号によって選択すればよい。RX1を選択するには、YDEC・DRVとタイミング制御回路TCを使って形成され、実質的にメモリアレイMA1を選択する信号であるメモリアレイ選択信号 sr1が利用される。すなわち sr1を受けるLCBによって-VWBからVCCに立ち上がるパルスをRX1に印加し、GL1に接続される他のレベルコンバータLCBによってVCCから-VWBに立ち上がるパルスをGL1に印加すればよい。グローバルワード線GL1は、行アドレスAXから行アドレスデコーダ・ドライバXDEC・DRVによって選択される。この時他のGL線(グローバルワード線)と他のRX線はそれぞれVCCと-VWBのままである。一方、他のレベルコンバータLCAによってスイッチMOS選択信号群(P1, P2...)の中で、P1のみが0からVCHに立ちあげるパルスとなり、その他は0Vのままである。したがってPL11, ..., PLn1に接続されるスイッチMOSはオフとなり、非選択メモリアレイの対応するスイッチMOS群はオンのままである。P1を0VからVCHに立ちあげるには、YDEC・DRVとタイミング制御回路TC2を使って形成され、実質的にメモリアレイMA1を選択する信号であるメモリアレイ選択信号 sp1が利用される。このようにしてWL11上のメモリセル(MC)群は活性化され前述のように動作する。

#### 【0052】

ここで各データ対線上のQ'D1, Q'D2は、データ対線の電圧が高速にVCCまでプリチャージするための加速トランジスタである。またRWCは図2と同様の列読み出し選択信号(RY1)で選択される読み出し・書き込み回路で、高速化のためにすべて低いVTを用いている。またI/O線からデータ線への書き込み動作を高速に行なうために列書き込み選択信号(WY1, /WY1)で選択されるNチャネルとPチャネルMOSが並列接続されている。

#### 【0053】

以上のようにワード線と給電線を多分割・部分駆動することにより、内蔵されたVCHや-VWBの発生回路への負担を軽減することができ、単一電源設計がより容易になる。動作にともなって電圧が変動するためにVCHや-VWBに給電しなければならない給電線やワード線が、サブ給電線サブワード線WL11に局所化されるためである。この実施例は、給電線ごとに1個のスイッチMOSを付加すればよいので分割に伴う面積の増加は小さい利点がある。しかしたとえばP1が高電圧(VCH)パルスなので、この線に接続されている多数のスイッチMOSのゲート容量を充放電するための電力が比較的大きくなる。

#### 【0054】

図23は図22のメモリセルの動作電圧余裕を計算したものである。この図の横軸は外部から供給される電源電圧VCC、縦軸はワード線WLを選択状態(0VからVCCにする)にした時からデータ線DLと/DLの電位差が100mVに達するまでの時間で定義した信号立ち上がり時間 を表している。信号立ち上がり時間は小さいほどよい。Conventionalは図22のメモリセルで6個のMOSトランジスタが全て等しいしきい電圧VT=0.75Vを持つものとし、かつQC1とQC2のソース側給電ノード(メモリセルの高電位側給電ノード)を電源電圧VCCに直接接続した従来型のメモリセルの特性を表す。このConventionalの構成ではMOSトランジスタのVTが大きいため、サブスレショルド電流は実質的に問題とはならない。しかし、Conventionalの構成では電源電圧が0.8V以下になると急激に信号立ち上がり時間が増大し、実質的に動作しなくなることがわかる。すなわち電源電圧VCCが使用したMOSトランジスタのしきい電圧VT以下になると、立ち上がり時間の増大のためにメモリセルが実質的に動作しなくなる。

#### 【0055】



一方、本願の図 2 2 のメモリセルを使用した場合には、さらに低い電源電圧まで動作する。図 2 3 の This work で示す曲線は、図 2 2 のメモリセル内の記憶セルを構成する QC1、QC2、QS1、及び QS2 のしきい電圧を 0.75 V とし、転送 MOS トランジスタ QT1 と QT2 のしきい電圧を 0.2 V として計算したものである。さらに昇圧電圧 VCH は 2 VCC と 3 VCC の 2 つの場合について計算しており、それぞれ丸と四角により計算点を示す。この例では電源電圧が記憶セルの MOS トランジスタのしきい電圧以下になっても  $t_{\text{sw}} = 10 \text{ ns}$  程度で動作し、約 0.5 V 程度まで動作することがわかる。すなわち、本願によれば記憶セルの MOS トランジスタのしきい電圧はサブスレシヨルド電流の制約から一定値以下（例えば 0.5 V）にはできないにもかかわらず、このしきい電圧以下で動作する SRA M の構成法が示された。図 2 2 では QT1 と QT2 のしきい電圧をサブスレシヨルド電流が問題となる 0.2 V としたために、ワード線の低電位側の信号レベルを -VWB としてメモリセルが非選択状態のとき QT1 と QT2 にサブスレシヨルド電流が流れないようにした。QT1 と QT2 にサブスレシヨルド電流が問題とならないように例えば 0.5 V のしきい電圧の MOS トランジスタを使った場合には、その駆動能力が大きくなるようにワード線の高電位側の信号レベルを十分昇圧してやればよい。さらに図 2 1 などに示したデータ線上の負荷 MOS あるいは読み出し・書き込み回路 RWC 内の MOS などの VT を十分小さく（たとえば 0.2 V 以下）すれば十分な低電圧動作は可能である。その他の周辺駆動・論理回路は、前述した単行本「超 LSI メモリ」に述べられているようなサブスレシヨルド電流低域回路を用いることで十分低い VT で、すなわち十分低い VCC で効果する。したがってチップ全体としてはセル内交差結合 MOS の VT 以下の VCC でも動作することになる。

#### 【0056】

本願は電池のような低い電源電圧で動作する装置において特に利点大きい。すなわち、太陽電池はその電源電圧は約 0.5 V 程度であるが、この太陽電池でも動作するような SRA M が初めて可能になる。また低電圧化できることから消費電力の低減効果は著しい。

#### 【0057】

図 2 4 は面積はやや大きくなるがより低電力化を図るための他の実施例である。簡単のため図 2 1 の WL11 と PL11 の部分のみを抜き出している。図 2 1 の VCH をスイッチする MOS トランジスタ PL11 ~ PLn1 は一本の信号 P1 で同時に制御されるのに対し、図 2 4 では分割された給電線毎にスイッチ MOS とそのゲートを制御するレベルコンバータが付加してある。たとえば WL11 が選択されて活性パルスが印加されると QPL1 のゲートはそれまでの 0 から VCH になり QPL1 はオフになる。したがって高電圧 (VCH) で駆動されるゲート容量は 1 個となり低電力化される。この時他のスイッチ MOS のゲートは 0 のままである。

#### 【図面の簡単な説明】

#### 【0058】

【図 1】スタティックメモリセルの給電線電圧を制御する本発明の概念を示す図である。

【図 2】従来のスタティックメモリセルとその動作波形図である。

【図 3】スタティックメモリセルアレイに適用した実施例である。

【図 4】図 3 の読み出し動作タイミング図である。

【図 5】図 3 の書き込み動作タイミング図である。

【図 6】スタティックメモリセルアレイに適用した実施例である。

【図 7】スタティックメモリセルアレイに適用した実施例である。

【図 8】給電用電源回路を共有した実施例である。

【図 9】スタティックメモリセルアレイに適用した実施例である。

【図 10】図 9 の読み出し動作タイミング図である。

【図 11】図 9 の書き込み動作タイミング図である。

【図 12】給電線の電圧降下防止回路図である。

【図 13】給電線とワード線を直交させた実施例である。

【図 14】外部 2 電源チップへの適用例である。

10

20

30

40

50

【図 1 5】外部単一電源チップへの適用例である。

【図 1 6】給電線の駆動方式の実施例である。

【図 1 7】本発明の実施例の断面図。

【図 1 8】本発明の別の実施例の断面図。

【図 1 9】本発明の別の実施例の断面図。

【図 2 0】本発明の別の実施例の断面図。

【図 2 1】分割されたメモリセルアレイに適用された実施例である。

【図 2 2】図 2 1 のメモリセル内部回路の実施例である。

【図 2 3】図 2 2 のメモリセルの実施例の特性図である。

【図 2 4】分割された給電線の駆動方式の実施例である。

10

【符号の説明】

【0 0 5 9】

Q C 1 , Q C 2 , Q T 1 , Q T 2 , Q S 1 , Q S 2 , . . . . . メモリセル内トランジスタ、N 1 , N 2  
 . . . . . メモリセル内記憶ノード、D L , / D L , D L 1 1 , / D L 1 1 , D L 1 2 , / D L 1 2  
 . . . . . データ線、W L 1 , W L 2 , W L 1 1 , W L 1 2 , W L n 1 , W L n 2 , . . . . . ワード線、P  
 L 1 , P L 2 , P L 1 ' , P L m ' , P L 1 1 , P L 1 2 , P L n 1 , P L n 2 . . . . . 給電線、P L  
 C . . . . . 共通給電線、M C , M C 1 ~ M C 4 . . . . . メモリセル、V S S . . . . . 基準電位、V C C  
 . . . . . 電源電圧、V C H . . . . . 電源電圧あるいは昇圧電源電圧、Q P 1 , Q P 2 , Q P , Q P 1 '  
 . . . . . スイッチトランジスタ、C E . . . . . チップ活性化信号、P C . . . . . プリチャージ回  
 路、P , / P ' , P 1 , P 2 , P 1 ' . . . . . プリチャージ信号、A M P . . . . . アンプ、S  
 P , S N . . . . . アンプ駆動線、Q E Q . . . . . 平衡用トランジスタ、R 1 , R 2 . . . . . 読み出  
 し選択記号、W 1 , W 2 . . . . . 書き込み選択記号、R W 1 . . . . . 読みだし・書き込み選択  
 記号、A X , A Y . . . . . 行並びに列アドレス、D i n , D o u t . . . . . データ入力並びにデータ  
 出力、/ W E . . . . . 書き込み制御信号、Q R 1 , Q R 2 . . . . . 読み出しトランジスタ、Q W 1 ,  
 Q W 2 . . . . . 書き込みトランジスタ、S P G . . . . . アンプ駆動回路、X D E C , D R V . . .  
 . . . . . 行デコーダ並びにドライバ、Y D E C , D R V . . . . . 列デコーダ並びにドライバ、I /  
 O , / I / O . . . . . データ入出力線、R W C . . . . . 読み出し・書き込み制御回路、Q L 1 ,  
 Q L 2 , Q L 3 , Q L 4 . . . . . 内部電圧制御トランジスタ、X 1 , X n . . . . . 給電線選択信号、  
 I N T F . . . . . チップの入出力インタフェース回路、C O R E . . . . . チップの主要回路、  
 V D C . . . . . 内蔵降圧回路、V C C 1 , V C C 2 . . . . . 電源電圧、V C 1 , V C 2 , V C 3 , . . . . . 電  
 圧変換回路、P C G . . . . . プリチャージ信号発生回路、L C A , L C B . . . . . レベルコン  
 バータ、R X 1 , R X 2 . . . . . 制御線、G L 1 , G L n . . . . . グローバルワード線、R Y 1 .  
 . . . . . 列読みだし選択信号、W Y 1 , W Y 1 . . . . . 列書き込み選択信号、Q P L 1 , Q P L 2 . . .  
 . . . . . スイッチトランジスタ、V W B . . . . . ワード線バイアス電圧、M A 1 , M A 2 . . . . . メモリア  
 レイ、s r 1 , s r 2 . . . . . メモリアレイ選択信号、s p 1 , s p 2 . . . . . メモリアレイ選択信  
 号、T C 1 , T C 2 . . . . . タイミング制御回路、G A 1 1 , G A n 1 , G A 1 2 , G A n 2 . . . . . N A N  
 D ゲート。

20

30

图 1

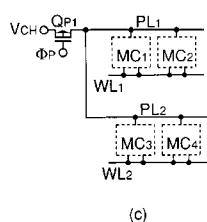


图 3

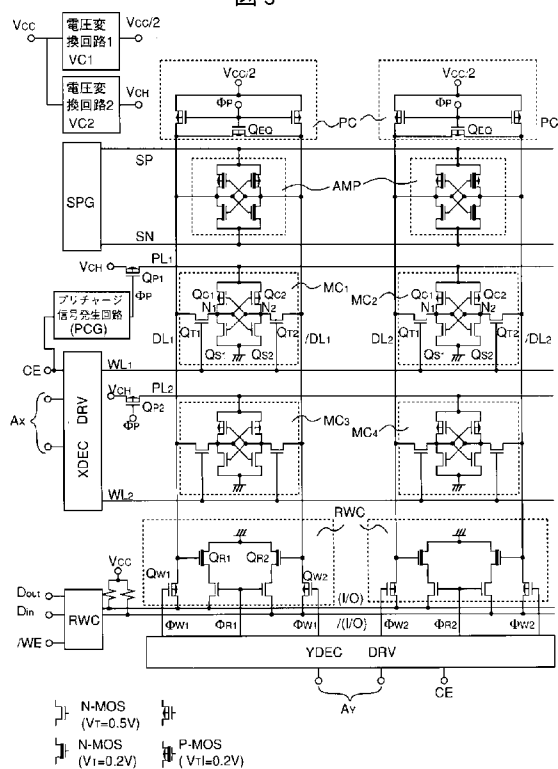


图 2

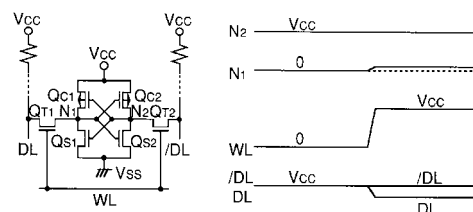


图 4

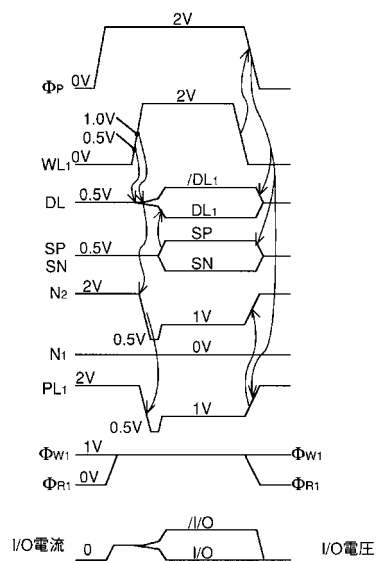
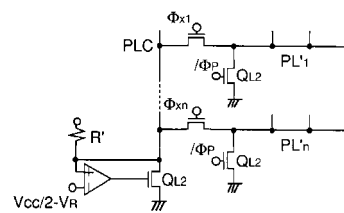
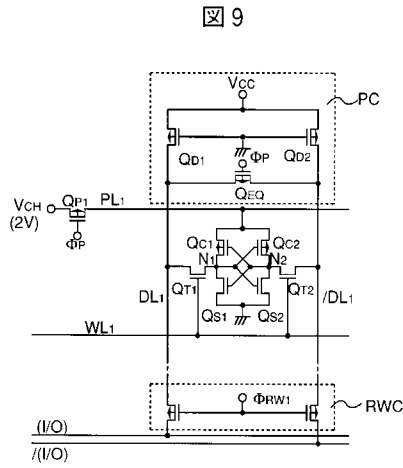


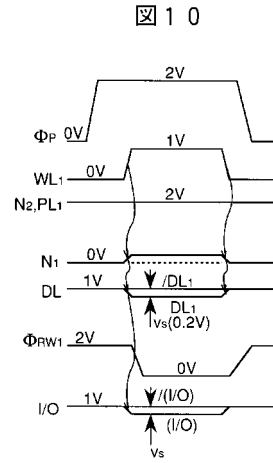
図5



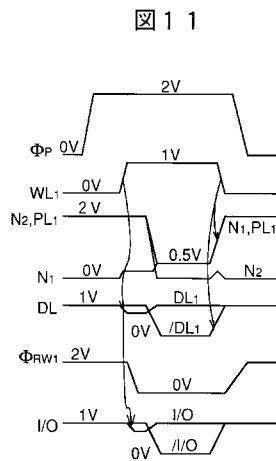
【図 9】



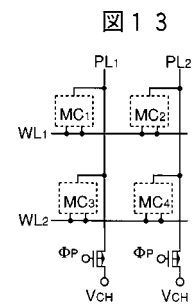
【図 10】



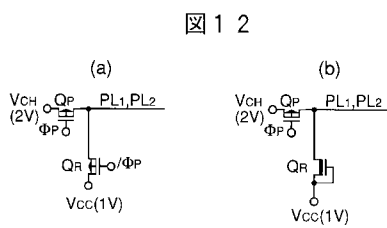
【図 11】



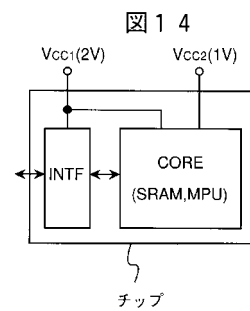
【図 13】



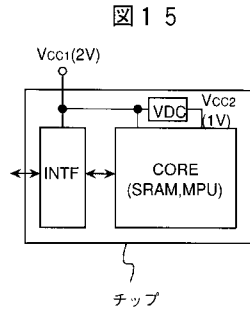
【図 12】



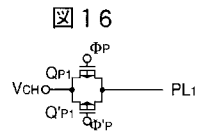
【図 14】



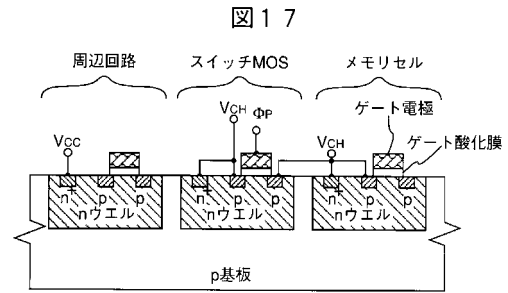
【図15】



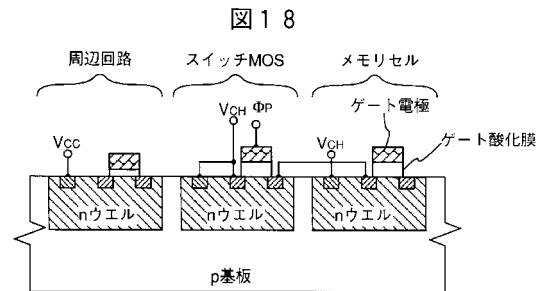
【図16】



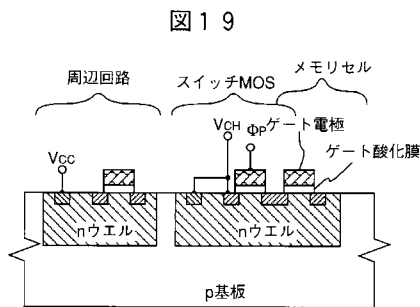
【図17】



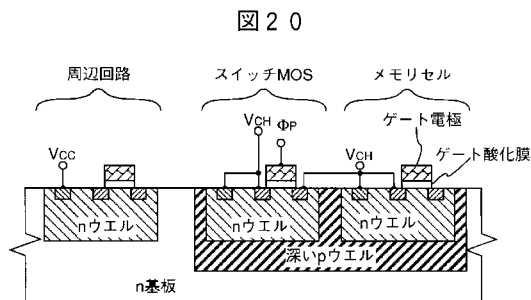
【図18】



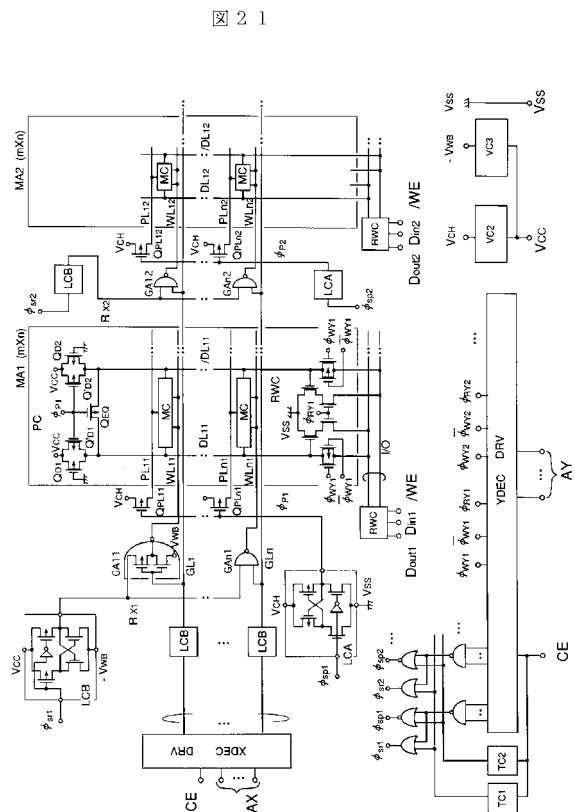
【図19】



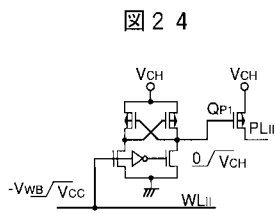
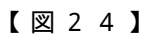
【図20】



【図21】



【 図 2 3 】



---

フロントページの続き

F ターム(参考) 5F083 BS27 GA01 GA05 LA03 LA04 LA05 LA08 LA09 LA10 ZA07  
ZA08