

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4561907号
(P4561907)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年8月6日(2010.8.6)

(51) Int.Cl. F I
B 4 1 J 2/045 (2006.01) B 4 1 J 3/04 1 O 3 A
B 4 1 J 2/055 (2006.01)

請求項の数 8 (全 22 頁)

(21) 出願番号	特願2008-215666 (P2008-215666)	(73) 特許権者	000005496
(22) 出願日	平成20年8月25日 (2008.8.25)		富士ゼロックス株式会社
(65) 公開番号	特開2010-46989 (P2010-46989A)		東京都港区赤坂九丁目7番3号
(43) 公開日	平成22年3月4日 (2010.3.4)	(74) 代理人	100079049
審査請求日	平成21年8月24日 (2009.8.24)		弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100085279
			弁理士 西元 勝一
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	石崎 直
			神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

最終頁に続く

(54) 【発明の名称】 容量性負荷の駆動回路及び液滴噴射装置

(57) 【特許請求の範囲】

【請求項1】

一端にアナログ駆動信号が入力されるインダクタと、静電容量が固定され一方の電極が前記インダクタの他端に接続され他方の電極が接地されたコンデンサと、を有するフィルタと、

前記コンデンサに対してそれぞれ並列に接続され、かつ、任意のものが前記インダクタの一端に入力されたアナログ駆動信号に応じて駆動する複数の容量性負荷と、

前記インダクタの他端から出力された負荷電圧をアナログ信号からデジタル信号に変換する変換手段と、

前記容量性負荷を駆動させるための所定の信号を発生させると共に、前記変換手段でデジタル信号に変換された前記負荷電圧及びデジタル駆動信号に基づいて前記容量性負荷に流れる電流の大きさを示す信号を導出し、前記所定の信号を前記導出した前記電流の大きさを示す信号で減算し、当該減算後の信号を前記デジタル駆動信号として出力する信号処理手段と、

前記信号処理手段から出力された前記デジタル駆動信号に基づいてスイッチング動作を行って前記アナログ駆動信号を生成し、生成した前記アナログ駆動信号を前記インダクタの一端に出力するスイッチング手段と、

を備えた容量性負荷の駆動回路。

【請求項2】

前記信号処理手段は、前記変換手段でデジタル信号に変換された前記負荷電圧及び前記

10

20

デジタル駆動信号により示される電圧を用いた以下の数式により示される状態方程式から、前記容量性負荷に流れる電流の大きさに比例した値を算出する請求項 1 記載の容量性負荷の駆動回路。

【数 1】

$$\frac{dx}{dt} = Ax + Bu$$

ここで、前記負荷電圧を x_1 、前記容量負荷に流れる電流の大きさに比例した値を x_2 とした場合の x_1 、 x_2 とで構成される状態ベクトルを x とし、 u を前記デジタル駆動信号により示される電圧とし、係数 A を前記コンデンサと前記容量性負荷との静電容量及び前記インダクタによって決定されるシステム行列、係数 B を前記負荷電圧と前記状態ベクトルとの関係を示す係数で構成されるベクトルとする。

10

【請求項 3】

複数種類の前記係数 A 及び前記係数 B の値を記憶した記憶手段を更に備え、

前記信号処理手段は、前記記憶手段に記憶された複数種類の前記係数 A 及び前記係数 B の値のうち、何れかを用いて前記容量性負荷に流れる電流の大きさに比例した値を算出する請求項 2 記載の容量性負荷の駆動回路。

【請求項 4】

20

前記所定の信号が入力され、前記所定の信号に対して前記フィルタによって抑制される前記アナログ駆動信号の周波数領域を強調する強調手段を更に備え、

前記信号処理手段は、前記強調手段から出力された信号を前記導出した電流の大きさを示す信号で減算し、当該減算後の信号を前記デジタル駆動信号として前記スイッチング手段に出力する請求項 1 ~ 請求項 3 の何れか 1 項記載の容量性負荷の駆動回路。

【請求項 5】

前記所定の信号と前記変換手段でデジタル信号に変換された前記負荷電圧との偏差が入力され、当該偏差を抑制する値を示す信号を出力するフィードバック補償手段を更に備え、

前記信号処理手段は、前記減算後の信号に前記フィードバック補償手段から出力された信号を加算し、当該加算後の信号を前記デジタル駆動信号として前記スイッチング手段に出力する請求項 1 ~ 請求項 4 の何れか 1 項記載の容量性負荷の駆動回路。

30

【請求項 6】

前記所定の信号が入力され、予め定められた周波数以下の信号を出力するフィルタ手段を更に備え、

前記フィードバック補償手段は、前記フィルタ手段から出力された信号と前記変換手段でデジタル信号に変換された前記負荷電圧との差が入力される請求項 5 記載の容量性負荷の駆動回路。

【請求項 7】

複数の容量性負荷を有し、各容量性負荷に印加される負荷電圧が変化することで圧力室に収容されている液体が吐出される圧電ヘッドと、

40

前記圧電ヘッドに設けられた前記容量性負荷を駆動する請求項 1 ~ 請求項 6 の何れか 1 項記載の容量性負荷の駆動回路と、

を備えた液滴噴射装置。

【請求項 8】

複数の容量性負荷を有し、各容量性負荷に印加される負荷電圧が変化することで圧力室に収容されている液体が吐出される圧電ヘッドと、

各々異なるアナログ駆動信号を出力する請求項 1 ~ 請求項 6 の何れか 1 項記載の複数の容量性負荷の駆動回路と、

前記複数の容量性負荷の駆動回路の各々から出力される複数のアナログ駆動信号のうち

50

、一種類のアナログ駆動信号を前記容量性負荷に出力する出力手段と、
を備えた液滴噴射装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、容量性負荷の駆動回路及び液滴噴射装置に関する。

【背景技術】

【0002】

従来、インクジェットヘッドの駆動回路は、圧電ヘッド内に設けられた圧電素子にアナログ駆動信号を供給することによって、圧電素子に対応して設けられたノズルからインク滴を吐出する。圧電素子は容量性の素子であるため、同時に駆動する圧電素子の数が多くなるほど駆動回路の負荷である静電容量が大きくなってしまふ。そのため、圧電素子に入力される駆動信号の波形が変化し、安定した動作を実現できない問題がある。

【0003】

そこで、特許文献1では、安定した動作で容量性負荷を駆動することができる容量性負荷の駆動回路が開示されている。

【0004】

特許文献1では、同文献の図1に示すように、容量性負荷である複数の圧電アクチュエータ124₁～124_nによって第1フィルタ36の遮断周波数が変動する恐れがある。そこで、第1帰還回路43によって第1フィルタ36の出力を演算増幅器30の反転入力端子に帰還することによって、第1フィルタ36の遮断周波数の変動が抑制されている。

【0005】

また、第1フィルタ36は抵抗R3を含んでおり、第1フィルタ36より時定数の小さい第2フィルタ38を備えた第2帰還回路41によって、デジタル電力増幅器34の出力を、第2フィルタ38を介して演算増幅器30の反転入力端子に帰還するので、インクジェットヘッド駆動回路10の動作の安定化を図っている。

【特許文献1】特開2005-329710号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、回路構成を小型化し、且つ回路の特性の変動を抑制することができる容量性負荷の駆動回路、及び容量性負荷の駆動回路を用いて液滴を噴射する液滴噴射装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、請求項1に記載の発明は、一端にアナログ駆動信号が入力されるインダクタと、静電容量が固定され一方の電極が前記インダクタの他端に接続され他方の電極が接地されたコンデンサと、を有するフィルタと、前記コンデンサに対してそれぞれ並列に接続され、かつ、任意のものが前記インダクタの一端に入力されたアナログ駆動信号に応じて駆動する複数の容量性負荷と、前記インダクタの他端から出力された負荷電圧をアナログ信号からデジタル信号に変換する変換手段と、前記容量性負荷を駆動させるための所定の信号を発生させると共に、前記変換手段でデジタル信号に変換された前記負荷電圧及びデジタル駆動信号に基づいて前記容量性負荷に流れる電流の大きさを示す信号を導出し、前記所定の信号を前記導出した前記電流の大きさを示す信号で減算し、当該減算後の信号を前記デジタル駆動信号として出力する信号処理手段と、前記信号処理手段から出力された前記デジタル駆動信号に基づいてスイッチング動作を行って前記アナログ駆動信号を生成し、生成した前記アナログ駆動信号を前記インダクタの一端に出力するスイッチング手段と、を備えている。

【0008】

また、請求項2に記載の発明は、請求項1に記載の発明において、前記信号処理手段が

、前記変換手段でデジタル信号に変換された前記負荷電圧及び前記デジタル駆動信号により示される電圧を用いた以下の数式により示される状態方程式から、前記容量性負荷に流れる電流の大きさに比例した値を算出する。

【0009】

【数1】

$$\frac{dx}{dt} = Ax + Bu$$

ここで、前記負荷電圧を x_1 、前記容量負荷に流れる電流の大きさに比例した値を x_2 とした場合の x_1 、 x_2 とで構成される状態ベクトルを x とし、 u を前記デジタル駆動信号により示される電圧とし、係数 A を前記コンデンサと前記容量性負荷との静電容量及び前記インダクタによって決定されるシステム行列、係数 B を前記負荷電圧と前記状態ベクトルとの関係を示す係数で構成されるベクトルとする。

【0010】

また、請求項3に記載の発明は、請求項2に記載の発明において、複数種類の前記係数 A 及び前記係数 B の値を記憶した記憶手段を更に備え、前記信号処理手段が、前記記憶手段に記憶された複数種類の前記係数 A 及び前記係数 B の値のうち、何れかを用いて前記容量性負荷に流れる電流の大きさに比例した値を算出する。

【0011】

また、請求項4に記載の発明は、請求項1～請求項3の何れか1項記載の発明において、前記所定の信号が入力され、前記所定の信号に対して前記フィルタによって抑制される前記アナログ駆動信号の周波数領域を強調する強調手段を更に備え、前記信号処理手段が、前記強調手段から出力された信号を前記導出した電流の大きさを示す信号で減算し、当該減算後の信号を前記デジタル駆動信号として前記スイッチング手段に出力する。

【0012】

また、請求項5に記載の発明は、請求項1～請求項4の何れか1項記載の発明において、前記所定の信号と前記変換手段でデジタル信号に変換された前記負荷電圧との偏差が入力され、当該偏差を抑制する値を示す信号を出力するフィードバック補償手段を更に備え、前記信号処理手段が、前記減算後の信号に前記フィードバック補償手段から出力された信号を加算し、当該加算後の信号を前記デジタル駆動信号として前記スイッチング手段に出力する。

【0013】

また、請求項6に記載の発明は、請求項5に記載の発明において、前記所定の信号が入力され、予め定められた周波数以下の信号を出力するフィルタ手段を更に備え、前記フィードバック補償手段が、前記フィルタ手段から出力された信号と前記変換手段でデジタル信号に変換された前記負荷電圧との差が入力される。

【0014】

一方、上記目的を達成するために、請求項7に記載の発明は、複数の容量性負荷を有し、各容量性負荷に印加される負荷電圧が変化することで圧力室に収容されている液体が吐出される圧電ヘッドと、前記圧電ヘッドに設けられた前記容量性負荷に、アナログ駆動信号を出力する請求項1～請求項6の何れか1項記載の容量性負荷の駆動回路と、を備えた液滴噴射装置である。

【0015】

また、請求項8に記載の発明は、複数の容量性負荷を有し、各容量性負荷に印加される負荷電圧が変化することで圧力室に収容されている液体が吐出される圧電ヘッドと、各々異なるアナログ駆動信号を出力する請求項1～請求項6の何れか1項記載の複数の容量性負荷の駆動回路と、前記複数の容量性負荷の駆動回路の各々から出力される前記アナログ駆動信号が入力され、入力された複数のアナログ駆動信号のうち、一種類のアナログ駆動

10

20

30

40

50

信号を前記容量性負荷に出力する出力手段と、を備えた液滴噴射装置である。

【発明の効果】

【0016】

請求項1、及び請求項7に記載の発明によれば、本発明を適用しない場合に比較して、回路構成を小型化し、且つ回路の特性の変動を抑制することができる、という優れた効果を有する。

【0017】

また、請求項2に記載の発明によれば、本発明を適用しない場合に比較して、簡易に容量性負荷に流れる電流の大きさに比例した値を算出することができる、という優れた効果を有する。

10

【0018】

また、請求項3に記載の発明によれば、本発明を適用しない場合に比較して、容量性負荷に流れる電流の大きさに比例した値を算出するための係数を容易に変更することができる、という優れた効果を有する。

【0019】

また、請求項4に記載の発明によれば、本発明を適用しない場合に比較して、フィルタを通過する駆動信号の周波数領域を広げることができる、という優れた効果を有する。

【0020】

また、請求項5に記載の発明によれば、本発明を適用しない場合に比較して、容量性負荷の容量が変化しても、駆動回路の特性の変動を抑制することができる、という優れた効果を有する。

20

【0021】

また、請求項6に記載の発明によれば、デジタル駆動信号に含まれるノイズ成分を除去することができる、という優れた効果を有する。

【0022】

更に、請求項8に記載の発明によれば、複数のアナログ駆動信号のうち、選択された一つのアナログ駆動信号を容量性負荷に入力することができる、という優れた効果を有する。

【発明を実施するための最良の形態】

【0023】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

30

[第1の実施の形態]

まず、図1を参照して、本実施の形態に係るインクジェットプリンタ1の全体構成を説明する。

【0024】

図1は、本発明の実施の形態に係るインクジェットプリンタ1の構成を示すブロック図である。インクジェットプリンタ1は、インクを吐出する圧電ヘッド10と、インクの吐出を制御する制御ユニット20と、を備えている。

【0025】

圧電ヘッド10は、 n (n は自然数)個の容量性負荷である圧電素子 $11_1 \sim 11_n$ をそれぞれ含んだ噴射素子を集積した噴射素子群と、各圧電素子 $11_1 \sim 11_n$ にそれぞれ直列に接続され、オン又はオフに切り替えられる n 個の伝送ゲート $12_1 \sim 12_n$ と、任意の圧電素子 $11_1 \sim 11_n$ を選択するために伝送ゲート $12_1 \sim 12_n$ のオン又はオフを制御するピエゾ選択回路13と、を備えている。

40

【0026】

なお、符号の下付き数字(1~ n)は各々の圧電素子又は伝送ゲートを区別するとき用いるが、区別する必要がないときは下付き数字を省略する。

【0027】

図2は、噴射素子の構成を示す図である。圧電ヘッド10は、図2に示す噴射素子を数 $100 \sim 1000$ 程度集積したものである。各噴射素子では、圧電素子11に電圧が印加

50

されると、圧電素子 11 の変動に応じて振動板 11 a が振動し、インク液が充填された圧力室 11 b の体積が変化し、これにより液滴がノズル 11 c から噴射される。

【0028】

制御ユニット 20 は、圧電ヘッド 10 を駆動させる駆動回路 21 と、画像データを記憶する画像メモリ 22 と、制御データを記憶する制御メモリ 23 と、全体の制御を司る CPU (Central Processing Unit) 24 と、を備えており、各々バスを介して接続される。

【0029】

CPU 24 は、制御メモリ 23 に記憶されている制御データを用いて、駆動回路 21 に圧電素子 11 を駆動させるためのアナログ駆動信号を発生させる。また、CPU 24 は、画像メモリ 22 に記憶されている画像データに基づいて、噴射素子を選択すべく、その噴射素子に対応する伝送ゲート 12 がオンになるように、圧電ヘッド 10 のピエゾ選択回路 13 を制御する。

10

【0030】

駆動回路 21 は、例えば図 3 に示すアナログ駆動信号を圧電ヘッド 10 に供給する。噴射周波数が高くなるほど、アナログ駆動信号の周波数領域は広くなり、図 3 の例では数 100 kHz に及ぶ。

【0031】

図 4 に、駆動回路 21 の構成を示す。

【0032】

駆動回路 21 は、デジタル信号処理部 30、スイッチング電圧増幅回路 32、フィルタ 34、及び電圧検出回路 36 を備えている。

20

【0033】

デジタル信号処理部 30 は、圧電素子 11 を駆動させるためのデジタル駆動信号を出力し、スイッチング電圧増幅回路 32 に出力する。

【0034】

スイッチング電圧増幅回路 32 は、デジタルパルス幅変調回路 (以下、「デジタル PWM 40」という。) 40、ゲートドライブ回路 42、例えば MOSFET で構成された第 1 トランジスタ TR_1 及び第 2 トランジスタ TR_2 を備え、デジタル信号処理部 30 から出力されたデジタル駆動信号に基づいてスイッチング動作を行ってアナログ駆動信号を生成する。

30

【0035】

上記デジタル PWM 40 の入力端子は、デジタル信号処理部 30 の出力端子に接続されており、デジタル駆動信号が入力され、当該デジタル駆動信号を所定のパルス幅に変調して出力する。

【0036】

また、デジタル PWM 40 の出力端子は、ゲートドライブ回路 42 の入力端子に接続され、ゲートドライブ回路 42 の第 1 出力端子は第 1 トランジスタ TR_1 のゲートに接続され、その第 2 出力端子は第 2 トランジスタ TR_2 のゲートに接続されている。

【0037】

そして、第 1 トランジスタ TR_1 のソースには、高電圧電源 44 から出力される電圧 V_{DD} が印加され、第 1 トランジスタ TR_1 のドレインは、第 2 トランジスタ TR_2 のドレインに接続され、第 2 トランジスタ TR_2 のソースは接地されている。そして、第 1 トランジスタ TR_1 のドレイン (第 2 トランジスタ TR_2 のドレイン) がスイッチング電圧増幅回路 32 の出力端子となる。スイッチング電圧増幅回路 32 の出力端子は、フィルタ 34 の入力端子に接続されている。

40

【0038】

ゲートドライブ回路 42 は、デジタル PWM 40 から出力されたデジタル駆動信号の振幅を、トランジスタ TR_1 、 TR_2 が動作可能な電圧に増幅する。そして、ゲートドライブ回路 42 は、デジタル PWM 40 からのパルス信号が論理 '1' のときは、トランジスタ TR_1 をオンにする電圧を出力すると共にトランジスタ TR_2 をオフにする電圧を出力

50

する。また、ゲートドライブ回路42は、パルス信号が論理‘0’のときは、トランジスタ TR_1 をオフにする電圧を出力すると共にトランジスタ TR_2 をオンにする電圧を出力する。これにより、トランジスタ TR_1 、 TR_2 は、ゲートドライブ回路42から出力されたパルス信号に従って、相補的にスイッチング動作を行うことができ、スイッチング電圧増幅回路32の出力端子から出力される電圧 V_1 はチャネル抵抗による電圧降下を除くと電圧 V_{DD} に等しい。なお、上記電圧 V_1 の信号がアナログ駆動信号である。

【0039】

ここで、スイッチング電圧増幅回路32に、入力可能な最大電圧を V_T とすると、最大出力電圧は電圧 V_{DD} であるため、スイッチング電圧増幅回路32の電圧増幅率 g_v は式2で与えられる

【0040】

【数2】

$$g_v = \frac{V_{DD}}{V_T} \quad (\text{式2})$$

また、フィルタ34は、一端にアナログ駆動信号が入力されるインダクタ50と、静電容量が固定され一方の電極がインダクタ50の他端に接続され他方の電極が接地されたコンデンサ52とを有し、入力されたアナログ駆動信号の搬送波成分を除去する。

【0041】

ところで、圧電素子 $11_1 \sim 11_n$ は、コンデンサ52に対してそれぞれ並列に接続される。従ってフィルタ34の周波数特性は、インダクタ50のインダクタンス L 、コンデンサ52の静電容量 C_0 、及び駆動される圧電素子 $11_1 \sim 11_n$ の個数によって容量が変化する静電容量 C_L によって決まる。

【0042】

図5は、本実施の形態に係るフィルタ34の周波数特性を示すグラフの一例である。

【0043】

同図に示すように、本実施の形態に係るフィルタ34は、100kHzを超えた辺りで共振する特性を有しており、当該共振を生じる周波数の大きさは、静電容量 C_L の大きさによっても変化する。

【0044】

ここで、コンデンサ52の静電容量 C_0 と駆動させる圧電素子11の数によって変化する静電容量 C_L の合計を静電容量 C とすると、フィルタ34の共振周波数 f_0 は式3で表され、フィルタ34の角周波数 ω_0 は式4で表される。

【0045】

【数3】

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (\text{式3})$$

【0046】

【数4】

$$\omega_0 = 2\pi f_0 \quad (\text{式4})$$

またフィルタ34の入力Aから出力B(図4参照)までの伝達関数 $F(s)$ は式5で表

10

20

30

40

50

される。

【0047】

【数5】

$$F(s) = \frac{\omega_0^2}{s^2 + \omega_0^2} \quad (\text{式5})$$

なお、 s はラプラス変数であり、周波数 f との関係を表式6で定義する。

10

【0048】

【数6】

$$s = j2\pi f, \quad j = \sqrt{-1} \quad (\text{式6})$$

また、スイッチング電圧増幅回路32の入力Cからフィルタ34の出力Bまでの伝達関数を $P(s)$ とすると、式2と式5の積である式7で表される。

【0049】

【数7】

20

$$P(s) = g_v F(s) = \frac{g_v \omega_0^2}{s^2 + \omega_0^2} \quad (\text{式7})$$

そしてフィルタ34の出力端子は、電圧検出回路36に接続されている。

【0050】

電圧検出回路36は、フィルタ34の出力電圧、すなわち圧電素子11に印加される電圧（以下、「負荷電圧」という。）を抵抗 R_1, R_2 で分圧した後、バッファアンプ60を介してアナログデジタル変換器（以下、「ADC」という。）62によって、負荷電圧をアナログ信号からデジタル信号に変換し、デジタル信号に変換された負荷電圧（以下、「デジタル負荷電圧信号」という。）をデジタル信号処理部30に出力する。

30

【0051】

ここで、式7で示されるフィルタ34の特性は、一例として図5に示したように、共振特性を有している。このため、当該共振特性を抑制（以下、「安定化」という。）するために、本実施の形態に係る駆動回路21は、デジタル信号処理部30に安定化補償器を備える。

【0052】

40

上記安定化を行うために、例えば、負荷電圧を微分し、微分した負荷電圧を用いてフィードバックすることが考えられる。

【0053】

この場合、電圧検出回路36の分圧比を g_s とし、フィードバックゲインを T_D とすると、安定化補償器の伝達関数 $H(s)$ は、式8で表され、フィルタ34と安定化補償器とによる伝達関数 $Q(s)$ は、式9で表される。なお、式9で表される $Q(s)$ を制御対象という。

【0054】

【数 8】

$$H(s) = g_s T_D s \quad (\text{式} 8)$$

【0055】

【数 9】

$$Q(s) = \frac{g_s g_V \omega_0^2}{s^2 + g_s T_D s + \omega_0^2} \quad (\text{式} 9)$$

10

しかし、微分演算をデジタル信号処理によって行うと、わずかな負荷電圧の変化に対して敏感に応答する可能性がある。

【0056】

そこで、圧電素子 11 に流れる電流は、負荷電圧の微分値に比例するため、当該電流を検出し、検出した電流の値を用いてフィードバックを行うことが考えられる。しかし、圧電素子 11 に流れる電流を検出するためには、装置構成が複雑になる可能性がある。

【0057】

そこで、本実施の形態に係る駆動回路 21 では、安定化補償器を、デジタル駆動信号とデジタル負荷電圧信号とから、圧電素子 11 に流れる電流の大きさを推定（導出）する状態推定機構として構成する。

20

【0058】

次に、図 6 を参照して、上記状態推定機構として構成された安定化補償器 70 を備えたデジタル信号処理部 30 の電気系の要部構成を説明する。

【0059】

デジタル信号処理部 30 は、安定化補償器 70 の他に、駆動信号発生器 72 及び加減算器 74A を備えている。

【0060】

駆動信号発生器 72 は、圧電素子 11 を駆動させるための所定のデジタル信号 D_0 を発生させ、駆動信号発生器 72 で発生されたデジタル信号 D_0 はレジスタ 76_R に記憶される。

30

【0061】

加減算器 74A は、安定化補償器 70 で導出された圧電素子 11 に流れる電流の大きさを示すデジタル信号（以下、「デジタル負荷電流信号」という。）とレジスタ 76_R に記憶されたデジタル信号 D_0 とを減算することで、デジタル駆動信号を導出する。加減算器 74A で導出されたデジタル駆動信号はレジスタ 76_U、 U_t 及びレジスタ 76_U に記憶される。

【0062】

一方、安定化補償器 70 は、ADC 62 から出力されたデジタル負荷電圧信号を記憶するレジスタ 76_V、及び加減算器 74A から出力されたデジタル駆動信号を記憶するレジスタ 76_U と接続され、デジタル負荷電圧信号及びデジタル駆動信号に基づいて、デジタル負荷電流信号を導出する。

40

【0063】

本実施の形態に係る安定化補償器 70 は、負荷電圧を x_1 、圧電素子 11 に流れる電流の大きさに比例した値を x_2 とした場合の x_1, x_2 とで構成される状態ベクトルを x とし、 u をデジタル駆動信号により示される電圧とし、 A をコンデンサ 52 と圧電素子 11 との静電容量 C 及びインダクタ 50 のインダクタンス L によって決定されるシステム行列、 B を負荷電圧と状態ベクトル x との関係を示す係数で構成されるベクトルとし、式 10

50

で表される状態方程式からデジタル負荷電流信号を算出する。

【 0 0 6 4 】

【数 1 0】

$$\frac{dx}{dt} = Ax + Bu \quad (\text{式 1 0})$$

さらに、式 1 0 に表される状態方程式は、式 4 に示すフィルタ 3 4 の伝達関数を用いて 10
式 1 1 のように表される。

【 0 0 6 5 】

【数 1 1】

$$\frac{d}{dt} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -\omega^2 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} 0 \\ g_s g_V \omega_0^2 \end{bmatrix} u, \quad y = \begin{bmatrix} 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (\text{式 1 1})$$

そして、本実施の形態に係る安定化補償器 7 0 は、式 1 1 により示される x_2 をデジタ 20
ル負荷電流信号として導出する。なお、安定化補償器 7 0 で導出したデジタル負荷電流信
号は、レジスタ 7 6 _V に記憶される。

【 0 0 6 6 】

次に図 7 を参照して、本実施の形態に係るデジタル信号処理部 3 0 によって実行される
処理の順番を説明する。

【 0 0 6 7 】

処理 A では、サンプリング信号がデジタル信号処理部 3 0 に供給されると、レジスタ 7
6 _V に記憶されたデジタル負荷電圧信号及びレジスタ 7 6 _U に記憶されたデジタル駆動信
号を安定化補償器に出力し、次の処理 B 1 に移行する。

【 0 0 6 8 】

処理 B 1 では、安定化補償器 7 0 でデジタル負荷電流信号を演算により導出し、デジタ 30
ル負荷電流信号をレジスタ 7 6 _V に記憶させ、次の処理 B 2 に移行する。

【 0 0 6 9 】

処理 B 2 では、レジスタ 7 6 _V に記憶されたデジタル負荷電流信号及びレジスタ 7 6 _R
に記憶されたデジタル信号 D_0 を加減算器 7 4 A に出力し、加減算器 7 4 A でデジタル信
号 D_0 からデジタル負荷電流信号を減算し、当該減算により得られたデジタル駆動信号を
レジスタ 7 6 _U、 u_t 及びレジスタ 7 6 _U に記憶させ、次の処理 C に移行する。

【 0 0 7 0 】

処理 C では、レジスタ 7 6 _U、 u_t に記憶されたデジタル駆動信号をデジタル PWM 4
0 に出力する。

【 0 0 7 1 】

図 8 は、本実施の形態に係るフィルタ 3 4 に、上述した安定化補償器 7 0 を用いたフィ
ードバックを行った場合の制御対象である $Q(s)$ の周波数特性の一例を示すグラフであ
る。同図によれば、図 4 に示される周波数特性のグラフに比べて共振が抑制されたことが
分かる。これにより、安定化された系は、1 0 0 k H z 辺りを遮断周波数とする低域通過
フィルタとして機能する。なお、静電容量 C_L の大きさが変化すれば、当該周波数特性も
変化する。

[第 2 の実施の形態]

本第 2 の実施の形態では、フィルタ 3 4 によって抑制されるアナログ駆動信号の周波数
領域 (1 0 0 k H z 以上の周波数) を強調する場合の形態例について説明する。

【 0 0 7 2 】

図 9 を参照して、本第 2 の実施の形態に係るデジタル信号処理部 3 0 ' の電気系の要部構成を説明する。なお、図 9 における図 4 と同一の構成部分については図 4 と同一の符号を付して、その説明を省略する。

【 0 0 7 3 】

同図に示すように、デジタル信号処理部 3 0 ' は、フィードフォワード補償器 8 0 を備えている。

【 0 0 7 4 】

フィードフォワード補償器 8 0 の入力端子はレジスタ 7 6 _R の出力端子に接続され、フィードフォワード補償器 8 0 にデジタル信号 D₀ が入力される。一方、フィードフォワード補償器 8 0 の出力端子はレジスタ 7 6 _W の入力端子に接続され、レジスタ 7 6 _W はフィードフォワード補償器 8 0 から出力されたデジタル信号 D_W を記憶する。

【 0 0 7 5 】

図 1 0 は、本第 2 の実施の形態に係るフィードフォワード補償器 8 0 の周波数特性の一例を示すグラフである。同図によれば、周波数が 1 0 0 k H z を超えた周波数領域（以下、「高周波領域」という。）から徐々にゲインが増加し、1 0 0 0 k H z の辺りでピークとなり、それ以上の周波数で徐々にゲインが減少する。なお、図 1 0 に示す周波数特性は、図 8 に示す周波数特性を持つフィルタ 3 4 によって抑制されるアナログ駆動信号の周波数領域を強調できる特性とされている。

【 0 0 7 6 】

このように、フィードフォワード補償器 8 0 は、図 1 0 に示す周波数特性を有しているため、フィードフォワード補償器 8 0 に入力されたデジタル信号 D₀ は高周波領域が強調されたデジタル信号 D_W として出力される。

【 0 0 7 7 】

また、フィードフォワード補償器 8 0 の伝達関数 D (s) は、例えば、数 1 0 0 k H z を遮断周波数とする低域通過フィルタ 9 0 の伝達関数 N (s) と式 9 の逆数との積である式 1 2 で表される。

【 0 0 7 8 】

【 数 1 2 】

$$D(s) = N(s)Q^{-1}(s) \quad (\text{式 1 2})$$

そして、図 1 1 に示す本第 2 の実施の形態に係る駆動回路 2 1 ' を構成する各回路の伝達関数を示す模式図からも分かるように、フィードフォワード補償器 8 0 の入力 R (s) からフィルタ 3 4 の出力 Y (s) までの伝達関数は、伝達関数 N (s) となる。

【 0 0 7 9 】

次に図 1 2 を参照して、本第 2 の実施の形態に係るデジタル信号処理部 3 0 ' によって実行される処理を説明する。なお、図 1 2 における図 7 と同一の処理については図 7 と同一の符号を付して、その説明を省略する。

【 0 0 8 0 】

処理 A ' では、レジスタ 7 6 _V に記憶されたデジタル負荷電圧信号及びレジスタ 7 6 _U に記憶されたデジタル駆動信号を安定化補償器 7 0 に出力すると共に、レジスタ 7 6 _R に記憶されたデジタル信号 D₀ をフィードフォワード補償器 8 0 に出力し、次の処理 B 1 ' に移行する。

【 0 0 8 1 】

処理 B 1 ' では、安定化補償器 7 0 でデジタル負荷電流信号を演算により導出し、デジタル負荷電流信号をレジスタ 7 6 _V に記憶させると共に、フィードフォワード補償器 8 0 でデジタル信号 D₀ に対して高周波領域を強調する演算を行い、演算により得られたデジタル信号 D_W をレジスタ 7 6 _W に記憶させる。なお、安定化補償器 7 0 による演算とフィ

10

20

30

40

50

ードフォワード補償器 80 による演算は並列に実行し、両方の演算が終了した後に次の処理 B2' に移行する。

【0082】

処理 B2' では、レジスタ 76_v に記憶されたデジタル負荷電流信号及びレジスタ 76_w に記憶されたデジタル信号 D_w を加減算器 74A に出力し、加減算器 74A でデジタル信号 D_w からデジタル負荷電流信号を減算し、当該減算により得られたデジタル駆動信号をレジスタ 76_{u_ou_t} 及びレジスタ 76_u に記憶させ、次の処理 C に移行する。

【0083】

図 13 は、図 11 により示される系の周波数特性の一例を示すグラフである。同図によれば、図 8 に示される周波数特性のグラフに比べて、遮断周波数が高くなっていることが分かる。

10

【0084】

また、図 14 は、図 11 により示される系に対して、デジタル信号 D₀ を入力した場合に出力されるアナログ駆動信号の時間特性である。同図によれば、静電容量 C_L の大きさが定格の場合に比べて大きくなった場合は、例えば、領域 A, B に示されるようにアナログ駆動信号の電圧の大きさが大きくなることが分かる。これは、図 13 に示すように、静電容量 C_L の大きさが変化すれば周波数特性が変化するためである。

[第3の実施の形態]

本第3の実施の形態では、デジタル信号 D₀ とデジタル負荷電圧信号との差に基づいて、デジタル駆動信号をフィードバックする場合の形態例について説明する。

20

【0085】

図 15 を参照して、本第3の実施の形態に係るデジタル信号処理部 30" の電気系の要部構成を説明する。なお、図 15 における図 9 と同一の構成部分については図 9 と同一の符号を付して、その説明を省略する。

【0086】

同図に示すように、デジタル信号処理部 30" は、低域通過フィルタ 90、誤差検出器 92、フィードバック補償器 94、及び加減算器 74B を備えている。

【0087】

低域通過フィルタ 90 は、レジスタ 76_R と接続され、レジスタ 76_R からデジタル信号 D₀ が入力されると、予め定められた周波数以下のデジタル信号 D_N を出力し、レジスタ 76_N に記憶させる。

30

【0088】

誤差検出器 92 は、レジスタ 76_N とレジスタ 76_v と接続され、レジスタ 76_N から入力されるデジタル信号 D_N とレジスタ 76_v から入力されるデジタル負荷電圧信号との偏差を算出し、当該偏差を示すデジタル信号 D_E を出力し、レジスタ 76_E に記憶させる。

【0089】

フィードバック補償器 94 は、レジスタ 76_E に接続され、レジスタ 76_E から入力されるデジタル信号 D_E に対し演算処理を行い、当該デジタル信号 D_E により示される偏差を抑制する値を示すデジタル信号 D_K を出力し、レジスタ 76_K に記憶させる。

40

【0090】

なお、本実施の形態に係るフィードバック補償器 94 は、上記演算処理として、デジタル信号 D_E により示される値に比例した値を算出する比例動作 (P 動作) を行うが、これに限らず、積分動作 (I 動作)、微分動作 (D 動作)、P 動作と I 動作とを組み合わせた動作 (PI 動作)、P 動作と D 動作とを組み合わせた動作 (PD 動作)、及び P 動作と I 動作と D 動作を組み合わせた動作 (PID 動作) の何れかを行ってもよい。さらに、位相を進ませる処理、あるいは位相を遅らせる処理等、他の演算処理を組み合わせてもよい。

【0091】

また、加減算器 74B は、レジスタ 76_K、及び加減算器 74A から出力されたデジタル信号 D_A を記憶するレジスタ 76_A と接続されており、レジスタ 76_A から出力された

50

デジタル信号 D_A にデジタル信号 D_K を加算し、加算により得られた信号をレジスタ 76_U 、及びレジスタ $76_{U_{out}}$ がデジタル駆動信号として記憶する。

【0092】

次に、図16を参照して、本第3の実施の形態における入力 $R(s)$ から出力 $Y(s)$ までの伝達関数について説明する。

【0093】

フィードバック補償器94の伝達関数を $K(s)$ とすると、入力 $R(s)$ から出力 $Y(s)$ までの伝達関数は、次の式13で表される。

【0094】

【数13】

$$\frac{Y(s)}{R(s)} = N(s) \frac{K(s)Q(s)}{1+K(s)Q(s)} + D(s) \frac{Q(s)}{1+K(s)Q(s)} \quad (\text{式13})$$

10

ここで、上述した式12を式13の伝達関数 $D(s)$ に代入すると、式14に示すように、式13は低域通過フィルタ90の伝達関数 $N(s)$ となる。

【0095】

【数14】

$$\frac{Y(s)}{R(s)} = N(s) \quad (\text{式14})$$

20

次に、具体的にフィードバック補償器94を用いた本第3の実施の形態におけるフィードバックについて説明する。

【0096】

例えば、圧電素子11の静電容量 C_L の大きさが変動し、デジタル負荷電圧信号が低域通過フィルタ90から出力されたデジタル信号 D_0 よりも大きくなった場合は、誤差検出器92から出力されるデジタル信号 D_E は負の値を示す。そして、デジタル信号 D_E をフィードバック補償器94で演算処理し、加減算器74Aから出力されたデジタル信号 D_A に加えることで負荷電圧の大きさは小さくなる。この結果、式14からも分かるように、負荷電圧は低域通過フィルタ90から出力されるデジタル信号 D_N に追従する。

30

【0097】

次に図17を参照して、本第3の実施の形態に係るデジタル信号処理部30"によって実行される処理の順番を説明する。なお、図17における図7と同一の処理については図7と同一の符号を付して、その説明を省略する。

【0098】

処理A"では、レジスタ 76_V に記憶されたデジタル負荷電圧信号及びレジスタ 76_U に記憶されたデジタル駆動信号を安定化補償器70に出力すると共に、レジスタ 76_R に記憶されたデジタル信号 D_0 をフィードフォワード補償器80、及び低域通過フィルタ90に出力し、次の処理B1"に移行する。

40

【0099】

処理B1"では、安定化補償器70でデジタル負荷電圧信号を演算により導出し、デジタル負荷電圧信号をレジスタ 76_V に記憶させると共に、フィードフォワード補償器80でデジタル信号 D_0 に対して高周波領域を強調する演算を行い、演算により得られたデジタル信号 D_W をレジスタ 76_W に記憶させる。また、低域通過フィルタ90でデジタル信号 D_0 に対して予め定められた周波数以下の信号を出力するための演算を行い、演算によ

50

り得られたデジタル信号 D_N をレジスタ 76_N に記憶させる。なお、安定化補償器 70 による演算、フィードフォワード補償器 80 による演算、及び低域通過フィルタ 90 による演算は並列に実行し、両方の演算が終了した後に次の処理 $B2$ に移行する。

【0100】

処理 $B2$ では、レジスタ 76_V に記憶されたデジタル負荷電流信号及びレジスタ 76_W に記憶されたデジタル信号 D_W を加減算器 $74A$ に出力し、加減算器 $74A$ でデジタル信号 D_W からデジタル負荷電流信号を減算し、当該減算により得られたデジタル信号 D_A をレジスタ 76_A に記憶させる。また、レジスタ 76_V に記憶されたデジタル負荷電圧信号及びレジスタ 76_N に記憶されたデジタル信号 D_N を誤差検出器 92 に出力し、誤差検出器 92 でデジタル信号 D_N とデジタル負荷電圧信号の偏差を算出する演算を行い、当該演算により得られたデジタル信号 D_E をレジスタ 76_E に記憶させ、次の処理 $B3$ に移行する。なお、加減算器 $74A$ による演算、及び誤差検出器 92 による演算は並列に実行し、各演算が終了した後に次の処理 $B3$ に移行する。

10

【0101】

処理 $B3$ では、レジスタ 76_E に記憶されたデジタル信号 D_E をフィードバック補償器 94 に出力し、フィードバック補償器 94 でデジタル信号 D_E により示される差分を抑制する演算を行い、当該演算により得られたデジタル信号 D_K をレジスタ 76_K に記憶させ、次の処理 $B4$ に移行する。

【0102】

次の処理 $B4$ では、レジスタ 76_A に記憶されたデジタル信号 D_A 、及びレジスタ 76_K に記憶させたデジタル信号 D_K を加減算器 $74B$ に出力し、加減算器 $74B$ でデジタル信号 D_A にデジタル信号 D_K を加算し、当該加算により得られた信号をデジタル駆動信号としてレジスタ $76_{U_o, U_t}$ に記憶させ、次の処理 C に移行する。

20

【0103】

ここで、図 18 に安定化された制御対象 $Q(s)$ の位相特性を示す。同図に示すように、制御対象 $Q(s)$ は周波数が高くなるに連れて位相が遅れる特性を有している。

【0104】

本第 3 の実施の形態に係る制御対象 $Q(s)$ は、フィードバックのループ内に含まれるため、入力される信号の位相の遅れが 180° に近くなると発振を起こす可能性がある。そのため、フィードバック補償器 94 は、高周波領域の信号に対して位相を進める機能を有することが望ましい。なお、フィードバック補償器 94 のゲイン特性は高周波領域を強調させる特性であればよい。

30

【0105】

そこで、本実施の形態に係るフィードバック補償器に、高周波領域を強調させる特性を付加する。これにより、図 18 にも示されるように、上記高周波領域を強調させる特性を付加した場合（線 A ）は、上記高周波領域を強調させる特性を付加しない場合（線 B ）に比べて、高周波領域における位相の遅れが抑制される。

【0106】

なお、本第 3 の実施の形態に係る駆動回路 21 では、低域通過フィルタ 90 を備えた場合について説明したが、本発明はこれに限定されるものではなく、低域通過フィルタ 90 を備えない形態としてもよい。また、フィードフォワード補償器 80 を備えない形態としてもよい。

40

[第 4 の実施の形態]

本第 4 の実施の形態では、インクジェットプリンタ 1 が複数の圧電ヘッド 10 を備えた場合の形態例について説明する。

【0107】

図 19 に本第 4 の実施の形態に係る駆動回路 $21'$ の構成を示す。

【0108】

同図に示すように、複数の圧電ヘッド 10 毎に、スイッチング電圧増幅回路 32 、フィルタ 34 、及び電圧検出回路 36 （以下、総称して「圧電ヘッド駆動部 100 」という。

50

)を備えると共に、当該圧電ヘッド駆動部100毎にデジタル信号処理部30を備える。

【0109】

なお、本実施の形態に係る複数のデジタル信号処理部30は、単一のデジタル集積回路102として形成される。また、スイッチング電圧増幅回路32に含まれるデジタルPWM40を、デジタル集積回路102に含む形態としてもよい。

[第5の実施の形態]

本第5の実施の形態では、複数種類のアナログ駆動信号を圧電素子11に対して出力し、複数種類のアナログ駆動信号のうち、一種類のアナログ駆動信号を圧電素子11に入力する場合の形態例について説明する。

【0110】

図20に本第5の実施の形態に係る駆動回路21”の構成を示す。

【0111】

同図に示すように、駆動回路21”は、デジタル信号処理部30と圧電ヘッド駆動部100とを2組備えており、各々が圧電素子11に異なるアナログ駆動信号を出力する。

【0112】

駆動信号選択部110は、圧電素子11の入力させるアナログ駆動信号を切り替えるためのスイッチを各圧電素子11毎に備え、当該スイッチを切り替えることで、複数の駆動回路21”の各々から出力される複数のアナログ駆動信号のうち、一種類のアナログ駆動信号を圧電素子11に出力する。

【0113】

なお、本実施の形態に係る駆動回路21”は、デジタル信号処理部30と圧電ヘッド駆動部100とを2組備え、2種類のアナログ駆動信号を圧電ヘッド11に出力しているが、これに限らず、デジタル信号処理部30と圧電ヘッド駆動部100とを3組以上備え、3種類以上のアナログ駆動信号を圧電ヘッド11に出力してもよい。

【0114】

また、インクジェットプリンタ1が、2つ以上の圧電ヘッド10を備え、各圧電ヘッド10に2種類以上のアナログ駆動信号を出力してもよい。

【0115】

以上、本発明を上記各実施の形態を用いて説明したが、本発明の技術的範囲は上記各実施の形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記各実施の形態に多様な変更または改良を加えることができ、当該変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0116】

また、上記各実施の形態は、クレーム(請求項)にかかる発明を限定するものではなく、また実施の形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。前述した実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における組み合わせにより種々の発明を抽出できる。上記各実施の形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0117】

また、上記各実施の形態では、デジタル信号処理部30による処理をハードウェア構成で実現する場合について説明したが、本発明はこれに限定されるものではなく、プログラムを実行することにより、コンピュータを利用したソフトウェア構成により実現する形態としてもよい。

【0118】

また、上記各実施の形態では、図21の模式図に示すように、安定化補償器70、フィードフォワード補償器80、フィードバック補償器94、及び低域通過フィルタ90毎に各演算で用いる係数を記憶した係数レジスタ120を備えている。また、各演算で用いる係数は、制御メモリ23に複数種類記憶されている。そのため、各演算で用いる係数を設定する場合は、CPU24が制御メモリ23から係数を読み出し、読み出した係数を係数

10

20

30

40

50

レジスタ120に記憶させる。

【0119】

その他、上記各実施の形態で説明したインクジェットプリンタ1の構成(図1、図4、図6、図9、図15、及び図19~図21参照。)は一例であり、本発明の主旨を逸脱しない範囲内において不要な部分を削除したり、新たな部分を追加したりすることができることは言うまでもない。

【図面の簡単な説明】

【0120】

【図1】第1の実施の形態に係るインクジェットプリンタの構成を示すブロック図である。

10

【図2】第1の実施の形態に係る噴射装置の構成を示す図である。

【図3】第1の実施の形態に係るアナログ駆動信号を示す図である。

【図4】第1の実施の形態に係る駆動回路の構成を示す図である。

【図5】第1の実施の形態に係るフィルタの周波数特性の一例を示すグラフである。

【図6】第1の実施の形態に係るデジタル信号処理部の構成を示す図である。

【図7】第1の実施の形態に係る処理の順番の示す模式図である。

【図8】第1の実施の形態に係る制御対象 $Q(s)$ の周波数特性の一例を示すグラフである。

【図9】第2の実施の形態に係るデジタル信号処理部の構成を示す図である。

【図10】第2の実施の形態に係るフィードフォワード補償器に周波数特性の一例を示すグラフである。

20

【図11】第2の実施の形態に係る駆動回路の伝達関数を示す模式図である。

【図12】第2の実施の形態に係る処理の順番の示す模式図である。

【図13】第2の実施の形態に係る駆動回路の周波数特性の一例を示すグラフである。

【図14】第2の実施の形態に係るアナログ駆動信号の一例を示すグラフである。

【図15】第3の実施の形態に係るデジタル信号処理部の構成を示す図である。

【図16】第3の実施の形態に係る駆動回路の伝達関数を示す模式図である。

【図17】第3の実施の形態に係る処理の順番の示す模式図である。

【図18】第3の実施の形態に係る安定化された制御対象 $Q(s)$ の位相特性を示す図である。

30

【図19】第4の実施の形態に係る駆動回路の構成を示す図である。

【図20】第5の実施の形態に係る駆動回路の構成を示す図である。

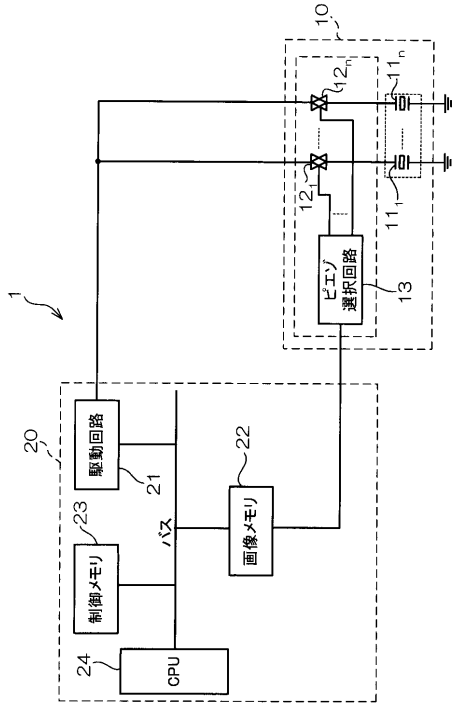
【図21】係数レジスタを備えた駆動回路の構成を示す図である。

【符号の説明】

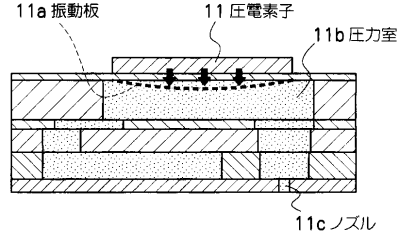
【0121】

- | | | |
|-----|-------------------------|----|
| 1 | インクジェットプリンタ | |
| 10 | 圧電ヘッド | |
| 11 | 圧電素子(容量性負荷) | |
| 21 | 駆動回路 | |
| 30 | デジタル信号処理部(信号処理手段) | 40 |
| 32 | スイッチング電圧増幅回路(スイッチング手段) | |
| 34 | フィルタ | |
| 36 | 電圧検出回路(変換手段) | |
| 50 | インダクタ | |
| 52 | コンデンサ | |
| 80 | フィードフォワード補償器(強調手段) | |
| 90 | 低域通過フィルタ(フィルタ手段) | |
| 94 | フィードバック補償器(フィードバック補償手段) | |
| 110 | 駆動信号選択部(出力手段) | |
| 120 | 係数レジスタ(記憶手段) | 50 |

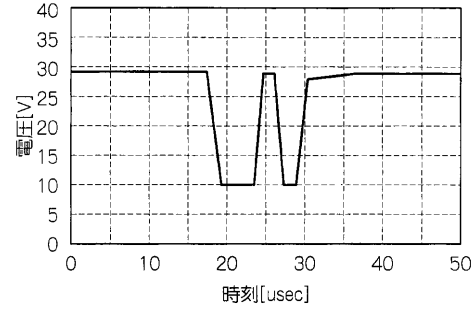
【図1】



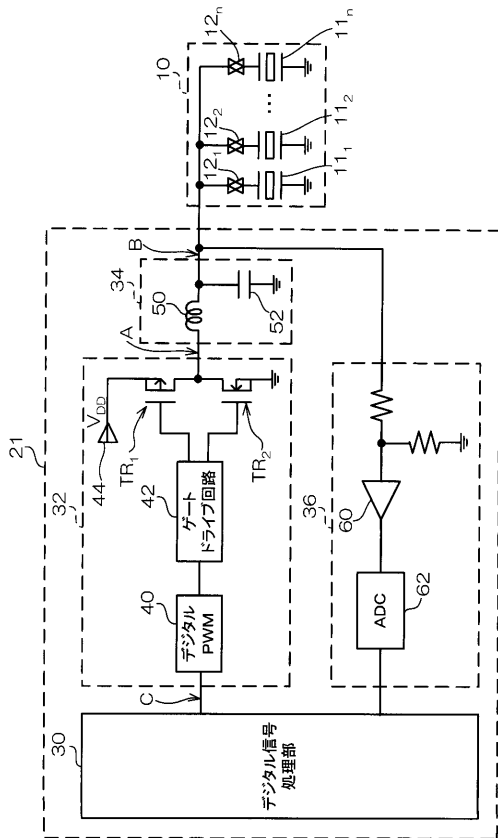
【図2】



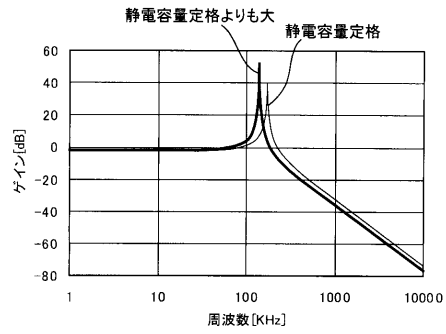
【図3】



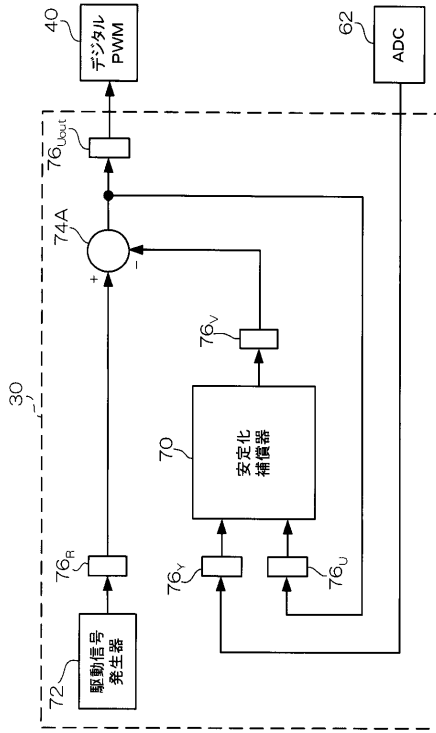
【図4】



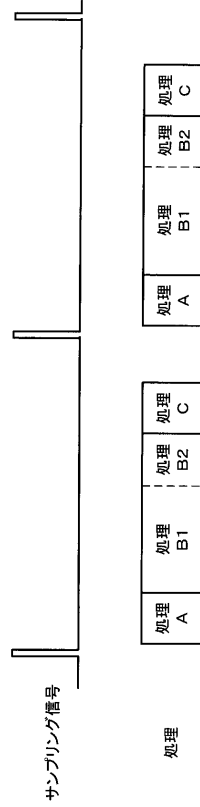
【図5】



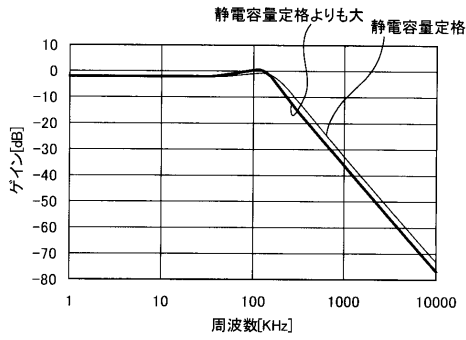
【図6】



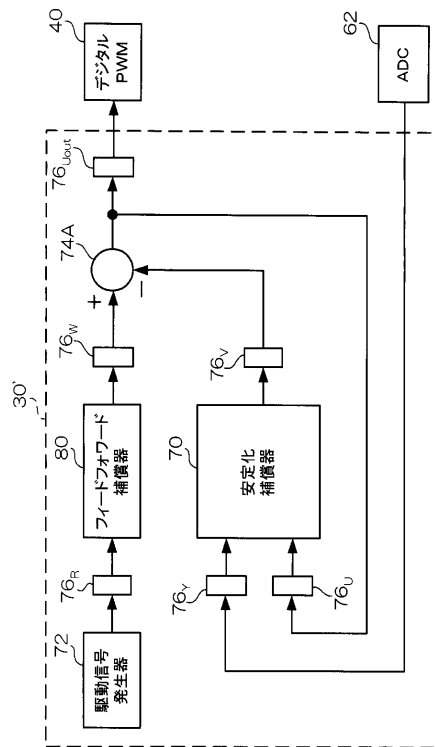
【図7】



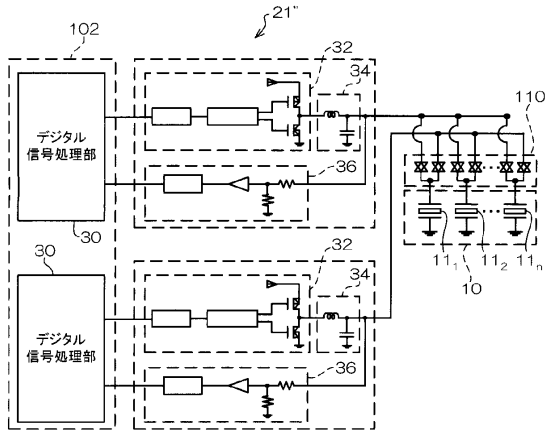
【図8】



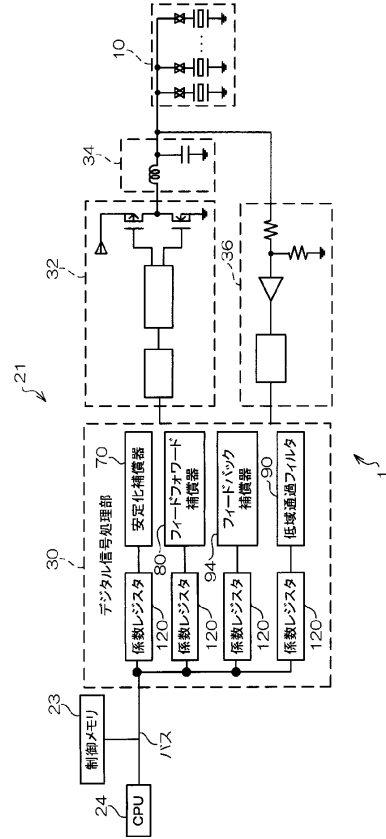
【図9】



【図20】



【図21】



フロントページの続き

審査官 塚本 丈二

(56)参考文献 特開2005-329710(JP,A)
特開2005-189902(JP,A)
特開平05-016366(JP,A)

(58)調査した分野(Int.Cl., DB名)

B41J 2/045

B41J 2/055