



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월11일
(11) 등록번호 10-1083204
(24) 등록일자 2011년11월07일

(51) Int. Cl.

H01L 31/042 (2006.01)

(21) 출원번호 10-2006-7017707

(22) 출원일자(국제출원일자) 2005년02월04일

심사청구일자 2010년01월29일

(85) 번역문제출일자 2006년08월31일

(65) 공개번호 10-2007-0004672

(43) 공개일자 2007년01월09일

(86) 국제출원번호 PCT/US2005/003705

(87) 국제공개번호 WO 2005/076960

국제공개일자 2005년08월25일

(30) 우선권주장

11/050,185 2005년02월03일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문헌

US5468652 A

US6441297 B1

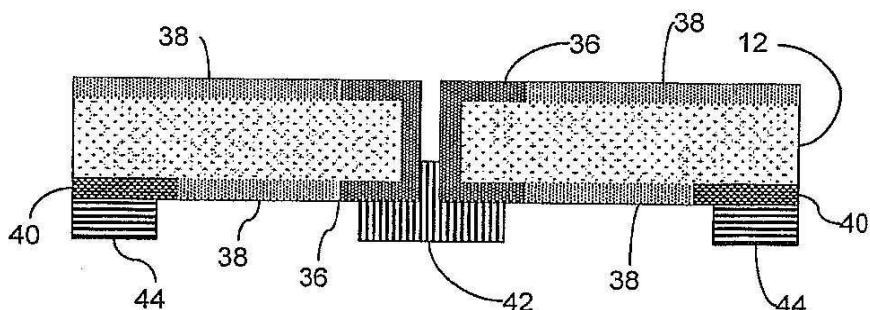
전체 청구항 수 : 총 21 항

심사관 : 박부식

(54) 백 컨택 태양전지 및 그 제조방법

(57) 요 약

에미터 랩 쓰루(EWT) 태양전지의 제조 방법 및 그 방법에 의하여 만들어진 전지가 개시된다. 이러한 방법은, 전면 또는 후면 상에서의 도펀트 평균 농도에 비하여 전도성 비아들 내부에서 더 높은 도펀트 농도를 제공하며, 증가된 효율을 제공한다. 이러한 방법은, 전도성 비아들을 형성함에 있어서 프린팅된 도펀트 페이스트를 사용함으로써 홀들에 대한 선택적인 도핑을 제공한다. 다른 방법들은 도펀트를 포함하는 스핀 온 글래스 기판을 제공한다.

대 표 도 - 도3C

(30) 우선권주장

60/542,390 2004년02월05일 미국(US)

60/542,454 2004년02월05일 미국(US)

특허청구의 범위

청구항 1

에미터 랩 쓰루 태양전지의 제조방법으로서,

전면과, 후면과, 상기 전면 및 상기 후면을 연결하는 복수의 홀을 구비한 반도체 웨이퍼를 제공하는 단계로서, 상기 후면에 확산 장벽이 도포되지 않는, 반도체 웨이퍼 제공 단계;

상기 후면 홀들을 포함하는 패턴으로 제1 도편트 확산원을 상기 후면의 제 1의 선택된 영역들에만 도포하는 단계;

상기 후면 홀들을 포함하지 않는 패턴으로 제2 도편트 확산원을 상기 후면의 제 2의 선택된 영역들에만 도포하는 단계; 및

점화에 의하여, 상기 제1 도편트 확산원 및 상기 제2 도편트 확산원으로부터의 도편트를 상기 반도체 웨이퍼에 확산시키는 단계

를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 2

제 1 항에 있어서,

상기 반도체 웨이퍼는 실리콘을 포함하고, 상기 제1 도편트 확산원은 인을 포함하며, 상기 제2 도편트 확산원은 붕소를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 3

제 2 항에 있어서,

인을 포함하는 상기 제1 도편트 확산원을, 전면 홀을 포함하는 패턴으로 상기 전면에 도포하는 단계를 더 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제1 도편트 확산원을 도포하는 단계에서, 상기 홀의 적어도 한 부분은 상기 제1 도편트 확산원으로 채워지는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 5

제 1 항에 있어서,

상기 확산 단계 후에, 상기 반도체 웨이퍼를 산성 용액으로 식각하는 단계;

상기 식각된 반도체 웨이퍼의 적어도 전면에 패시베이션을 위한 유전체 층을 도포하는 단계; 및

상기 제1 도편트 확산원 패턴의 적어도 한 부분을 포함하는 패턴으로 상기 후면에 제1 전도성 타입 금속 그리드를 도포하고, 상기 제2 도편트 확산원 패턴의 적어도 한 부분을 포함하는 패턴으로 상기 후면에 제2 전도성 타입 금속 그리드를 도포하는 단계

를 더 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 6

제 1 항의 방법에 의하여 제조된 에미터 랩 쓰루 태양전지.

청구항 7

에미터 랩 쓰루 태양전지의 제조방법으로서,

전면과, 후면과, 상기 전면 및 상기 후면을 연결하는 복수의 홀을 구비한 반도체 웨이퍼를 제공하는 단계;

확산 장벽을 형성하는 물질을, 이 물질을 원치 않는 영역들로부터 제거함이 없이, 상기 후면 홀들을 포함하지 않는 패턴으로 상기 후면의 선택된 영역들에만 프린팅하는 단계;

상기 웨이퍼를 세척하는 단계;

제1 도편트를 상기 웨이퍼에 확산시키는 단계;

상기 웨이퍼를 식각하는 단계; 및

상기 후면 홀들을 포함하는 패턴으로 제1 전도성 타입 금속 그리드를 상기 후면에 도포하고, 상기 확산 장벽 패턴에 의하여 상기 제1 전도성 타입 금속 그리드와 분리되게 하는 패턴으로 제2 전도성 타입 금속 그리드를 상기 후면에 도포하는 단계

를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 8

제 7 항에 있어서,

상기 반도체 웨이퍼는 p-전도성 타입 실리콘을 포함하고, 상기 제1 도편트는 인을 포함하며, 상기 제1 전도성 타입 금속 그리드는 은을 포함하고, 상기 제2 전도성 타입 금속 그리드는 알루미늄을 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 9

제 8 항에 있어서,

상기 식각 단계 후에, 상기 p-전도성 타입 실리콘 웨이퍼 표면의 적어도 한 부분에 패시베이션을 위한 유전체 층을 도포하는 단계를 더 포함하며,

여기서, 상기 제1 도편트 확산원인 인 도포 결과, 30에서 60 Ω /sq 사이의 저항이 형성되고, 상기 제1 및 제2 전도성 타입 금속 그리드를 도포하는 단계는 그리드 패턴을 프린팅 및 점화하는 것을 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 10

제 7 항에 있어서,

상기 확산 장벽은 상기 제1 도편트와 상반되는 전도성 타입의 제2 도편트를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 11

제 10 항에 있어서,

상기 제1 도편트는 인을 포함하고, 상기 확산 장벽의 일부를 형성하는 상기 제2 도편트는 붕소를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 12

제 10 항에 있어서,

상기 제1 도편트와 제2 도편트는 동시에 상기 웨이퍼에 확산되는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 13

제 7 항의 방법에 의하여 제조된 에미터 랩 쓰루 태양전지.

청구항 14

에미터 랩 쓰루 태양전지의 제조방법으로서,

전면과, 후면과, 상기 전면 및 상기 후면을 연결하는 복수의 홀을 구비한 반도체 웨이퍼를 제공하는 단계;

상기 후면에 스핀 온 글래스(SOG) 확산 장벽을 도포하는 단계;

상기 후면 홀들을 포함하지 않는 패턴으로 레시스트를 도포하는 단계;

상기 웨이퍼를 식각하여, 상기 레시스트에 의해 덮이지 않은 스핀 온 글래스를 제거하는 단계;

상기 웨이퍼로부터 상기 레시스트를 벗겨내는 단계;

상기 웨이퍼에 제1 도편트를 확산시키는 단계;

상기 웨이퍼를 식각하여, 남아있는 스핀 온 글래스를 제거하는 단계; 및

상기 후면 홀들을 포함하는 패턴으로 제1 전도성 타입 금속 그리드를 상기 후면에 도포하고, 상기 레시스트를 포함하는 패턴으로 제2 전도성 타입 금속 그리드를 상기 후면에 도포하는 단계

를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 15

제 14 항에 있어서,

상기 반도체 웨이퍼는 실리콘을 포함하고, 상기 제1 도편트는 인을 포함하며, 상기 스핀 온 글래스를 도포하는 것은 노 고밀도화(furnace densification) 및 스피닝 또는 스프레이에 의한 도포를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 16

제 14 항에 있어서,

상기 스핀 온 글래스는 상기 제1 도편트와 상반되는 전도성 타입의 제2 도편트를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 17

제 14 항의 방법에 의하여 제조된 에미터 랩 쓰루 태양전지.

청구항 18

에미터 랩 쓰루 태양전지의 제조방법으로서,

전면과, 후면과, 상기 전면 및 상기 후면을 연결하는 복수의 홀을 구비한 반도체 웨이퍼를 제공하는 단계;

제1 도편트를 포함하는 제1 스핀 온 글래스를 상기 후면에 도포하는 단계;

상기 후면 홀들을 포함하지 않는 패턴으로 레시스트를 도포하는 단계;

상기 웨이퍼를 식각하여, 상기 레시스트에 의해 덮이지 않은 제1 스핀 온 글래스를 제거하는 단계;

상기 웨이퍼로부터 상기 레시스트를 벗겨내는 단계;

상기 제1 도편트와 상반되는 전도성 타입의 제2 도편트를 포함하는 제2 스핀 온 글래스를 상기 후면에 도포하는 단계;

상기 웨이퍼를 점화하여 상기 제1 도편트와 제2 도편트를 상기 웨이퍼에 확산시키는 단계;

상기 웨이퍼를 식각하여, 남아있는 제1 및 제2 스핀 온 글래스를 제거하는 단계;

상기 후면 홀들을 포함하는 패턴으로 제1 전도성 타입 금속 그리드를 상기 후면에 도포하고, 상기 레시스트를 포함하는 패턴으로 제2 전도성 타입 금속 그리드를 상기 후면에 도포하는 단계

를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 19

제 18항에 있어서,

상기 웨이퍼의 전면에 제3 스핀 온 글래스를 도포하는 단계를 더 포함하며, 상기 제3 스핀 온 글래스는 제2 스

편 온 클래스에서보다 낮은 제2 도편트의 농도를 포함하는 에미터 랩 쓰루 태양전지의 제조방법.

청구항 20

제 18항에 있어서,

상기 점화 단계는, 복수의 웨이퍼들이 병렬로 전면과 후면이 마주보도록 배열된 상태에서 점화를 행하는 것을 포함하며,

제1 웨이퍼 후면 상의 상기 제2 스판 온 클래스로부터 나온 제2 도편트가 바로 인접한 제2 웨이퍼의 바로 인접한 전면으로 확산되는 에미터 랩 쓰루 태양전지의 제조방법

청구항 21

제 18항의 방법에 의하여 제조된 에미터 랩 쓰루 태양전지.

명세서

기술 분야

[0001]

관련출원

[0002]

관련 출원으로서, 발명의 명칭이 "에미터 랩 쓰루 백 컨택 실리콘 태양 전지"인 Peter Hacke 와 James M.Gee의 미국 실용특허 출원 대리인 도켓 번호 31474-1005-UT 및 발명의 명칭이 "자기 도핑(Self-Doing) 컨택을 갖는 베리드 컨택(Buried- Contact) 태양전지"인 James M.Gee 와 Peter Hacke의 미국 실용특허 출원 대리인 도켓 번호 31474-1004-UT가 본 출원과 함께 출원되어 있으며, 각각의 명세서들은 본 명세서에 참고문헌으로서 포함되어 있다.

[0003]

이 출원은, 2004년 2월 5일자로 미국에 임시 특허 출원되었으며 발명의 명칭이 "백 컨택 실리콘 태양전지의 제작"인 출원 번호 제60/542,390호 및 2004년 2월 5일자로 미국에 임시 특허 출원되었으며 발명의 명칭이 "자기 도핑(Self-Doping) 컨택을 이용한 베리드 컨택(Buried-Contact) 전지의 제조공정"인 출원 번호 제60/542,454호의 우선권을 주장하는바, 그 명세서들은 참고문헌으로서 본원에 포함된다.

배경 기술

[0004]

기술 분야

[0005]

본 발명은 백 컨택 태양전지, 특히 전도성 비아들(vias)을 구비한 에미터 랩 쓰루(EWT) 태양전지의 제조방법 및 그 방법에 의하여 만들어진 태양전지에 관한 것이다.

[0006]

관련 기술의 설명

[0007]

이하의 논의는 저자와 발행연도에 따라 다수의 문헌을 참조한 것이다. 그러한 문헌들에 대한 논의는 보다 완전한 배경기술을 위하여 기재된 것으로서, 특허성 판단 목적을 위한 선행기술로서 인정하는 것이라고 해석되지는 않는다.

[0008]

오늘날 폭넓게 이용되는 태양전지 설계는, 그 전지에 빛 에너지가 흡수됨에 따라 전자의 흐름을 생성하는 전면(빛을 받는 표면)의 근처에 형성되는 p/n접합을 구비한다. 통상적인 전지 설계는 그 전지의 전면 상의 제1세트의 전기 컨택들을 및 태양 전지의 후면 상의 제2세트의 전기 컨택들을 갖는다. 전형적인 광전지 모듈에 있어서, 이러한 개별적인 태양전지는 서로 전기적으로 직렬연결되어 전압을 증가시킨다. 전형적으로, 이러한 배선은 하나의 태양전지의 전면으로부터 인접한 태양전지의 후면까지 전도성 리본을 납땜(soldering)함으로써 이루어진다.

[0009]

백 컨택 실리콘 태양전지는 통상적인 실리콘 태양전지에 비하여 몇 가지 장점을 갖는다. 첫 번째 장점은, 백 컨택 전지는 컨택 옵스큐레이션 손실(contact obscuration losses)이 감소 또는 제거됨에 따라 높은 변환 효율을 갖는다는 것이다(컨택 그리드(contact grid)에서 반사되는 태양광은 전기로 변환되는데에 이용될 수 없다). 두 번째 장점은, 두 극의 컨택들이 모두 동일한 표면상에 있기 때문에 백 컨택 전지를 전기회로에 조립하는 것이 더욱 쉬워지고, 그에 따라 더욱 저렴해진다는 것이다. 한 예로, 광전지 모듈과 태양전지 전기회로를 한번에 엔캡슐레이팅(encapsulating)시킴으로써 백 컨택 전지를 통하여 현재의 광전지 모듈 조립체에 비해 현저한 비용절감이 달성될 수 있다. 백 컨택 전지의 마지막 장점은, 더욱 균일한 외관을 통한 더 낳은 심미감이다. 심미감은

건물에 집적되는 광전지 시스템 및 자동차의 광전지 선루프와 같은 기기들에 있어서는 중요한 것이다.

[0010] 도 1은 일반적인 백 컨택 태양전지(10)의 설명을 제공한다. 실리콘 기판(12)은 n-전도성 타입 또는 p-전도성 타입일 수 있다. P^{++} 이 도핑된 에미터(18) 또는 n^{++} 이 도핑된 에미터(16)와 같이 강하게 도핑된 에미터들 중 하나는 어떤 설계에 있어서는 생략될 수 있다. 대안적으로, 다른 설계에 있어서는 강하게 도핑된 에미터들(16, 18)은 후면에서 직접 서로 접촉할 수 있다. 후면 패시베이션(passivation, 14)은 후면에서의 광 발생 캐리어(carrier)의 손실을 줄이는 것을 도우며, 금속 컨택들(20) 사이의 도핑되지 않은 표면에서의 분로 전류(shunt currents)에 의한 전기적 손실을 줄이는 것을 돋는다.

[0011] 백 컨택 실리콘 태양전지의 제조를 위한 몇 가지의 접근법이 있다. 이러한 접근법들은 메탈리제이션 랩 어라운드(MWA), 메탈리제이션 랩 쓰루(MWT), 에미터 랩 쓰루(EWT), 및 백 접합(back-junction) 구조들을 포함한다. MWA와 MWT는 전면에 금속 전류 수집 그리드(metal current collection grids)들을 갖는다. 이러한 그리드들은, 백 컨택 전지를 제조하기 위하여 가장자리 주변으로 또는 홀(holes)을 통하여 후면으로 각각 감싸진다. EWT전지가 MWT 및 MWA전지에 대하여 갖는 독특한 특징은 전지의 전면에 금속 커버리지가 없다는 것인데, 이는 전지에 부딪히는 빛이 차단되지 않음을 의미하며, 이로 인하여 효율이 높아진다. EWT전지는 실리콘 웨이퍼 내부의 도핑된 전도성 채널들을 통하여 전면으로부터 후면에 이르기까지 전류 수집 접합(current-collection junction)("emitter")을 감싼다. "에미터"는 반도체 장치 내에서 강하게 도핑된 영역을 지시한다.

[0012] 그러한 전도성 채널들은, 예컨대 실리콘 기판에 레이저로 구멍을 뚫고, 그 후에 전면 및 후면 상에 에미터를 형성함과 동시에 상기 구멍 내부에 에미터를 형성함으로써 생산될 수 있다. 백 접합(back-junction) 전지는 태양전지의 후면에 음극과 양극 수집 접합을 모두 갖는다. 대부분의 빛은 전면 근처에서 흡수되므로 (따라서 대부분의 캐리어들이 광 발생되므로), 백 접합 전지는 캐리어들이 후면 상의 수집 접합과 함께 전면으로부터 후면으로 확산 될 충분한 시간을 확보하도록 매우 높은 물질특성을 요구한다. 이에 비하여 EWT전지는 전면에 전류 수집 접합을 유지하는데, 이는 높은 전류 수집 효율에 있어서 유리하다. EWT전지는, 그 명칭이 "백 컨택 태양전지의 제조방법"인 James M.Gee의 미국특허 5,468,652에 개시되어 있는바, 그 전체는 본원의 참조로서 인용된다. 또한, 다양한 백 컨택 전지 설계는 많은 기술 공개 문헌들에 개시되어 있다.

[0013] 미국 특허 5,468,652에 부가적으로, James M. Gee가 공동발명자인 2개의 다른 미국 특허, 즉 5,951,786(백 컨택 태양전지를 이용한 적층된 광전지 모듈) 및 미국 특허 5,972,732(단결정 모듈 조립방법)는 백 컨택 태양전지를 이용한 모듈 조립 및 적층방법을 개시한다. 양 특허는 모두 본원에서 개시되는 본 발명과 함께 이용될 수 있는 방법 및 양상을 개시하는바, 그 전체가 본원의 참조로서 인용된다. 미국 특허 6,384,316(태양전지 및 그 제조공정)은 대안적인 백 컨택 전지 설계를 개시하지만, MWT를 이용하는바, 여기에서는 홀들 및 비아들이 상당히 멀리 떨어지며, 전면의 금속 컨택들은 후면에 전류를 도통시키는 것을 돋고, 또한 상기 홀들은 금속과 라이닝(lining)된다.

[0014] 일부 조건들 하에서는, 기체 도편트가 확산된 비아를 구비한 EWT전지는 그 비아를 통한 전도에 관련된 높은 직렬저항을 나타낸다. [J.M.Gee, M.E.Buck, W.K.Schubert, and P.A.Basore, 에미터 랩 쓰루(Emitter Wrap-Through) 실리콘 태양전지의 발전, 12th European Photovoltaic Solar Energy Conference, 암스테르담, 네덜란드, 1994년 4월] 및 Gee JM, Smith DD, Garrett SE, Bode MD, Jimeno JC: 백 컨택트 결정질 실리콘 태양전지 및 모듈. NCPV Program Review Meeting, 8-11 September 1998, 텐버, 콜로라도. 이러한 문제에 대처하기 위한 하나의 접근법은 도금 금속(plated metal)과 같은 금속으로 비아들을 채우는 것이다. 하지만, 이러한 접근법은 생산 공정에 현저한 복잡성을 가중시키며, 그에 따라 비용이 더욱 늘어난다. 또 다른 접근법은 무난한 직렬저항이 얻어지도록 비아들의 밀도를 증가시키는 것이다. 하지만 이러한 접근법 또한 복잡성과 비용을 가중시킨다. 바람직한 접근법은, 공정이 단순성과 낮은 비용을 유지하는 한, 홀들을 표면보다 더욱 강하게 도핑하는 것이다. 일부 자료는, 액상의 POCl_3 를 이용한 기체상태의 확산과 같은 통상의 기체 확산은, 홀 내부에서의 확산이 수평 또는 평평한 표면들에서의 확산보다 더 적게 일어나며, 이는 아마도 도편트 기체들이 노출된 표면에 침투하는 것만큼 효과적으로 홀의 내부에 침투하지 못하기 때문일 것이라고 제안하고 있다. 하지만, 다른 자료에 의하면 홀 전도성은 높으며, 노출된 표면들과 유사하게 내부 도핑에 일치하는 것으로 밝혀졌다.[D.D. Smith, J.M.Gee, M.D.Bode, J.C.Jimeno, 에미터 랩 쓰루 태양 전지의 회로 설계, IEEE Trans. on Electron Device, Vol.46, 1993(1999)].

[0015] 백 컨택 실리콘 태양전지에 있어서 중요한 쟁점은 음극 및 양극 그리드들과 접합들을 전기적으로 고립시키고 비용이 적게 드는 공정 시퀀스를 개발하는 것이다. 이 기술적인 쟁점은(만약 존재한다면) 도핑된 층들의 패터닝,

음극과 양극 컨택 영역 사이 표면의 패시베이션, 음극 및 양극 전도성 컨택들의 도포이다.

발명의 상세한 설명

[0016]

본 발명은 에미터 랩 쓰루(EWT) 태양전지의 제조방법에 관한 것으로, 상기 방법은 전면, 후면 및 상기 전면과 후면을 연결하는 복수의 홀을 구비하는 반도체 웨이퍼를 제공하는 단계; 후면 홀들을 포함하는 식으로 제1 도편트 확산원(dopant diffusion source)을 가하는 단계; 후면 홀들을 포함하지 않는 식으로 제2 도편트 확산원을 후면에 가하는 단계; 및 점화에 의하여 제1도편트 확산원과 제2도편트 확산원으로부터 반도체 웨이퍼 내부로 도편트를 확산시키는 단계를 포함한다. 상기 반도체 웨이퍼는 실리콘으로 이루어짐이 바람직하고, 상기 제1도편트 원(source)은 인으로 이루어짐이 바람직하며, 상기 제2도편트 원은 붕소로 이루어짐이 바람직하다.

[0017]

상기 방법은, 인으로 이루어지는 상기 제1도편트 확산원을 전면의 홀들을 포함하는 식으로 그 전면에 가하는 단계를 더 포함하는 것이 바람직하다. 상기 제1도편트 확산원을 가하는 단계에 있어서, 상기 홀들 중 적어도 한 부분은 상기 제1도편트 확산원으로 채워지는 것이 바람직하다.

[0018]

상기 방법은, 상기 확산 단계 후에 상기 반도체 웨이퍼를 산성 용액으로 식각하는 단계; 상기 식각된 반도체 웨이퍼의 적어도 전면에 패시베이션을 위한 유전체 층을 가하는 단계; 상기 제1 도편트 확산원 패턴 중 적어도 한 부분을 포함하는 식으로 상기 후면에 제1 전도성 타입 금속 그리드(conductivity type metal grid)를 가하고, 상기 제2 도편트 확산원 패턴 중 적어도 한 부분을 포함하는 식으로 상기 후면에 제2 전도성 타입 금속 그리드를 가하는 단계를 더 포함하는 것이 바람직하다.

[0019]

본 발명은 또한 EWT 태양전지를 만드는 다른 방법에 관한 것으로서, 상기 방법은 전면, 후면 및 상기 전면과 후면을 연결하는 복수의 홀을 구비하는 반도체 웨이퍼를 제공하는 단계; 상기 후면의 홀들을 포함하지 않는 식으로 상기 후면에 확산장벽을 가하는 단계; 상기 웨이퍼를 세척하는 단계; 상기 웨이퍼 내부로 제1도편트를 확산시키는 단계; 상기 웨이퍼를 식각하여 적어도 부분적으로 표면의 산화물을 제거하는 단계; 상기 후면 홀들을 포함하는 식으로 제1 전도성 타입 금속 그리드를 상기 후면에 가하고, 상기 확산 장벽 패턴에 의하여 상기 제1 전도성 타입 금속 그리드와 분리되는 식으로 상기 후면에 제2 전도성 타입 금속 그리드를 가하는 단계를 포함한다. 상기 반도체 웨이퍼는 p형 실리콘으로 이루어짐이 바람직하고, 상기 제1도편트는 인으로 이루어짐이 바람직하며, 상기 제1 전도성 타입 금속 그리드는 은으로 이루어짐이 바람직하고, 상기 제2 전도성 타입 금속 그리드는 알루미늄으로 이루어짐이 바람직하다.

[0020]

상기 방법은, 상기 식각 단계 후에 p형 실리콘 웨이퍼 표면의 적어도 한 부분에 패시베이션을 위한 유전체 층을 가하는 단계를 더 포함하는 것이 바람직하며, 여기서 상기 제1 도편트 인 원(first dopant phosphorus source)의 응용은 대략 30과 60Ω/sq 사이의 저항을 발생시킨다. 또한 상기 제1, 제2 전도성 타입 금속 그리드를 가하는 단계는, 그리드 패턴의 프린팅 (printing)과 점화를 포함한다. 상기 확산원은 상기 제1도편트와 상반되는 전도성 타입의 제2도편트로 이루어지는 것이 바람직하다. 상기 제1도편트는 인으로 이루어짐이 바람직하며, 상기 확산 장벽의 일부를 형성하는 상기 제2도편트는 붕소로 이루어짐이 바람직하다. 상기 제1, 제2도편트는 동시에 상기 웨이퍼 내부로 확산되는 것이 바람직하다.

[0021]

본 발명은 또한 EWT 태양전지를 만드는 다른 방법에 관한 것으로서, 상기 방법은, 전면, 후면 및 상기 전면과 후면을 연결하는 복수의 홀을 구비하는 반도체 웨이퍼를 공급하는 단계; 상기 후면에 제1 스픬 온 글래스(SOG) 확산 장벽을 가하는 단계; 후면 홀들을 포함하지 않는 식으로 레시스트(resist)를 가하는 단계; 상기 웨이퍼를 식각하여 상기 패턴된 레시스트에 의하여 덮이지 않은 제1 SOG를 제거하는 단계; 상기 레시스트를 웨이퍼로부터 벗겨내는 단계; 제1도편트를 상기 웨이퍼에 확산시키는 단계; 상기 웨이퍼를 식각하여 남아있는 제1 SOG를 적어도 제거하는 단계; 상기 후면 홀들을 포함하는 식으로 제1 전도성 타입 금속 그리드를 상기 후면에 가하고, 상기 레시스트 패턴을 포함하는 식으로 상기 제2전도성 타입 금속 그리드를 상기 후면에 가하는 단계를 포함한다. 상기 반도체 웨이퍼는 실리콘으로 구성됨이 바람직하고, 상기 제1도편트는 인으로 구성됨이 바람직하며, 상기 제1 SOG를 가하는 것은 스피닝(spinning) 또는 스프레이(spraying)에 의한 응용 및 노의 밀도를 증가시키는 것을 포함한다. 상기 제1 SOG는 상기 제1 도편트와 상반되는 전도성 타입의 제2도편트를 포함하는 것이 바람직하다.

[0022]

본 발명은 또한 EWT 태양전지를 만드는 다른 방법에 관한 것이다. 상기 방법은, 전면, 후면 및 상기 전면과 후면을 연결하는 복수의 홀을 구비하는 반도체 웨이퍼를 제공하는 단계; 제1 도편트를 포함하는 제1 SOG를 상기 후면에 가하는 단계; 상기 후면 홀들을 포함하는 않는 식으로 레시스트를 가하는 단계; 상기 웨이퍼를 식각하여 상기 패턴된 레시스트에 의하여 덮이지 않은 제1 SOG를 제거하는 단계; 상기 웨이퍼로부터 상기 레시스트를 벗

겨내는 단계; 상기 제1 도편트와 상반되는 전도성 타입의 제2 도편트를 포함하는 제2 SOG를 상기 후면에 가하는 단계; 상기 웨이퍼를 점화하여 상기 제1 도편트와 상기 제2 도편트를 상기 웨이퍼에 확산시키는 단계; 상기 웨이퍼를 식각하여 남아있는 제1, 제2 SOG를 적어도 제거하는 단계; 및 상기 후면 홀들을 포함하는 식으로 상기 후면에 제1 전도성 타입 금속 그리드를 가하고, 상기 레시스트 패턴을 포함하는 식으로 상기 후면에 제2전도성 타입 금속 그리드를 가하는 단계를 포함한다. 이 방법은 상기 웨이퍼의 전면에 제3 SOG를 가하는 단계를 더 포함하는 것이 바람직하며, 상기 제3 SOG는 상기 제2 SOG에서보다 낮은 접결도의 제2 도편트를 포함하는 것이 바람직하다. 본 방법에서, 점화는 거의 수평으로 배열된 복수의 웨이퍼의 전면으로부터 뒷면까지 점화되는 것이 바람직하며, 이에 의하여 상기 제1 웨이퍼 뒷면의 제2 SOG로부터의 제2 도편트는 바로 인접한 제1 웨이퍼의 바로 인접한 전면으로 확산된다.

- [0023] 본 발명은 또한 전술한 방법들 중 어느 하나에 의하여 만들어진 EWT 태양전지에 관한 것이다.
- [0024] 본 발명의 주된 목적은, 단순하고 비용 효율이 높은 생산방법에 의하여 만들어진 더 높은 효율의 EWT 태양전지를 제공하는 것이다.
- [0025] 본 발명의 다른 목적은 전도성 비아들 내부의 증가된 도핑을 위한 방법을 제공함으로써, 직렬 저항이 감소된 EWT 태양 전지를 제공하는 것이다.
- [0026] 본 발명의 또 다른 목적은 확산 장벽, 바람직하게는 도편트 원(source)으로서도 기능 하는 확산 장벽을 이용한 생산방법을 제공하여 개선된 백 컨택 접합 특성을 제공하는 것이다.
- [0027] 본 발명의 또 다른 목적은 n-도편트, p-도편트와 같이 서로 다른 두 도편트들의 개별적이지만 동시에 일어나는 확산을 제공함에 있다.
- [0028] 본 발명의 주된 장점은, 감소된 비용으로, 개선되고 더욱 단순한 EWT 태양 전지의 제조방법을 제공한다는 데에 있다.
- [0029] 본 발명의 또 다른 장점은, 전도성 비아들과 후면 상의 연관된 그리드 라인들 그리고 선택적으로는 전면의 도편트 라인들이, 남아있는 표면의 면적보다 더 강하게 n^+ 도편트, 바람직하게는 인으로 도핑되는 방법을 제공함에 있다.
- [0030] 본 발명의 다른 목적, 장점, 신규한 특징 및 추가적인 이용가능성의 범위가, 첨부 도면과 함께 취해지는 하기의 상세한 설명으로부터 설명될 것이며, 하기의 내용을 검토함으로써 당업자에게 부분적으로 명확해지거나, 또는 발명의 실행에 의해 습득될 것이다. 본 발명의 목적 및 장점은 첨부된 특허청구범위에서 특정적으로 지정되는 수단 및 결합에 의해 구현 및 달성될 수 있다.

실시예

- [0039] 본 명세서에 개시된 발명은 백 컨택 태양 전지의 제작을 위한 개선된 방법 및 공정, 특히 더욱 단순하고 신뢰성이 높으며, 더욱 경제적인 제작을 제공하는 방법들 및 공정들을 제공한다. 다수의 서로 다르고 개별적인 방법들이 개시되어 있으나, 당업자들은 둘 또는 그 이상의 방법들을 조합하거나 변형시킴으로써 대안적이고 부가적인 제작 방법을 제공할 수 있다고 이해되어야 한다. 또한, 도면들 및 예시된 공정 시퀀스들이 백 컨택 EWT 전지의 제작을 설명하고 있지만, 이 공정 시퀀스들 중 어떤 것들은 MWT, MWA, 또는 백-접합(back-junction) 태양전지와 같은 다른 백 컨택 전지들의 제작에도 이용될 수 있다. 특히, "프린팅된 확산 장벽과 도편트 확산 장벽의 이용", "스핀 온 글라스 확산 장벽의 이용" 및 "스핀 온 글라스를 확산 장벽 및 도편트 원(source)으로서 사용"이라는 제목하의 방법들은 MWT, MWA 및 백 접합 태양 전지를 포함하지만 그것들로 한정되지는 않는 어떠한 백 컨택 태양 전지에도 직접 적용될 수 있다. 당업자들에게는, 어떠한 변형들은 전지 구조의 차이점에 기초하여 만들어지지만, 그럼에도 불구하고 방법들은 백 컨택 전지에 일반적으로 적용가능함이 용이하게 이해될 수 있을 것이다.
- [0040] 어떤 실시예에 있어서, 본 발명에 따른 방법은, 이미 도핑되어 있기는 하나 더 약하게 도핑된 남아있는 수평 전지 표면, 더욱 상세하게는 남아있는 전면 또는 상면과 비교하여 볼 때, 대략 원통형의 비아 벽면 내부 및 연관된 그리드 라인들 또는 전면 도편트 라인들이라고 말할 수 있는 비아의 몸체 내부에 더 강한 도핑(이는 P^{++} 또는 n^{++} 일 것이다)을 구비하는 EWT 전지를 제공한다. 예를 들어 p형 실리콘 웨이퍼에서는 전도성 비아들이 대부

분의 전면에서보다 더 강하게 n^{++} 도핑될 것이다.

[0041] 바람직하게는, 어떤 실시예에 있어서, 비아 입구를 포함한 n^{++} 로 도핑된 라인들이 전면에 형성되어 후면 그리드 라인들과 대응되고, 또한 선택적으로 비아들에서 교차되는 직각의 n^{++} 도핑된 라인들을 더 포함하며, 이때, 전면의 남아있는 면적들은 더 약하게 n^+ 로 도핑된다. 따라서, 비아로 전송되어 그 비아를 통과하는 전류에 대한 저항이, 표면과 비아들에 모두 싱글 n^+ 에미터를 사용한 경우에 비하여 작다. 이로 인하여 효율이 높아지고, 비아의 금속화에 대한 필요성 없이도 훌 밀도의 감소가 가능해진다.

[0042] 이하에서 서술되는 각각의 방법에 있어서, 상기 웨이퍼는 통상적인 두께일 수 있는데, 전형적으로는 통상의 330 μm 웨이퍼와 같이 280에서 300 μm 보다 두껍다. 대안적으로, 본 발명에 따른 공정 시퀀스에 있어서 상기 웨이퍼는 약 280 μm 미만, 바람직하게는 약 200 μm 미만, 더욱 바람직하게는 약 100 μm 미만과 같이 실질적으로 더 얇을 수 있다. 상기 공정 시퀀스는, 후면에서의 재결합 손실("패시베이션")을 줄이기 위한 후면 필드(BSF)를 제공하기 위하여 전형적으로 사용되었던 알루미늄 합금과 같이 웨이퍼 후면의 전체 또는 실질적으로 전체를 덮는 금속을 포함하지 않으므로 얇은 실리콘 웨이퍼가 사용될 수 있다. 상기 웨이퍼와 후면 필드(BSF) 사이의 열팽창계수의 불일치(알루미늄의 열팽창계수는 실리콘의 열팽창계수보다 10X이상 크다)로 인한 스트레인 때문에, 두께가 280 μm 보다 큰 웨이퍼가 일반적으로 사용된다. 본 명세서에서는 Gee와 Schmit가 공동 소유하며, 2004년 6월 29일에 출원되고 미국 출원 번호가 10/880,190인 "얇은 실리콘 웨이퍼 상의 에미터 랩 쓰루(Emitter Wrap-Through) 백 컨택 태양전지"에 개시된 사항의 전체가 본원의 참조로서 포함되어 있다. 상기 웨이퍼 25 cm^2 또는 100 cm^2 (10cm X 10cm)와 같이 어떠한 면적이라도 가능하며, 여기서 이용되는 156 cm^2 또는 225 cm^2 웨이퍼와 같이 더 큰 것일 수도 있다.

[0043] 이하에서 설명되는 각 실시예들의 첫 번째 단계에서는, 도 2A 및 2B에 도시된 바와 같이, 전도성 비아들을 형성하기 위하여 이용되는 홀들(30)이 전면과 후면을 갖는 평판 웨이퍼(12)에 삽입된다. 상기 홀들은 상기 웨이퍼의 전면과 후면을 연결하며, 레이저 드릴링에 의하여 형성됨이 바람직하나, 건식 식각, 습식 식각, 기계적 드릴링 또는 워터젯 머시닝(water jet machining) 등 다른 방법에 의하여 형성되어도 무방하다. 레이저 드릴링에 있어서는, 홀당 대략 0.5ms에서 대략 5ms와 같은 최단시간에 홀들이 도입될 수 있도록, 작동 파장에서 충분한 파워 또는 강도의 레이저가 사용되는 것이 바람직하다. 사용될 수 있는 하나의 레이저는 Q-스위치 Nd:YAG 레이저이다. 더 얇은 웨이퍼의 사용에 의하여 홀당 시간이 비례적으로 줄어든다. 비아 홀의 직경은 대략 25에서 125 μm 가 될 수 있으며, 대략 30에서 60 μm 의 직경이 바람직하다. 100 μm 이하의 두께를 갖는 웨이퍼와 같이 두께가 얇은 웨이퍼를 사용하는 하나의 실시예에 있어서, 상기 비아 홀의 직경은 상기 웨이퍼의 두께보다 거의 크거나 그와 동일하다. 표면적 당 비아 홀의 밀도는, 에미터 내부에서 상기 홀을 지나 후면까지의 전류 수송에 기인하는 수용가능한 전체 직렬저항손실에 부분적으로 의존한다. 이것은 실험적으로 또는 이론적인 계산에 의하여 결정될 것이며, 본 발명의 방법에 의하면, Ω/sq 로 결정되는 것과 같은 감소된 저항에 의하여 상기 비아 홀 밀도가 감소될 것이다. 비아 홀 밀도는 1 mm^{-2} 내지 2 mm^{-2} 의 표면적 당 1 홀인 것이 일반적이나, 2 mm^{-2} 내지 약 4 mm^{-2} 당 1 홀과 같이 더 낮을 수도 있다.

[0044] 레이저 드릴링 등에 의한 홀의 삽입 후에는, 알칼리성 식각 단계가 뒤따르는 것이 일반적이고 통상적인데, 이는 상기 홀의 삽입으로 인한 불규칙성을 어느 정도 최소화시키기 위한 것이다. 대략 80°C 내지 대략 90°C의 온도에서 중량으로 10%의 수산화 나트륨 또는 수산화 칼륨을 이용하는 것과 같은 통상의 방법이 사용될 수 있는데, 이를 통하여 약 10 μm 정도의 표면이 제거된다.

0045] 오) 확산원 페이스트(Phosphorus-Diffusion Source Paste)의 사용

[0046] 본 발명의 일 실시예에서는, 상기 홀의 내부에 도편트를 공급하기 위하여 프린팅된 확산원, 바람직하게는 스크린 프린팅된 확산원이 사용된다. 프린팅된 확산원은, 미국 특허 4,478,879등에 개시된 바와 같이 이미 알려져 있지만, EWT 전지구조에 사용되거나 홀의 내부 또는 홀과 바로 인접한 곳에서 더 높은 n-도편트의 농도를 만들도록써 감소된 직렬저항을 제공하기 위하여 사용된 적은 없다. 출원인은, 인 확산원과 같은 프린팅된 확산원을 상기 홀 영역에 선택적으로 적용하고, 상기 홀이 그 일부를 이루는 그리드 라인을 포함시킴으로써, 도편트의 농도가 높아지고 저항이 감소된다는 것을 뜻밖에 발견하였다. 프린팅된 확산원을 이용한 백 컨택 EWT 전지의 제작

을 위한 대표적인 공정 시퀀스가 아래에 보여진다.

[0047] 1. 레이저 드릴

[0048] 2. 알칼리 식각

[0049] 3. 전면 상에서 인 확산원을 프린팅 및 건조

[0050] 4. 후면 상에서 인 확산원을 프린팅 및 건조

[0051] 5. 후면 상에 붕소 확산원을 프린팅 및 건조

[0052] 6. 고온의 노(furnace)에서 도편트를 실리콘으로 확산

[0053] 7. HF 식각 (소수성의 양 표면)

[0054] 8. 전면에 PECVD

[0055] 9. 후면에 PECVD

[0056] 10. 음극 그리드를 위하여 은 페이스트(Ag paste)를 프린팅 및 건조

[0057] 11. 양극 그리드를 위하여 은:알루미늄 페이스트(Ag:Al paste)를 프린팅 및 건조

[0058] 12. 컨택들의 접화

[0059] 전술한 공정 시퀀스는 도 2A 내지 3D에 개괄적으로 도시되어 있는바, 여기에는 본 방법의 제작 시퀀스 및 다른 장점들이 나타나 있다. 도 2A는 홀(30)을 만들기 위하여 드릴링 및 식각 되고난 후의 웨이퍼(12)의 단면이 나타나 있는데, 이는 바로 위에 있는 제1단계 및 제2단계이다. 도 2B는 웨이퍼(12)의 일부분에 대한 평면도인데, 복수의 홀(30)이 간격을 두고 배열되어있다. 도 3A는 인 확산 페이스트(32)가, 각 열의 홀(30)이 한 줄의 페이스트(32)에 의하여 덮이도록 설계된 패턴으로 전면과 후면에 프린팅되고 난 후의 웨이퍼(12)의 단면도이다. 상기 붕소 확산원 페이스트(34)는, 바람직하게는 페이스트(32)와 (34) 사이에서 맞물리는 그리드 영역들이 형성되도록 상기 후면 상에 프린팅된다. 따라서, 도 3A는 바로 위의 제3단계 내지 제5단계 후의 결과적인 웨이퍼를 나타낸다. 이러한 페이스트들은 고온에서 건조 및 접화된 후에 확산원 산화물로 변화된다.

[0060] 도 3B는 고온에서의 도편트 확산 후의 웨이퍼를 나타낸다. 붕소는 실리콘의 붕소 확산 산화물 아래에 확산되어 붕소 확산층들(40)을 만든다. 인은 실리콘의 인 확산 산화물 아래에 확산되어 인 확산층들(36)을 만든다. 인은 즉시 확산되고 붕소보다 높은 표면 밀도로 확산되므로 인 확산층들(36)은 강하게 도핑된다. 홀(30)의 내부면은 그 홀 전후의 도편트 페이스트(32)로부터의 도편트로 포화 되므로, 도편트 페이스트(32)가 홀(30)을 완전히 채우지 않더라도 홀(30)의 내부영역 전체는 강하게 도핑된다. 강하게 도핑된 표면(36)은, 연이어서 후면에 가해지는 그리드에의 접촉저항을 감소시키고, 홀(30)을 통하는 전도로 인한 전기적 저항 손실을 감소시키며, 홀(30)로의 전도로 인한 전면에서의 전기적 저항 손실을 감소시키므로 유익하다. 도 3B에도 나타난 바와 같이, 전후 양면의 노출된 실리콘 상에 약한 인 확산층(38)이 만들어진다. 약한 인 확산층(38)을 위한 인은, 고온의 확산층에 인 확산 산화물로부터 증발된 도편트 페이스트(32)의 도편트로부터 나온다. 붕소도 붕소 확산 산화물로부터 증발하기는 하나, 증기압이 훨씬 낮으므로, 노출된 면에 확산되는 것은 주로 인이다. 약한 인 확산은 가장 좋은 전류수집과 가장 낮은 표면 재결합을 제공하므로, 전면 상의 약한 인 확산층들(38)은 유익하다. 상기 가벼운 인 확산층들(38)은 후면 상에서도 또한 유익한데, 이는 인이 후면에 보호막을 씌우고(passivates), 나아가 인충(38)이 붕소 확산층(40)과 접촉하게 되는 전기적 분로(electrical shunt)들이 잘 생기지 못하게 하기 때문이다. 따라서 이 공정 시퀀스는 높은 효율 잠재력을 갖는 전지구조를 생산한다.

[0061] 고온에서의 도편트 확산에 이어서, 플루오르화 수소(HF)산의 수성용액을 이용한 식각단계(HF etch)가 일반적으로 적용된다. 10% HF산과 같은 어떠한 적절한 산 식각도 적용될 수 있다. HF산을 포함하는 용액에 상기 웨이퍼를 담그는 것을 포함하여 에칭액(etchant)을 가하는 어떠한 통상적인 방법도 사용될 수 있다. 전면과 후면에 소수성이 되도록 충분한 HF산이 일정 기간 동안 가해지는데, 이는 용액으로부터 웨이퍼가 제거될 때 수성 HF산 용액의 "시팅"효과("sheeting" effect)로부터 쉽게 확인될 수 있다.

[0062] 상기 HF식각으로 인하여 벗겨진 실리콘 표면은 유전체층의 증착에 의한 패시베이션(passivation)을 필요로 할 것이다. 플라스마 화학기상 증착법(PECVD)에 의하여 증착된 질화규소(SiN)층은 태양전지 제작에 있어서 실리콘 표면을 패시베이션하기 위한 잘 알려진 기술이다. 표면 패시베이션을 위하여, 대안적으로 SiO₂ 층이 열적으로 성장될 수 있으며, SiO₂, TiO₂, Ta₂O₅등과 같은 다른 유전체 물질들이 프린팅, 스프레이 또는 화학 기상 증착

과 같은 다양한 방법으로 증착될 수도 있다.

[0063] 일반적으로, 아래에 논의되는 바와 같이 확산장벽 산화물은 다음과 같은 특성 즉, 실리콘과의 낮은 재결합을 갖는 양호한 경계면을 갖고, 그리고 은:알루미늄 또는 다른 p형 컨택들이 그 물질을 통하여 점화될 수 있고 하나의 실시예에 있어서 스크린 프린팅된 접촉물질에 유리 프리트(frit)를 활용함으로써 p형 실리콘 기판과의 낮은 저항접촉을 이를 수 있다면 완전히 제거되지 않아도 된다. 확산 장벽 산화물을 제 위치에 남겨두는 것은 후면 상에 PECVD 증착하는 적어도 한 공정 단계를 없애는 것을 가능하게 한다.

[0064] 패시베이션에 이어서, 음극 그리드 컨택들과 양극 그리드 컨택들이 가해진다. 음극 그리드에 은 페이스트를, 양극 그리드에 은:알루미늄 페이스트를 스크린 프린팅하는 것과 같이, 그리드 금속 도포를 위한 어떠한 통상적인 방법도 이용될 수 있다. 상기 페이스트는, 타당하게는, 바인더(binder), 용매(solvent), 기타 스크린 프린팅 가능한 페이스트를 만들기 위하여 그 분야에서 알려지고 사용된 것을 더 포함할 수 있는 액체 포뮬레이션(formulation) 내에서 은 또는 은:알루미늄 입자형태의 조합에 의하여 만들어질 수 있다. 또한, 글래스 프리트(glass frit)와 같은 질화물을 용해시키는 성분을 함유하는 페이스트 포뮬레이션을 사용하는 것도 가능하고 바람직하다(2002년 5월 LA의 뉴올리언즈에서 개최된 제29회 IEEE 광전지 전문가 협의회에서 발표되었으며 본 명세서에 참고 문헌으로서 포함된, M. Hilali등의 "100 ohm/sq.에미터를 갖는 스크린 프린팅된 실리콘 태양전지 상에서 높은 필팩터(fill factor)를 달성하기 위한 자기도핑(self-doping)은 페이스트 점화의 최적화 참조). 그 후, 상기 그리드 컨택들을 금속화하기 위하여 상기 웨이퍼가 점화된다.

[0065] 도 3C는, 음극 그리드에 은 페이스트를, 양극 그리드에 은:알루미늄 페이스트를 도포하고, 점화시킴으로써 결과적으로 은 음극 그리드 컨택(Ag negative-polarity grid contacts, 42) 및 은: 알루미늄 양극 그리드 컨택(Ag:Al positive-polarity grid contacts, 44)이 형성된 완성된 태양전지를 나타낸 것이다. PECVD 질화 규소층은, 선택적으로 가해질 수 있는 것으로서, 명확성을 위하여 도시되지 않았다. 본 출원의 이 경우 및 다른 경우에 대한 모든 도면에 있어서, 홀 및 실리콘 기판, 간격 및 다양한 구성요소 구조들의 상대적인 크기, 다양한 층들의 두께들의 치수들은 일정한 비율로 도시되지는 않았고, 설명 및 쉬운 확인의 목적을 위하여 개략적으로 도시되었다.

[0066] 도 3D에 도시된 바와 같이, 하나의 실시예에 있어서, 확산원, 특히 인 확산원에 대한 스크린 프린팅의 결과는 희망하던 패턴(36)으로서, 비아 홀(30)을 포함하고, 증가된 도편트 농도 및 그에 대응되는, 예컨대 음극 그리드를 따라 감소된 저항을 더 제공하는 것이다. 패턴(36)은 도편트 페이스트(32)를 전후 양면에 도포함에 따라 전면 및 후면에 선택적이고 바람직하게 존재한다. 후면 상에서 상기 패턴(36)은 금속화된 그리드에 의하여 연이어서 부분적으로 덮어진다; 그러나 전면 상에는 그러한 덮음이 없다. 또한, 상기 전면에서와 같이, 비아가 x축 그리드 라인과 y축 그리드 라인의 교차점에 존재하도록 x축과 y축 모두에 증가된 도편트 농도 그리드를 제공하는 것도 가능한데, 이는 인 확산원에 대한 스크린 프린팅의 패턴에서 기인하는 것이며, 그에 의하여 증가된 수집을 제공한다.

[0067] 또한, 산염화인(POCl_3)과 같은 가스상태의 원(source)을 이용한 가벼운 n^+ 도편트 확산 및 그에 이어서 전면과 후면에 표면 패시베이션을 주입 및 제공하기 위한 산화를 제공하는 것 또한 가능하다. 이러한 공정 단계는 프린팅된 확산원 산화물을 제거하기 위한 HF 식각단계에 앞서서 적용되는 것이 바람직하다. 관련된 다른 실시예에 있어서는, 기체확산 POCl_3 단계가 설명된 바와 같이 적용되고, 전면에 인 확산원을 프린팅하는 단계는 생략된다. 그러한 각각의 실시예에 있어서, 상기 홀 구조 내의 결과적인 인 도핑은 전면 또는 후면 중 어느 하나에 대한 평균 또는 중간의 인 도핑에 비하여 현저히 높다.

[0068] 유사한 공정 시퀀스가 다른 백 컨택 전지 구조의 제작에 사용될 수 있다. 이 실시예에 있어서는, 상기 확산원 산화물이 상기 실리콘 기판과의 낮은 재결합 경계면을 갖고, 프릿화된(fritted) 은 페이스트와 프릿화된 은:알루미늄 페이스트를 이용하는 것 등에 의하여 은 및 은:알루미늄 컨택들이 낮은 접촉저항으로 상기 산화물을 통하여 점화될 수 있다면, 특히 후면 상에서의 PECVD증착이 불필요하다.

프린팅된 확산 장벽과 도편트 확산 장벽의 사용

[0069] 본 발명의 다른 실시예에서는, POCl_3 를 사용하여 가해지는 가스상태의 인 도편트와 같은 n^+ 도편트의 확산을 금지 또는 제한하기 위하여 프린팅된 확산 장벽이 사용된다. 바람직하게는, 상기 프린팅된 확산 장벽은 붕소와

같은 P^+ 도편트의 원(source)도 제공한다. 확산 장벽의 직접적인 프린팅은, 단순하고 직접적인 패터닝단계의 적용을 가능하게 한다. 확산 장벽으로 사용하기에 적합한 물질들이 이용 가능하다. 예컨대, 페로(Ferro) 주식회사(클리블랜드, 오하이오)는 비반사층을 위한 TiO_2 의 스크린 프린팅을 위한 페이스트, 인 확산 장벽으로서 산화 탄탈에 기초한 물질, 및 봉소 확산원을 위한 봉규산염 글라스 등을 제공한다. 프린팅된 봉규산염 글래스와 같은 어떤 물질들을 사용하는 것은 인 확산 장벽을 제공하는 것이라고 앞서 설명된 바 없지만 위의 물질들은 모두 인 확산 중에 홀륭한 장벽을 제공한다. 봉규산염 글래스 조성물은 장벽 물질 아래에서 봉소 확산을 제공하여 표면 패시베이션을 돋고 양극 컨택에 대한 접촉저항을 감소시키는 추가적인 이익을 제공한다. 패터닝된 확산 장벽 물질로 귀착된다면 잉크젯 프린팅, 마스킹(masking) 또는 스텐실링(stenciling)과 같은 대안적인 도포방법이 사용될 수 있지만, 상기 확산 장벽 물질은, 스크린 프린팅과 같은 바람직한 식으로 가해진다.

[0071] 본 실시예 및 이어지는 실시예들에 있어서, n^+ 도편트 확산은 인 확산에 있어서의 $POCl_3$ 와 같은 기체상태의 원(source)을 사용하여 수행되는 것이 바람직하다. 고체 원(source) 또는 스프레이 온 확산원과 같은 다른 확산 원들이 대안적으로 사용될 수 있다. 인 확산에서 나오는 산화물은 캡슐화된 광전지 모듈에 있어서 신뢰성 문제를 야기할 수 있으므로 HF 산으로 제거되는 것이 일반적이다. 따라서, 바람직한 시퀀스는 인 확산으로부터 나오는 인 산화물과 확산 장벽 산화물을 HF산 식각으로 벗겨낸다. 벗겨진 실리콘 표면은 유전체 층의 증착에 의한 패시베이션을 필요로 할 것이다. PECVD에 의하여 증착되는 SiN은 태양전지의 제작시 실리콘 표면을 패시베이션하는데 있어서 잘 알려진 기술이다. 표면 패시베이션을 위하여, 대안적으로 SiO_2 층이 열적으로 성장될 수 있으며, SiO_2 , TiO_2 , Ta_2O_5 등과 같은 다른 유전체 물질들이 프린팅, 스프레이 온(spraying-on) 또는 화학 기상 증착과 같은 다양한 방법으로 증착될 수도 있다.

[0072] 일반적으로, 아래에 논의되는 바와 같이 확산장벽 산화물은 다음과 같은 특성 즉, 실리콘파의 낮은 재결합을 갖는 양호한 경계면을 갖고, 은:알루미늄 또는 다른 p형 컨택들이 그 물질을 통하여 점화될 수 있고 하나의 실시예에 있어서 스크린 프린팅된 접촉물질에 글래스 프리트(frit)를 활용함으로써 p형 실리콘 기판파의 낮은 저항 접촉을 이를 수 있다면 완전히 제거되지 않아도 된다. 확산 장벽 산화물을 제 위치에 남겨두는 것은 후면 상에 PECVD 증착하는 적어도 한 공정 단계를 없애는 것을 가능하게 한다.

[0073] 프린팅된 확산 장벽을 이용한 백 컨택 EWT 전지의 제작을 위한 하나의 대표적인 공정 시퀀스가 아래에 개시되어 있다. 상기 시퀀스는 확산 장벽 산화물의 제거를 제공하며(위에서 논의된 바와 같이 "HF 식각, 소수성의 양 표면" 단계를 말함), 확산 장벽 산화물을 표면 패시베이션을 위한 PECVD SiN층과 같은 가하여진 표면 패시베이션 단계로 대체한다. 하지만, 이 경우에도 마찬가지로, 확산 장벽 산화물이 실리콘파의 좋은 경계면을 갖음으로써 하나의 공정 단계의 제거로 이어질 수 있다면, 확산 장벽 산화물은 완전히 제거 및 PECVD SiN으로 대체되지 않아도 된다.

[0074] 1. 레이저 드릴

[0075] 2. 알칼리 식각

[0076] 3. 확산 장벽의 프린팅

[0077] 4. 건조 및 점화

[0078] 5. 웨이퍼의 식각 및 세척

[0079] 6. $POCl_3$ (30 내지 60 Ω/sq)

[0080] 7. HF 식각 (소수성의 양 표면)

[0081] 8. 전면 상에 질화물을 PECVD

[0082] 9. 후면 상에 질화물을 PECVD

[0083] 10. 음극 그리드를 위하여 은 프린팅

[0084] 11. 양극 그리드를 위하여 은:알루미늄 프린팅

[0085] 12. 컨택들의 점화

[0086] 상기 방법에 대한 대안적인 실시예들이 가능하며, 기획된다. 하나의 바람직한 대안적인 실시예에 있어서, 도 4A

는 TiO_2 페이스트와 같은 확산 장벽(90)을 구비하는 웨이퍼(12)를 나타내는바, 상기 확산 장벽은 바로 인접한 한 쌍의 확산 장벽들(90) 사이의 공간이 이후의 단계에서 양극 그리드로 사용되도록 가해진다. 따라서, 상기 제1내지 제4 공정단계의 결과는 도 4a의 장치로 이어진다. 하지만, 그 후에는 $POCl_3$ 를 사용하는 것과 같은 인 확산 단계(30 내지 60 Ω/sq)가 적용되어 n^+ 확산층(92)을 갖는 도 4B의 장치가 도출된다. 대안적으로, 다른 n^+ 도펀트가 사용될 수 있다. 그 후, $POCl_3$ 확산 중에 형성된 인 클래스를 식각하기 위하여, 상기 확산 장벽(90)이 남아있는 상태에서 식각 단계가 적용된다. 그 후, 통상적으로는 SiN 이 PECVD에 의하여 증착되는데, 대안적으로, 패시베이션을 위한 다른 방법 및 다른 물질들에 의할 수 있다. 양 표면 상에의 SiN 증착에 이어서(도시되지 않음), 음극 컨택 은 그리드(negative contact Ag grid)가 스크린 프린팅되고, 양극 컨택 은:알루미늄, 더 바람직하게는 알루미늄 그리드가 스크린 프린팅되며, 상기 웨이퍼가 점화된다. 그 결과는, 도 4C에 도시된 바와 같이, 확산 장벽(90), 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96) 및 음극 스크린 프린팅된 은 그리드 기판(98)을 구비한 전지이다. 도 4C에 도시된 바와 같이, 스크린 프린팅된 양극 그리드 기판(96)은 부분적으로 확산 장벽(90)의 일부와 겹칠 수 있으며, 또는 대안적으로(도시되지 않음), 확산 장벽(90)들의 측면 끝단들의 사이에 전체가 배치될 수 있다. 도 4C에 도시된 바와 같이, 스크린 프린팅 된 알루미늄(은:알루미늄과 같은 알루미늄 합금일 수도 있고, 실질적인 알루미늄일 수도 있다)이 현재 있는 n형 확산층에 가해진다. 하지만 점화시에는, 상기 알루미늄에 기초한 금속화가 현재 있는 n^+ 확산층 대신에 P^+ 층을 형성한다. 프리트가 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96)에 포함될 수 있다. 따라서, p형 컨택 아래의 n^+ 영역은 성공적으로 오버 도핑된다(over-doped);즉, n^+ 영역을 통하여 스파이킹 컨택(spiking contact)이 p형 기판과 함께 만들어진다. 다른 변형에서는, 알루미늄 도펀트 금속이 은-실리콘 용해온도보다 높은 온도에서 점화되어 상기 컨택이 실리콘과 함께 합금된다. 따라서 또 4D에 도시된 바와 같이, 점화시에, 상기 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96)에 바로 인접한 상기 n^+ 확산층(92)이 그리드 기판 내의 알루미늄에 의하여 오버 도핑되어(over-doped) 컨택(96)이 된다.

또 다른 특히 바람직한 실시예에 있어서, 상기 확산 장벽은 P^+ 도편트 원(source), 바람직하게는 봉소를 포함한다. 따라서, 도 4E에 도시된 바와 같이, 한 실시예에서의 봉소 산화물 종과 같은 봉소 조성물을 함유하는 TiO_2 페이스트와 같은 스크린 프린팅된 봉소 확산 장벽(94)이 제공된다. 봉소 확산 장벽(94)을 위한 페이스트가 체계화되어, 이하에서 설명되는 바와 같이 가벼운 봉소 확산으로 이어진다. 알루미늄, 갈륨 또는 인듐, 가장 바람직하게는 전술한 물질들 중 하나 또는 그 이상의 산화물 화합물을 포함하거나 그것으로 제한되지는 않는 도핑된 유전체 페이스트를 포함하는 확산 장벽을 형성하기 위하여 다른 p형 억셉터들이 대안적으로 사용될 수 있다. 하나의 실시예에서, 확산 페이스트는 하나 이상의 P^+ 도편트를, 바람직하게는 산화물의 형태로 제공한다. 대안적으로 상기 봉소 또는 다른 p도편트 장벽은 스프레이링 되거나, 잉크젯 프린팅 되거나, 또는 스크린 프린팅 이외의 수단에 의하여 가해질 수 있다.

n^+ 도핑된 영역을 생성하기 위하여 인이 실리콘에 확산될 때, 유전체 내의 p형 억셉터들이 기판 위로 동시에 확산되어 공정 단계를 줄이면서 p형 영역을 생성하는 것이 바람직하다. 따라서, 봉소 확산 장벽(94)에 대한스크린 프린팅 및 큐어링(cure)에 이어서, POCl_3 를 사용하는 것과 같은 인 확산 단계(30 내지 60 Ω/sq)가 적용되며, 이로써 봉소와 인이 공동확산(co-diffusion)된다. 도 4F에 도시된 바와 같이, 결과적인 구조는, 하나의 예에서 바람직하게는 대략 30 내지 50 Ω/sq 로 확산되는 n^+ 확산층(92)과, 동일한 예에서 바람직하게는 대략 100 내지 500 Ω/sq 로 확산되는 p^+ 확산층(100)을 포함한다. 그 후, 봉소 확산 장벽(94)은 남겨진 상태로, POCl_3 확산 중에 형성된 인 클래스를 식각하기 위한 식각 단계가 적용된다. 그 후, 통상적으로 PECVD에 의하여 SiN 이 증착되거나, 또는 표면 패시베이션의 다른 대안적인 방법이 적용된다. 양 표면 상에의 SiN 증착에 이어서(도시되지 않음), 음극 컨택 은 그리드(negative contact Ag grid)가 스크린 프린팅되고, 양극 컨택 은:알루미늄, 더 바람직하게는 알루미늄 그리드가 스크린 프린팅되며, 상기 웨이퍼가 점화된다. 그 결과는, 도 4G에 도시된 바와 같이, 봉소 확산 장벽(94), 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96) 및 음극 스크린 프린팅된 은 그리드 기판(98)을 구비한 전지이다. 도 4G에 도시된 바와 같이, 스크린 프린팅된 양극 그리드 기판(96)은 부분적으로 봉소 확산 장벽(90)의 일부와 겹칠 수 있으며, 또는 대안적으로(도시되지 않음), 봉소 확산 장벽(94)들의 측면 끝단들의 사이에 전체가 배치될 수 있다. 도 4G에 도시된 바와 같이, 스크린 프린팅된 은 그리드 기판(98)은 전지의 양극으로서 기능하는 것으로 보인다.

팅 된 알루미늄(은:알루미늄과 같은 알루미늄 합금일 수도 있고, 실질적인 알루미늄일 수도 있다)이 현재 있는 n형 확산층에 가해진다. 하지만 점화시에는, 상기 알루미늄에 기초한 금속화가 현재 있는 n^+ 확산층 대신에 P^+ 층을 형성한다. 프리트가 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96)에 포함될 수 있다. 따라서, p형 컨택 아래의 n^+ 영역은 성공적으로 오버 도핑된다(over-doped); 즉, n^+ 영역을 통하여 스파이킹 컨택(spiking contact)이 p형 기판과 함께 만들어진다. 다른 변형에서는, 알루미늄 도편트 금속이 은-실리콘 용해온도보다 높은 온도에서 점화되어 상기 컨택이 실리콘과 함께 합금된다. 따라서 또 4G에 도시된 바와 같이, 점화시에, 상기 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96)에 바로 인접한 상기 n^+ 확산층(92)이 그리드 기판 내의 알루미늄에 의하여 오버 도핑되어(over-doped), P^+ 확산층(100)에 인접 및 접촉하는 컨택(96)이 된다.

[0089] 또 다른 실시예에 있어서는, 도 4I에 도시된 바와 같이 확산 장벽(90)이 가해지고, 연이어서 POCl_3 를 사용한 인 확산(30 내지 60 Ω/sq)과 같은 n^+ 확산 단계가 적용되어, 역시 도 4I에 도시된 바와 같이 n^+ 확산층(92)이 형성된다. 양 표면 상에의 SiN증착에 이어서(도시되지 않음), 음극 컨택 은 그리드(negative contact Ag grid)가 스크린 프린팅되고, 양극 컨택 은:알루미늄, 더 바람직하게는 알루미늄 그리드가 스크린 프린팅된다. 그 결과는, 도 4J에 도시된 바와 같이, 확산 장벽(90), 프리트 또는 장벽(90)을 통하여 기판(96)을 드라이브(drive)하기 위한 다른 물질을 포함하는 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96) 및 음극 스크린 프린팅된 은 그리드 기판(98)을 구비한 전지이다. 도 4J에 도시된 바와 같이, 스크린 프린팅된 알루미늄(은:알루미늄과 같은 알루미늄 합금일 수도 있고, 실질적으로 알루미늄일 수도 있다)이 확산 장벽(90)에 직접 가해진다. 하지만 점화시에는, 도 4K에 도시된 바와 같이, 알루미늄에 기초한 금속화가 상기 장벽(90)을 통하여 드라이브(drive)하며, 그 아래에 알루미늄이 P^+ 층을 형성한다.

[0090] 관련된 바람직한 실시예에서는, 도 4L에 도시된 바와 같이 확산 장벽(90)이 가해지고, 그 뒤 POCl_3 를 이용한 인 확산(30 내지 60 Ω/sq)과 같은 n^+ 확산 단계에 의하여 n^+ 확산층(92)이 형성되며, 패터닝된 레시스트(56)의 도포가 그 뒤를 따른다. 상기 레시스트(56)의 도포 및 양면 상에의 SiN의 증착(도시되지 않음)에 이어서, 도 4M에 도시된 바와 같이, 확산 장벽(90)의 노출된 부분을 식각 및 제거하기 위한 식각 단계가 적용된다. 확산 장벽(90)의 식각 제거 후, 상기 레시스트(56)가 제거되고 상기 웨이퍼가 세척된다. 음극 컨택 은 그리드(98)가 스크린 프린팅되고, 양극 컨택은:알루미늄 그리드(96), 또는 더 바람직하게는 알루미늄 그리드(96)가 스크린 프린팅된다. 그 결과는, 도 4N에 도시된 바와 같이, 확산 장벽(90), 양극 스크린 프린팅된 은:알루미늄 또는 알루미늄 그리드 기판(96), 및 음극 스크린 프린팅된 은 그리드 기판(98)을 구비한 전지이다. 도 4M에 도시된 바와 같이, 스크린 프린팅된 알루미늄(은:알루미늄과 같은 알루미늄 합금이거나, 또는 실질적으로 알루미늄일 수도 있다)이 레시스트 및 식각 단계에 의하여 제거된 확산장벽(90)의 패터닝된 부분에 가해진다. 따라서, 점화시, 알루미늄에 기초한 금속화는 실리콘(12)과 직접 접촉하고, 그 아래에 알루미늄이 P^+ 층을 형성한다(도시되지 않음).

[0091] 관련되고 대안적인 또 다른 실시예에 있어서, 확산장벽과 같이 서로 다른 프린팅된 확산원을 사용함으로써 패터닝된 확산을 생산하기 위하여 상기 공정 시퀀스가 적용될 수 있다. 여기에서 논의된 바와 같이, 예컨대 Ferro 주식회사로부터 봉소 또는 인 확산 중 어느 하나를 수행하며 확산 장벽과 같이 행동하도록 체계화될 수 있는 다른 페이스트들이 입수될 수 있다. 따라서, 위에 설명된 실시예는 봉소 도핑된 확산 장벽을 구비한 p형 실리콘 웨이퍼들을 사용하였으나, 다른 실시예들이 가능하고 기획된다.

[0092] 더 높은 n^{++} 영역, 바람직하게는 상기 홀(30)을 포함하는 그리드를 형성하기 위한 용도로, 예컨대 n^+ 확산 페이스트로서, 바람직하게는 확산 장벽 조성물을 포함하지 않는 것을 포함하는 것 또한 가능하다. 이러한 페이스트들은 스크린 프린팅에 의하여 도포될 수 있다. 도포 후에, 상기 페이스트들은 유기물들과 휘발성 물질들을 제거하기 위하여 건조되고, 도편트를 실리콘에 확산시키기 위하여 고온에서 연소된다. 상기 페이스트들은 일반적으로 도편트 구성요소의 산화물들을 포함하며, 상기 산화물들은 도편트 확산 후에 HF산 식각에 의하여 제거될 수 있다.

[0093] 이 공정은 태양 전지 내에서 선택적인 에미터 구조를 만들기 위하여 임의로 변형될 수 있다. 이 실시예의 경우,

홀들과 후면은 낮은 저항을 위하여 더 강하게 도핑되는 것이 바람직한 반면, 전면은 더 약하게 도핑되어 높은 전류와 전압을 제공하는 것이 바람직하다. 상기 공정에 있어서, 제6단계는 더 약한 POCl_3 확산(바람직하게는 80 내지 $100\Omega/\text{sq}$)으로 대체될 것이다. 제9단계 후에는, 두 번째 강한 POCl_3 확산(바람직하게는 약 $20\Omega/\text{sq}$ 미만)이 수행될 것인데, 그 뒤에는 인화산 글래스 및 약간의 질화물을 제거함으로써 전면 상에서 비반사 코팅을 형성하기 위한 HF식각 단계가 이어지는 것이 바람직하다. 이 변형은 상기 홀 내부에 질화물이 기껏해야 단지 가볍게 증착된 경우, 바람직하게는 전혀 존재하지 않는 경우에 가장 잘 수행되며, 따라서 이방성의 PECVD공정의 사용이 바람직하다.

[0094] 스핀 온 글래스 확산 장벽의 사용

다른 실시예에 있어서, 백 컨택 전지 공정 시퀀스는 스핀 온 글래스(SOG) 및 스크린 프린팅된 레시스트 패터닝의 증착을 적용한다. 상기 SOG는 에미터 확산 단계 ("확산 장벽 산화물")중에 장벽으로서 사용된다. 상기 SOG는 스피닝 또는 스프레이팅과 같은 통상의 수단에 의하여 증착되며, 노(furnace) 내에서 건조되고 고밀도화 되는(densified) 것이 바람직하다. 바람직하게는, 상기 SOG는 다양한 유전체 물질들을 증착하는 데에도 사용된다. 따라서 상기 SOG는, 실리카(SiO_2), 봉규산 유리(BSG), 다른 p형 도편트 산화물(갈륨, 알루미늄, 인듐 등)들과 혼합된 BSG, 인규산 유리(PSG), 이산화 티탄(TiO_2) 등일 수 있다. 이러한 유형의 SOG들은 업계에서 공지되어 있으며, 필름트로닉스(버틀러, PA)는 다양한 위의 물질들을 제공한다. SiO_2 필름은 특히 유익한데, 이는 SiO_2 가 상기 실리콘 웨이퍼와의 매우 낮은 재결합 경계면을 형성하기 때문이다. 상기 봉규산 또는 인규산 유리는 각각 분소 또는 인의 도편트 원(source)으로서 행동한다는 추가적인 장점을 갖는다. 고밀도화된(densified) BSG 또는 PSG 아래에서 약하게 도핑된 접합은 전지의 성능 향상 및 표면의 패시베이션을 돋는다. SOG들은 상대적으로 무독성이고, 가공이 쉽다는 추가적인 장점을 갖는다. 미국 특허 5,053,083에 개시된 것과 같은 종래의 방법들은 포스핀(phosphine)과 실레인(silane) 또는 디보란(diborane)과 실레인(silane) 같은 화합물들을 사용하였는 바, 그러한 화합물들은 유독성이며 전문화된 취급 및 가공 장비를 필요로 한다.

상기 SOG는 먼저 식각 레시스트를 프린팅하고 다음으로 화학적 식각을 수행함으로써 패터닝된다. 상기 프린팅은 스크린 프린터로 수행됨이 바람직하나, 잉크젯, 스텐실, 옵셋 프린팅(offset printing) 및 그와 유사한 다른 프린팅 방법들도 사용될 수 있다. 다양한 물질들 중 어느 것이라도 식각 레시스트에 사용될 수 있다. 상기 레시스트에 대한 유일한 요건들은, 프린팅될 수 있어야 한다는 것과, 화학 식각 용액(chemical etchant solution)에 견딜 수 있어야 한다는 것이다. HF산을 이용한 수성용액(aqueous solution)들은 산화물 물질들의 식각에 있어서 널리 알려진 것이다.

SOG를 확산 장벽으로서 사용한 백 컨택 EWT 태양전지의 제작을 위한 대표적인 공정 시퀀스가 아래에 설명된다. MWA, MWT 또는 백 접합(back-junction) 태양전지와 같은 다른 백 컨택 EWT 태양전지 구조를 위하여 유사한 공정 시퀀스가 사용될 수 있다. 음극 및 양극 컨택들을 위한 스크린 프린팅된 은 그리드들은 실리콘과의 접촉을 형성하기 위하여 질화규소(silicon nitride)를 통하여 점화됨(fired)이 바람직한바, 이는 업계에서 공지된 것이다.

스크린 프린팅된 레시스트로 패터닝된 SOG를 사용하는 백 컨택 EWT 태양전지를 형성하기 위한 공정 시퀀스에서, p형 실리콘 반도체 기판이 제공된다. 상기 실리콘 기판은 일반적으로 다결정질(multicrystalline or polycrystalline)이나, 단결정 실리콘을 포함하나 그것으로 제한되지는 않는 다른 유형의 실리콘 기판들이 사용될 수 있다.

제1 및 제2 단계, 즉 홀의 레이저 드릴링 및 식각은 위에서 설명되었다. 제3단계에서 SOG가 가해진다. 위에서 논의된 바와 같이, 상기 SOG는 에미터 확산 단계 중에 장벽으로서 기능하기도 하고, 선택적이고 바람직하게는 유전체 물질들의 증착을 위하여도 기능한다. 상기 SOG는 스피닝 또는 스프레이팅과 같은 통상적인 수단, 또는 SOG 물질을 포함하는 용액에 담그는 것과 같은 대안적인 수단들에 의하여 증착되며, 그 뒤, 노(furnace) 내에서 건조 및 고밀도화된다. 상기 SOG는 SiO_2 , BSG, 추가적인 p형 도편트 산화물들과 혼합된 BSG, PSG 또는 TiO_2 인것이 바람직하다. 전형적으로, 상기 SOG는 후면에 가해지며, 노(furnace) 고밀도화 후에는 약 0.1 내지 $1\mu\text{m}$ 의 두께가 된다.

상기 SOG의 고밀도화 후, 레시스트가 스크린 프린팅과 같은 방법으로 프린팅되는데, 패터닝된 레시스트를 채택하는 대안적인 방법들도 사용될 수 있다. 상기 레시스트 패턴은 컨택 그리드들, 전형적으로는 여기에서의 양극 그리드와 같이 업계에서 잘 알려진 패턴의 맞물려진 컨택 그리드들 중 적어도 한 세트를 위한 패턴을 제공한다. 어떠한 적절한 레시스트 물질도 사용될 수 있다; 하지만, 포토레시스트(photoresist) 물질은 사용되지 않지만, 오히려 내화학성(chemical resistant) 레시스트 물질, 특히 SOG와 같은 내산성(acid resistant) 물질은 상기 웨이퍼가 산 식각 처리될 때 패터닝된 영역에서 제거되지 않는다.

- [0098] 레시스트의 프린팅 및 건조 후에는, 상기 레시스트가 덮여진 영역 이외의 영역으로부터 SOG를 제거하기 위하여 상기 웨이퍼가 식각된다. 상기 레시스트가 화학 식각 용액에 의하여 제거되지 않는다면, 어떠한 적절한 산 식각(acid etch)도 사용될 수 있다. 하나의 바람직한 실시예에 있어서, 10% HF산과 같은 HF산의 용액이 사용된다. HF산을 포함하는 용액에 상기 웨이퍼를 담그는 것을 포함하여, 예칭액을 가하는 어떠한 통상적인 방법도 사용될 수 있다. 이 단계 중에, 상기 레시스트에 의하여 덮이지 않은 평평한 전면 및 후면으로부터 뿐만 아니라 홀들의 내부로부터도 상기 SOG가 제거된다.
- [0099] 상기 식각 단계 후에, 상기 레시스트가 벗겨지고 상기 웨이퍼가 세척된다. 상기 레시스트를 제거하기 위한 화학 용액 또는 다른 방법은 사용된 레시스트에 따라 달라진다. 상기 웨이퍼는, 예컨대 과산화수소 및 황산을 포함하는 적절한 화학적 세척 용액을 사용하여 더 세척될 수도 있다. 그 결과는 패터닝된 웨이퍼이며, 여기서 상기 SOG는 상기 레시스트가 가해졌던 영역에만 존재한다.
- [0100] 비교적 강한 인 확산이, 바람직하게는 액체 POCl_3 를 사용하는 기체 상태의 확산을 포함하는 통상의 수단에 의하여 가해짐으로써, 40 내지 60 Ω/sq 의 표면 저항을 낸다. 하지만, 액체 원(source)을 적용하거나, 코팅, 디핑(dipping), 또는 스펀 온 도포(spin-on application)와 같은 통상의 방법을 적용하거나, 또는 오산화인(P_2O_5)과 같은 고체 원(source) 물질을 고온으로 가열하는 것과 같은 고체 원의 적용을 비롯한 다른 확산원들 또는 방법들이 사용될 수 있다. 일반적으로는, 통상적인 기체 상태의 POCl_3 확산이 바람직하다.
- [0101] 인 확산 후에, 상기 웨이퍼가 HF산을 이용하는 것 등에 의하여 다시 화학적으로 식각된다. 충분한 양의 HF산이 일정 기간 동안 가해져서 상기 전면과 후면이 소수성을 띠게 되는데, 이는 상기 웨이퍼를 용액으로부터 제거할 때 수성 HF산 용액의 "시팅"효과(sheeting effect)로부터 쉽게 확인될 수 있다.
- [0102] 상기 2차 식각 단계 후에, 전면과 후면 상의 벗겨진 실리콘 표면은 유전총의 증착에 의하여 보호막이 쳐지는 것이 바람직하나, 이는 임의적인 것이다. 통상적으로 PECVD에 의하여 SiN에 증착되며, 패시베이션을 위한 다른 방법 및 물질 등이 대안적으로 사용될 수도 있다. 여기에서 논의되는 바와 같이, 만약 상기 후면 확산장벽 산화물이 위에서 논의된 특정 조건하에서 실행 가능한 화학적 식각과 같은 것에 의하여 제거되지 않는다면, 후면에 대한 패시베이션은 생략될 수 있다.
- [0103] 패시베이션 후에, 음극 그리드 컨택들과 양극 그리드 컨택들이 가해진다. 음극 그리드를 위하여 은 페이스트를 스크린 프린팅하고, 양극 그리드를 위하여 은:알루미늄 페이스트를 스크린 프린팅하는 것과 같이, 그리드 금속 도포를 위한 어떠한 통상적인 방법도 사용될 수 있다. 상기 페이스트는, 바람직하게는 바인더(binder), 용매(solvent), 기타 스크린 프린팅 가능한 페이스트를 만들기 위한 것으로서 업계에서 알려지고 사용되는 것들을 더 포함할 수 있는 액체 포뮬레이션(formulation) 내에서 은 또는 은:알루미늄의 입자형태의 조합에 의하여 만들어질 수 있다. 글래그 프리트와 같이 질화물을 녹일 수 있는 성분을 함유한 페이스트 포뮬레이션을 사용하는 것이 가능하고 또한 바람직하다(M. Hilali, supra 참조). 그 후, 상기 웨이퍼가 점화되어 그리드 컨택들을 금속화 시킨다.
- [0104] 따라서, 이 방법은 다음과 같이 요약될 수 있음을 알 수 있을 것인바, 어떤 단계들은 주어진 것과 다른 순서로 수행될 수 있으며, 여전히 희망하던 결과물을 도출함을 알 수 있다:
- [0105] 1. 홀을 레이저 드릴링
 - [0106] 2. 웨이퍼를 알칼리 식각
 - [0107] 3. SOG 도포
 - [0108] 4. SOG 고밀도화
 - [0109] 5. 레시스트 프린팅
 - [0110] 6. SOG 식각
 - [0111] 7. 레시스트를 벗겨내고 웨이퍼 세척
 - [0112] 8. POCl_3 확산(40 내지 60 Ω/sq)
 - [0113] 9. HF 식각, 소수성의 양 표면
 - [0114] 10. 전면에 질화물을 PECVD

[0115] 11. 후면에 질화물을 PECVD

[0116] 12. 음극 그리드를 위해 은 프린팅

[0117] 13. 양극 그리드를 위해 은:알루미늄 프린팅

[0118] 14. 컨택들의 점화

[0119] 도 5A에 도시된 바와 같이, 홀들(52)이 레이저 드릴링되고, 실리콘 기판, 바람직하게는 p형 실리콘 웨이퍼(50)에서 알칼리 식각된다. 그 뒤, 도 5B에 도시된 바와 같이 BSG 또는 BSG 또는 갈륨, 인듐 또는 알루미늄과 같은 다른 p형 도편트 산화물들과 혼합된 다른 SOG와 같은 p형 SOG가 후면에 가해진다. 그 뒤, 프린팅된 식각 레시스트(56)가, 요구되는 그리드에 상응하는 식으로 가해진다. HF산 식각과 같은 식각단계 후에, 도 5C에 도시된 바와 같이 p형 패턴 SOG(54)가 형성된다. 남아있는 구조는 레시스트(56)에 의해 덮여진 패터닝된 p형 SOG(54)만으로 구성되도록 홀(52) 내부의 p형 SOG도 식각 단계 중에 제거된다. 도 5D에 도시된 바와 같이, 그 뒤 상기 레시스트가 제거되어, 패터닝된 p형 SOG(54)만이 웨이퍼(50) 상에 남게 된다. 그 뒤, 도 5E에 도시된 바와 같이, 강한 POCl_3 확산(40 내지 60 Ω/sq)이 수행되어 결과적으로 n형 확산층(62) 및 p형 확산층(64)이 형성된다. 도 5F는 HF산 식각 및 도편트 SOG 클래스(54)의 제거 후의 웨이퍼를 나타낸 것이다. 도 5G는 완성된 태양전지를 나타낸 것으로서, 음극 그리드를 위하여 은 페이스트를 도포하고 양극 그리드를 위하여 은:알루미늄 페이스트를 도포한 뒤 점화함으로써 은 음극 그리드 컨택(72)과 은:알루미늄 양극 그리드 컨택(70)이 형성된 것이다. PECVD 질화규소층은 임의적으로 가해질 수 있는 것으로서, 명확성을 위하여 도시되지 않았다.

[0120] 대안적인 실시예에서, 상기 SOG 물질은 잉크젯 프린팅, 옵셋 프린팅과 같은 요구되는 패턴으로, 또는 적절한 마스킹(masking) 또는 스텐실링(stenciling)에 의하여 가해짐으로써 패터닝된 SOG 물질이 된다. 이 방법의 사용에 의하여, 레시스트의 프린팅과 이에 연관된 식각 및 벗김(strip) 단계를 제거할 수 있게 되며, 이로써 공정단계의 복잡성을 현저히 줄일 수 있게 된다.

스핀 온 클래스를 확산장벽 및 도편트 원으로 사용

[0122] 또 다른 실시예에서, 본 발명은 백 컨택 EWT 전지의 제작을 위하여, 프린팅된 SOG 물질의 사용 또는 스핀 온(spin-on) 또는 스프레이온(spray-on) 기술에 의하여 가해진 SOG의 사용을 채택하는 대안적인 방법들을 제공한다. 상기 공정은 후면 상에 p형 컨택 영역을 정의하기 위하여 SOG의 도포 및 패터닝으로 시작한다는 점에서 유사하다. 고밀도화된 SOG가 붕규산 유리, 또는 p형 도편트를 제공하는 다른 무기 조성물을 함유함으로써, p형 컨택 영역에서는 p형 확산이 있게 될 것이다. 대안적으로, 상기 공정은 붕규산 유리의 프린팅 및 점화로 시작할 수 있다. n형 도편트(일반적으로 인규산 유리)를 함유하는 SOG가 후면 상의 이전 패턴 위에 가해진다. 단일한 고온 노 단계(single high-temperature furnace step)는 인과 붕소를 요구되는 식으로 동시에 상기 후면에 확산시킨다.

[0123] 도 6A에 도시된 바와 같이, 홀(52)은 실리콘 기판, 바람직하게는 p형 실리콘 웨이퍼(50) 내에서 레이저 드릴링 및 알칼리 식각된다. 그 뒤, 도 6B에 도시된 바와 같이, BSG 또는 갈륨, 인듐 또는 알루미늄과 같은 다른 p형 도편트 산화물이 혼합된 BSG와 같은 p형 SOG(54)가 후면 측에 가해진다. 그 후, 프린팅된 식각 레시스트(56)가 요구되는 그리드에 상응하는 식으로 가해진다. HF산 식각과 같은 식각 단계에 있어서, 도 6C에 도시된 것과 같이 p형 패턴 SOG(54)가 형성된다. 홀(52) 내부의 p형 SOG도 식각 단계 중에 제거되는바, 남아 있는 구조는 레시스트(56)에 의하여 덮여진 패터닝된 p형 SOG만으로 구성된다. 그 후, 도 6D에 도시된 것과 같이 상기 레시스트도 제거되어, 오직 패터닝된 p형 SOG(54)만이 웨이퍼(50) 상에 남게 된다. 그 후, n형 SOG(60)가 후면 측에 가해져, 실리콘(50)을 덮고 홀(52)을 채우며 p형 SOG(54)를 덮는다. 어떠한 n형 SOG도 사용될 수 있으며, PSG가 바람직하다.

[0124] n형 SOG(60)의 도포에 있어서, 도편트를 주입하기 위하여, 산화 분위기(oxidizing atmosphere)에서 60분간, 약 900°C의 고온으로 상기 웨이퍼가 점화된다. 그 결과, 도 6F에 도시된 것과 같이, 강한 n형 확산층(62)과, 강한 p형 확산층(64)이 형성된다. 점화 중에, 일반적으로 약 80 내지 100 Ω/sq 의 저항으로, 약한 n형 확산층(66)도 동시에 상면에 가해진다. 약한 n형 확산층(66)은, 도 7에 도시된 바와 같이 자동 도핑에 의하여 가해질 수 있는데, 웨이퍼(80, 82)의 전면을 n형 SOG(60) 코팅된 웨이퍼(82, 84)의 후면에 노출시킴으로써, 인의 확산 또는 n형 SOG(60)으로부터 나온 다른 n형 도편트의 확산에 의하여 약한 확산층(66)이 만들어지는 것이다. 도 7에서, 화살표는 층(66)을 만드는 확산의 방향을 나타낸다. 따라서 본 실시예에 있어서, 상기 약한 확산층(66)은 홀(52)의 내부 벽보다 낮은 인 또는 다른 n형 도편트의 농도를 포함한다. 대안적으로, 낮은 인 함유량을 갖는 SOG가 전면에 가해질 수 있으며(도시되지 않음), 동시에 상면에 확산될 수 있다. 이러한 공정 변형들이 이하에서

설명된다. 각각의 실시예에 있어서, 이러한 변형들은 더 높은 변환 효율을 위하여 더 최적화된 확산 분포(profile)를 만들어낸다.

[0125] 도 6G는 HF산 식각 단계 및 도편트 글래스 제거 후의 웨이퍼를 나타낸다. 도 6H는 완성된 태양전지를 나타낸 것으로서, 음극 그리드를 위하여 은 페이스트를 도포하고 양극 그리드를 위하여 은:알루미늄 페이스트를 도포한 뒤 점화함으로써 은 음극 그리드 컨택(72)과 은:알루미늄 양극 그리드 컨택(70)이 형성된 것이다. PECVD 질화규소층은 임의적으로 가해질 수 있는 것으로서, 명확성을 위하여 도시되지 않았다.

[0126] 이하의 시퀀스 리스트는 n형 및 p형 SOG와 자동 도핑을 사용한 백 컨택 EWT 태양전지를 위한 제작 시퀀스의 일 실시예를 설명하는 것인바, 어떤 단계들은 제시된 것과 다른 순서에 의하여 수행될 수 있으며, 여전히 요구되는 결과물을 낼 수 있는 것으로 이해된다.

[0127] 1. 실리콘 웨이퍼에 홀을 레이저 드릴링

[0128] 2. 알칼리 식각

[0129] 3. p형 도편트를 갖는 SOG를 후면 상에 도포

[0130] 4. SOG의 고밀도화

[0131] 5. 식각 레시스트의 프린팅

[0132] 6. HF 식각

[0133] 7. 레시스트를 벗겨내고 웨이퍼 세척

[0134] 8. n형 도편트를 갖는 SOG를 후면 상에 도포

[0135] 9.튜브 노(tube furnace)의 도편트 주입(선택에 따라, 전면들의 자동 도핑을 촉진하기 위하여 상기 웨이퍼들을 정렬한 상태에서)

[0136] 10. HF식각

[0137] 11. 전면 상에 질화물의 PECVD

[0138] 12. 후면 상에 질화물의 PECVD

[0139] 13. 음극 그리드를 위한 은 프린팅

[0140] 14. 양극 그리드를 위한 은:알루미늄 프린팅

[0141] 15. 컨택들의 점화

[0142] 이하의 시퀀스 리스트는 n형 및 p형 SOG와 전면의 도핑을 위한 분리된 SOG를 사용한 백 컨택 EWT 태양전지를 위한 제작 시퀀스의 대안적인 실시예를 설명하는 것인바, 어떤 단계들은 제시된 것과 다른 순서에 의하여 수행될 수 있으며, 여전히 요구되는 결과물을 낼 수 있는 것으로 이해된다.

[0143] 1. 실리콘 웨이퍼에 홀을 레이저 드릴링

[0144] 2. 알칼리 식각

[0145] 3. p형 도편트를 갖는 SOG를 후면 상에 도포

[0146] 4. SOG의 고밀도화

[0147] 5. 식각 레시스트를 프린팅

[0148] 6. HF 식각

[0149] 7. 레시스트를 벗겨내고 웨이퍼 세척

[0150] 8. n형 도편트를 갖는 SOG를 후면 상에 도포

[0151] 9. 고밀도화

[0152] 10. 낮은 농도의 n형 도편트를 갖는 SOG를 전면 상에 도포

[0153] 11. 투브 노(tube furnace)의 도펀트 주입

[0154] 12. HF 식각

[0155] 13. 전면 상에 질화물의 PECVD

[0156] 14. 후면 상에 질화물의 PECVD

[0157] 15. 음극 그리드를 위한 은 프린팅

[0158] 16. 양극 그리드를 위한 은:알루미늄 프린팅

[0159] 17. 컨택들의 점화

[0160] 대안적으로, 상기 전면 확산은 개별 단계로 수행될 수 있는데, 이는 투브 노(tube furnace) 대신 벨트 노(belt furnace)의 사용을 가능하게 한다.

[0161] 전술한 방법들은, 일반적으로 또는 특수하게 설명된 본 발명의 반응물들과 작동 조건들 중 적어도 하나로 상기 방법들에서 사용된 것들을 치환함으로써 유사한 성과를 가지고 반복될 수 있다.

[0162] 본 발명은, 특정 참고문헌을 이용하여 이러한 바람직한 실시예들에 대하여 상세히 설명하였으나, 다른 실시예들이 동일한 결과를 달성할 수 있다. 본 발명의 변형 및 수정이 당업자에게 명백할 것이며, 이러한 모든 변형 및 등가는 첨부된 본 발명의 청구항에서 망라되는 것으로 의도된다. 상기 인용된 모든 참고문헌, 출원, 특히 및 간행물들의 전체 개시내용은 본원의 참조로서 포함된다.

도면의 간단한 설명

[0031] 본 명세서에 포함되어 그 일부를 형성하는 첨부 도면은 본 발명의 1개 이상의 실시예들을 도시하며, 상세한 설명과 함께 본 발명의 원리를 설명한다. 도면은 단지 본 발명의 1개 이상의 바람직한 실시예들을 예시하기 위한 것으로서, 본 발명을 한정하는 것으로서 해석되어서는 안 된다.

[0032] 도 1은 일반적인 백 컨택 태양전지(10)를 도시한 것이고,

[0033] 도 2A는 본 발명에 따른 백 컨택 전지 공정 시퀀스에서 드릴링 및 식각된 실리콘 웨이퍼의 단면도; 도 2B는 도 2A의 웨이퍼의 부분을 나타낸 평면도,

[0034] 도 3A는 본 발명에 따른 백 컨택 전지 공정 시퀀스에서 인(및 봉소) 확산원 페이스트(pastes)가 프린팅된 후의 도 2의 웨이퍼를 나타낸 단면도; 도 3B는 본 발명에 따른 백 컨택 전지 공정 시퀀스에서 고온에서의 도펀트 확산 후의 도 3A의 웨이퍼를 나타낸 단면도; 도 3C는 프린팅된 확산원을 이용한 본 발명에 따른 백 컨택 전지 공정 시퀀스에 의하여 완성된 도 3A, 3B의 실리콘 웨이퍼의 단면도; 도 3D는 인-확산 그리드 패턴들을 나타낸 평면도,

[0035] 도 4A 내지 4N는 프린팅된 확산 장벽을 이용한 백 컨택 EWT 전지를 만들기 위한 본 발명에 따른 제작 시퀀스의 단계들을 나타낸 단면도,

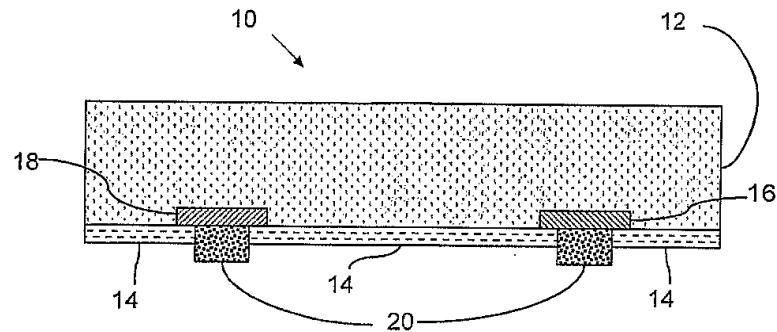
[0036] 도 5A 내지 5G는 SOG 응용을 이용한 EWT 전지를 만들기 위한 본 발명에 따른 제작 시퀀스의 단계들을 나타낸 단면도,

[0037] 도 6A 내지 6H는 다중 SOG 응용을 이용한 백 컨택 EWT 전지를 만들기 위한 본 발명에 따른 제작 시퀀스의 단계들을 나타낸 단면도,

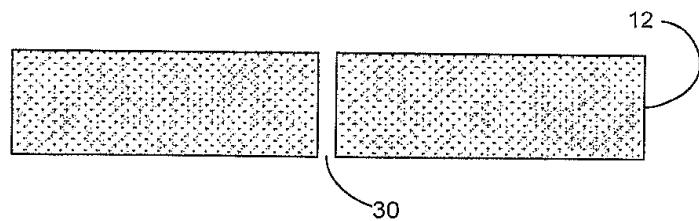
[0038] 도 7은 웨이퍼가 수직으로 유지된 상태에서 투브 확산(tube diffusion) 되는 동안의 본 발명에 따른 자동 도핑(autodoping) 공정을 나타낸 단면도이다.

도면

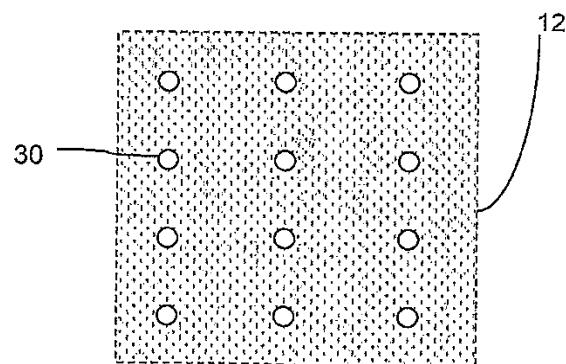
도면1



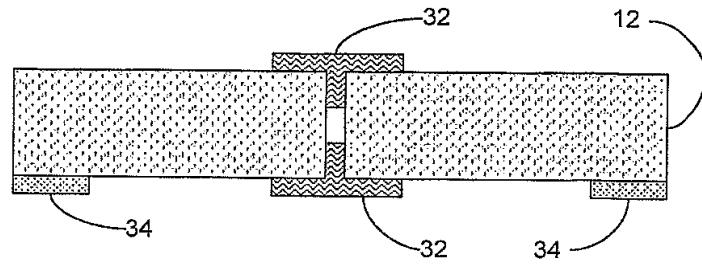
도면2A



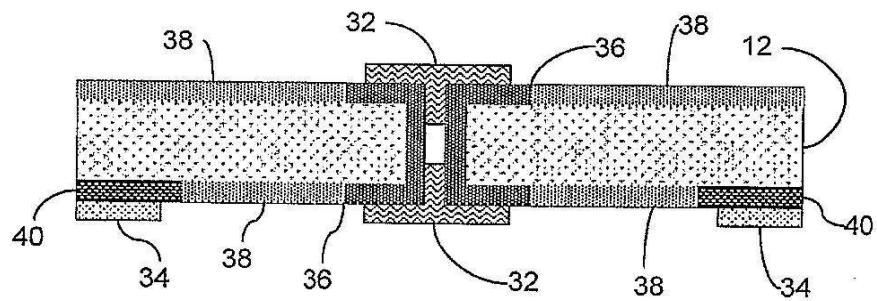
도면2B



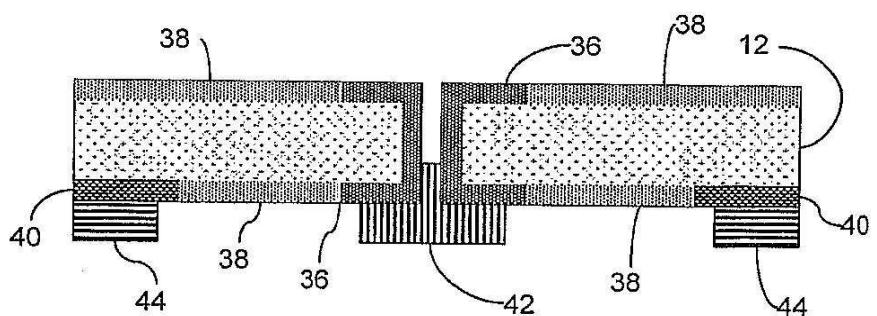
도면3A



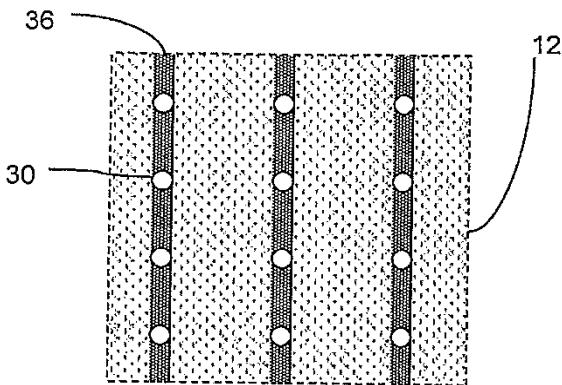
도면3B



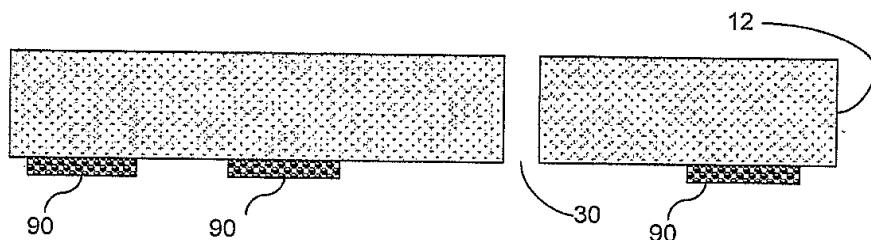
도면3C



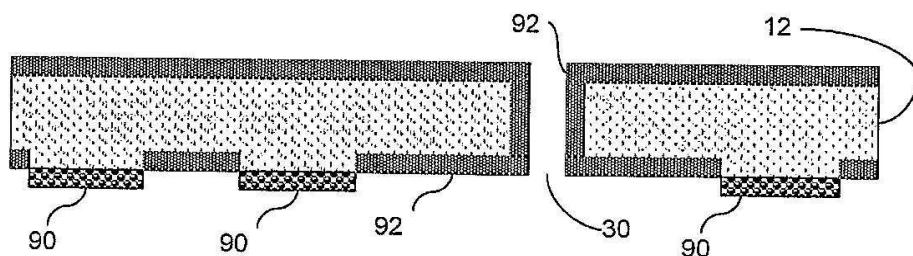
도면3D



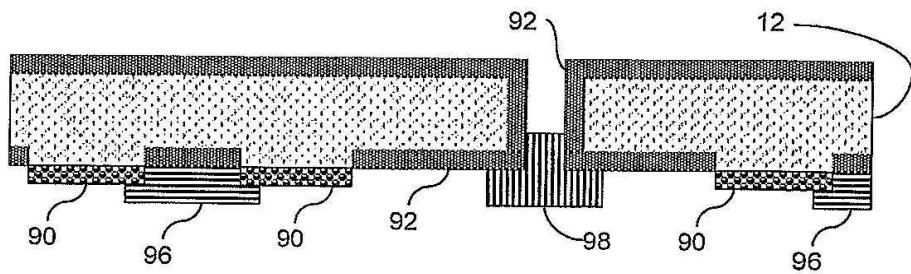
도면4A



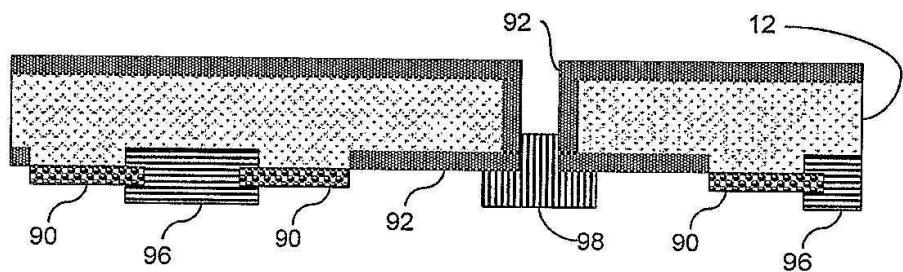
도면4B



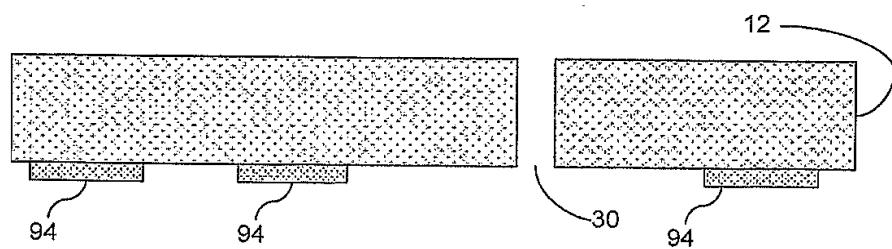
도면4C



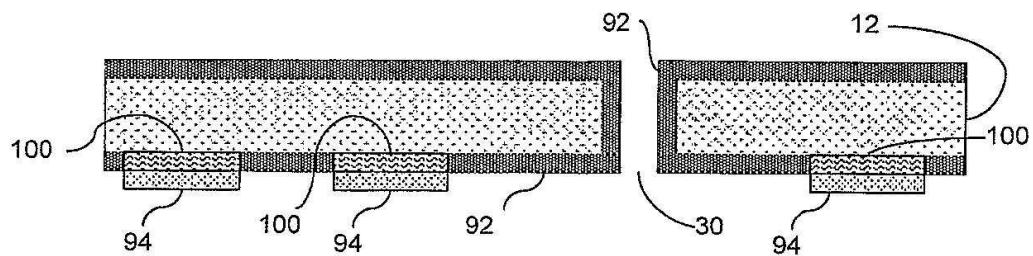
도면4D



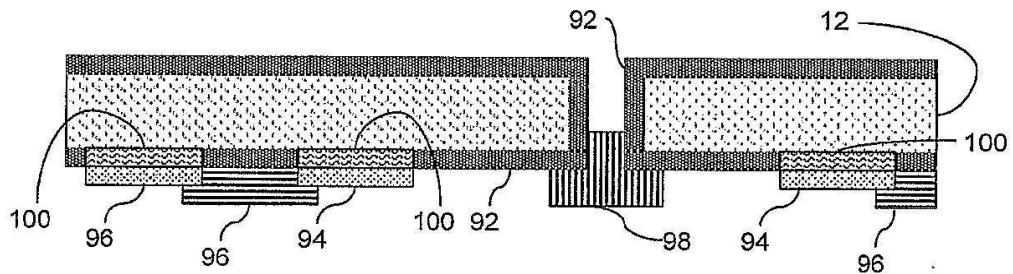
도면4E



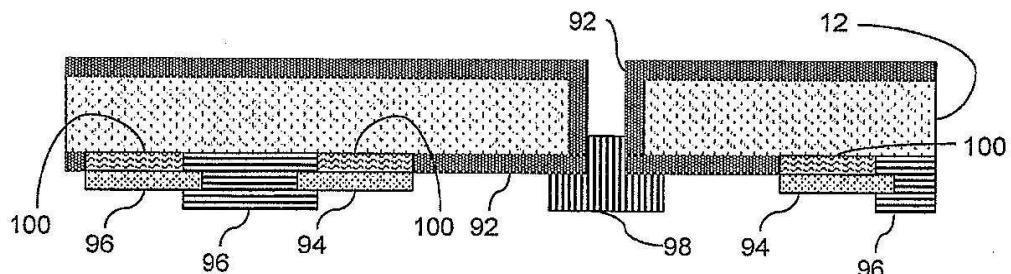
도면4F



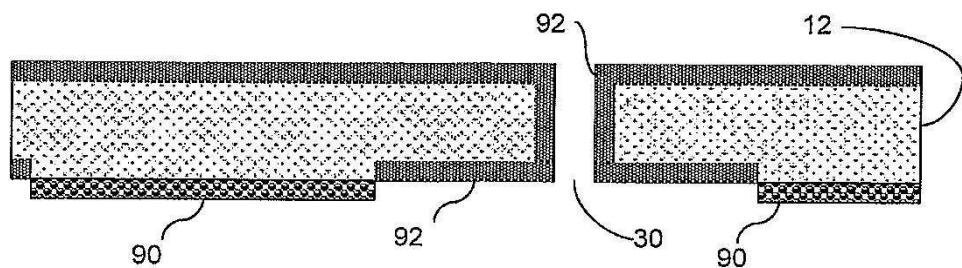
도면4G



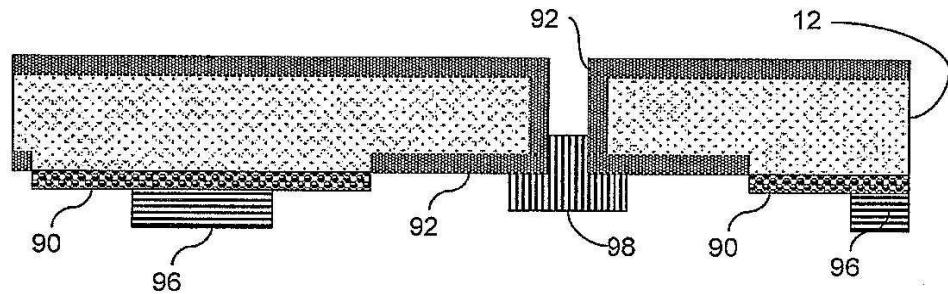
도면4H



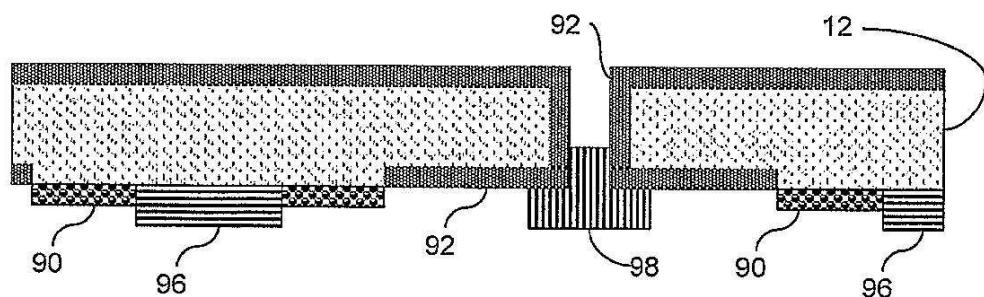
도면4I



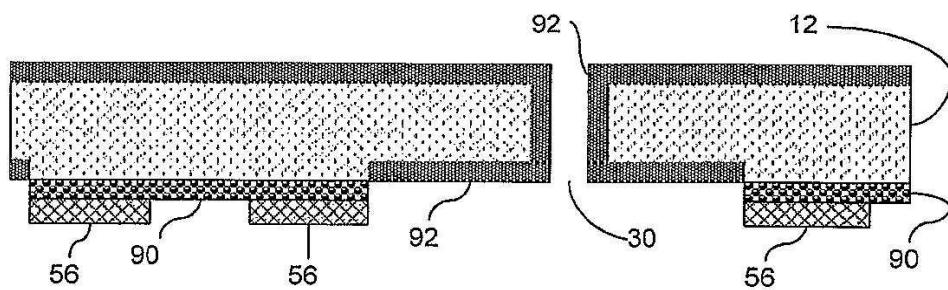
도면4J



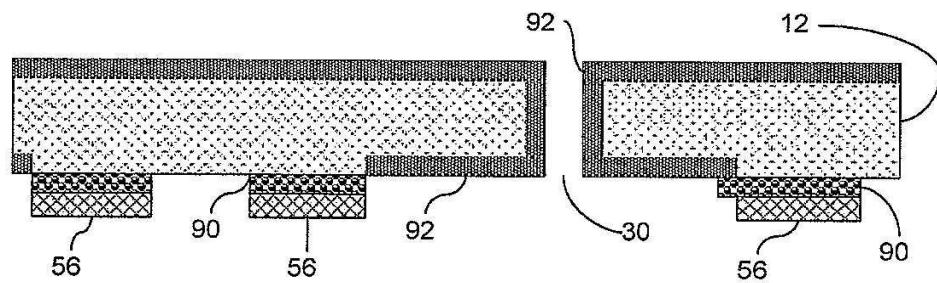
도면4K



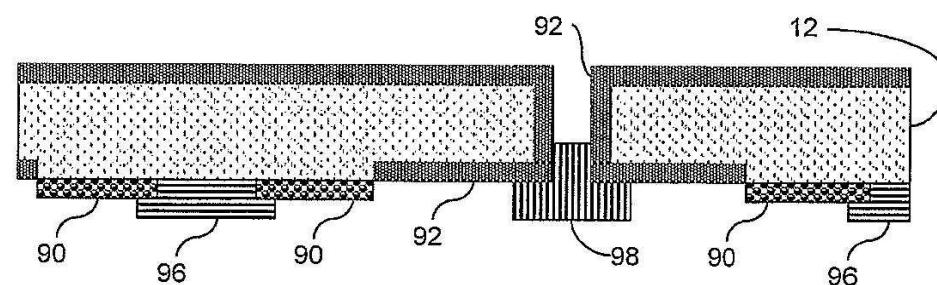
도면4L



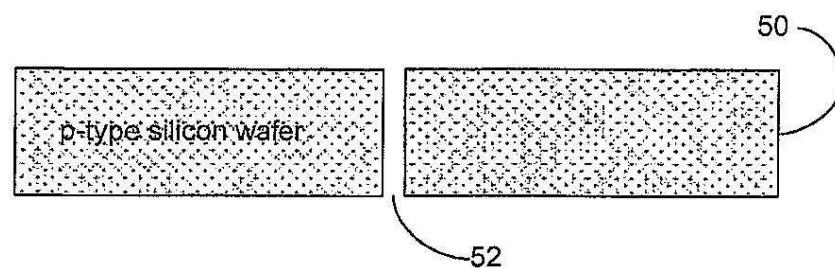
도면4M



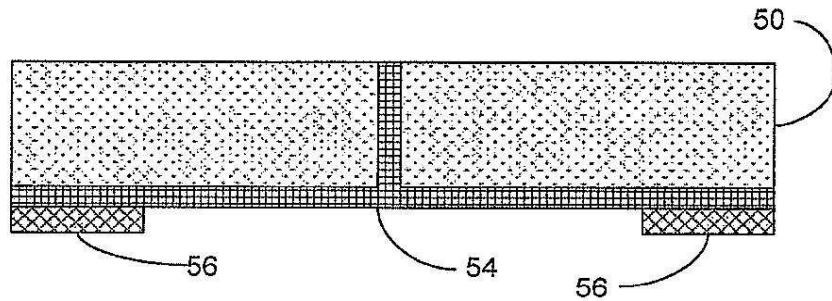
도면4N



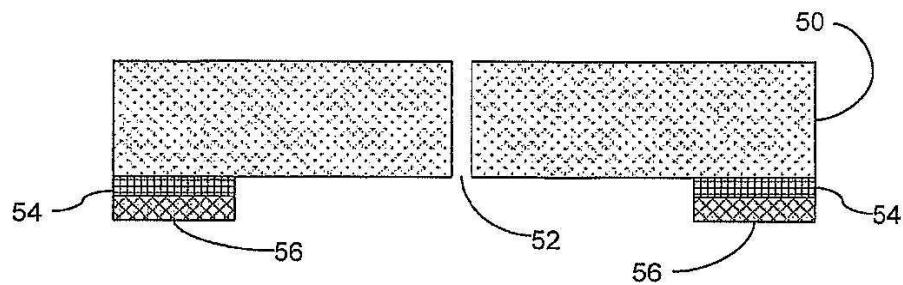
도면5A



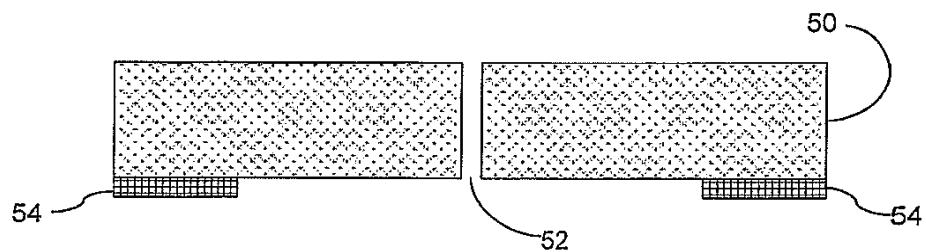
도면5B



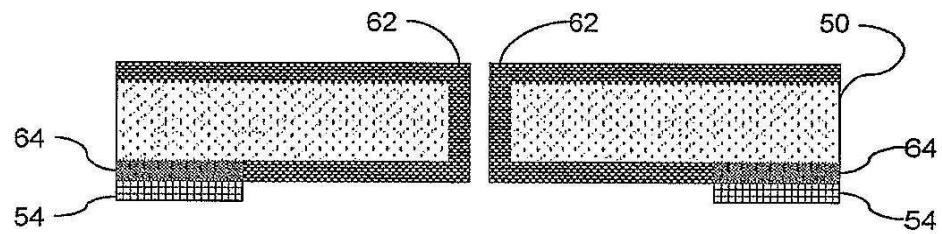
도면5C



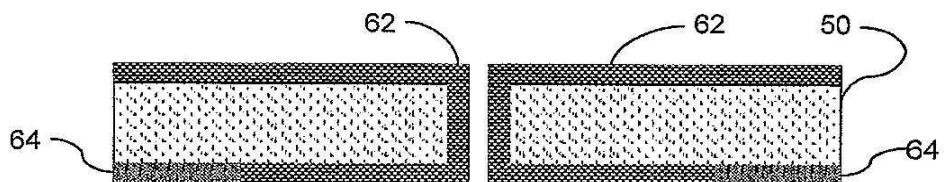
도면5D



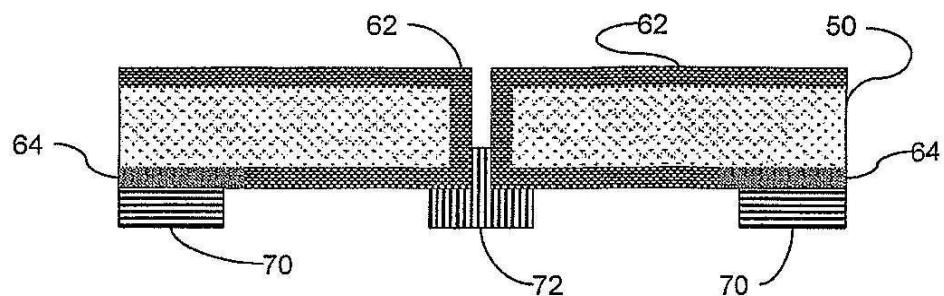
도면5E



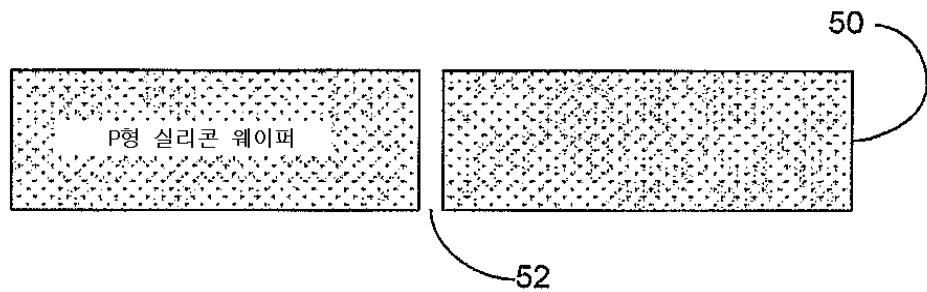
도면5F



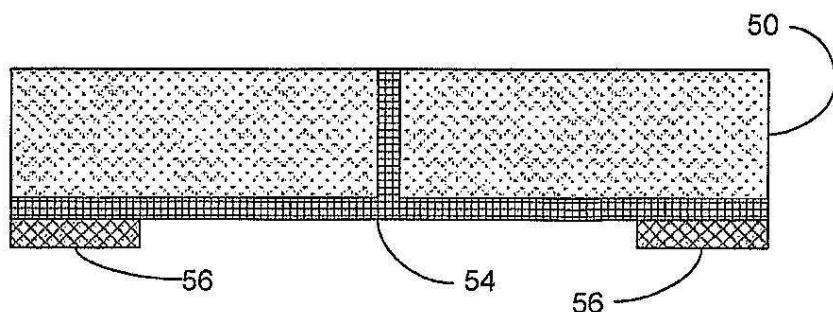
도면5G



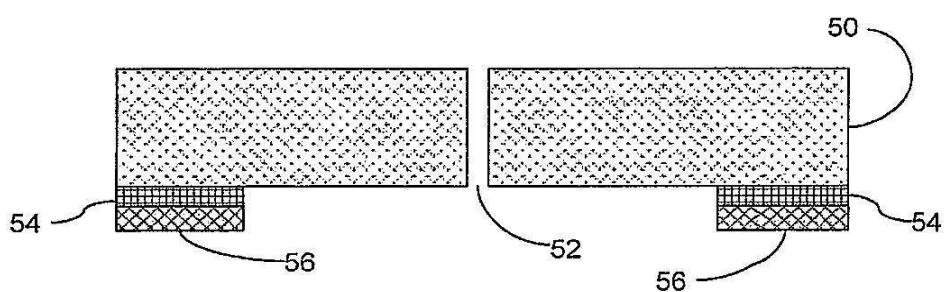
도면6A



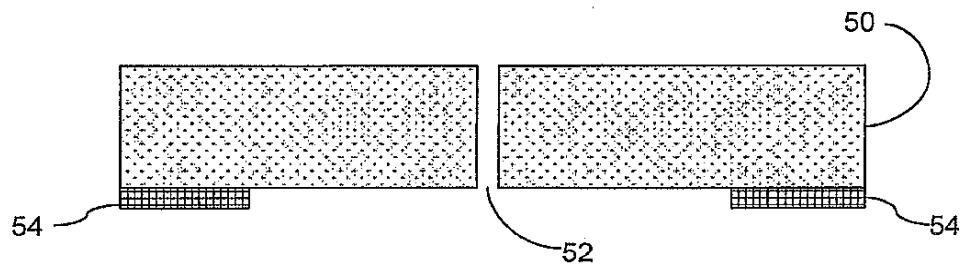
도면6B



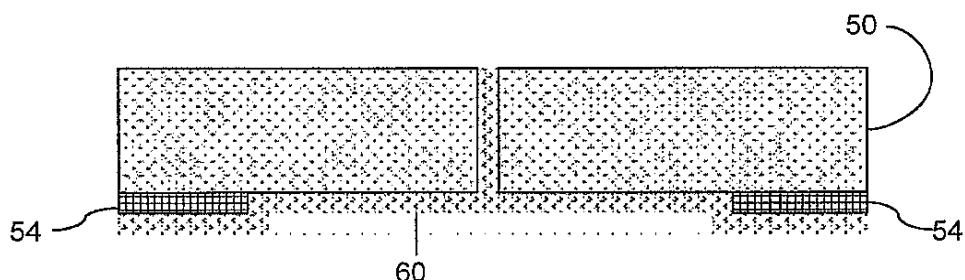
도면6C



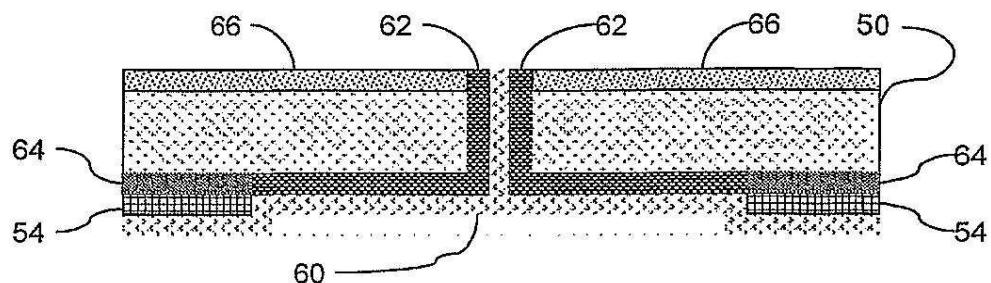
도면6D



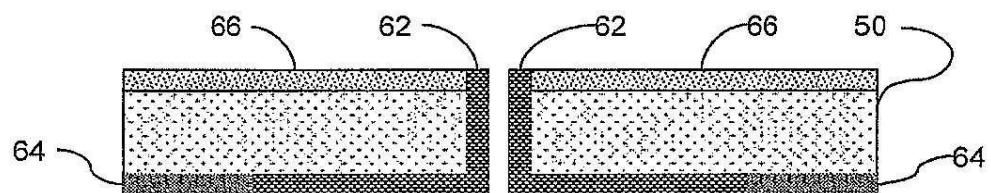
도면6E



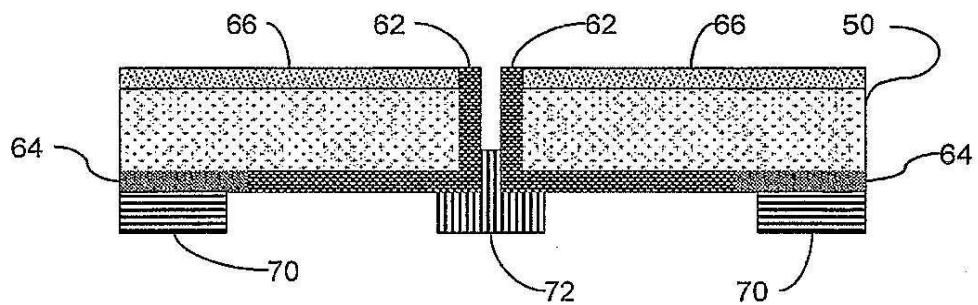
도면6F



도면6G



도면6H



도면7

