

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-181696

(P2016-181696A)

(43) 公開日 平成28年10月13日(2016.10.13)

(51) Int.Cl.	F 1	テーマコード (参考)		
HO1L 21/336 (2006.01)	HO1L 29/78	616L	2H192	
HO1L 29/786 (2006.01)	HO1L 29/78	618B	5C094	
HO1L 21/8234 (2006.01)	HO1L 29/78	616V	5F048	
HO1L 27/088 (2006.01)	HO1L 29/78	627Z	5F083	
HO1L 21/322 (2006.01)	HO1L 27/08	102E	5F110	

審査請求 未請求 請求項の数 8 O L (全 114 頁) 最終頁に続く

(21) 出願番号	特願2016-58188 (P2016-58188)	(71) 出願人	000153878
(22) 出願日	平成28年3月23日 (2016.3.23)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2015-60420 (P2015-60420)		神奈川県厚木市長谷398番地
(32) 優先日	平成27年3月24日 (2015.3.24)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2015-60421 (P2015-60421)		半導体エネルギー研究所内
(32) 優先日	平成27年3月24日 (2015.3.24)	F ターム (参考)	2H192 AA24 BC31 CB05 CB08 CB37
(33) 優先権主張国	日本国 (JP)		CB53 DA12 DA42 EA67 FB02
(31) 優先権主張番号	特願2015-66943 (P2015-66943)		5C094 AA21 AA25 BA03 BA27 BA43
(32) 優先日	平成27年3月27日 (2015.3.27)		CA19 DA13 DA15 FA02 FB02
(33) 優先権主張国	日本国 (JP)		FB05 FB14 FB15 GB01 HA05
			HA07 HA08 JA01 JA09

最終頁に続く

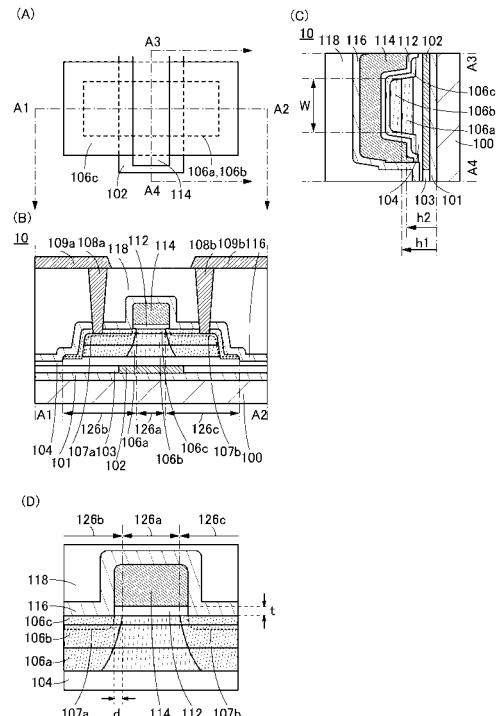
(54) 【発明の名称】半導体装置の作製方法

(57) 【要約】

【課題】安定した電気特性を有するトランジスタを提供する。

【解決手段】基板上、酸化物半導体と、第1の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、酸化物半導体は第1の絶縁体上に配置され、第2の絶縁体は酸化物半導体上に配置され、第3の絶縁体は第2の絶縁体上に配置され、第1の導電体は第3の絶縁体上に配置される半導体装置の作製方法であって、酸化物半導体は、第1の領域と、第2の領域と、を有し、第1の領域は、第1の導電体をマスクとして、酸化物半導体にイオン注入を行った後、第1の導電体をマスクとして、酸化物半導体に水素の添加を行うことによって形成することを特徴とする半導体装置の作製方法である。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

基板上の、酸化物半導体と、第1の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、前記酸化物半導体は前記第1の絶縁体上に配置され、前記第2の絶縁体は前記酸化物半導体上に配置され、前記第3の絶縁体は前記第2の絶縁体上に配置され、前記第1の導電体は前記第3の絶縁体上に配置される半導体装置の作製方法であって、

前記酸化物半導体は、第1の領域と、第2の領域と、を有し、

前記第1の領域は、前記第1の導電体をマスクとして、前記酸化物半導体にイオン注入を行った後、前記第1の導電体をマスクとして、前記酸化物半導体に水素の添加を行うことによって形成することを特徴とする半導体装置の作製方法。 10

【請求項 2】

基板上の、酸化物半導体と、第1の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、前記酸化物半導体は前記第1の絶縁体上に配置され、前記第2の絶縁体は前記酸化物半導体上に配置され、前記第3の絶縁体は前記第2の絶縁体上に配置され、前記第1の導電体は前記第3の絶縁体上に配置される半導体装置の作製方法であって、

前記酸化物半導体は、第1の領域と、第2の領域と、を有し、

前記第1の領域は、前記第1の導電体をマスクとして、前記酸化物半導体にイオン注入を行った後、加熱処理を行うことで前記第2の領域にある水素をゲッタリングさせることによって形成することを特徴とする半導体装置の作製方法。 20

【請求項 3】

基板上の、酸化物半導体と、第1の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、前記酸化物半導体は前記第1の絶縁体上に配置され、前記第2の絶縁体は前記酸化物半導体上に配置され、前記第3の絶縁体は前記第2の絶縁体上に配置され、前記第1の導電体は前記第3の絶縁体上に配置される半導体装置の作製方法であって、

前記酸化物半導体は、第1の領域と、第2の領域と、を有し、

前記第1の領域は、前記第1の導電体をマスクとして、前記酸化物半導体にイオン注入を行った後、前記第1の導電体の側面に接して第4の絶縁体を形成し、前記第1の導電体と前記第4の絶縁体をマスクとして、前記酸化物半導体に水素の添加を行うことによって形成することを特徴とする半導体装置の作製方法。 30

【請求項 4】

請求項1乃至請求項3のいずれか一において、

前記イオン注入によって、少なくとも前記酸化物半導体に酸素欠損を形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項1乃至請求項4のいずれか一において、

前記イオン注入によって、ヘリウムイオン、ネオンイオン、アルゴンイオン、クリプトンイオンまたはキセノンイオンを注入することを特徴とする半導体装置の作製方法。 40

【請求項 6】

請求項1乃至請求項5のいずれか一において、

前記イオン注入は、前記基板面の法線に対して 10° 以上 60° 以下の入射角となるように注入する第1のステップと、 -60° 以上 -10° 以下の入射角となるように注入する第2のステップと、を有することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項1乃至請求項6のいずれか一において、

前記第2の領域は、キャリア密度が 1×10^9 個 / cm^3 未満である領域を有することを特徴とする半導体装置の作製方法。

【請求項 8】

10

20

30

40

50

請求項 1 乃至 請求項 7 のいずれか一において、

前記第 1 の絶縁体、前記第 2 の絶縁体および前記酸化物半導体は、ガリウムを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、トランジスタおよび半導体装置に関する。または、本発明は、例えば、トランジスタおよび半導体装置の製造方法に関する。または、本発明は、例えば、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサ、電子機器に関する。または、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の製造方法に関する。または、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

10

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用して機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

20

【背景技術】

【0004】

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。

【0005】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

30

【0006】

近年では、酸化物半導体（代表的には $In - Ga - Zn$ 酸化物）を用いたトランジスタの開発が活発化している。酸化物半導体の歴史は古く、1988年には、結晶 $In - Ga - Zn$ 酸化物を半導体素子へ利用することが開示されている（特許文献 1 参照。）。また、1995年には、酸化物半導体を用いたトランジスタが発明されており、その電気特性が開示されている（特許文献 2 参照。）。

40

【0007】

2010年には、非晶質 $In - Ga - Zn$ 酸化物を用いたトランジスタと比べ、優れた電気特性および信頼性を有する、結晶性 $In - Ga - Zn$ 酸化物を用いたトランジスタが開発された（特許文献 3 参照。）。該結晶性 $In - Ga - Zn$ 酸化物は、c 軸配向性を有することから、CAAC-OS（C-Axis-Aligned Crystalline Oxide Semiconductor）などとも呼ばれている。

【0008】

CAAC-OS を用いたトランジスタは、その発見以降、優れた電気特性を有することが報告されてきた。CAAC-OS を用いたトランジスタは、例えば、以下のような点においては、シリコンを用いたトランジスタよりも優れた特性を有している。

50

【0009】

CAAC-OSを用いたトランジスタは、短チャネルであってもフォノン散乱の影響が小さいため、電界効果移動度の低下が起こりにくいことが報告されている（非特許文献1参照。）。また、CAAC-OSを用い、surrounded channel(s-channel)構造を有するトランジスタは、短チャネルにおいても良好なスイッチング特性を有することが報告されている（非特許文献2参照。）。また、CAAC-OSを用いたトランジスタは高い動作速度を有する。例えば、20GHzの遮断周波数が報告されている（非特許文献3参照。）。また、CAAC-OSを用いたトランジスタは、高い耐圧特性を有することが報告されている（特許文献4参照。）。また、CAAC-OSを用いたトランジスタは、温度による特性の変動が小さいことが報告されている（特許文献5参照。）。

10

【0010】

また、酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタ、および多結晶シリコンを用いたトランジスタとは異なる特徴を有する。例えば、酸化物半導体を用いたトランジスタを適用した表示装置は、消費電力が低いことが知られている。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタに用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

20

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開昭63-239117

【特許文献2】特表平11-505377

【特許文献3】特開2011-86923

【特許文献4】特開2012-256838

【特許文献5】特開2013-250262

【0012】

【非特許文献1】S. Matsuda et al. : Extended Abstracts International Conference on Solid State Devices and Materials, 2014, pp 138-139

30

【非特許文献2】Y. Kobayashi et al. : IEEE ELECTRON DEVICE LETTERS, April 2015, Vol. 36, No. 4, pp 309-311

【非特許文献3】Y. Yakubo et al. : Extended Abstracts International Conference on Solid State Devices and Materials, 2014, pp 648-649

【発明の概要】

【発明が解決しようとする課題】

【0013】

安定した電気特性を有するトランジスタを提供することを課題の一とする。または、非導通時のリーク電流の小さいトランジスタを提供することを課題の一とする。または、オン電流の大きいトランジスタを提供することを課題の一とする。または、ノーマリーオフの電気特性を有するトランジスタを提供することを課題の一とする。または、サブスレッショルドスイッチング値の小さいトランジスタを提供することを課題の一とする。または、信頼性の高いトランジスタを提供することを課題の一とする。

【0014】

または、該トランジスタを有する半導体装置を提供することを課題の一とする。または

40

50

、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。

【0015】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0016】

(1) 本発明の一態様は、基板上の、酸化物半導体と、第1の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、酸化物半導体は第1の絶縁体上に配置され、第2の絶縁体は酸化物半導体上に配置され、第3の絶縁体は第2の絶縁体上に配置され、第1の導電体は第3の絶縁体上に配置される半導体装置の作製方法であって、酸化物半導体は、第1の領域と、第2の領域と、を有し、第1の領域は、第1の導電体をマスクとして、酸化物半導体にイオン注入を行った後、第1の導電体をマスクとして、酸化物半導体に水素の添加を行うことによって形成することを特徴とする半導体装置の作製方法である。

【0017】

(2) 本発明の一態様は、基板上の、酸化物半導体と、第1の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、酸化物半導体は第1の絶縁体上に配置され、第2の絶縁体は酸化物半導体上に配置され、第3の絶縁体は第2の絶縁体上に配置され、第1の導電体は第3の絶縁体上に配置される半導体装置の作製方法であって、酸化物半導体は、第1の領域と、第2の領域と、を有し、第1の領域は、第1の導電体をマスクとして、酸化物半導体にイオン注入を行った後、加熱処理を行うことで第2の領域にある水素をゲッタリングさせることによって形成することを特徴とする半導体装置の作製方法である。

【0018】

(3) 本発明の一態様は、基板上の、酸化物半導体と、第1の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、を有し、酸化物半導体は第1の絶縁体上に配置され、第2の絶縁体は酸化物半導体上に配置され、第3の絶縁体は第2の絶縁体上に配置され、第1の導電体は第3の絶縁体上に配置される半導体装置の作製方法であって、酸化物半導体は、第1の領域と、第2の領域と、を有し、第1の領域は、第1の導電体をマスクとして、酸化物半導体にイオン注入を行った後、第1の導電体の側面に接して第4の絶縁体を形成し、第1の導電体と第4の絶縁体をマスクとして、酸化物半導体に水素の添加を行うことによって形成することを特徴とする半導体装置の作製方法である。

【0019】

上述の半導体装置の作製方法においてイオン注入によって、少なくとも酸化物半導体に酸素欠損を形成することが好ましい。

【0020】

上述の半導体装置の作製方法においてイオン注入によって、ヘリウムイオン、ネオンイオン、アルゴンイオン、クリプトンイオンまたはキセノンイオンを注入することが好ましい。

【0021】

上述の半導体装置の作製方法においてイオン注入は、基板面の法線に対して 10° 以上 60° 以下の入射角となるように注入する第1のステップと、 -60° 以上 -10° 以下の入射角となるように注入する第2のステップと、を有することが好ましい。

【0022】

上述の半導体装置の作製方法において第2の領域は、キャリア密度が 1×10^9 個 / cm^2

10

20

30

40

50

m^3 未満である領域を有することが好ましい。

【0023】

上述の半導体装置の作製方法において第1の絶縁体、第2の絶縁体および酸化物半導体は、酸素およびガリウムを有していてもよい。

【発明の効果】

【0024】

安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーコンデンサーの小さいトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

10

【0025】

または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供することができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

【0026】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

20

【図面の簡単な説明】

【0027】

【図1】本発明の一態様に係るトランジスタを説明する上面図および断面図。

【図2】本発明の一態様に係るトランジスタを説明する断面図。

【図3】本発明の一態様に係るトランジスタを説明する断面図。

【図4】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図5】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

30

【図6】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図7】イオンの入射を説明する図。

【図8】InGaN_{0.4}O₄結晶構造を説明する図。

【図9】水素に関する欠陥の形成エネルギーを説明する図。

【図10】V₀-H間距離に対する相対エネルギーを説明する図。

【図11】水素に関する欠陥の形成エネルギーを説明する図。

【図12】V₀内から水素が抜け出す経路およびエネルギー変化を説明する図。

【図13】水素の拡散経路およびエネルギー変化を説明する図。

【図14】本発明の一態様に係るトランジスタを説明する上面図および断面図。

40

【図15】本発明の一態様に係るトランジスタを説明する断面図。

【図16】本発明の一態様に係るトランジスタを説明する断面図。

【図17】本発明の一態様に係るトランジスタを説明する断面図。

【図18】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図19】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図20】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図21】CAAC-OSの断面におけるCs補正高分解能TEM像、およびCAAC-OSの断面模式図。

【図22】CAAC-OSの平面におけるCs補正高分解能TEM像。

【図23】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

50

- 【図 2 4】C A A C - O S の電子回折パターンを示す図。
- 【図 2 5】In - Ga - Zn 酸化物の電子照射による結晶部の変化を示す図。
- 【図 2 6】本発明の一態様に係る半導体装置を示す回路図。
- 【図 2 7】本発明の一態様に係る半導体装置を示す断面図。
- 【図 2 8】本発明の一態様に係る半導体装置を示す断面図。
- 【図 2 9】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 0】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 1】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 2】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 3】本発明の一態様に係る記憶装置を示す回路図。 10
- 【図 3 4】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 5】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 6】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 7】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 8】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 9】本発明の一態様に係る半導体装置を示す断面図。
- 【図 4 0】本発明の一態様に係る半導体装置を示す回路図。
- 【図 4 1】本発明の一態様に係る半導体装置を示す断面図。
- 【図 4 2】本発明の一態様に係る半導体装置を示す断面図。
- 【図 4 3】本発明の一態様に係る半導体装置を示す回路図。 20
- 【図 4 4】本発明の一態様に係る半導体装置を示す上面図。
- 【図 4 5】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 4 6】本発明の一態様に係る半導体装置を示す断面図。
- 【図 4 7】本発明の一態様に係る半導体装置を示す断面図。
- 【図 4 8】本発明の一態様に係る半導体装置を示す断面図。
- 【図 4 9】本発明の一態様に係る半導体装置を示す斜視図および断面図。
- 【図 5 0】本発明の一態様に係る半導体装置を示すブロック図。 30
- 【図 5 1】本発明の一態様に係る半導体装置を示す回路図。
- 【図 5 2】本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。
- 【図 5 3】本発明の一態様に係る半導体装置を示す回路図および断面図。
- 【図 5 4】本発明の一態様に係る半導体装置を示す断面図。
- 【図 5 5】本発明の一態様に係る電子機器を示す斜視図。

【発明を実施するための形態】

【0 0 2 8】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。 40

【0 0 2 9】

以下の実施の形態に示す構成は、実施の形態に示す他の構成に対して適宜、適用、組み合わせ、又は置き換えなどを行って、本発明の一態様とすることができます。

【0 0 3 0】

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【0 0 3 1】

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。

【0 0 3 2】

10

20

30

40

50

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が0Vであるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。

【0033】

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0034】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of State) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0035】

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0036】

チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0037】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅

10

20

30

40

50

の方が大きくなる。

【0038】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるために、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

【0039】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0040】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0041】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、-5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0042】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0043】

(実施の形態 1)

本実施の形態では、本発明の一態様に係る半導体装置の構成について、図1乃至図3を用いて説明する。

【0044】

<トランジスタの構成 1>

以下では、本発明の一態様に係る半導体装置の一例としてトランジスタの構成について説明する。

【0045】

図1(A)乃至(C)を用いてトランジスタ10の構成について説明する。図1(A)はトランジスタ10の上面図である。図1(B)は図1(A)の一点鎖線A1-A2に対応する断面図である。図1(C)は図1(A)の一点鎖線A3-A4に対応する断面図である。なお、一点鎖線A1-A2で示す領域では、トランジスタ10のチャネル長方向における構造を示しており、一点鎖線A3-A4で示す領域では、トランジスタ10のチャネル幅方向における構造を示している。なお、トランジスタのチャネル長方向とは、ソース(ソース領域またはソース電極)及びドレイン(ドレイン領域またはドレイン電極)間において、キャリアが移動する方向を意味し、チャネル幅方向は、基板と水平な面において、チャネル長方向に対して垂直の方向を意味する。なお、図1(A)において、煩雑になることを避けるため、トランジスタ10の構成要素の一部(保護絶縁膜として機能す

る絶縁膜等)を省略して図示している。なお、トランジスタの上面図においては、以降の図面においても図1(A)と同様に、構成要素の一部を省略して図示する場合がある。

【0046】

トランジスタ10は、半導体106bと、導電体114と、絶縁体106aと、絶縁体106cと、絶縁体112と、絶縁体116と、を有する。半導体106bは、絶縁体106a上に配置され、絶縁体106cは、半導体106b上に配置され、絶縁体112は、絶縁体106c上に配置され、導電体114は、絶縁体112上に配置される。絶縁体116は、導電体114上に配置され、絶縁体116は、絶縁体106cの上面と接する領域を有し、半導体106bは、絶縁体106cおよび絶縁体112を介して導電体114と重なる領域を有する。図1(A)に示すように上面から見たとき、絶縁体106aの外周が半導体106bの外周と概略一致し、絶縁体106cの外周が絶縁体106a及び半導体106bの外周よりも外側に位置することが好ましい。

10

【0047】

例えば、図1(A)乃至(C)に示すように、トランジスタ10は、基板100の上に形成された絶縁体101、導電体102、絶縁体103及び絶縁体104と、絶縁体104の上に形成された絶縁体106a、半導体106b及び絶縁体106cと、絶縁体106cの上に形成された絶縁体112、導電体114と、導電体114の上に形成された絶縁体116、絶縁体118、導電体108a、導電体108b、導電体109a及び導電体109bと、を有する。

20

【0048】

ここで、絶縁体101、絶縁体103、絶縁体104、絶縁体106a、絶縁体106c、絶縁体112、絶縁体116及び絶縁体118は、絶縁膜又は絶縁層ということもできる。また、導電体102、導電体108a、導電体108b、導電体109a、導電体109b及び導電体114は、導電膜又は導電層ということもできる。また、半導体106bは、半導体膜又は半導体層ということもできる。

30

【0049】

基板100上に形成された絶縁体101の上に絶縁体103が形成され、絶縁体103に埋め込まれるように導電体102が形成されている。絶縁体103及び導電体102上に絶縁体104が形成されている。ここで、絶縁体101は酸素、水素、水等に対してプロッキング効果を有する絶縁体を用いることが好ましい。また、絶縁体104は酸素を含む絶縁体を用いることが好ましい。

30

【0050】

絶縁体104の上に絶縁体106aが形成され、絶縁体106aの上面に接して半導体106bが形成され、絶縁体106aの側面と半導体106bの上面に接して絶縁体106cが形成される。ここで、半導体106bは少なくとも一部が、導電体102と重なるように形成されることが好ましい。絶縁体106aの側面端部、特にチャネル幅方向の側面端部と、半導体106bの側面端部、特にチャネル幅方向の側面端部と、が概略一致する形状となっている。さらに、半導体106bの側面端部、特にチャネル幅方向の側面端部が、絶縁体106cと接して設けられている。このように本実施の形態に示すトランジスタ10は、半導体106bが絶縁体106a及び絶縁体106cに包み込まれるように設けられている。

40

【0051】

なお、図1(B)(C)では、絶縁体106cの外周が絶縁体106aの外周より外側に位置する形状となっているが、本実施の形態に示すトランジスタはこれに限られるものではない。例えば、絶縁体106aの外周が絶縁体106cの外周より外側に位置してもよいし、絶縁体106aの側面端部と、絶縁体106cの側面端部とが概略一致する形状としてもよい。

【0052】

本実施の形態に示すトランジスタ10の、絶縁体106a、半導体106b及び絶縁体106cは、領域126a、領域126b及び領域126cが形成されており、領域12

50

6 b 及び領域 126 c は領域 126 a と比較してドーパントの濃度が高く、低抵抗化されている。例えば、領域 126 a は、領域 126 b または領域 126 c のドーパントの最大濃度に対して、5 % 以下の濃度の領域、2 % 以下の濃度の領域、または 1 % 以下の濃度の領域とすればよい。なお、ドーパントを、ドナー、アクセプター、不純物または元素といい換えてよい。

【0053】

ここで、図 1 (D) に図 1 (B) に示すトランジスタ 10 の導電体 114 近傍の拡大図を示す。図 1 (D) に示すように、絶縁体 106 a、半導体 106 b 及び絶縁体 106 c において、領域 126 a は導電体 114 と概ね重なる領域であり、領域 126 b 及び領域 126 c は、領域 126 a を除いた領域である。ここで、領域 126 b 及び領域 126 c の一部が、半導体 106 b の導電体 114 と重なる領域（チャネル形成領域）の一部と重なることが好ましい。例えば、領域 126 b 及び領域 126 c のチャネル長方向の側面端部は、導電体 114 の側面端部より距離 d だけ導電体 114 の内側に位置することが好ましい。このとき、距離 d は絶縁体 112 の膜厚 t に対して、 $0.25t < d < t$ を満たすことが好ましい。

10

【0054】

このように、絶縁体 106 a、半導体 106 b および絶縁体 106 c の、導電体 114 と重なる領域の一部に領域 126 b 及び領域 126 c が形成される。これにより、トランジスタ 10 のチャネル形成領域と低抵抗化された領域 126 b 及び領域 126 c が接し、領域 126 b および領域 126 c と、領域 126 a との間に、高抵抗のオフセット領域が形成されないため、トランジスタ 10 のオン電流を増大させることができる。さらに、領域 126 b 及び領域 126 c のチャネル長方向の側面端部が上記の範囲を満たして形成されることで、領域 126 b 及び領域 126 c がチャネル形成領域に対して深く形成されすぎて常に導通状態になってしまふことも防ぐことができる。

20

【0055】

なお、詳細は後述するが、領域 126 b 及び領域 126 c は、イオン注入法などのイオンドーピング処理を用いて形成される。このため、図 1 (D) に示すように、領域 126 b 及び領域 126 c のチャネル長方向の側面端部の位置が、絶縁体 106 c 上面から深くなるに従って、絶縁体 106 a、半導体 106 b および絶縁体 106 c のチャネル長方向の側面端部側にシフトする場合がある。このとき、距離 d は、最も導電体 114 の内側の近くに位置する、領域 126 b 及び領域 126 c のチャネル長方向の側面端部と導電体 114 のチャネル長方向の側面端部との距離とする。

30

【0056】

この場合、例えば、絶縁体 106 a 中に形成される領域 126 b 及び領域 126 c が導電体 114 と重なる領域に形成されない場合がある。この場合、半導体 106 b に形成される領域 126 b 及び領域 126 c の少なくとも一部が導電体 114 と重なる領域に形成されることが好ましい。

【0057】

また、絶縁体 106 a、半導体 106 b 及び絶縁体 106 c の絶縁体 116 との界面近傍（図 1 (B) では点線で表示）に低抵抗領域 107 a 及び低抵抗領域 107 b が形成されることが好ましい。低抵抗領域 107 a 及び低抵抗領域 107 b は、絶縁体 116 に含まれる元素の少なくとも一が含まれる。低抵抗領域 107 a 及び低抵抗領域 107 b の一部が、半導体 106 b の導電体 114 と重なる領域（チャネル形成領域）と概略接するか、当該領域の一部と重なることが好ましい。

40

【0058】

また、絶縁体 106 c は絶縁体 116 と接する領域が大きいため、低抵抗領域 107 a 及び低抵抗領域 107 b は絶縁体 106 c に形成されやすい。絶縁体 106 c における低抵抗領域 107 a と低抵抗領域 107 b は、絶縁体 106 c の低抵抗領域 107 a 及び低抵抗領域 107 b ではない領域（例えば、絶縁体 106 c の導電体 114 と重なる領域）より、絶縁体 116 に含まれる元素の濃度が高い。

50

【0059】

領域126b中に低抵抗領域107aが形成され、領域126c中に低抵抗領域107bが形成される。ここで、理想的には、低抵抗領域107a及び低抵抗領域107bが添加元素濃度が最も高く、領域126b及び領域126cの低抵抗領域107a及び低抵抗領域107bを除く領域が添加元素濃度が次に高く、領域126aが添加元素濃度が最も低くなる。ここで、添加元素とは、領域126b及び領域126cを形成するドーパントと、低抵抗領域107a及び低抵抗領域107bに絶縁体116から添加される元素を合わせたものである。

【0060】

このような領域126b、領域126c、低抵抗領域107a及び低抵抗領域107bが形成されることにより、導電体108a又は導電体108bと絶縁体106a、半導体106b又は絶縁体106cとの接触抵抗を低減することが可能となるのでトランジスタ10のオン電流を増大させることができる。

10

【0061】

なお、図1(A)乃至(D)に示すトランジスタ10では低抵抗領域107a及び低抵抗領域107bが形成される構成としているが、本実施の形態に示す半導体装置は、必ずしもこれに限られるものではない。例えば、領域126b及び領域126cの抵抗が十分低い場合、低抵抗領域107a及び低抵抗領域107bを形成する必要はない。

【0062】

絶縁体106cの上に絶縁体112が形成され、絶縁体112の上に導電体114が形成される。絶縁体112及び導電体114は、少なくとも一部が導電体102及び半導体106bと重なる。導電体114のチャネル長方向の側面端部と絶縁体112のチャネル長方向の側面端部は概略一致していることが好ましい。ここで、絶縁体112はトランジスタ10のゲート絶縁膜として機能し、導電体114はトランジスタ10のゲート電極として機能する。

20

【0063】

導電体114、絶縁体106c及び絶縁体104の上に絶縁体116が形成される。絶縁体116は、絶縁体106cの絶縁体112と重なっていない領域と接していることが好ましい。また、絶縁体116は、絶縁体104の少なくとも一部と接していてもよい。絶縁体116の上に絶縁体118が形成される。ここで、絶縁体116はトランジスタ10の保護絶縁膜として機能し、絶縁体118は、トランジスタ10の層間絶縁膜として機能する。絶縁体116は、酸素に対してブロッキング効果を有する絶縁体を用いることが好ましい。

30

【0064】

また、絶縁体106aの膜厚が、絶縁体106cと絶縁体112の膜厚の和より大きいことが好ましい。別言すると、基板100の上面から半導体106bの下面までの高さh1と、絶縁体106cと重なる領域における基板100の上面から導電体114の下面までの高さh2との関係が、 $h_1 = h_2$ または $h_1 > h_2$ であることが好ましい。例えば、h1を、h2よりもトランジスタ10の見かけ上のチャネル幅Wの5%以上、好ましくは10%以上、さらに好ましくは20%以上、より好ましくは50%以上高くすればよい。このような構成とすることにより、半導体106bのチャネル幅方向の側面の概略全体を、絶縁体106cと絶縁体112を介して、導電体114と対向させることができる。

40

【0065】

これにより、図1(C)に示すように、導電体114の電界によって、半導体106bを電気的に取り囲むことができる(導電体から生じる電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。)。そのため、半導体106bの全体にチャネルが形成される場合がある。s-channel構造では、トランジスタのソース-ドレイン間に大電流を流すことができ、オン電流を高くすることができる。

【0066】

50

なお、トランジスタが s - channel 構造を有する場合、半導体 106b の側面にもチャネルが形成される。したがって、半導体 106b が厚いほどチャネル領域は大きくなる。即ち、半導体 106b が厚いほど、トランジスタのオン電流を高くすることができる。また、半導体 106b が厚いほど、キャリアの制御性の高い領域の割合が増えるため、サブスレッショルドスイング値を小さくすることができる。例えば、10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 30 nm 以上、より好ましくは 50 nm 以上の厚さの領域を有する半導体 106b とすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300 nm 以下、好ましくは 200 nm 以下、さらに好ましくは 150 nm 以下の厚さの領域を有する半導体 106b とすればよい。なお、チャネル形成領域が縮小していくと、半導体 106b が薄いほうがトランジスタの電気特性が向上する場合もある。よって、半導体 106b の厚さが 10 nm 未満であってもよい。

10

【0067】

高いオン電流が得られるため、s - channel 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャネル長が好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下の領域を有し、かつ、トランジスタは、チャネル幅が好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下の領域を有する。

20

【0068】

絶縁体 118、絶縁体 116 及び絶縁体 106c に設けられた開口に導電体 108a 及び導電体 108b が形成され、低抵抗領域 107a または低抵抗領域 107b に接している。さらに絶縁体 118 の上に、導電体 108a の上面に接して導電体 109a が形成され、導電体 108b の上面に接して導電体 109b が形成されている。導電体 108a と導電体 108b は離間して形成されており、図 1 (B) に示すように導電体 114 を挟んで対向して形成されていることが好ましい。ここで、導電体 108a は、トランジスタ 10 のソース電極またはドレイン電極の一方として機能し、導電体 108b は、トランジスタ 10 のソース電極またはドレイン電極の他方として機能する。また、導電体 109a は、トランジスタ 10 のソース電極またはドレイン電極の一方と接続される配線として機能し、導電体 109b は、トランジスタ 10 のソース電極またはドレイン電極の他方と接続される配線として機能する。なお、図 1 (B) では、導電体 108a 及び導電体 108b は半導体 106b に接して設けられているが、本実施の形態はこれに限られるものではない。低抵抗領域 107a 及び低抵抗領域 107b との接触抵抗が十分低いなら、導電体 108a 及び導電体 108b と絶縁体 106c が接する構成としてもよい。

30

【0069】

<半導体>

以下、半導体 106b の詳細な構成について説明する。

【0070】

なお、本項目においては、半導体 106b とともに絶縁体 106a、絶縁体 106c の詳細な構成についても説明する。

40

【0071】

半導体 106b は、例えば、インジウムを含む酸化物半導体である。半導体 106b は、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、半導体 106b は、元素 M を含むと好ましい。元素 M は、好ましくは、Ti、Ga、Y、Zr、La、Ce、Nd、Sn または Hf を表すとする。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。元素 M は、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素 M は、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体 106b は、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

50

【0072】

ただし、半導体106bは、インジウムを含む酸化物半導体に限定されない。半導体106bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0073】

絶縁体106a及び絶縁体106cは、半導体106bを構成する酸素以外の元素一種以上、または二種以上から構成される。半導体106bを構成する酸素以外の元素一種以上、または二種以上から絶縁体106a及び絶縁体106cが構成されるため、絶縁体106aと半導体106bとの界面、及び半導体106bと絶縁体106cとの界面において、欠陥準位が形成されにくい。10

【0074】

絶縁体106a、半導体106b及び絶縁体106cは、少なくともインジウムを含むと好ましい。なお、絶縁体106aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高いとする。また、半導体106bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。また、絶縁体106cがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高いとする。ただし、絶縁体106aまたは絶縁体106cがインジウムを含まなくても構わない場合がある。例えば絶縁体106aまたは絶縁体106cが酸化ガリウムまたはGa-Zn酸化物であっても構わない。なお、絶縁体106a、半導体106b及び絶縁体106cに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。20

【0075】

例えば、スパッタリング法を用いて成膜する場合、絶縁体106aまたは絶縁体106cに用いるターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:2:4、In:M:Zn = 1:3:2、In:M:Zn = 1:3:4、In:M:Zn = 1:3:6、In:M:Zn = 1:3:8、In:M:Zn = 1:4:3、In:M:Zn = 1:4:4、In:M:Zn = 1:4:5、In:M:Zn = 1:4:6、In:M:Zn = 1:6:3、In:M:Zn = 1:6:4、In:M:Zn = 1:6:5、In:M:Zn = 1:6:6、In:M:Zn = 1:6:7、In:M:Zn = 1:6:8、In:M:Zn = 1:6:9等がある。また、絶縁体106aに用いるターゲットの金属元素の原子数比をM:Zn = 10:1としてもよい。30

【0076】

また、例えば、スパッタリング法を用いて成膜する場合、半導体106bに用いるターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:1:1、In:M:Zn = 1:1:1.2、In:M:Zn = 2:1:1.5、In:M:Zn = 2:1:2.3、In:M:Zn = 2:1:3、In:M:Zn = 3:1:2、In:M:Zn = 4:2:4.1等がある。特に、スパッタリングターゲットとして、原子数比がIn:Ga:Zn = 4:2:4.1を用いる場合、成膜される半導体106bの原子数比は、In:Ga:Zn = 4:2:3近傍となる場合がある。40

【0077】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素プロック性を有する。そのため、絶縁体106cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合[Ga/(In+Ga)]は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。50

【0078】

半導体106bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体106bのエネルギーギャップは、例えば、2.5eV以上4.2eV以下、好ましくは2.8eV以上3.8eV以下、さらに好ましくは3eV以上3.5eV以下とする。ここで、絶縁体106aのエネルギーギャップは、半導体106bのエネルギーギャップより大きい。また、絶縁体106cのエネルギーギャップは、半導体106bのエネルギーギャップより大きい。

【0079】

半導体106bは、絶縁体106aまたは絶縁体106cよりも電子親和力の大きい酸化物を用いる。例えば、半導体106bとして、絶縁体106aまたは絶縁体106cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。言い換えると、絶縁体106aまたは絶縁体106cの伝導帯下端のエネルギー準位は、半導体106bの伝導帯下端のエネルギー準位より真空準位に近い。

10

【0080】

このとき、ゲート電圧を印加すると、絶縁体106aまたは絶縁体106cではなく、より電子親和力の大きい半導体106bにチャネルが形成される。

【0081】

上記の通り、絶縁体106aおよび絶縁体106cは、単独で用いる場合、導電体、半導体または絶縁体として機能させることができる物質からなる。しかしながら、半導体106bと積層させてトランジスタを形成する場合、電子は半導体106b、半導体106bと絶縁体106aの界面近傍、および半導体106bと絶縁体106cの界面近傍を流れ、絶縁体106aおよび絶縁体106cは当該トランジスタのチャネルとして機能しない領域を有する。このため、本明細書などにおいては、絶縁体106aおよび絶縁体106cを半導体と記載せず、絶縁体と記載するものとする。なお、絶縁体106aおよび絶縁体106cを絶縁体と記載するのは、あくまで半導体106bと比較してトランジスタの機能上絶縁体に近い機能を有するためなので、絶縁体106aまたは絶縁体106cとして、半導体106bに用いることができる物質を用いる場合もある。

20

【0082】

30

ここで、絶縁体106aと半導体106bとの間には、絶縁体106aと半導体106bとの混合領域を有する場合がある。また、絶縁体106cと半導体106bとの間には、絶縁体106cと半導体106bとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、絶縁体106a、半導体106bおよび絶縁体106cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド図となる。なお、絶縁体106aと半導体106b、または絶縁体106cと半導体106bは、それぞれの界面を明確に判別できない場合がある。

【0083】

このとき、電子は、絶縁体106a及び絶縁体106c中ではなく、半導体106b中を主として移動する。上述したように、絶縁体106aと半導体106bとの界面、および絶縁体106cと半導体106bとの界面における欠陥準位密度を低くすることによって、半導体106b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

40

【0084】

また、トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

【0085】

トランジスタのオン電流を高くするためには、例えば、半導体106bの上面または下

50

面（被形成面、ここでは絶縁体106aの上面）の、 $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが 1 nm 未満、好ましくは 0.6 nm 未満、さらに好ましくは 0.5 nm 未満、より好ましくは 0.4 nm 未満とすればよい。また、 $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が 1 nm 未満、好ましくは 0.6 nm 未満、さらに好ましくは 0.5 nm 未満、より好ましくは 0.4 nm 未満とすればよい。また、 $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が 10 nm 未満、好ましくは 9 nm 未満、さらに好ましくは 8 nm 未満、より好ましくは 7 nm 未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

10

【0086】

また、トランジスタのオン電流を高くするためには、絶縁体106cの厚さは小さいほど好ましい。絶縁体106cの厚さは、絶縁体106aの厚さより小さく、半導体106bの厚さより小さいことが好ましい。例えば、 10 nm 未満、好ましくは 5 nm 以下、さらに好ましくは 3 nm 以下の領域を有する絶縁体106cとすればよい。一方、絶縁体106cは、チャネルの形成される半導体106bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようブロックする機能を有する。そのため、絶縁体106cは、ある程度の厚さを有することが好ましい。例えば、 0.3 nm 以上、好ましくは 1 nm 以上、さらに好ましくは 2 nm 以上の厚さの領域を有する絶縁体106cとすればよい。

20

【0087】

また、信頼性を高くするためには、絶縁体106aは厚いことが好ましい。例えば、 10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上の厚さの領域を有する絶縁体106aとすればよい。絶縁体106aの厚さを、厚くすることで、隣接する絶縁体と絶縁体106aとの界面からチャネルの形成される半導体106bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、 200 nm 以下、好ましくは 120 nm 以下、さらに好ましくは 80 nm 以下の厚さの領域を有する絶縁体106aとすればよい。

【0088】

例えば、酸化物半導体中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。したがって、半導体106bのシリコン濃度は低いほど好ましい。例えば、半導体106bと絶縁体106aとの間に、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）において、 $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $1 \times 10^{19}\text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $5 \times 10^{18}\text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $2 \times 10^{18}\text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。また、半導体106bと絶縁体106cとの間に、SIMSにおいて、 $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $1 \times 10^{19}\text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $5 \times 10^{18}\text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $2 \times 10^{18}\text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。

30

【0089】

また、半導体106bの水素濃度を低減するために、絶縁体106a及び絶縁体106cの水素濃度を低減すると好ましい。絶縁体106a及び絶縁体106cは、SIMSにおいて、 $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $2 \times 10^{20}\text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $5 \times 10^{19}\text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $1 \times 10^{19}\text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16}\text{ atoms/cm}^3$ 以上 $5 \times 10^{18}\text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体106bの窒素濃度を低減するために、絶縁体106a及び絶縁体106cの窒素濃度を低減すると好ましい。絶縁体106

40

50

a 及び絶縁体 106c は、S I M Sにおいて、 1×10^{15} atoms / cm³ 以上 5×10^{19} atoms / cm³ 以下、好ましくは 1×10^{15} atoms / cm³ 以上 5×10^{18} atoms / cm³ 以下、より好ましくは 1×10^{15} atoms / cm³ 以上 1×10^{18} atoms / cm³ 以下、さらに好ましくは 1×10^{15} atoms / cm³ 以上 5×10^{17} atoms / cm³ 以下の窒素濃度となる領域を有する。

【0090】

本実施の形態に示す絶縁体 106a、半導体 106b 及び絶縁体 106c、特に半導体 106b は、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）酸化物半導体であり、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶことができる。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体は、オフ電流が著しく小さく、チャネル幅 W が 1×10^6 μm でチャネル長 L が 10 μm の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち 1×10^{-13} A 以下という特性を得ることができる。

【0091】

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができます。なお、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

【0092】

絶縁体 106a、半導体 106b 及び絶縁体 106c に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。特に酸素欠損にトラップされた水素は、半導体のバンド構造に対して浅いドナー準位を形成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、絶縁体 106a、半導体 106b 及び絶縁体 106c は水素ができる限り低減されていることが好ましい。具体的には、絶縁体 106a、半導体 106b 及び絶縁体 106c において、S I M S 分析により得られる水素濃度を、 2×10^{20} atoms / cm³ 以下、好ましくは 5×10^{19} atoms / cm³ 以下、より好ましくは 1×10^{19} atoms / cm³ 以下、 5×10^{18} atoms / cm³ 以下、好ましくは 1×10^{18} atoms / cm³ 以下、より好ましくは 5×10^{17} atoms / cm³ 以下、さらに好ましくは 1×10^{16} atoms / cm³ 以下とする。

【0093】

絶縁体 106a、半導体 106b 及び絶縁体 106c において、第 14 族元素の一つであるシリコンや炭素が含まれると、絶縁体 106a、半導体 106b 及び絶縁体 106c において酸素欠損が増加し、n 型化してしまう。このため、絶縁体 106a、半導体 106b 及び絶縁体 106c におけるシリコンや炭素の濃度と、絶縁体 106a、半導体 106b 及び絶縁体 106c との界面近傍のシリコンや炭素の濃度（S I M S 分析により得られる濃度）を、 2×10^{18} atoms / cm³ 以下、好ましくは 2×10^{17} atoms / cm³ 以下とする。

10

20

30

40

50

【0094】

また、絶縁体106a、半導体106b及び絶縁体106cにおいて、SIMS分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、 1×10^{-8} atoms/cm³以下、好ましくは 2×10^{-6} atoms/cm³以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、絶縁体106a、半導体106b及び絶縁体106cのアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

【0095】

また、絶縁体106a、半導体106b及び絶縁体106cに窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、SIMS分析により得られる窒素濃度は、 5×10^{-8} atoms/cm³以下にすることが好ましい。

10

【0096】

上述の通り、本実施の形態に示す絶縁体106a、半導体106b及び絶縁体106cは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）酸化物であり、キャリア密度が低い。このため、ソース電極またはドレイン電極として機能する導電体108a及び導電体108bとの間で接触抵抗が大きくなりやすい。そこで、本実施の形態に示すトランジスタ10では、導電体108aまたは導電体108bと、絶縁体106a、半導体106bまたは絶縁体106cと、が領域126b中の低抵抗領域107aまたは領域126c中の低抵抗領域107bを介して接続されることにより、接触抵抗の抑制を図っている。

20

【0097】

上述の通り、絶縁体106a、半導体106b及び絶縁体106cには、領域126a、領域126b及び領域126cが形成されており、領域126b及び領域126cは領域126aと比較してドーパントの濃度が高く、低抵抗化されている。ここで、絶縁体106a、半導体106b及び絶縁体106cにおいて、領域126aは導電体114と概ね重なる領域であり、領域126b及び領域126cは、領域126aを除いた領域である。ただし、領域126b及び領域126cの一部が、半導体106bの導電体114と重なる領域（チャネル形成領域）の一部と重なることが好ましい。

30

【0098】

さらに、絶縁体106a、半導体106b及び絶縁体106cの絶縁体116との界面近傍には、低抵抗領域107a及び低抵抗領域107bが形成されることが好ましい。領域126b、領域126c、低抵抗領域107a及び低抵抗領域107bでは、ドーパントや絶縁体116に含まれる元素が添加され、当該元素によって欠陥が形成される。このような欠陥は、例えば、添加されたドーパントや絶縁体116から添加された元素によって、酸素が引き抜かれて酸素欠損が形成される、またはドーパントや絶縁体116から添加された元素自体がキャリア発生源となることによって形成される。このような欠陥によってドナー準位が形成され、キャリア密度が増加するため、ドーパントや絶縁体116に含まれる元素が添加された領域が、領域126b、領域126c、低抵抗領域107a及び低抵抗領域107bとして機能することになる。

40

【0099】

領域126b、領域126c、特に低抵抗領域107a及び低抵抗領域107bは、酸素欠損が多く形成されているため、領域126aよりも、SIMS分析により得られる酸素濃度が低くなる。また、領域126b、領域126c、特に低抵抗領域107a及び低抵抗領域107bは、欠陥が多く形成されているため、領域126aよりも結晶性が低くなっている。

【0100】

50

また、詳細は後述するが、領域 126b 及び領域 126c はドーパントを添加して形成される。このため、領域 126b 及び領域 126c は領域 126a より、SIMS 分析により得られる当該ドーパントの濃度が高くなる。

【0101】

領域 126b 及び領域 126c に添加されるドーパントとしては、例えば、水素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンゲスタンなどが挙げられる。これらの元素の中でも、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素またはホウ素は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて比較的容易に添加することができるため、好適である。

10

【0102】

また、低抵抗領域 107a 及び低抵抗領域 107b は、絶縁体 116 に含まれる元素が添加されているため、半導体 106b の低抵抗領域 107a 及び低抵抗領域 107b を除く領域（例えば、半導体 106b の導電体 114 と重なる領域）よりも、SIMS 分析により得られる当該元素の濃度が高くなる。

【0103】

低抵抗領域 107a 及び低抵抗領域 107b に添加される元素としては、例えば、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンゲスタンなどが好ましい。これらの元素は、比較的酸化物を形成しやすく、当該酸化物は半導体または絶縁体として機能しうるため、絶縁体 106a、半導体 106b または絶縁体 106c の添加元素として好適である。例えば、低抵抗領域 107a 及び低抵抗領域 107b に上記の元素が $1 \times 10^{14} / \text{cm}^2$ 以上 $2 \times 10^{16} / \text{cm}^2$ 以下含まれることが好ましい。また、絶縁体 106c における低抵抗領域 107a と低抵抗領域 107b は、絶縁体 106c の低抵抗領域 107a 及び低抵抗領域 107b ではない領域（例えば、絶縁体 106c の導電体 114 と重なる領域）よりも、上述の元素の濃度が高い。

20

【0104】

また、低抵抗領域 107a 及び低抵抗領域 107b は、窒素を含ませることにより n 型化させることができるので、半導体 106b の低抵抗領域 107a 及び低抵抗領域 107b を除く領域（例えば、半導体 106b の導電体 114 と重なる領域）よりも、SIMS 分析により得られる窒素濃度が高くなる。

30

【0105】

このような低抵抗領域 107a 及び低抵抗領域 107b が形成されることにより、導電体 108a 又は導電体 108b と絶縁体 106a、半導体 106b 又は絶縁体 106c との接触抵抗を低減することができるためトランジスタ 10 のオン電流を増大させることができる。

40

【0106】

また、図 1 (B) に示すように、導電体 114 のチャネル長方向の側面端部と絶縁体 112 のチャネル長方向の側面端部は概略一致していることが好ましい。このような構成とすることにより、低抵抗領域 107a 及び低抵抗領域 107b と、半導体 106b の導電体 114 と重なる領域（チャネル形成領域）とが概略接するため、オン電流の向上を図ることができる。

【0107】

また、トランジスタ 10 では、半導体 106b が絶縁体 106a 及び絶縁体 106c によって包み込まれるように設けられている。よって、半導体 106b の側面端部、特にチャネル幅方向の側面端部近傍が、絶縁体 106a 及び絶縁体 106c と接して設けられて

50

いる。これにより、半導体 106b の側面端部近傍において、絶縁体 106a 又は絶縁体 106c との間に連続接合が形成され、欠陥準位密度が低減される。よって、領域 126b、領域 126c、低抵抗領域 107a 及び低抵抗領域 107b を設けることによりオン電流が流れやすくなても、半導体 106b のチャネル幅方向の側面端部が寄生チャネルとならず、安定した電気特性を得ることができる。

【0108】

なお、上述の絶縁体 106a、半導体 106b 及び絶縁体 106c の 3 層構造は一例である。例えば、絶縁体 106a または絶縁体 106c のいずれか一方を設けない 2 層構造としてもよい。また、絶縁体 106a または絶縁体 106c の両方を設けない単層構造としてもよい。または、絶縁体 106a、半導体 106b または絶縁体 106c として例示した絶縁体、半導体又は導電体のいずれかを有する n 層構造 (n は 4 以上の整数) としても構わない。

10

【0109】

なお、絶縁体 106a、半導体 106b 及び絶縁体 106c に用いることのできる酸化物半導体の詳細については、実施の形態 5 で詳細に説明する。

【0110】

<基板、絶縁体、導電体>

以下に、トランジスタ 10 の半導体以外の各構成要素について詳細な説明を行う。

【0111】

基板 100 は、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板 (イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

20

【0112】

また、基板 100 として、トランジスタ作製時の加熱処理に耐えうる可とう性基板を用いてよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板 100 に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板 100 として、繊維を編みこんだシート、フィルムまたは箔などを用いてよい。また、基板 100 が伸縮性を有してもよい。また、基板 100 は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板 100 の厚さは、例えば、5 μm 以上 700 μm 以下、好ましくは 10 μm 以上 500 μm 以下、さらに好ましくは 15 μm 以上 300 μm 以下とする。基板 100 を薄くすると、半導体装置を軽量化することができる。また、基板 100 を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板 100 上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

30

【0113】

可とう性基板である基板 100 としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板 100 は、線膨

40

50

張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板100としては、例えば、線膨張率が 1×10^{-3} / K以下、 5×10^{-5} / K以下、または 1×10^{-5} / K以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板100として好適である。

【0114】

絶縁体101は、水素又は水をロックする機能を有する絶縁体を用いる。絶縁体106a、半導体106b及び絶縁体106c近傍に設けられる絶縁体中の水素や水は、酸化物半導体を含む絶縁体106a、半導体106b及び絶縁体106c中にキャリアを生成する要因の一つとなる。これによりトランジスタ10の信頼性が低下するおそれがある。特に基板100としてスイッチ素子などのシリコン系半導体素子を設けた基板を用いる場合、当該半導体素子のダングリングボンドを終端するために水素が用いられ、当該水素がトランジスタ10まで拡散するおそれがある。これに対して水素又は水をロックする機能を有する絶縁体101を設けることによりトランジスタ10の下層から水素又は水が拡散するのを抑制し、トランジスタ10の信頼性を向上させることができる。

【0115】

また、絶縁体101は酸素をロックする機能も有することが好ましい。絶縁体101が絶縁体104から拡散する酸素をロックすることにより、絶縁体104から絶縁体106a、半導体106b及び絶縁体106cに効果的に酸素を供給することができる。

【0116】

絶縁体101としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。これらを絶縁体101として用いることにより、酸素、水素又は水の拡散をロックする効果を示す絶縁膜として機能することができる。また、絶縁体101としては、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。これらを絶縁体101として用いることにより、水素、水の拡散をロックする効果を示す絶縁膜として機能することができる。

【0117】

導電体102は、少なくとも一部が導電体108aと導電体108bに挟まれる領域において半導体106bと重なることが好ましい。導電体102は、トランジスタ10のバックゲートとして機能する。このような導電体102を設けることにより、トランジスタ10のしきい値電圧の制御を行うことができる。しきい値電圧の制御を行うことによって、トランジスタ10のゲート（導電体114）に印加された電圧が低い、例えば印加された電圧が0V以下のときに、トランジスタ10が導通状態となることを防ぐことができる。つまり、トランジスタ10の電気特性を、よりノーマリーオフの方向にシフトさせることができ容易になる。

【0118】

また、導電体102は、絶縁体104、絶縁体116に設けられた開口を介してトランジスタ10のゲートとして機能する導電体114と接続される構成としてもよい。

【0119】

導電体102としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニア、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタンゲステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0120】

なお、トランジスタ10において導電体102及び絶縁体103が形成されているが、

10

20

30

40

50

本実施の形態に示す半導体装置の構成はこれに限られるものではなく、例えば、導電体102及び絶縁体103を設けない構成としてもよい。

【0121】

絶縁体103としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。

【0122】

図1(B)に示すように、絶縁体103と導電体102の上面は、化学機械研磨(CMP: Chemical Mechanical Polishing)法などによって平坦化処理を行って平坦性の向上を図ることが好ましい。これにより、バックゲートとして機能する導電体102を設けても、半導体106bを形成する面の平坦性が損なわれないため、キャリアの移動度を向上させ、トランジスタ10のオン電流を増大させることができる。

【0123】

また、導電体102は、絶縁体103中に埋め込まれるように設けられているが、本実施の形態に示す半導体装置の構成はこれに限られるものではなく、例えば、導電体102を覆うように絶縁体103を設ける構成としてもよい。その場合、絶縁体103は、酸素をロックする機能を有することが好ましい。このような絶縁体103を設けることにより、導電体102の酸化を防ぐ、言い換えると絶縁体104から導電体102が酸素を引き抜くことを防ぐことができる。これにより、絶縁体104から絶縁体106a、半導体106b及び絶縁体106cに効果的に酸素を供給することができる。

【0124】

絶縁体104は酸素を含む絶縁体であり、過剰酸素を有することが好ましい。また、絶縁体104は絶縁体101より酸素を透過させやすいことが好ましい。このような絶縁体104を設けることにより、絶縁体104から絶縁体106a、半導体106b及び絶縁体106cに酸素を供給することができる。当該酸素により、酸化物半導体である半導体106bの欠陥となる酸素欠損を低減することができる。これにより、半導体106bの欠陥準位密度を低減し、半導体106bを安定な特性を有する酸化物半導体とすることができる。

【0125】

なお、本明細書などにおいて、過剰酸素とは、例えば、化学量論的組成を超えて含まれる酸素をいう。または、過剰酸素とは、例えば、加熱することで当該過剰酸素が含まれる膜又は層から放出される酸素をいう。過剰酸素は、例えば、膜や層の内部を移動することができる。過剰酸素の移動は、膜や層の原子間を移動する場合や、膜や層を構成する酸素と置き換わりながら玉突き的に移動する場合などがある。

【0126】

絶縁体104としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。

【0127】

過剰酸素を有する絶縁体104は、昇温脱離ガス分光法(TDS: Thermal Desorption Spectroscopy)分析にて、100以上700以下または100以上500以下の表面温度の範囲で、酸素分子の脱離量が 1.0×10^{14} molecules/cm²以上 1.0×10^{16} molecules/cm²以下、より好ましくは、 1.0×10^{15} molecules/cm²以上 5.0×10^{15} molecules/cm²以下となる領域を有することが好ましい。

10

20

30

40

50

【0128】

TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0129】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0130】

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量(N_{O_2})は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

10

【0131】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times$$

【0132】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として一定量の水素原子を含むシリコン基板を用いて測定する。

20

【0133】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のは酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0134】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

30

【0135】

または、過剰酸素を有する絶縁体104は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、電子スピン共鳴法(ESR: Electron Spin Resonance)にて、g値が2.01近傍に非対称の信号を有することもある。

【0136】

また、絶縁体104は、基板100からの不純物の拡散を防止する機能を有してもよい。また、絶縁体104は、水素トラップを有する絶縁体としてもよい。

40

【0137】

また、上述の通り半導体106bの上面又は下面是平坦性が高いことが好ましい。このため、絶縁体104の上面にCMP法などによって平坦化処理を行って平坦性の向上を図ってもよい。

【0138】

絶縁体112は、トランジスタ10のゲート絶縁膜として機能する。絶縁体112は、絶縁体104と同様に過剰酸素を有する絶縁体としてもよい。このような絶縁体112を設けることにより、絶縁体112から絶縁体106a、半導体106b及び絶縁体106cに酸素を供給することができる。これにより、半導体106bの欠陥準位密度を低減し、半導体106bを安定な特性を有する酸化物半導体とすることができます。

50

【0139】

絶縁体112としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体112としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0140】

導電体114はトランジスタ10のゲート電極として機能する。導電体114としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタンゲステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

10

【0141】

導電体114のチャネル長方向の側面端部と絶縁体112のチャネル長方向の側面端部は概略一致していることが好ましい。このような構造とすることにより、低抵抗領域107a及び低抵抗領域107bと、半導体106bの導電体114と重なる領域（チャネル形成領域）とが概略接する、もしくは一部が重なるため、オン電流の向上ができる。

20

【0142】

絶縁体116は、トランジスタ10の保護絶縁膜として機能し、且つ絶縁体106a、半導体106b及び絶縁体106cに元素を添加する機能を有する。上述の通り、絶縁体116は、絶縁体106a、半導体106b及び絶縁体106cの界面近傍に元素を添加し、低抵抗領域107a及び低抵抗領域107bを形成する。これにより、導電体108a又は導電体108bと絶縁体106a、半導体106b又は絶縁体106cとの接触抵抗を低減することができるトランジスタ10のオン電流を増大させることができる。

30

【0143】

また、絶縁体116は、酸素をロックする機能を有することが好ましい。このような絶縁体118を設けることにより、絶縁体104から絶縁体106a、半導体106b及び絶縁体106cに酸素を供給する際に、当該酸素が絶縁体104の上方に外部放出されてしまうことを防ぐことができる。これにより、絶縁体104から絶縁体106a、半導体106b及び絶縁体106cに効果的に酸素を供給することができる。ここで絶縁体116の膜厚としては、例えば5nm以上、又は20nm以上とすることができる。また、絶縁体116は、スパッタリング法などを用いて成膜することが好ましい。

40

【0144】

絶縁体116としては、例えば、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンゲステンなどの元素のうち一または複数を含む、酸化物、酸化窒化物、窒化酸化物または窒化物を用いることができる。なお、本明細書において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0145】

これらの元素は、比較的酸化物を形成しやすく、当該酸化物は半導体または絶縁体として機能しうるため、絶縁体106a、半導体106bまたは絶縁体106cの添加元素と

50

して好適である。

【0146】

また、絶縁体116を窒化物または窒化酸化物とする場合、アルミニウム、シリコン、チタン、ニッケル、亜鉛、ガリウム、モリブデン、インジウム、スズ、タンゲステンなどは窒化物または窒化酸化物が物性または構造が安定になりやすいため好適である。

【0147】

また、絶縁体116は、酸素とアルミニウムを含む絶縁体、例えば、酸化アルミニウムを用いることが好ましい。酸化アルミニウムは、酸素、および水素、水分などの不純物の両方に対して膜を透過させない遮断効果が高いので絶縁体116として用いるのに好適である。

10

【0148】

また、絶縁体116は酸素、水素、水、アルカリ金属、アルカリ土類金属、銅等をブロックする効果を有することが好ましい。このような絶縁体としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0149】

また、絶縁体116は、上述の絶縁体106aまたは絶縁体106cとして用いることができる酸化物を用いることもできる。このような絶縁体116としては、Inを含む酸化絶縁物を用いることが好ましく、例えば、In-A1酸化物、In-Ga酸化物、In-Ga-Zn酸化物を用いればよい。Inを含む酸化絶縁物はスパッタリング法で成膜する際に発生するパーティクル数が少ないので、絶縁体116として用いるのに好適である。

20

【0150】

絶縁体118は、層間絶縁膜として機能する。絶縁体118としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いてもよい。

30

【0151】

導電体108a及び導電体108bは、それぞれトランジスタ10のソース電極またはドレイン電極のいずれかとして機能する。

【0152】

導電体108a及び導電体108bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタンゲステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

40

【0153】

また、導電体108a及び導電体108bを、絶縁体118に埋め込むように形成し、絶縁体118上の導電体109a及び導電体109bと接続させる構成とする場合、絶縁体118、導電体108a及び導電体108bの上面を、CMP法などを用いて平坦化処理し、平坦性を向上させることが好ましい。

【0154】

導電体109a及び導電体109bは、それぞれトランジスタ10のソース電極またはドレイン電極のいずれかと接続する配線として機能する。導電体109a及び導電体10

50

9 b としては、導電体 108 a 及び導電体 108 b として用いることができる導電体を用いればよい。

【0155】

以上のような構成とすることにより、安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

【0156】

10

<トランジスタの変形例 1 >

以下、トランジスタ 10 の変形例について図 2 及び図 3 を用いて説明する。なお、図 2 及び図 3 は、図 1 (B) (C) と同様に、トランジスタのチャネル長方向の断面図とトランジスタのチャネル幅方向の断面図になる。なお、以下に示すトランジスタ 10 の変形例の各構成は互いに適宜組み合わせて用いることができる。

【0157】

図 2 (A) (B) に示すトランジスタ 11 は、半導体 106 b の側面端部が絶縁体 106 a の側面端部より内側に形成されている点において、トランジスタ 10 と異なる。つまり、トランジスタ 11 では、絶縁体 106 a 及び絶縁体 106 c の外周が半導体 106 b の外周より外側に位置しており、半導体 106 b は絶縁体 106 a 及び絶縁体 106 c に包み込まれるように設けられる。また、絶縁体 106 a の側面端部、特にチャネル幅方向の側面端部と、絶縁体 106 c の側面端部、特にチャネル幅方向の側面端部と、が概略一致する形状となっていることが好ましい。

20

【0158】

図 2 (A) (B) に示すトランジスタ 11 のように、半導体 106 b の側面端部が絶縁体 106 a の側面端部より内側に位置するようにパターン形成することにより、絶縁体 104 が絶縁体 106 a または半導体 106 b のエッチングとともにエッチングされる回数を削減することができる。また、絶縁体 104 表面のエッチング箇所を導電体 102 から遠くにすることができるので、トランジスタ 11 の耐圧性の向上にもつながる。

30

【0159】

図 2 (A) (B) に示すトランジスタ 11 などでは、導電体 114 のチャネル長方向の側面端部と絶縁体 112 のチャネル長方向の側面端部は概略一致しているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。例えば、図 2 (C) (D) に示すトランジスタ 12 のように、導電体 114 のチャネル長方向の幅が絶縁体 112 のチャネル長方向の幅より小さい構成としてもよい。

【0160】

40

また、図 2 (A) (B) に示すトランジスタ 11 などでは、導電体 102 及び絶縁体 103 が形成されているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。例えば、図 2 (E) (F) に示すトランジスタ 13 のように、導電体 102 及び絶縁体 103 を設けない構成としてもよい。

【0161】

図 3 (A) (B) に示すトランジスタ 14 は、絶縁体 104 の一部に膜厚が大きい領域が形成されている点において、トランジスタ 11 と異なる。絶縁体 104 の膜厚が大きい領域のチャネル幅方向の側面端部は、半導体 106 b のチャネル幅方向の側面端部より内側に位置することが好ましい。言い換えると、絶縁体 104 は凸部を有しており、上面から見たとき当該凸部の外周は、半導体 106 b の外周よりも内側に位置する。また、絶縁体 104 の膜厚が大きい領域のチャネル幅方向の側面端部は、絶縁体 106 a の膜厚と同程度、半導体 106 b のチャネル幅方向の側面端部より内側に位置することがより好ましい。ここで、絶縁体 104 の膜厚の大きい領域と膜厚の小さい領域の膜厚の差が、絶縁体 106 c と絶縁体 112 の膜厚の和より大きいことが好ましい。このような構成とすること

50

とにより、半導体 106b のチャネル幅方向の側面の概略全体を、絶縁体 106c と絶縁体 112 を介して、導電体 114 と対向させることができる。

【0162】

このような構成とすることにより、トランジスタ 14 を上記トランジスタ 10 と同様に、s-channel 構造とすることができます。よって、トランジスタ 14 でソース - ドレイン間に大電流を流すことができ、オン電流を高くすることができる。

【0163】

なお、図 3 (A) に示すトランジスタ 14 では、絶縁体 104 の膜厚が大きい領域は、チャネル長方向に伸長されて設けられているが、本実施の形態に示す構成はこれに限られるものではない。例えば、図 3 (C) に示すように、絶縁体 104 の膜厚が大きい領域のチャネル長方向の側面端部が、半導体 106b のチャネル長方向の側面端部より内側に位置する構成としてもよい。

【0164】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

【0165】

(実施の形態 2)

本実施の形態では、本発明の一態様に係る半導体装置の作製方法について、図 4 及び図 5 を用いて説明する。

【0166】

<トランジスタの作製方法 1>

以下において、図 1 に示すトランジスタ 10 の作製方法について説明する。

【0167】

まずは、基板 100 を準備する。基板 100 に用いる基板としては上述の基板を用いればよい。

【0168】

次に、絶縁体 101 を成膜する。絶縁体 101 としては上述の絶縁体を用いればよい。

【0169】

絶縁体 101 の成膜は、スパッタリング法、化学気相成長 (CVD : Chemical Vapor Deposition) 法、分子線エピタキシー (MBE : Molecular Beam Epitaxy) 法またはパルスレーザ堆積 (PLD : Pulsed Laser Deposition) 法、原子層堆積 (ALD : Atomic Layer Deposition) 法などを用いて行うことができる。

【0170】

なお、CVD 法は、プラズマを利用するプラズマ CVD (PECVD : Plasma Enhanced CVD) 法、熱を利用する熱 CVD (TCVD : Thermal CVD) 法、光を利用する光 CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属 CVD (MCVD : Metal CVD) 法、有機金属 CVD (MOCVD : Metal Organic CVD) 法に分けることができる。

【0171】

PECVD 法は、比較的低温で高品質の膜が得られる。また、TCVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子 (トランジスタ、容量素子など) などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない TCVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、TCVD 法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0172】

また、ALD 法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法

10

20

30

40

50

である。よって、A L D 法を用いることにより、欠陥の少ない膜が得られる。

【 0 1 7 3 】

C V D 法および A L D 法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、A L D 法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。またこれにより、成膜した膜にピンホールなどが形成されにくくなる。ただし、A L D 法は、比較的成膜速度が遅いため、成膜速度の速い C V D 法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

10

【 0 1 7 4 】

C V D 法および A L D 法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、C V D 法および A L D 法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、C V D 法および A L D 法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【 0 1 7 5 】

従来の C V D 法を利用した成膜装置は、成膜の際、反応のための原料ガスの 1 種または複数種がチャンバーに同時に供給される。A L D 法を利用した成膜装置は、反応のための原料ガス（プリカーサとも呼ぶ）と反応剤として機能するガス（リアクタントとも呼ぶ）を交互にチャンバーに導入し、これらのガスの導入を繰り返すことで成膜を行う。なお、導入ガスの切り替えは、例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて行うことができる。

20

【 0 1 7 6 】

例えば、以下のような手順で成膜を行う。まず、プリカーサをチャンバーに導入し、基板表面にプリカーサを吸着させる（第 1 ステップ）。ここで、プリカーサが基板表面に吸着することにより、表面化学反応の自己停止機構が作用し、基板上のプリカーサの層の上にさらにプリカーサが吸着することはない。なお、表面化学反応の自己停止機構が作用する基板温度の適正範囲を A L D Window とも呼ぶ。A L D Window は、プリカーサの温度特性、蒸気圧、分解温度などによって決まる。次に、不活性ガス（アルゴン、或いは窒素など）などをチャンバーに導入し、余剰なプリカーサや反応生成物などをチャンバーから排出する（第 2 ステップ）。また、不活性ガスを導入する代わりに真空排気によって、余剰なプリカーサや反応生成物などをチャンバーから排出してもよい。次に、リアクタント（例えば、酸化剤（H₂O、O₃ など））をチャンバーに導入し、基板表面吸着したプリカーサと反応させて、膜の構成分子を基板に吸着させたままプリカーサの一部を除去する（第 3 ステップ）。次に、不活性ガスの導入または真空排気によって、余剰なリアクタントや反応生成物などをチャンバーから排出する（第 4 ステップ）。

30

【 0 1 7 7 】

このようにして、基板表面に第 1 の単一層を成膜することができ、第 1 乃至第 4 ステップを再び行うことで、第 1 の単一層の上に第 2 の単一層を積層することができる。第 1 乃至第 4 ステップを、ガス導入を制御しつつ、膜が所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なトランジスタを作製する場合に適している。

40

【 0 1 7 8 】

A L D 法は、熱エネルギーを用いてプリカーサを反応させて行う成膜方法である。さらに、上記のリアクタントの反応において、プラズマを用いてリアクタントをラジカル状態として処理を行う A L D 法をプラズマ A L D 法と呼ぶことがある。またこれに対して、プ

50

リカーサ及びリアクタントの反応を熱エネルギーで行う A L D 法を熱 A L D 法と呼ぶことがある。

【 0 1 7 9 】

A L D 法は、極めて薄い膜を均一な膜厚で成膜することができる。また、凹凸を有する面に対しても、表面被覆率が高い。

【 0 1 8 0 】

また、プラズマ A L D 法により成膜することで、熱 A L D 法に比べてさらに低温での成膜が可能となる。プラズマ A L D 法は、例えば、100 以下でも成膜速度を低下させずに成膜することができる。また、プラズマ A L D 法では、酸化剤だけでなく、窒素ガスなど多くのリアクタントを用いることができる。酸化物だけでなく、窒化物、フッ化物、金属など多くの種類の膜を成膜することができる。

10

【 0 1 8 1 】

また、プラズマ A L D 法を行う場合には、I C P (I n d u c t i v e l y C o u p l e d P l a s m a) などのように基板から離れた状態でプラズマを発生させることもできる。このようにプラズマを発生させることにより、プラズマダメージを抑えることができる。

【 0 1 8 2 】

次に、絶縁体 103 を成膜する。絶縁体 103 としては上述の絶縁体を用いればよい。絶縁体 103 の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。

20

【 0 1 8 3 】

次に、絶縁体 103 上にレジストなどを形成し、絶縁体 103 に開口を形成する。なお、単にレジストを形成するという場合、レジストの下に反射防止層を形成する場合も含まれる。

【 0 1 8 4 】

レジストなどは、対象物をエッチングなどによって加工した後で除去する。レジストなどの除去には、プラズマ処理または / およびウェットエッチングを用いる。なお、プラズマ処理としては、プラズマアッシングが好適である。レジストなどの除去が不十分な場合、0.001 重量 % 以上 1 重量 % 以下の濃度のフッ化水素酸または / およびオゾン水などによって取り残したレジストなどを除去しても構わない。

30

【 0 1 8 5 】

次に、導電体 102 となる導電体を成膜する。導電体 102 となる導電体としては、上述の導電体を用いることができる。導電体 102 となる導電体の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。

【 0 1 8 6 】

次に、C M P 処理を行って、絶縁体 103 上の導電体 102 となる導電体を除去する。その結果、絶縁体 103 に形成された開口の中のみに、導電体 102 が残存する。

【 0 1 8 7 】

次に、絶縁体 104 を成膜する (図 4 (A) (B) 参照) 。絶縁体 104 としては上述の絶縁体を用いればよい。絶縁体 104 の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。

40

【 0 1 8 8 】

また、後で形成する半導体 106 b の上面又は下面は平坦性が高いことが好ましい。このため、絶縁体 104 の上面に C M P 法などの平坦化処理を行って平坦性の向上を図ってもよい。

【 0 1 8 9 】

次に、後の工程で絶縁体 106 a となる絶縁体を成膜する。当該絶縁体としては上述の絶縁体 106 a として用いることができる絶縁体、半導体又は導電体を用いればよい。当該絶縁体の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。

50

【0190】

また、絶縁体106aとなる絶縁体の成膜は、スパッタリング法を用いて行うことが好ましく、酸素を含む雰囲気下でスパッタリング法を用いて行うことがより好ましい。また、スパッタリング法を用いる際に、平行平板型のスパッタリング装置を用いてもよいし、対向ターゲット式のスパッタリング装置を用いてもよい。後述するが、対向ターゲット式のスパッタリング装置を用いた成膜では、被形成面へのダメージが小さくできるため、結晶性の高い膜を得やすい。よって後述するC A A C - O Sの成膜には、対向ターゲット式のスパッタリング装置を用いることが好ましい場合がある。

【0191】

平行平板型スパッタリング装置を用いた成膜法を、P E S P (parallel electrode sputtering)と呼ぶこともできる。また、対向ターゲット式スパッタリング装置を用いた成膜法を、V D S P (vapor deposition sputtering)と呼ぶこともできる。

10

【0192】

スパッタリング法で絶縁体106aとなる絶縁体の成膜を行うことにより、成膜と同時に絶縁体104の表面（絶縁体106a形成後は絶縁体106aと絶縁体104の界面）近傍に酸素が添加されることがある。ここで、酸素は、例えば、酸素ラジカルとして絶縁体104に添加されるが、酸素が添加されるときの状態はこれに限定されない。当該酸素は、酸素原子、又は酸素イオンなどの状態で絶縁体104に添加されてもよい。このように酸素を絶縁体104に添加することにより、絶縁体104に過剰酸素を含ませることができる。

20

【0193】

また、絶縁体104と絶縁体106aとなる絶縁体の界面近傍の領域に混合領域が形成されることがある。混合領域では、絶縁体104を構成する成分と絶縁体106aとなる絶縁体を構成する成分が含まれている。

【0194】

次に、後の工程で半導体106bとなる半導体を成膜する。当該半導体としては上述の半導体106bとして用いることができる半導体を用いればよい。当該半導体の成膜は、スパッタリング法、C V D法、M B E法またはP L D法、A L D法などを用いて行うことができる。また、P E S P法又はV D S P法で成膜することもできる。なお、絶縁体106aとなる絶縁体の成膜と、半導体106bとなる半導体の成膜と、を大気に暴露することなく連続で行うことで、膜中および界面への不純物の混入を低減することができる。

30

【0195】

また、成膜ガスはアルゴンなどの希ガス（ほかにヘリウム、ネオン、クリプトン、キセノンなど）と酸素との混合ガスを用いると好ましい。例えば、全体に占める酸素の割合を50体積%未満、好ましくは33体積%以下、さらに好ましくは20体積%以下、より好ましくは15体積%以下とすればよい。

【0196】

また、スパッタリング法を用いて成膜する場合、基板温度を高くしても構わない。基板温度を高くすることで、基板上面におけるスパッタ粒子のマイグレーションを助長させることができる。したがって、より密度が高く、より結晶性の高い酸化物を成膜することができる。なお、基板の温度は、例えば、100以上450以下、好ましくは150以上400以下、さらに好ましくは170以上350以下とすればよい。

40

【0197】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、後の工程で形成する絶縁体106aおよび半導体106bの水素濃度を低減させることができる場合がある。また、後の工程で形成する絶縁体106aおよび半導体106bの酸素欠損を低減させることができる場合がある。加熱処理は、250以上650以下、好ましくは450以上600以下、さらに好ましくは520以上570以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上

50

含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。加熱処理によって、後の工程で形成する絶縁体106aおよび半導体106bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。加熱処理は、ランプ加熱によるRTA装置を用いることもできる。

【0198】

当該加熱処理により、絶縁体104から絶縁体106aとなる絶縁体、及び半導体106bとなる半導体に酸素を供給することができる。絶縁体104に対して加熱処理を行うことにより、極めて容易に酸素を絶縁体106aとなる絶縁体、及び半導体106bとなる半導体に供給することができる。

10

【0199】

ここで、絶縁体101は、酸素をブロックするバリア膜として機能する。絶縁体101が絶縁体104の下に設けられることにより、絶縁体104中に拡散した酸素が絶縁体104より下層に拡散することを防ぐことができる。

【0200】

このように絶縁体106aとなる絶縁体、及び半導体106bとなる半導体に酸素を供給し、酸素欠損を低減させることにより、欠陥準位密度の低い、高純度真性または実質的に高純度真性な酸化物半導体とすることができる。

【0201】

また、高密度プラズマ処理などを行ってもよい。高密度プラズマは、マイクロ波を用いて生成すればよい。高密度プラズマ処理では、例えば、酸素、亜酸化窒素などの酸化性ガスを用いればよい。または、酸化性ガスと、He、Ar、Kr、Xeなどの希ガスと、の混合ガスを用いてもよい。高密度プラズマ処理において、基板にバイアスを印加してもよい。これにより、プラズマ中の酸素イオンなどを基板側に引き込むことができる。高密度プラズマ処理は基板を加熱しながら行ってもよい。例えば、上記加熱処理の代わりに高密度プラズマ処理を行う場合、上記加熱処理の温度より低温で同様の効果を得ることができる。高密度プラズマ処理は、絶縁体106aとなる絶縁体の成膜前に行ってもよいし、絶縁体112の成膜後に行ってもよいし、絶縁体116の成膜後などに行ってもよい。

20

【0202】

次に、半導体106bとなる半導体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体106a及び半導体106bを形成する。なお、図4(C)(D)に示すように、半導体106bの形成時に、絶縁体104の露出した表面が除去される場合がある。

30

【0203】

次に、後の工程で絶縁体106cとなる絶縁体を成膜する。当該絶縁体としては上述の絶縁体、半導体又は導電体を用いればよい。当該絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。また、PESP法又はVDS法で成膜することもできる。

40

【0204】

次に、絶縁体106cとなる絶縁体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体106cを形成する(図4(C)(D)参照)。なお、図4(C)(D)に示すように、絶縁体106cの形成時に、絶縁体104の露出した表面が除去される場合がある。

【0205】

ここで、絶縁体106cについて、側面端部が半導体106bの側面端部の外側に位置するようにパターン形成を行う。特に、図4(D)に示すように、絶縁体106cのチャネル幅方向の側面端部が、半導体106bのチャネル幅方向の側面端部の外側に位置するようにパターン形成を行うことが好ましい。このように絶縁体106cを形成することにより、半導体106bが絶縁体106a及び絶縁体106cに包み込まれる構造となる。

50

【0206】

このような構造とすることにより、半導体106bの側面端部、特にチャネル幅方向の側面端部が、絶縁体106a及び絶縁体106cと接して設けられている。これにより、半導体106bの側面端部において、絶縁体106a又は絶縁体106cとの間に連続接合が形成され、欠陥準位密度が低減される。よって、低抵抗領域107a及び低抵抗領域107bを設けることによりオン電流が流れやすくなっても、半導体106bのチャネル幅方向の側面端部が寄生チャネルとならず、安定した電気特性を得ることができる。

【0207】

次に、後の工程で絶縁体112となる絶縁体を成膜する。当該絶縁体としては上述の絶縁体112として用いることができる絶縁体を用いればよい。当該絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。例えば、ALD法を用いて成膜時の基板温度を400以上520以下、好ましくは450以上500以下に設定して絶縁体112を成膜すればよい。成膜時の基板温度を高くすることによって、絶縁体112に含まれる不純物濃度を低減することができる。例えば、成膜ガスや成膜室に含まれる炭素化合物や水などを低減することができるため、炭素濃度または/および水素濃度を低減することができる。また、成膜時の基板温度を高くすることによって、絶縁体112の密度(膜密度ともいう。)を高くすることができる。絶縁体112の密度を高くすることによって、絶縁体112の欠陥準位密度を低くすることができるため、作製するトランジスタに安定した電気特性を付与することができる。

10

20

【0208】

次に、後の工程で導電体114となる導電体を成膜する。当該導電体としては、上述の導電体114に用いることができる導電体を用いればよい。当該導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0209】

次に、導電体114となる導電体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体112及び導電体114を形成する(図4(E)(F)参照。)。ここでは、導電体114のチャネル長方向の側面端部と絶縁体112のチャネル長方向の側面端部は概略一致するように形成した後で、同じマスクを用いてウェットエッティングなどによって、導電体114のみを選択的にエッティングしてもよい。このようにエッティングすることで、図2(C)(D)に示すトランジスタ12のように、導電体114のチャネル長方向の幅が絶縁体112のチャネル長方向の幅より小さい構成とすることができる。

30

【0210】

次に、導電体114及び絶縁体112をマスクとして、絶縁体106a、半導体106b及び絶縁体106cにドーパント119を添加する(図4(E)(F)参照)。これにより、絶縁体106a、半導体106b及び絶縁体106cに領域126a、領域136b及び領域136cが形成される。なお、領域136b及び領域136cは後の工程で領域126b及び領域126cとなる領域である。このため、領域136b及び領域136cは領域126aより、SIMS分析により得られるドーパント119の濃度が高くなる。ドーパント119の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素と言い換えてよい。

40

【0211】

ドーパント119の添加工程は、加速電圧、ドーズ量などの注入条件を適宜設定して制

50

御すればよい。ドーパント119のドーズ量は、例えば、 1×10^{12} ions/cm²以上 1×10^{16} ions/cm²以下、好ましくは 1×10^{13} ions/cm²以上 1×10^{15} ions/cm²以下とすればよい。ドーパント119導入時の加速電圧は2kV以上50kV以下、好ましくは5kV以上30kV以下とすればよい。

【0212】

また、基板を加熱しながらドーパント119の添加を行ってもよい。基板温度は、例えば、200以上700以下、好ましくは300以上500以下、より好ましくは350以上450以下とする。

【0213】

ドーパント119としては、例えば、水素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンゲステンなどが挙げられる。これらの元素の中でも、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素またはホウ素は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて比較的容易に添加することができるため、好適である。

【0214】

また、ドーパント119の添加処理後、加熱処理を行ってもよい。加熱処理は、例えば、250以上650以下、好ましくは350以上450以下とし、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0215】

例えば、ドーパント119の添加によって領域136bおよび領域136cに酸素欠損を形成した場合、その後の加熱処理によって領域136bおよび領域136cの近傍にある水素122を酸素欠損となったサイトにゲッタリングさせることができる（図6（A）（B）参照。）。これにより、領域136b及び領域136cを低抵抗化させ、領域126b及び領域126cを形成することができる。このようにして形成されたドナー準位は安定であるため、後に高抵抗化することが少ない。なお、当該加熱処理で十分に領域126b及び領域126cを低抵抗化できる場合、下記に示すドーパント120の添加工程を省略してもよい。

【0216】

次に、導電体114及び絶縁体112をマスクとして、絶縁体106a、半導体106b及び絶縁体106cにドーパント120を添加する（図5（A）（B）参照）。これにより、領域136b及び領域136cが低抵抗化されて領域126b及び領域126cを形成することができる。このため、領域126b及び領域126cは領域126aより、SIMS分析により得られるドーパント120の濃度が高くなる。ドーパント120の添加方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素と言い換えてよい。

【0217】

ドーパント120の添加工程は、加速電圧、ドーズ量などの注入条件を適宜設定して制御すればよい。ドーパント120のドーズ量は、例えば、 1×10^{12} ions/cm²以上 1×10^{16} ions/cm²以下、好ましくは 1×10^{13} ions/cm²以上 1×10^{15} ions/cm²以下とすればよい。ドーパント120導入時の加速電圧は2kV以上50kV以下、好ましくは5kV以上30kV以下とすればよい。

【0218】

また、基板を加熱しながらドーパント120の添加を行ってもよい。基板温度は、例えば、200以上700以下、好ましくは300以上500以下、より好ましくは350以上450以下とする。このように加熱しながらドーパント120を添加する

10

20

30

40

50

ことにより、ドーパント 120 の添加による、絶縁体 106a、半導体 106b 及び絶縁体 106c の結晶性の低下を低減することができる。

【0219】

ドーパント 120 としては、ドーパント 119 として添加したドーパント以外を添加すればよい。例えば、水素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンゲステンなどが挙げられる。これらの元素の中でも、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素またはホウ素は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて比較的容易に添加することができるため、好適である。

10

【0220】

また、ドーパント 120 の添加処理後、加熱処理を行ってもよい。加熱処理は、例えば、250 以上 650 以下、好ましくは 350 以上 450 以下とし、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0221】

以下に、ドーパント 119 及びドーパント 120 の添加方法について図 7 を用いて説明する。なお、以下ではドーパントとしてイオンを用いるイオン注入法又はイオンドーピング法の詳細について説明する。

20

【0222】

イオンドーピング処理によるイオンの添加は、試料面に対して特定の角度（例えば、垂直な角度）から行ってもよいが、図 7 に示す方法で行うと好ましい。図 7 は、一つのイオンが、試料面に対し、角度（ ）および角度（ ）で入射する様子を簡略的に示した図である。

【0223】

図中の x 軸、y 軸および z 軸は、あるイオンの入射点で交差する直線である。x 軸は、試料面上に任意に定めた直線である。y 軸は、試料面上にあり、x 軸と直交する直線である。z 軸は、入射点における試料面の法線である。角度（ ）は、断面図において、イオンの入射方向と z 軸との為す角度である。また、角度（ ）は、上面図において、イオンの入射方向と x 軸との為す角度である。

30

【0224】

ある物体をマスクとして試料面に対して特定の角度（ ）からイオンを入射させた場合、物体の下部にある試料の一部に対してもイオンを添加することができる。

【0225】

また、試料面に対して特定の角度（ ）のみからイオンを入射させた場合、物体が高さを有することにより、イオンが入射する側と反対側にイオンの添加されない領域が生じる場合がある。イオンの添加されない領域を物体の陰と呼ぶことができる。したがって、イオンを複数の角度から入射させることにより、試料面に生じる陰の影響を低減することが好ましい。

40

【0226】

図 7 (A1) および図 7 (A2) に示すように、イオンを試料面に対し、第 1 の角度（ ）で入射させた後、第 2 の角度（ ）で入射させればよい。ただし、第 1 の角度（ ）および第 2 の角度（ ）は、の少なくとも一方が異なる角度である。

【0227】

第 1 の角度（ ）における角度（ ）は、例えば、10° 以上 60° 以下、好ましくは 15° 以上 45° 以下、さらに好ましくは 20° 以上 40° 以下とする。第 2 の角度（ ）における角度（ ）は、例えば、10° 以上 60° 以下、好ましくは 15° 以上 45° 以下、さらに好ましくは 20° 以上 40° 以下とする。なお、第 2 の角度（ ）

50

)における角度と、第1の角度(,)における角度と、はz軸に対して対称である。よって、第2の角度(,)における角度を、負の値として表すこともできる。具体的には、第2の角度(,)における角度()を、例えば、-60°以上-10°以下、好ましくは-45°以上-15°以下、さらに好ましくは-40°以上-20°以下と表記することもできる。

【0228】

ここで、上記のように試料面に対して特定の角度でイオンを入射させる場合、図1(D)に示す絶縁体112の膜厚tと距離dとの間に相関がある。例えば、イオンが絶縁体112の側面の上端から入射する場合、絶縁体106cに当該イオンが入射する位置は、導電体114の側面端部から距離 $t \cdot \tan$ の位置になる。ここで、導電体114は金属を含んで形成されることが多く、当該イオンが入射しにくい。よって、チャネル長方向においてチャネル形成領域に侵入する長さが最も長くなるのは、イオンが絶縁体112の側面の上端から入射する場合である。よって、距離 $t \cdot \tan$ は、図1(D)に示す距離dの目安となるので、膜厚tと距離dの間に相関が見られる。例えば上記のように、イオンの入射角度()を15°以上45°以下とすると、 $\tan 15^\circ = 0.2679$ 、 $\tan 45^\circ = 1$ なので、上記の式 $0.25t < d < t$ とよく対応している。

【0229】

第2の角度(,)における角度()は、例えば、第1の角度(,)における角度()よりも90°以上270°以下、好ましくは135°以上225°以下大きい角度とし、代表的には180°とする。ただし、ここで示した第1の角度(,)および第2の角度(,)は一例であり、これに限定されるものではない。

【0230】

なお、イオンを入射させる角度は、第1の角度(,)、第2の角度(,)の2種類に限定されない。例えば、第1乃至第n(nは2以上の自然数)の角度(,)で入射させてもよい。第1乃至第nの角度(,)は、それぞれ、の少なくとも一方が異なる角度を含む。

【0231】

または、図7(B)に示すように、イオンを、試料面に対し第1の角度(,)で入射させた後、角度()が0°を経由して第2の角度(,)まで方向にスキャン(スキャンともいう。)させてもよい。ただし、イオンを入射させる角度()は、1種類に限定されず、第1乃至第n(nは2以上の自然数)の角度()で入射させてもよい。

【0232】

第1の角度(,)における角度()は、例えば、10°以上60°以下、好ましくは15°以上45°以下、さらに好ましくは20°以上40°以下とする。第2の角度(,)における角度()は、例えば、10°以上60°以下、好ましくは15°以上45°以下、さらに好ましくは20°以上40°以下とする。第1の角度(,)と第2の角度(,)とは同じ角度()であってもよい。

【0233】

なお、スキャンは、連続的にスキャンしてもよいが、例えば、0.5°、1°、2°、3°、4°、5°、6°、10°、12°、18°、20°、24°または30°ステップで段階的にスキャンしてもよい。

【0234】

または、イオンは、図7(C)に示すように、試料面に対し、第1の角度(,)で入射させた後、第2の角度(,)まで方向にスキャン(スキャンともいう。)させればよい。ただし、イオンを入射させる角度()は、1種類に限定されず、第1乃至第n(nは2以上の自然数)の角度()で入射させてもよい。

【0235】

第1の角度(,)および第2の角度(,)において、角度()は、例えば、10°以上60°以下、好ましくは15°以上45°以下、さらに好ましくは20°以上

10

20

30

40

50

40°以下とする。第1の角度(,)と第2の角度(,)とは同じ角度()であってもよい。

【0236】

なお、スキャンは、連続的にスキャンしてもよいが、例えば、0.5°、1°、2°、3°、4°、5°、6°、10°、12°、18°、20°、24°または30°ステップで段階的にスキャンしてもよい。

【0237】

なお、図示しないが、スキャンおよびスキャンを組み合わせて行っても構わない。

【0238】

以上のようにして、イオンの添加された領域126bおよび領域126cを形成すればよい。

10

【0239】

図7に示した方法を用いることで、領域126bおよび領域126cを、導電体114と重ならない領域に加え、一部が導電体114と重なる領域にまで形成することができる。したがって、領域126bおよび領域126cと、領域126aとの間に、高抵抗のオフセット領域が形成されないため、トランジスタのオン電流を高くすることができる。

【0240】

ドーパント119およびドーパント120の添加によって、領域126b及び領域126cを低抵抗化することができる。領域126b及び領域126cの低抵抗化のメカニズムは、ドーパント119とドーパント120との組み合わせによって異なる。

20

【0241】

例えば、ドーパント119と、ドーパント120と、で異なるドナー準位を形成することで領域126b及び領域126cを低抵抗化することができる。

【0242】

または、例えば、まずドーパント119を添加し、次にドーパント120を添加することでドナー準位を形成して領域126b及び領域126cを低抵抗化することもできる。この場合、例えば、ドーパント119の添加によって領域126b及び領域126cに酸素欠損を形成した後、ドーパント120を添加することでドナー準位を形成すればよい。または、例えば、ドーパント119を添加した後に、ドーパント120を添加することで領域126b及び領域126cに酸素欠損を形成してもよい。その後、加熱処理などによって、酸素欠損となったサイトにドーパント119またはドーパント120を移動させ、ドナー準位を形成することができる。例えば、酸素欠損となったサイトに水素が入ることでドナー準位となる場合がある。このようにして形成されたドナー準位は安定であるため、後に高抵抗化することが少ない。

30

【0243】

以下では、酸化物半導体が、酸素欠損及び水素を含むことで、抵抗率が低減することについて説明する。なお、ここでは、酸素欠損となったサイト(V_o)に水素原子Hがある状態を V_oH と表記する。

【0244】

<1-a 計算手法>

40

ここで、In-Ga-Zn酸化物中の V_o 及び水素が同時に存在することによる影響を、第一原理計算を用いて調べた。はじめに、 V_o のできやすい酸素サイト、及び水素原子の存在形態を調べた。次に、 V_o の内側または外側における水素原子の安定性について調べた。最後に、安定に存在しやすい欠陥の遷移レベルを算出した。

【0245】

第一原理計算には、Vienna Ab initio Simulation Package (VASP)を使用した。また、ハイブリッド汎関数には、Heyd-Scuseria-Ernzerhof (HSE)汎関数を用い、交換相関ポテンシャルには、Perdew-Burke-Ernzerhof (PBE)型のGeneralized-Gradient-Approximation (GGA)を用い、擬ポテンシャルに

50

は projector augmented-wave (PAW) 法を用いた。V_o の内側または外側における水素原子の安定性に関する計算では GGA を使用し、形成エネルギーや遷移レベルの計算ではエネルギーギャップの精度が要求されるため HSE 汎関数を使用した。GGA を用いた場合、エネルギーのカットオフは 500 eV、k-point は Monkhorst-Pack メッシュの $2 \times 2 \times 3$ サンプリングとした。また、HSE 汎関数を用いた場合、エネルギーのカットオフは 800 eV、k-point のサンプリングは点のみとした。また、HSE 汎関数におけるスクリーニングパラメータを 2 nm^{-1} 、Hartree-Fock の交換項の比率を 0.25 とした。

【0246】

<1-b 欠陥の形成エネルギー>

欠陥濃度 c は、欠陥 D の形成エネルギー ($E_{\text{form}}(D)$) 及び数式 (1) より算出される。

【0247】

【数1】

$$c = N_{\text{sites}} \exp\left\{-E_{\text{form}}(D)/k_B T\right\} \quad (1)$$

【0248】

ここで、 N_{sites} は欠陥 D が形成されるサイトの数、 k_B はボルツマン定数、T は温度である。つまり、形成エネルギーが小さいほど欠陥 D は形成されやすいといえる。そこで、形成エネルギーを、数式 (2) より算出した。

【0249】

【数2】

$$E_{\text{form}}(D) = E_{\text{tot}}(D^q) - E_{\text{tot}}(\text{bulk}) + \sum_i \Delta n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F) \quad (2)$$

【0250】

ここで、 $E_{\text{tot}}(D^q)$ は電荷 q の欠陥 D をもつセルの全エネルギー、 $E_{\text{tot}}(\text{bulk})$ は完全結晶の全エネルギー、 n_i は原子 i の増減数、 μ_i は原子 i の化学ポテンシャル、 ε_{VBM} は価電子帯上端 (VBM) のエネルギー、 V_q は参照ポテンシャルに関する補正項、 E_F はフェルミエネルギーである。このとき、VBM のエネルギーをフェルミエネルギーが 0 eV として表記する。化学ポテンシャルは環境に依存する。そこで、酸素の化学ポテンシャル (μ_o) の上限 (酸素リッチ条件) を酸素分子の全エネルギーの半分とした。この時の水素の化学ポテンシャル (μ_H) は、水分子の全エネルギーから酸素の化学ポテンシャルを引いた値の半分とした。

【0251】

なお、酸素リッチ条件とは、例えば、酸素欠損が生じたときに、該酸素欠損に酸素が入りやすい条件、即ち、酸素欠損の形成が抑制される条件である。

【0252】

一方、水素リッチ条件での水素の化学ポテンシャル (μ_H) は水素分子の全エネルギーの半分とし、この時の酸素の化学ポテンシャルは、下限 (酸素プア条件) となるが、水分子の全エネルギーから μ_H の 2 倍を引いた値とした。

【0253】

なお、酸素プア条件とは、酸素欠損が生じたときに、酸素欠損の形成が促進される条件である。

【0254】

<1-c 欠陥の遷移レベル>

欠陥の種類によっては、異なる荷電状態への遷移を伴う準位 (遷移レベルともいう。) がエネルギーギャップ内に存在し、準位の深さとフェルミ準位の位置によってキャリアの捕獲や放出の要因となる。そこで、欠陥 D の遷移レベル ((q/q')) を、以下の数

10

20

30

40

50

式(3)より算出した。

【0255】

【数3】

$$\varepsilon(q/q') = \frac{E_{form}(D^q) - E_{form}(D^{q'})}{q' - q} \quad (3)$$

【0256】

数式(3)より得られる(q/q')値は、価電子帯上端を0.0eVとした時の遷移レベルの位置を表す。言い換えると、エネルギーギャップから遷移レベルを引いた値は、伝導帯下端(CBM)からの深さに相当することになる。また、フェルミ準位が(q/q')よりも価電子帯側であれば、その欠陥は荷電状態 q で安定であり、伝導帯側であれば、その欠陥は荷電状態 q' で安定であるといえる。

10

【0257】

<1-d 原子の拡散>

次に、Nudged Elastic Band(NEB)法を用いて、原子の拡散過程における経路および活性障壁を調べた。NEB法とは、始状態から終状態までの経路の中で、エネルギーが最も低くなる経路を探し出す手法である。原子が受ける力が0.5eV/nm以下となるまで原子座標を緩和させる計算を行った。

20

【0258】

<1-e 計算構造>

通常、欠陥を有するセルは、完全結晶に対して1個の欠陥が存在するように作成されるが、3次元の周期境界条件を設定するため、欠陥同士の相互作用を小さくするには欠陥同士の間隔を広げる、つまり、格子サイズを大きくする必要がある。ホモロガス構造である $InGaO_3$ (ZnO)_m結晶では、格子定数 a (および格子定数 b)は、格子定数 c に対して非常に小さい。そのため、 a および b 軸方向の格子サイズを格子定数 c と同程度にしようとする、原子数が非常に多くなってしまう。そこで、 $m=1$ において格子ベクトルを(420)、(040)、(211)とした後に、格子定数 c を1/3倍にして得られる112原子のスーパーセル($InGaZnO_4$)を用意した(図8参照。)。これにより、欠陥同士の間隔が最短軸長の方向でも0.8nm以上となる。

30

【0259】

また、 $InGaO_3$ (ZnO)_m($m=1$)では、 InO_2 層と次の InO_2 層との間には、Ga、Zn、およびOで構成されている層((Ga, Zn)O層)が2層存在する。この2層におけるGaおよびZnの配列は、エネルギーが最も低くなる配置を選んだ。このとき、酸素に対して最近接となる金属原子の組み合わせより、酸素サイトは図8のO₍₁₎からO₍₄₎に示す4種類存在する。具体的には、3個のInと1個のZnと結合するOサイト(O₍₁₎)、3個のInと1個のGaと結合するOサイト(O₍₂₎)、a-b面方向に1個のGaと2個のZnと結合するOサイト(O₍₃₎)、a-b面方向に2個のGaと1個のZnと結合するOサイト(O₍₄₎)である。

30

【0260】

はじめに、完全結晶に対して、格子定数および原子座標の最適化をGGAまたはHSE汎関数を用いて行った。得られた格子定数およびエネルギーギャップを下表に示す。比較のために、実験で得られた格子定数およびエネルギーギャップも併せて記載する。GGAを用いた場合、格子定数は実験値と比較すると過大評価され、エネルギーギャップは過小評価されている。一方、HSE汎関数を用いた場合、格子定数およびエネルギーギャップは実測に近い値となっている。ちなみに計算で得られた格子定数 a と b がわずかに異なるのは、GaおよびZnの配置によるものである。

40

【0261】

【表1】

	a [Å]	b [Å]	c [Å]	energy gap [eV]
GGA	3.337	3.372	26.260	1.10
HSE	3.300	3.327	25.868	3.08
実験データ	3.295		26.071	3.15

10

【0262】

<2-a V_oのできやすいサイト>V_oと水素が同時に存在する影響を調べる前に、V_oと水素それぞれの影響を調べる。

【0263】

はじめに、V_oのできやすいサイトについて調べた。完全結晶から1個の酸素を抜き出すことでV_oを有するセルを作成し、HSE汎関数を用いて原子の配置の緩和を実施した。酸素リッチ条件で算出したV_oの形成エネルギーを下表に示す。なお、n_Mは酸素に隣接する金属原子M(=In、Ga、Zn)の配位数を示す。

【0264】

【表2】

20

酸素サイト	n _{In}	n _{Ga}	n _{Zn}	Formation energy [eV]	ε(2+/+)[eV]	ε(+/-)[eV]	ε(2/-/0)[eV]
O ₍₁₎	3	0	1	3.87	2.24	2.28	2.26
O ₍₂₎	3	1	0	4.09	2.47	2.69	2.56
O ₍₃₎	0	1	2	3.85	2.42	2.17	2.29
O ₍₄₎	0	2	1	4.27	2.34	2.14	2.24

【0265】

酸素サイトO₍₁₎におけるV_oの形成エネルギーは、酸素サイトO₍₂₎よりも小さい。酸素サイトO₍₁₎および酸素サイトO₍₂₎の酸素は4配位であり、ともに3個のInと結合している。残りの1つの結合相手が、酸素サイトO₍₁₎ではZnであり、酸素サイトO₍₂₎ではGaである。この違いが形成エネルギーの差の主要因と考えるなら、Gaは、Znよりも酸素との結合が強いと推測される。また、酸素サイトO₍₃₎におけるV_oの形成エネルギーは、酸素サイトO₍₄₎よりも小さい。酸素サイトO₍₃₎は、a-b面方向に結合しているGaの数が酸素サイトO₍₄₎よりも少ない。したがって、Ga-O間の結合が強いといえる。以上のことから、V_oは、Gaとの配位数が少ない酸素サイトO₍₁₎または酸素サイトO₍₃₎で形成されやすいと考えられる。

【0266】

30

また、V_oの遷移レベルを表2に示す。酸素サイトO₍₃₎および酸素サイトO₍₄₎では、V_oの(2+/+)の遷移レベルは(+/-)の遷移レベルよりも伝導帯側に位置している。また、酸素サイトO₍₁₎のV_oの(2+/+)と(+/-)の遷移レベルはほぼ等しい。このことから、フェルミ準位を価電子帯側から伝導帯側へシフトさせると、V_o⁺を経ずにV_o²⁺からV_o⁰へと遷移することが分かる。すなわち、V_oは、酸化亜鉛で知られる様にnegative-U挙動を示す。さらに、形成エネルギーの小さい酸素サイトO₍₁₎と酸素サイトO₍₃₎でのV_oの(2+/0)の遷移レベルは、伝導帯下端(フェルミエネルギーが3.15eV)から約0.8eVと深い位置に存在する。このことから、In-Ga-Zn酸化物中のV_oは深いドナーであることが示唆される。これは結晶性InGaO₃(ZnO)_m(m=3)の結果と一致する。

40

50

【0267】

<2-b 水素の存在形態>

次に水素の存在形態について調べた。In-Ga-Zn酸化物中の水素は、格子間に水素原子または水素分子として存在する場合と、酸素と結合して存在する場合が考えられる。そこで、InO₂層と(Ga, Zn)O層間の八面体格子間(図8のInt(5))に、水素原子(H_{0,ct})または水素分子((H₂)_{0,ct})を配置したセルと、c軸と平行なGa-O bondの酸素において、Gaと反対側で酸素原子と結合した水素原子(bonded-H)をもつセルの計3つを用意し、それぞれ原子緩和を、HSE汎関数を用いて行った。

【0268】

フェルミエネルギーに対する形成エネルギーの変化を図9に示す。図9(A)に、酸素リッチ条件で算出した形成エネルギーを示し、図9(B)に、酸素プア条件で算出した形成エネルギーを示す。ここでは、水素原子1個あたりの形成エネルギーで比較するために、図9中の(H₂)_{0,ct}の形成エネルギーは、半分の値で記載している。また、VBMのエネルギーをフェルミエネルギーが0eVと表記し、CBMのエネルギーをフェルミエネルギーが3.15eVと表記する。また、図9(A)及び図9(B)において、直線の傾きが0の場合、各欠陥が電荷中性の状態を示し、直線の傾きが負の場合、負の電荷を帯びた状態を示し、直線の傾きが正の場合、正の電荷を帯びた状態を示す。

【0269】

水素分子(H₂)_{0,ct}は、VBMから2.82eVまでは電荷中性の状態で存在し、2.82eVからCBMまでは、マイナスの電荷を帯びた状態で存在することが分かった。

【0270】

また、水素原子H_{0,ct}は、VBMから2.17eVまでは、電荷中性の状態で存在し、2.17eVからCBMまでは、マイナスの電荷を帯びた状態で存在する。なお、安定なH_{0,ct}⁺は確認できなかった。

【0271】

そして、酸素原子と結合した水素原子(bonded-H)は、VBMから2.82eVまでは、プラスの電荷を帯びた状態で存在し、2.82eVからCBMまでは、中性状態で存在することが分かった。

【0272】

各配置の形成エネルギーを比較した結果、In-Ga-Zn酸化物中の水素は、エネルギーギャップ内の領域全てにおいて、酸素条件に関わらず、酸素原子と結合した水素原子(bonded-H)で安定に存在しやすいことが分かった。

【0273】

<2-c V₀とHが同時に存在する時の安定な構造>

上述した<2-a>、<2-b>では、V₀と水素の安定性を別々に評価した。V₀と水素原子が單一セル内に存在する場合、水素原子とV₀が離れて存在する状態と、V₀内に水素原子が入り込んだ状態(V₀H)とが考えられる。そこで、ここではどちらの状態が安定であるかを調べた。

【0274】

V₀が酸素サイトO₍₁₎に存在し、かつ、水素原子1個が任意の位置に存在するセルと、V₀が酸素サイトO₍₃₎に存在し、かつ、水素原子1個が任意の位置に存在するセルと、を用意した。それぞれのセルに対して原子緩和を実施した。ここでは、交換相関ポテンシャルにGGAを用いた。V₀の中心から水素原子までの距離に対する全エネルギーの相対値をプロットしたものを図10に示す。なお、V₀の中心は、結合した酸素原子が脱離する前に存在した位置である。V₀内に水素原子が入りこんだ時(V₀H)を0nmとし、このときをエネルギーの基準とした。図10において、四角印は酸素サイトO₍₁₎にV₀が存在する場合、三角印は酸素サイトO₍₃₎にV₀が存在する場合である。また、破線Aは、水素原子1個をV₀内に入れたセルにおけるエネルギーの相対値であり、

10

20

30

40

50

破線 B は、水素原子 1 個をさまざまな酸素の近くに配置したセルにおけるエネルギーの相対値である。計算の結果、どちらの酸素サイトでも、破線 B 内よりも破線 A 内のプロットの方のエネルギーが低いため、 V_O と水素原子が離れて存在するよりも V_OH の方が安定であることが分かった。

【0275】

水素原子と V_O が離れて存在する状態と、 V_O 内に水素原子が入り込んだ状態 (V_OH)、該 2 つの状態のどちらが安定であるかを、上記 GGA を用いた計算とは異なる方法で調べるために、形成エネルギー (E_{form}) から定義される結合エネルギー (E_b) を、数式 (4) を用いて計算した。ここでは、交換相関ポテンシャルに HSE 汎関数を用いた。

10

【0276】

【数 4】

$$E_b = E_{form}(V_O) + E_{form}(bonded - H) - E_{form}(V_OH) \quad (4)$$

【0277】

なお、数式 (4) において、 $E_{form}(V_O) + E_{form}(bonded - H)$ は、水素原子と V_O が離れて存在する状態の形成エネルギーであり、 $E_{form}(V_OH)$ は、 V_O 内に水素原子が入り込んだ状態 (V_OH) の形成エネルギーである。

20

【0278】

図 11 に、酸素サイト $O_{(3)}$ に存在する V_O の形成エネルギー (細実線で示す。)、酸素原子と結合した水素原子 (bonded - H) の形成エネルギー (一点鎖線で示す。)、酸素サイト $O_{(3)}$ に形成された V_OH の形成エネルギー (破線で示す。)、および結合エネルギー (E_b) (太実線で示す。) を、フェルミエネルギーの関数としてプロットした結果を示す。図 11 (A) 及び図 11 (B) はそれぞれ、酸素リッチ条件、酸素プア条件での計算結果である。

【0279】

数式 (4) より、結合エネルギー E_b が正の時、 V_O 内に水素原子が入り込んだ状態 (V_OH) は安定である。図 11 において、フェルミ準位が 1.85 eV 以上のとき、 E_b は正である。キャリア濃度の高い場合を考えると、フェルミ準位は伝導帯下端に近く、フェルミ準位が 1.85 eV 以上である。よって、 V_O 内に水素原子が入り込んだ状態 (V_OH) は、水素原子と V_O が離れて存在する状態よりも安定である。

30

【0280】

図 10 より、 V_O と水素原子が存在する場合、 V_OH で存在する方が安定であることが分かった。しかし、 V_OH の水素原子が V_O 内から容易に放出されるようであれば、水素原子は V_O 内にとどまらずに $In-Ga-Zn$ 酸化物中を拡散することになる。そこで、 V_OH の水素原子が V_O 内から抜け出して、 V_O 近傍の酸素と結合するまでの水素の拡散過程およびその時の活性障壁を NEMB 法により調査した。ここでは、交換相関ポテンシャルに GGA を用いた。

40

【0281】

ここでは、始状態を、 V_OH を有するセル、終状態を、 V_O および V_O 近傍の酸素原子と結合した水素原子を有するセル (即ち、図 10 の計算において、水素原子と V_O が離れて存在する状態のセル) とした。そして、経路内の最大エネルギーから始状態または終状態のエネルギーを引くことで、活性障壁を算出した。 V_O 内から水素が抜け出す経路およびエネルギー変化を図 12 に示す。酸素サイト $O_{(1)}$ において、 V_O から水素が抜け出す拡散経路として、経路 A、B を想定した (図 12 (A))。これらの経路について計算したところ、経路 A の方が活性障壁は小さく、この時の活性障壁は 1.52 eV であった。

【0282】

また、酸素サイト $O_{(3)}$ において、 V_O から水素が抜け出す拡散経路として、経路 C

50

、Dを想定した(図12(B))。これらの経路について計算したところ、経路Cの方が活性障壁は小さく、この時の活性障壁は1.61eVであった。

【0283】

V_o から抜け出した後、水素は V_o 内に戻る、または別の酸素に拡散する。水素は、AおよびCの逆方向(それぞれ、A'、C'を示す。)で V_o 内に戻る。水素が、別の酸素に拡散する経路E、Fについて、経路AおよびCの終状態を始状態にセットして、NEB計算を行った。水素の拡散経路およびエネルギー変化を図13に示す。

【0284】

経路A'、C'、E、Fの活性障壁はそれぞれ0.46eV、0.34eV、0.38eV、0.03eVであった。

10

【0285】

次に、上記で得られた活性障壁より、水素拡散の起こる反応頻度 Γ を、以下の式(5)より見積もった。

【0286】

【数5】

$$\Gamma = V \exp(-E_a/k_B T) \quad (5)$$

【0287】

ここで、 V は頻度因子、 E_a は活性障壁である。

20

【0288】

を $1.0 \times 10^{13} / \text{sec}$ と仮定した場合、350における V_o 内の水素が抜け出す頻度、 V_o 内に水素が入り込む頻度および別の酸素に拡散する頻度を下表に示す。

【0289】

【表3】

酸素サイト	水素の拡散経路	E_a [eV]	Γ (350°C) [1/sec]
酸素サイト $O_{(1)}$	V_o 内から抜け出す(A)	1.52	5.52×10^0
	V_o 内に入る(A')	0.46	1.82×10^9
	別の酸素に移る(E)	0.38	8.30×10^9
酸素サイト $O_{(3)}$	V_o 内から抜け出す(C)	1.61	8.77×10^{-1}
	V_o 内に入る(C')	0.34	1.89×10^{10}
	別の酸素に移る(F)	0.03	5.64×10^{12}

30

【0290】

酸素サイト $O_{(1)}$ および $O_{(3)}$ では、水素は高い頻度で V_o 内に入るが、350において V_o 内から水素は放出されにくいことがわかった。したがって、 V_o Hは安定に存在することがわかった。

40

【0291】

即ち、 V_o を有する領域は、水素を捕獲し、放出しないことがわかる。よって、 V_o を有する領域を、水素をブロックする領域、またはゲッタリングする領域と呼ぶことができる。例えば、領域126bおよび領域126cが V_o を有する状態で加熱処理などを行うと、領域126a中の水素が領域126bおよび領域126cにゲッタリングされる。また、領域126bおよび領域126cによって、領域126aに水素が近づきにくくなる

50

。その結果、領域 126a のキャリア密度を、 1×10^9 個 / cm^3 未満、好ましくは 1×10^7 個 / cm^3 未満とすることができる場合がある。

【0292】

< 2 - d V_o H の遷移レベル >

上述した < 2 - c V_o と H が同時に存在する時の安定な構造 > より、 V_o と水素が同時に存在する時、 V_o H として安定に存在することができる。そこで、 V_o H の遷移レベルを算出した。 V_o H の (+ / 0) 遷移レベルは酸素サイト O₍₁₎ に V_o H がある場合は 3.03 eV、酸素サイト O₍₃₎ に V_o H がある場合は 2.97 eV であった。いずれの V_o H の (+ / 0) 遷移レベルも伝導帯下端付近に位置していることから、 shallow donor と考えられる。また、 V_o H はドナーとして振る舞うため、 V_o H を有することで In - Ga - Zn 酸化物の抵抗率が下がり、導電性を増すことがわかる。
10

【0293】

次に、絶縁体 116 を成膜する (図 5 (C) (D) 参照。)。絶縁体 116 としては上述の絶縁体を用いればよい。絶縁体 116 の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。絶縁体 116 を成膜することにより、絶縁体 106a、半導体 106b 及び絶縁体 106c の絶縁体 116 との界面近傍に低抵抗領域 107a 及び低抵抗領域 107b が形成される。

【0294】

スパッタリング法を用いて成膜する場合、金属ターゲットを用いてもよいし、酸化物ターゲットを用いてもよい。金属ターゲットを用いて成膜する場合、酸素の流量を、金属ターゲットに含まれる元素からなる膜が成膜される酸素流量と、金属ターゲットに含まれる元素を含む化学量論的組成を満たした酸化膜が成膜される酸素流量と、の間の酸素流量になるようにすることが好ましい。このような酸素流量で成膜することにより、絶縁体 116 を、亜酸化物からなる酸化膜とすることができますので、絶縁体 106a、半導体 106b 及び絶縁体 106c 中の酸素を引き抜き、容易に低抵抗領域 107a 及び低抵抗領域 107b を形成することができる。ここで、亜酸化物は、酸化物ができる反応過程の中間体である。よって、亜酸化物は、酸化物より酸素が欠乏している。具体的には、酸化物と比較して、酸素濃度が、1 原子 % 以上、2 原子 % 以上、5 原子 % 以上または 10 原子 % 以上低くなるものを亜酸化物とする。
20

【0295】

また、酸化物ターゲットを用いてスパッタリング法で成膜する場合、成膜雰囲気に含まれる酸素濃度が低いことが好ましい。成膜雰囲気中の酸素濃度を低くすることにより、絶縁体 106a、半導体 106b 及び絶縁体 106c に酸素欠損が形成されやすくなり、容易に低抵抗領域 107a 及び低抵抗領域 107b を形成することができる。例えば、半導体 106b の成膜雰囲気の酸素濃度より低くすればよく、全体に占める酸素の割合を、5 体積 % 未満、好ましくは 2 体積 % 未満、さらに好ましくは 1 体積 % 未満、より好ましくは 0.5 体積 % 未満とすればよい。また、酸化物ターゲットを用いて成膜する場合、酸素を用いない雰囲気で絶縁体 116 を成膜してもよい。この場合、例えば、希ガス (アルゴン、クリプトン、キセノンなど) を成膜ガスとして用いて成膜すればよい。
30

【0296】

また、スパッタリング法を用いて成膜する場合、基板温度を高くしても構わない。基板温度を高くすることで、絶縁体 106a、半導体 106b 及び絶縁体 106c に対する、絶縁体 116 に含まれる元素の添加を助長させることができる。なお、基板の温度は、例えば、100 以上 450 以下、好ましくは 150 以上 400 以下、さらに好ましくは 170 以上 350 以下とすればよい。
40

【0297】

また、スパッタリング法などを用いて成膜する場合、窒素を含む雰囲気で成膜することにより、絶縁体 106a、半導体 106b 及び絶縁体 106c に窒素が添加され、n 型化させることができるため好適である。
50

【0298】

また、絶縁体116として、上述の、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンクスチルなどを含む酸化物、酸化窒化物、窒化酸化物または窒化物を、反応性スパッタリング法などを用いて直接成膜してもよいし、上述の元素を含む膜を成膜した後で熱処理を行って、上述の元素を含む酸化物または酸化窒化物としてもよい。熱処理温度は、例えば、250以上650以下、好ましくは350以上450以下で行えばよい。

【0299】

10

絶縁体116としては、酸素とアルミニウムを含む絶縁体、例えば、酸化アルミニウム(A10x)を用いることが好ましい。酸化アルミニウムは、酸素、水素、水等に対してプロッキング効果を有する。

【0300】

また、絶縁体116は、上述の絶縁体106aまたは絶縁体106cとして用いることができる酸化物を用いることもできる。このような絶縁体116としては、Inを含む酸化絶縁物を用いることが好ましく、例えば、In-A1酸化物、In-Ga酸化物、In-Ga-Zn酸化物を用いればよい。Inを含む酸化絶縁物はスパッタリング法で成膜する際に発生するパーティクル数が少ないので、絶縁体116として用いるのに好適である。

20

【0301】

また、絶縁体116を成膜した後で、ドーパント120として用いることができる元素を添加して、領域126a、領域126b、低抵抗領域107a及び低抵抗領域107bをさらに低抵抗化してもよい。さらに、このように添加することにより、絶縁体116に含まれる元素を絶縁体106a、半導体106b及び絶縁体106cに押し込む(ノックオンする)ことができる。添加方法としては、例えば、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

【0302】

30

次に、加熱処理を行うことが好ましい。加熱処理を行うことにより、絶縁体104などから、絶縁体106a、半導体106b及び絶縁体106cに酸素を供給することができる。加熱処理は、250以上650以下、好ましくは350以上450以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。加熱処理は、ランプ加熱によるRTA装置を用いることもできる。

【0303】

また、当該加熱処理は、半導体106bとなる半導体の成膜後の加熱処理よりも低い温度が好ましい。半導体106bとなる半導体の成膜後の加熱処理との温度差は、20以上150以下、好ましくは40以上100以下とする。これにより、絶縁体104などから余分に過剰酸素(酸素)が放出することを抑えることができる。なお、絶縁体116成膜後の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合(例えば絶縁体116の成膜で同等の加熱が行われる場合)、行わなくてよい場合がある。

40

【0304】

このとき、絶縁体106a、半導体106b及び絶縁体106cは、酸素をプロックする機能を有する絶縁体101及び絶縁体116に包まれているので、酸素が外方拡散することを防ぐことができる。これにより、絶縁体106a、半導体106b及び絶縁体106c、特に半導体106bでチャネルが形成される領域に酸素を効果的に供給することができる。このように絶縁体106a、半導体106b及び絶縁体106cに酸素を供給し、酸素欠損を低減させることにより、欠陥準位密度の低い、高純度真性または実質的に高純度真性な酸化物半導体とすることができる。

50

【0305】

次に、絶縁体118を成膜する。絶縁体118としては上述の絶縁体を用いればよい。絶縁体118の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0306】

次に、絶縁体118上にレジストなどを形成し、絶縁体118、絶縁体116、絶縁体106cに開口を形成する。それから、導電体108a及び導電体108bとなる導電体を成膜する。導電体108a及び導電体108bとなる導電体としては、上述の導電体を用いることができる。当該導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

10

【0307】

次に、CMP処理を行って、絶縁体118上の導電体108a及び導電体108bとなる導電体を除去する。その結果、絶縁体118、絶縁体116、絶縁体106cに形成された開口の中のみに、導電体108a及び導電体108bが残存する。

【0308】

次に、絶縁体118、導電体108a及び導電体108b上に、導電体109a及び導電体109bとなる導電体を成膜する。導電体109a及び導電体109bとなる導電体としては、上述の導電体を用いることができる。当該導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

20

【0309】

次に、導電体109a及び導電体109bとなる導電体上にレジストなどを形成し、該レジストなどを用いて加工し、導電体109a及び導電体109bを形成する(図5(E)(F)参照)。

【0310】

以上の工程により、本発明の一態様に係るトランジスタ10を作製することができる。

【0311】

このように、本実施の形態に示す半導体装置の作製方法では、導電膜などが領域126aの上面に接触し、トランジスタ10のチャネル形成領域として機能する部分がダメージを受けることを防ぐことができる。よって、当該ダメージによるトランジスタ10の信頼性の低下を防ぐことができる。

30

【0312】

以上に示す作製方法を用いることにより、LTPS(Low Temperature Poly Silicon)を用いてgate first方式で作製されるトップゲート構造のトランジスタのラインにおいて、LTPSを酸化物半導体で容易に置き換えることが可能となる。ここで、gate first方式とは、トランジスタ製造工程においてソース領域、ドレイン領域の形成前にゲートを作製する方式のことを指す。

【0313】

以上のような構成とすることにより、安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

40

【0314】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

【0315】

(実施の形態3)

本実施の形態では、本発明の一態様に係る半導体装置の構成について、図14乃至図17を用いて説明する。

50

【0316】

<トランジスタの構成>

以下では、本発明の一態様に係る半導体装置の一例としてトランジスタの構成について説明する。

【0317】

図14(A)乃至(C)を用いてトランジスタ20の構成について説明する。図14(A)はトランジスタ20の上面図である。図14(B)は図14(A)の一点鎖線A1-A2に対応する断面図である。図14(C)は図14(A)の一点鎖線A3-A4に対応する断面図である。なお、一点鎖線A1-A2で示す領域では、トランジスタ20のチャネル長方向における構造を示しており、一点鎖線A3-A4で示す領域では、トランジスタ20のチャネル幅方向における構造を示している。

10

【0318】

トランジスタ20は、半導体106bと、導電体114と、絶縁体106aと、絶縁体106cと、絶縁体112と、絶縁体115と、絶縁体116と、を有する。半導体106bは、絶縁体106a上に配置され、絶縁体106cは、半導体106b上に配置され、絶縁体112は、絶縁体106c上に配置され、導電体114は、絶縁体112上に配置され、絶縁体115は、導電体114の側面と接して配置される。絶縁体116は、導電体114上及び絶縁体115上に配置され、絶縁体115及び絶縁体116は、絶縁体106cの上面と接する領域を有し、半導体106bは、絶縁体106cおよび絶縁体112を介して導電体114と重なる領域を有する。図14(A)に示すように上面から見たとき、絶縁体106aの外周が半導体106bの外周と概略一致し、絶縁体106cの外周が絶縁体106a及び半導体106bの外周よりも外側に位置することが好ましい。ここで、トランジスタ20は、絶縁体115が設けられている点において、先の実施の形態に示すトランジスタ10と異なる。

20

【0319】

例えば、図14(A)乃至(C)に示すように、トランジスタ20は、基板100の上に形成された絶縁体101、導電体102、絶縁体103及び絶縁体104と、絶縁体104の上に形成された絶縁体106a、半導体106b及び絶縁体106cと、絶縁体106cの上に形成された絶縁体112、絶縁体115及び導電体114と、導電体114及び絶縁体115の上に形成された絶縁体116、絶縁体118、導電体108a、導電体108b、導電体109a及び導電体109bと、を有する。

30

【0320】

ここで、基板100、絶縁体101、絶縁体103、絶縁体104、絶縁体106a、絶縁体106c、絶縁体112、絶縁体115、絶縁体116、絶縁体118、導電体102、導電体108a、導電体108b、導電体109a、導電体109b、導電体114及び半導体106bは、先の実施の形態に示すものと同様のものを用いることができる。よって、詳細については先の実施の形態の記載を参照することができる。

【0321】

また、絶縁体115としては、絶縁体112と同様の絶縁体を用いることができる。

40

【0322】

基板100上に形成された絶縁体101の上に絶縁体103が形成され、絶縁体103に埋め込まれるように導電体102が形成されている。絶縁体103及び導電体102上に絶縁体104が形成されている。ここで、絶縁体101は酸素、水素、水等に対してプロッキング効果を有する絶縁体を用いることが好ましい。また、絶縁体104は酸素を含む絶縁体を用いることが好ましい。

【0323】

絶縁体104の上に絶縁体106aが形成され、絶縁体106aの上面に接して半導体106bが形成され、絶縁体106aの側面と半導体106bの上面に接して絶縁体106cが形成される。ここで、半導体106bは少なくとも一部が、導電体102と重なるように形成されることが好ましい。絶縁体106aの側面端部、特にチャネル幅方向の側

50

面端部と、半導体 106b の側面端部、特にチャネル幅方向の側面端部と、が概略一致する形状となっている。さらに、半導体 106b の側面端部、特にチャネル幅方向の側面端部が、絶縁体 106c と接して設けられている。このように本実施の形態に示すトランジスタ 20 は、半導体 106b が絶縁体 106a 及び絶縁体 106c に包み込まれるように設けられている。ここで、絶縁体 106a、半導体 106b 及び絶縁体 106c は、酸化物半導体を用いることが好ましい。

【0324】

なお、図 14 (B) (C) では、絶縁体 106c の外周が絶縁体 106a の外周より外側に位置する形状となっているが、本実施の形態に示すトランジスタはこれに限られるものではない。例えば、絶縁体 106a の外周が絶縁体 106c の外周より外側に位置してもよいし、絶縁体 106a の側面端部と、絶縁体 106c の側面端部とが概略一致する形状としてもよい。

10

【0325】

ここで、図 14 (D) に図 14 (B) に示すトランジスタ 20 の導電体 114 近傍の拡大図を示す。図 14 (D) に示すように、本実施の形態に示すトランジスタ 20 の、絶縁体 106a、半導体 106b 及び絶縁体 106c は、領域 126a、領域 126b、領域 126c、領域 126d 及び領域 126e が形成されている。領域 126b 及び領域 126c、領域 126c、領域 126d、領域 126e は、領域 126a と比較してドーパントの濃度が高く、低抵抗化されている。さらに、領域 126b 及び領域 126c は、領域 126d 及び領域 126e と比較して水素の濃度が高く、より低抵抗化されている。例えば、領域 126a は、領域 126b または領域 126c のドーパントの最大濃度に対して、5% 以下の濃度の領域、2% 以下の濃度の領域、または 1% 以下の濃度の領域とすればよい。なお、ドーパントを、ドナー、アクセプター、不純物または元素と言い換えてよい。

20

【0326】

図 14 (D) に示すように、絶縁体 106a、半導体 106b 及び絶縁体 106c において、領域 126a は導電体 114 と概ね重なる領域であり、領域 126b、領域 126c、領域 126d 及び領域 126e は、領域 126a を除いた領域である。領域 126b 及び領域 126c においては、絶縁体 106c の上面が絶縁体 116 と接する。領域 126d 及び領域 126e においては、絶縁体 106c の上面が絶縁体 115 又は絶縁体 112 と接する。つまり、図 14 (D) に示すように、領域 126b と領域 126d の境界は、絶縁体 116 と絶縁体 115 の側面端部の境界と重なる部分である。領域 126c と領域 126e の境界についても同様である。ここで、領域 126d 及び領域 126e の一部が、半導体 106b の導電体 114 と重なる領域（チャネル形成領域）の一部と重なることが好ましい。例えば、領域 126d 及び領域 126e のチャネル長方向の側面端部は、導電体 114 の側面端部より距離 d だけ導電体 114 の内側に位置することが好ましい。このとき、距離 d は絶縁体 112 の膜厚 t に対して、 $0.25t < d < t$ を満たすことが好ましい。

30

【0327】

このように、絶縁体 106a、半導体 106b および絶縁体 106c の、導電体 114 と重なる領域の一部に領域 126d 及び領域 126e が形成される。これにより、トランジスタ 20 のチャネル形成領域と低抵抗化された領域 126d 及び領域 126e が接し、領域 126d および領域 126e と、領域 126a との間に、高抵抗のオフセット領域が形成されないため、トランジスタ 20 のオン電流を増大させることができる。さらに、領域 126d 及び領域 126e のチャネル長方向の側面端部が上記の範囲を満たして形成されることで、領域 126d 及び領域 126e がチャネル形成領域に対して深く形成されすぎて常に導通状態になってしまふことも防ぐことができる。

40

【0328】

なお、詳細は後述するが、領域 126b、領域 126c、領域 126d 及び領域 126e は、イオン注入法などのイオンドーピング処理を用いて形成される。このため、図 14 (D) に示すように、領域 126d 及び領域 126e のチャネル長方向の側面端部の位置

50

が、絶縁体 106c 上面から深くなるに従って、絶縁体 106a、半導体 106b および絶縁体 106c のチャネル長方向の側面端部側にシフトする場合がある。このとき、距離 d は、最も導電体 114 の内側の近くに位置する、領域 126d 及び領域 126e のチャネル長方向の側面端部と導電体 114 のチャネル長方向の側面端部との距離とする。

【0329】

この場合、例えば、絶縁体 106a 中に形成される領域 126d 及び領域 126e が導電体 114 と重なる領域に形成されない場合がある。この場合、半導体 106b に形成される領域 126d 及び領域 126e の少なくとも一部が導電体 114 と重なる領域に形成されることが好ましい。

【0330】

また、絶縁体 106a、半導体 106b 及び絶縁体 106c の絶縁体 116 との界面近傍（図 14（B）では点線で表示）に低抵抗領域 107a 及び低抵抗領域 107b が形成されることが好ましい。低抵抗領域 107a 及び低抵抗領域 107b は、絶縁体 116 に含まれる元素の少なくとも一が含まれる。低抵抗領域 107a 及び低抵抗領域 107b の一部が、半導体 106b の導電体 114 と重なる領域（チャネル形成領域）と概略接するか、当該領域の一部と重なることが好ましい。

【0331】

また、絶縁体 106c は絶縁体 116 と接する領域が大きいため、低抵抗領域 107a 及び低抵抗領域 107b は絶縁体 106c に形成されやすい。絶縁体 106c における低抵抗領域 107a と低抵抗領域 107b は、絶縁体 106c の低抵抗領域 107a 及び低抵抗領域 107b ではない領域（例えば、絶縁体 106c の導電体 114 と重なる領域）より、絶縁体 116 に含まれる元素の濃度が高い。

【0332】

領域 126b 中に低抵抗領域 107a が形成され、領域 126c 中に低抵抗領域 107b が形成される。ここで、理想的には、低抵抗領域 107a 及び低抵抗領域 107b が添加元素濃度が最も高く、領域 126b、領域 126c、領域 126d 及び領域 126e の低抵抗領域 107a 及び低抵抗領域 107b を除く領域が添加元素濃度が次に高く、領域 126a が添加元素濃度が最も低くなる。ここで、添加元素とは、領域 126b 及び領域 126c を形成するドーパントと、低抵抗領域 107a 及び低抵抗領域 107b に絶縁体 116 から添加される元素を合わせたものである。

【0333】

このような領域 126b、領域 126c、領域 126d、領域 126e、低抵抗領域 107a 及び低抵抗領域 107b が形成されることにより、導電体 108a 又は導電体 108b と絶縁体 106a、半導体 106b 又は絶縁体 106c との接触抵抗を低減することができる。

【0334】

なお、図 14（A）乃至（D）に示すトランジスタ 20 では低抵抗領域 107a 及び低抵抗領域 107b が形成される構成としているが、本実施の形態に示す半導体装置は、必ずしもこれに限られるものではない。例えば、領域 126b 及び領域 126c の抵抗が十分低い場合、低抵抗領域 107a 及び低抵抗領域 107b を形成する必要はない。

【0335】

絶縁体 106c の上に絶縁体 112 が形成され、絶縁体 112 の上に導電体 114 が形成される。導電体 114 の側面に接して絶縁体 115 が形成される。絶縁体 112 及び導電体 114 は、少なくとも一部が導電体 102 及び半導体 106b と重なる。導電体 114 のチャネル長方向の側面端部と絶縁体 112 のチャネル長方向の側面端部は概略一致していることが好ましい。ここで、絶縁体 112 はトランジスタ 20 のゲート絶縁膜として機能し、導電体 114 はトランジスタ 20 のゲート電極として機能し、絶縁体 115 はトランジスタ 20 のサイドウォール絶縁膜として機能する。

【0336】

また、導電体 114 のチャネル長方向の側面端部と絶縁体 112 のチャネル長方向の側

10

20

30

40

50

面端部は概略一致していることが好ましい。このような構造とすることにより、領域 126 d 及び領域 126 e と、半導体 106 b の導電体 114 と重なる領域（チャネル形成領域）とが概略接する、もしくは一部が重なるため、オン電流の向上を図ることができる。

【0337】

導電体 114、絶縁体 115、絶縁体 106 c 及び絶縁体 104 の上に絶縁体 116 が形成される。絶縁体 116 は、絶縁体 106 c の絶縁体 112 及び絶縁体 115 と重なっていない領域と接していることが好ましい。また、絶縁体 116 は、絶縁体 104 の少なくとも一部と接していてもよい。絶縁体 116 の上に絶縁体 118 が形成される。ここで、絶縁体 116 はトランジスタ 20 の保護絶縁膜として機能し、絶縁体 118 は、トランジスタ 20 の層間絶縁膜として機能する。絶縁体 116 は、酸素に対してプロッキング効果を有する絶縁体を用いることが好ましい。

10

【0338】

また、絶縁体 106 a の膜厚が、絶縁体 106 c と絶縁体 112 の膜厚の和より大きいことが好ましい。別言すると、基板 100 の上面から半導体 106 b の下面までの高さ h_1 と、絶縁体 106 c と重なる領域における基板 100 の上面から導電体 114 の下面までの高さ h_2 と、の関係が、 $h_1 = h_2$ または $h_1 > h_2$ であることが好ましい。例えば、 h_1 を、 h_2 よりもトランジスタ 20 の見かけ上のチャネル幅 W の 5 % 以上、好ましくは 10 % 以上、さらに好ましくは 20 % 以上、より好ましくは 50 % 以上高くすればよい。このような構成とすることにより、半導体 106 b のチャネル幅方向の側面の概略全体を、絶縁体 106 c と絶縁体 112 を介して、導電体 114 と対向させることができる。

20

【0339】

これにより、図 14 (C) に示すように、導電体 114 の電界によって、半導体 106 b を電気的に取り囲むことができる（導電体から生じる電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。）。そのため、半導体 106 b の全体にチャネルが形成される場合がある。s-channel 構造では、トランジスタのソース - ドレイン間に大電流を流すことができ、オン電流を高くすることができる。

20

【0340】

なお、トランジスタが s-channel 構造を有する場合、半導体 106 b の側面にもチャネルが形成される。したがって、半導体 106 b が厚いほどチャネル領域は大きくなる。即ち、半導体 106 b が厚いほど、トランジスタのオン電流を高くすることができる。また、半導体 106 b が厚いほど、キャリアの制御性の高い領域の割合が増えるため、サブスレッショルドスイッチング値を小さくすることができる。例えば、10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 30 nm 以上、より好ましくは 50 nm 以上の厚さの領域を有する半導体 106 b とすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300 nm 以下、好ましくは 200 nm 以下、さらに好ましくは 150 nm 以下の厚さの領域を有する半導体 106 b とすればよい。なお、チャネル形成領域が縮小していくと、半導体 106 b が薄いほうがトランジスタの電気特性が向上する場合もある。よって、半導体 106 b の厚さが 10 nm 未満であってもよい。

30

【0341】

高いオン電流が得られるため、s-channel 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャネル長が好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下の領域を有し、かつ、トランジスタは、チャネル幅が好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下の領域を有する。

40

【0342】

絶縁体 118、絶縁体 116 及び絶縁体 106 c に設けられた開口に導電体 108 a 及び導電体 108 b が形成され、低抵抗領域 107 a または低抵抗領域 107 b に接してい

50

る。さらに絶縁体 118 の上面に、導電体 108a の上面に接して導電体 109a が形成され、導電体 108b の上面に接して導電体 109b が形成されている。導電体 108a と導電体 108b は離間して形成されており、図 14 (B) に示すように導電体 114 を挟んで対向して形成されていることが好ましい。ここで、導電体 108a は、トランジスタ 20 のソース電極またはドレイン電極の一方として機能し、導電体 108b は、トランジスタ 20 のソース電極またはドレイン電極の他方として機能する。また、導電体 109a は、トランジスタ 20 のソース電極またはドレイン電極の一方と接続される配線として機能し、導電体 109b は、トランジスタ 20 のソース電極またはドレイン電極の他方と接続される配線として機能する。なお、図 14 (B) では、導電体 108a 及び導電体 108b は半導体 106b に接して設けられているが、本実施の形態はこれに限られるものではない。低抵抗領域 107a 及び低抵抗領域 107b との接触抵抗が十分低いなら、導電体 108a 及び導電体 108b と絶縁体 106c が接する構成としてもよい。

10

【0343】

また、本実施の形態に示す絶縁体 106a、半導体 106b 及び絶縁体 106c は、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）酸化物であり、キャリア密度が低い。このため、ソース電極またはドレイン電極として機能する導電体 108a 及び導電体 108b との間で接触抵抗が大きくなりやすい。そこで、本実施の形態に示すトランジスタ 20 では、導電体 108a または導電体 108b と、絶縁体 106a、半導体 106b または絶縁体 106c と、が領域 126b 及び領域 126d 中の低抵抗領域 107a または領域 126c 及び領域 126e 中の低抵抗領域 107b を介して接続されることにより、接触抵抗の抑制を図っている。

20

【0344】

上述の通り、絶縁体 106a、半導体 106b 及び絶縁体 106c には、領域 126a、領域 126b、領域 126c、領域 126d 及び領域 126e が形成されており、領域 126b、領域 126c、領域 126d 及び領域 126e は領域 126a と比較してドーパントの濃度が高く、低抵抗化されている。さらに、領域 126b 及び領域 126c は、領域 126d 及び領域 126e と比較して水素の濃度が高く、より低抵抗化されている。ここで、絶縁体 106a、半導体 106b 及び絶縁体 106c において、領域 126a は導電体 114 と概ね重なる領域であり、領域 126b、領域 126c、領域 126d 及び領域 126e は、領域 126a を除いた領域である。ただし、領域 126b 及び領域 126c の一部が、半導体 106b の導電体 114 と重なる領域（チャネル形成領域）の一部と重なることが好ましい。

30

【0345】

さらに、絶縁体 106a、半導体 106b 及び絶縁体 106c の絶縁体 116 との界面近傍には、低抵抗領域 107a 及び低抵抗領域 107b が形成されることが好ましい。領域 126b、領域 126c、領域 126d、領域 126e、低抵抗領域 107a 及び低抵抗領域 107b では、ドーパントや絶縁体 116 に含まれる元素が添加され、当該元素によって欠陥が形成される。このような欠陥は、例えば、添加されたドーパントや絶縁体 116 から添加された元素によって、酸素が引き抜かれて酸素欠損が形成される、またはドーパントや絶縁体 116 から添加された元素自体がキャリア発生源となることによって形成される。このような欠陥によってドナー準位が形成され、キャリア密度が増加するため、ドーパントや絶縁体 116 に含まれる元素が添加された領域が、領域 126b、領域 126c、領域 126d、領域 126e、低抵抗領域 107a 及び低抵抗領域 107b として機能することになる。また、これらの領域において形成された酸素欠損のサイトに、ドーパントとして添加される水素が入ると、浅いドナー準位が形成されるため、よりキャリア密度を増加させることができる。

40

【0346】

領域 126b、領域 126c、領域 126d、領域 126e、特に低抵抗領域 107a 及び低抵抗領域 107b は、酸素欠損が多く形成されているため、領域 126a よりも、SIMS 分析により得られる酸素濃度が低くなる。また、領域 126b、領域 126c、

50

領域 126d、領域 126e、特に低抵抗領域 107a 及び低抵抗領域 107b は、欠陥が多く形成されているため、領域 126a よりも結晶性が低くなっている。

【0347】

また、詳細は後述するが、領域 126b 乃至領域 126e はドーパントを添加して形成される。このため、領域 126b 乃至領域 126e は領域 126a より、SIMS 分析により得られる当該ドーパントの濃度が高くなる。

【0348】

領域 126b 及び領域 126c に添加されるドーパントとしては、例えば、水素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンガステンなどが挙げられる。これらの元素の中でも、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素またはホウ素は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて比較的容易に添加することができるため、好適である。

10

【0349】

このような領域 126b 及び領域 126c が形成されることにより、導電体 108a 又は導電体 108b と絶縁体 106a、半導体 106b 又は絶縁体 106c との接触抵抗を低減することができるためトランジスタ 20 のオン電流を増大させることができる。さらに、トランジスタ 20 のチャネル形成領域と低抵抗化された領域 126d 及び領域 126e が接し、領域 126d および領域 126e と、領域 126a との間に、高抵抗のオフセット領域が形成されないため、よりトランジスタ 20 のオン電流を増大させることができる。

20

【0350】

さらに、詳細は後述するが、本実施の形態に示すトランジスタでは、少なくとも 2 回に分けてドーパントを添加することにより領域 126b 乃至領域 126e を形成する。1 回目のドーパントによって、絶縁体 106a、半導体 106b 及び絶縁体 106c に酸素欠損を形成し、2 回目のドーパントである水素が当該酸素欠損のサイトに入ることにより、浅いドナー準位を形成する。2 回目のドーパントの添加は絶縁体 115 の形成後に行われる。このため、絶縁体 115 と重ならない領域 126b 及び領域 126c には、2 回目のドーパントである水素が直接添加される。一方、絶縁体 115 又は絶縁体 112 と重なる領域 126d 及び領域 126e には、2 回目のドーパントである水素が直接添加されず、添加後の水素の拡散によって水素が供給されることになる。よって、領域 126b 及び領域 126c は、領域 126d 及び領域 126e より、SIMS 分析により得られる水素の濃度が高くなる。

30

【0351】

このように、サイドウォール絶縁膜として機能する絶縁体 115 の形成を挟んで 2 回に分けてドーパントの添加を行うことによって、領域 126d 及び領域 126e に供給される水素の量を領域 126b 及び領域 126c より少なくすることができる。これにより、2 回目のドーパントとして主に領域 126b 及び領域 126c に供給された水素は、領域 126b 及び領域 126c から主に領域 126d 及び領域 126e に拡散し、領域 126d 及び領域 126e で 1 回目のドーパントにより形成された酸素欠損のサイトに入ることになる。よって、トランジスタのチャネル形成領域として機能する領域 126a まではほとんど水素が拡散しない。つまり、領域 126a と領域 126b 又は領域 126c との間に領域 126d 又は領域 126e を設けることにより、領域 126a まで水素が拡散して領域 126a が低抵抗化され、トランジスタが常に導通状態となってしまうことを防ぐことができる。

40

【0352】

また、低抵抗領域 107a 及び低抵抗領域 107b は、絶縁体 116 に含まれる元素が

50

添加されているため、半導体 106b の低抵抗領域 107a 及び低抵抗領域 107b を除く領域（例えば、半導体 106b の導電体 114 と重なる領域）よりも、SIMS 分析により得られる当該元素の濃度が高くなる。

【0353】

低抵抗領域 107a 及び低抵抗領域 107b に添加される元素としては、例えば、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンゲスタンなどが好ましい。これらの元素は、比較的酸化物を形成しやすく、当該酸化物は半導体または絶縁体として機能しうるため、絶縁体 106a、半導体 106b または絶縁体 106c の添加元素として好適である。例えば、低抵抗領域 107a 及び低抵抗領域 107b に上記の元素が $1 \times 10^{14} / \text{cm}^2$ 以上 $2 \times 10^{16} / \text{cm}^2$ 以下含まれることが好ましい。また、絶縁体 106c における低抵抗領域 107a と低抵抗領域 107b は、絶縁体 106c の低抵抗領域 107a 及び低抵抗領域 107b ではない領域（例えば、絶縁体 106c の導電体 114 と重なる領域）より、上述の元素の濃度が高い。

10

【0354】

また、低抵抗領域 107a 及び低抵抗領域 107b は、窒素を含ませることにより n 型化させることができるので、半導体 106b の低抵抗領域 107a 及び低抵抗領域 107b を除く領域（例えば、半導体 106b の導電体 114 と重なる領域）よりも、SIMS 分析により得られる窒素濃度が高くなる。

20

【0355】

このような低抵抗領域 107a 及び低抵抗領域 107b が形成されることにより、導電体 108a 又は導電体 108b と絶縁体 106a、半導体 106b 又は絶縁体 106c との接触抵抗を低減することができるためトランジスタ 20 のオン電流を増大させることができる。

【0356】

また、図 14 (B) に示すように、導電体 114 のチャネル長方向の側面端部と絶縁体 112 のチャネル長方向の側面端部は概略一致していることが好ましい。このような構成とすることにより、領域 126d 及び領域 126e と、半導体 106b の導電体 114 と重なる領域（チャネル形成領域）とが概略接するため、オン電流の向上を図ることができる。

30

【0357】

また、トランジスタ 20 では、半導体 106b が絶縁体 106a 及び絶縁体 106c によって包み込まれるように設けられている。よって、半導体 106b の側面端部、特にチャネル幅方向の側面端部近傍が、絶縁体 106a 及び絶縁体 106c と接して設けられている。これにより、半導体 106b の側面端部近傍において、絶縁体 106a 又は絶縁体 106c との間に連続接合が形成され、欠陥準位密度が低減される。よって、領域 126b、領域 126c、低抵抗領域 107a 及び低抵抗領域 107b を設けることによりオン電流が流れやすくなっても、半導体 106b のチャネル幅方向の側面端部が寄生チャネルとならず、安定した電気特性を得ることができる。

40

【0358】

なお、上述の絶縁体 106a、半導体 106b 及び絶縁体 106c の 3 層構造は一例である。例えば、絶縁体 106a または絶縁体 106c のいずれか一方を設けない 2 層構造としてもよい。また、絶縁体 106a または絶縁体 106c の両方を設けない単層構造としてもよい。または、絶縁体 106a、半導体 106b または絶縁体 106c として例示した絶縁体、半導体又は導電体のいずれかを有する n 層構造（n は 4 以上の整数）としても構わない。

【0359】

以上のような構成とすることにより、安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。

50

できる。または、オン電流の大きいトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

【0360】

<トランジスタの変形例2>

以下、トランジスタ20の変形例について図15及び図16を用いて説明する。なお、図15及び図16は、図14(B)(C)と同様に、トランジスタのチャネル長方向の断面図とトランジスタのチャネル幅方向の断面図になる。なお、以下に示すトランジスタ20の変形例の各構成は互いに適宜組み合わせて用いることができる。

10

【0361】

図15(A)(B)に示すトランジスタ21は、半導体106bの側面端部が絶縁体106aの側面端部より内側に形成されている点において、トランジスタ20と異なる。つまり、トランジスタ21では、絶縁体106a及び絶縁体106cの外周が半導体106bの外周より外側に位置しており、半導体106bは絶縁体106a及び絶縁体106cに包み込まれるように設けられる。また、絶縁体106aの側面端部、特にチャネル幅方向の側面端部と、絶縁体106cの側面端部、特にチャネル幅方向の側面端部と、が概略一致する形状となっていることが好ましい。

【0362】

図15(A)(B)に示すトランジスタ21のように、半導体106bの側面端部が絶縁体106aの側面端部より内側に位置するようにパターン形成することにより、絶縁体104が絶縁体106aまたは半導体106bのエッティングとともにエッティングされる回数を削減することができる。また、絶縁体104表面のエッティング箇所を導電体102から遠くにすることができるので、トランジスタ21の耐圧性の向上にもつながる。

20

【0363】

図15(A)(B)に示すトランジスタ21などでは、導電体114のチャネル長方向の側面端部と絶縁体112のチャネル長方向の側面端部は概略一致しているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。例えば、図15(C)(D)に示すトランジスタ22のように、導電体114のチャネル長方向の幅が絶縁体112のチャネル長方向の幅より小さい構成としてもよい。

30

【0364】

また、図15(A)(B)に示すトランジスタ21などでは、導電体102及び絶縁体103が形成されているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。例えば、図15(E)(F)に示すトランジスタ23のように、導電体102及び絶縁体103を設けない構成としてもよい。

【0365】

図16(A)(B)に示すトランジスタ24は、絶縁体104の一部に膜厚が大きい領域が形成されている点において、トランジスタ21と異なる。絶縁体104の膜厚が大きい領域のチャネル幅方向の側面端部は、半導体106bのチャネル幅方向の側面端部より内側に位置することが好ましい。言い換えると、絶縁体104は凸部を有しており、上面から見たとき当該凸部の外周は、半導体106bの外周よりも内側に位置する。また、絶縁体104の膜厚が大きい領域のチャネル幅方向の側面端部は、絶縁体106aの膜厚と同程度、半導体106bのチャネル幅方向の側面端部より内側に位置することがより好ましい。ここで、絶縁体104の膜厚の大きい領域と膜厚の小さい領域の膜厚の差が、絶縁体106cと絶縁体112の膜厚の和より大きいことが好ましい。このような構成とすることにより、半導体106bのチャネル幅方向の側面の概略全体を、絶縁体106cと絶縁体112を介して、導電体114と対向させることができる。

40

【0366】

このような構成とすることにより、トランジスタ24を上記トランジスタ20と同様に、s-channel構造とすることができます。よって、トランジスタ24でソース-ド

50

レイン間に大電流を流すことができ、オン電流を高くすることができる。

【0367】

なお、図16(A)に示すトランジスタ24では、絶縁体104の膜厚が大きい領域は、チャネル長方向に伸長されて設けられているが、本実施の形態に示す構成はこれに限られるものではない。例えば、図16(C)に示すように、絶縁体104の膜厚が大きい領域のチャネル長方向の側面端部が、半導体106bのチャネル長方向の側面端部より内側に位置する構成としてもよい。

【0368】

また、図14(A)乃至(C)に示すトランジスタ20などでは、絶縁体106cの上面に接し、且つ絶縁体112及び導電体114の側面に接して絶縁体115が形成されているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。例えば、図17(A)(B)に示すトランジスタ25のように、絶縁体112の上面に接し、且つ導電体114の側面に接して絶縁体115が形成される構成としてもよい。

10

【0369】

また、図14(A)乃至(C)に示すトランジスタ20などでは、絶縁体112の側面端部が導電体114の側面端部と概略一致する形状としているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。例えば、図17(C)(D)に示すトランジスタ26のように、絶縁体112をパターン形成しない構成としてもよい。このとき、図17(C)(D)に示すように、絶縁体115及び絶縁体116は絶縁体112の上面に接して形成される。これにより、絶縁体116と絶縁体106a、半導体106b及び絶縁体106cが直接接しないため、低抵抗領域107a及び低抵抗領域107bが形成されない場合がある。

20

【0370】

また、図14(A)乃至(C)に示すトランジスタ20などでは、絶縁体106cの膜厚をほぼ均一に表しているが、本実施の形態に示す半導体装置の構成はこれに限られるものではない。例えば、図17(E)(F)に示すトランジスタ27のように、絶縁体106cの絶縁体112と接する領域の膜厚が、絶縁体106cのそれ以外の領域の膜厚より大きくなる場合がある。

30

【0371】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

【0372】

(実施の形態4)

本実施の形態では、本発明の一態様に係る半導体装置の作製方法について、図18及び図19を用いて説明する。

40

【0373】

<トランジスタの作製方法2>

以下において、図14に示すトランジスタ20の作製方法について説明する。

【0374】

まずは、基板100を準備する。基板100に用いる基板としては上述の基板を用いればよい。

50

【0375】

次に、絶縁体101を成膜する。絶縁体101の成膜は、先の実施の形態の記載を参照することができる。

【0376】

次に、絶縁体103を成膜する。絶縁体103の成膜は、先の実施の形態の記載を参照することができる。

【0377】

次に、絶縁体103上にレジストなどを形成し、絶縁体103に開口を形成する。レジストの形成は、先の実施の形態の記載を参照することができる。

50

【0378】

次に、導電体102となる導電体を成膜する。導電体102となる導電体の成膜は、先の実施の形態の記載を参照することができる。

【0379】

次に、CMP処理を行って、絶縁体103上の導電体102となる導電体を除去する。その結果、絶縁体103に形成された開口の中のみに、導電体102が残存する。

【0380】

次に、絶縁体104を成膜する(図18(A)(B)参照)。絶縁体104の成膜は、先の実施の形態の記載を参照することができる。

【0381】

次に、後の工程で絶縁体106aとなる絶縁体を成膜する。当該絶縁体の成膜は、先の実施の形態の記載を参照することができる。

10

【0382】

次に、後の工程で半導体106bとなる半導体を成膜する。当該半導体の成膜は、先の実施の形態の記載を参照することができる。

【0383】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、後の工程で形成する絶縁体106aおよび半導体106bの水素濃度を低減させることができる場合がある。また、後の工程で形成する絶縁体106aおよび半導体106bの酸素欠損を低減させることができる場合がある。加熱処理は、先の実施の形態の記載を参照することができる。

20

【0384】

また、高密度プラズマ処理などを行ってもよい。高密度プラズマは、マイクロ波を用いて生成すればよい。高密度プラズマ処理は先の実施の形態の記載を参照することができる。

【0385】

次に、半導体106bとなる半導体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体106a及び半導体106bを形成する。なお、図18(C)(D)に示すように、半導体106bの形成時に、絶縁体104の露出した表面が除去される場合がある。

【0386】

次に、後の工程で絶縁体106cとなる絶縁体を成膜する。当該絶縁体の成膜は、先の実施の形態の記載を参照することができる。

30

【0387】

次に、絶縁体106cとなる絶縁体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体106cを形成する(図18(C)(D)参照)。なお、図18(C)(D)に示すように、絶縁体106cの形成時に、絶縁体104の露出した表面が除去される場合がある。絶縁体106a及び絶縁体106cのパターン形成は、先の実施の形態の記載を参照することができる。

【0388】

次に、後の工程で絶縁体112となる絶縁体を成膜する。当該絶縁体の成膜は、先の実施の形態の記載を参照することができる。

40

【0389】

次に、後の工程で導電体114となる導電体を成膜する。当該導電体の成膜は、先の実施の形態の記載を参照することができる。

【0390】

次に、導電体114となる導電体上にレジストなどを形成し、該レジストなどを用いて加工し、絶縁体112及び導電体114を形成する。ここで、導電体114のチャネル長方向の側面端部と絶縁体112のチャネル長方向の側面端部は概略一致するように形成した後で、同じマスクを用いてウェットエッチングなどによって、導電体114のみを選択的にエッチングしてもよい。このようにエッチングすることで、図15(C)(D)に示

50

すトランジスタ22のように、導電体114のチャネル長方向の幅が絶縁体112のチャネル長方向の幅より小さい構成とすることができます。

【0391】

ここで、絶縁体112に用いることができる絶縁体と絶縁体106cに用いることができる絶縁体のエッチング選択比が小さくなるように選択している場合、絶縁体112のエッチングの際に絶縁体106cの一部も同時にエッチングされることがある。このようにエッチングされることで、図17(E)(F)に示すトランジスタ27のように、絶縁体106cの絶縁体112と接する領域の膜厚が、絶縁体106cのそれ以外の領域の膜厚より大きくなる。

【0392】

なお、エッチング選択比とは、例えば、A層とB層をエッチングする場合における、A層のエッチングレートとB層のエッチングレートの比を意味する。すなわち、エッチング選択比が大きいということは、エッチングレートに十分な差を有することを意味し、エッチング選択比が小さいということは、エッチングレートに十分な差を有しないことを意味する。

【0393】

また、導電体114に用いることができる導電体と絶縁体112に用いることができる絶縁体のエッチング選択比が大きくなるように選択している場合、導電体114だけをパターン形成し、絶縁体112はパターン形成しないまま用いることができる。このように絶縁体112をエッチングせずに残すことで、図17(C)(D)に示すトランジスタ26のように、絶縁体115及び絶縁体116が絶縁体112の上面に接して形成される。また、後述する絶縁体115を形成した後で、絶縁体112の、導電体114及び絶縁体115と重なっていない領域を除去してもよい。この場合、図17(A)(B)に示すトランジスタ25のように、絶縁体115が絶縁体112の上面に接して形成され、絶縁体116が導電体114及び絶縁体115と重なっていない領域で絶縁体106cと接して形成される。

【0394】

特に、絶縁体112として、high-k材料(高誘電率材料)を用いると、導電体114とのエッチング選択比を大きくすることができます。high-k材料としては、例えば、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSiO_xN_y(x>0, y>0))、ハフニウムアルミネート(HfAl_xO_y(x>0, y>0))、窒素が添加されたハフニウムアルミネート(HfAl_xO_yN_z(x>0, y>0, z>0))、酸化ランタンなどを用いることができる。また、これらのhigh-k材料を用いることでゲートリーコ電流を低減できる。また、これらのhigh-k材料と、上記の絶縁体112に用いることができる材料として挙げた絶縁体(例えば、酸化シリコン、酸化窒化シリコンなど)と、を積層して絶縁体112を形成してもよい。

【0395】

なお、絶縁体112として、high-k材料を用いる場合、絶縁体106cとのエッチング選択比を容易に大きくとることができるので、トランジスタ27のように絶縁体106cの絶縁体112と重ならない領域の表面がエッチングされることを防ぎ、絶縁体106cの膜厚を概略均一にすることができます。

【0396】

次に、導電体114及び絶縁体112をマスクとして、絶縁体106a、半導体106b及び絶縁体106cにドーパント119を添加する(図18(E)(F)参照)。これにより、絶縁体106a、半導体106b及び絶縁体106cに領域126a、領域136b及び領域136cが形成される。このため、領域136b及び領域136cは領域126aより、SIMS分析により得られるドーパント119の濃度が高くなる。ドーパント119の添加によって領域136b及び領域136cに酸素欠損を形成することができる。酸素欠損となったサイトに後述する水素が入ることで浅いドナー準位を形成する。

10

20

30

40

50

【0397】

ここで、領域136bは領域126bと領域126dを合わせた領域に概略一致し、領域136cは領域126cと領域126eを合わせた領域に概略一致する。よって、領域126d及び領域126eと同様に、領域136b及び領域136cの一部が、半導体106bの導電体114と重なる領域(チャネル形成領域)の一部と重なることが好ましい。

【0398】

ドーパント119の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素と言い換えてよい。

10

【0399】

ドーパント119の添加工程は、加速電圧、ドーズ量などの注入条件を適宜設定して制御すればよい。ドーパント119のドーズ量は、例えば、 1×10^{12} ions/cm²以上 1×10^{16} ions/cm²以下、好ましくは 1×10^{13} ions/cm²以上 1×10^{15} ions/cm²以下とすればよい。ドーパント119導入時の加速電圧は2kV以上50kV以下、好ましくは5kV以上30kV以下とすればよい。

20

【0400】

また、基板を加熱しながらドーパント119の添加を行ってもよい。基板温度は、例えば、200以上700以下、好ましくは300以上500以下、より好ましくは350以上450以下とする。

【0401】

ドーパント119としては、例えば、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタンクステンなどが挙げられる。これらの元素の中でも、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素またはホウ素は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて比較的容易に添加することができるため、好適である。

30

【0402】

また、ドーパント119の添加処理後、加熱処理を行ってもよい。加熱処理は、例えば、250以上650以下、好ましくは350以上450以下とし、窒素雰囲気下、減圧下、大気(超乾燥エア)下で加熱処理を行ってもよい。

40

【0403】

なお、上述のように、導電体114のみをパターン形成して絶縁体112をパターン形成しなかった場合、図20(A)(B)に示すように、絶縁体112を貫通してドーパント119を添加する。このようにドーパント119を添加することにより、絶縁体106cをドーパント119が衝突するダメージから保護することができる。

【0404】

次に、後の工程で絶縁体115となる絶縁体を成膜する。当該絶縁体としては、上述の絶縁体を用いればよい。絶縁体115の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0405】

次に、絶縁体115となる絶縁体に異方性のエッチングを行って、導電体114の側面

50

に接して絶縁体 115 を自己整合的に形成する。ここで、絶縁体 115 となる絶縁体のエッティングは、例えば、R I E (R e a c t i v e i o n e t c h i n g : 反応性イオンエッティング) 法を用いて行うことができる。

【 0 4 0 6 】

次に、導電体 114 、絶縁体 112 及び絶縁体 115 をマスクとして、絶縁体 106a 、半導体 106b 及び絶縁体 106c にドーパント 120 を添加する (図 19 (A) (B) 参照) 。なお以下においては、ドーパント 120 として水素を用いる場合について説明を行う。これにより、領域 136b 及び領域 136c が低抵抗化されて、領域 126b 、領域 126c 、領域 126d 及び領域 126e が形成される。

【 0 4 0 7 】

ドーパント 120 の添加によって、領域 136b 及び領域 136c に形成されていた酸素欠損のサイトに水素が入って浅いドナー準位を形成する。ここで、領域 136b 及び領域 136c のうち、ドーパント 120 が直接添加される領域が領域 126b 及び領域 126c となる。一方、絶縁体 115 又は絶縁体 112 の下に位置し、ドーパント 120 が直接印加されず、添加された後で拡散することによって水素が酸素欠損のサイトに入る領域が領域 126d 及び領域 126e となる。このため、領域 126b 及び領域 126c は領域 126d 及び領域 126e より、S I M S 分析により得られる水素の濃度が高くなる。

【 0 4 0 8 】

ここで、領域 126b と領域 126d の境界は、絶縁体 116 と絶縁体 115 の側面端部の境界と重なる部分である。領域 126c と領域 126e の境界についても同様である。

また、領域 136b 及び領域 136c と同様に、領域 126d 及び領域 126e の一部が、半導体 106b の導電体 114 と重なる領域 (チャネル形成領域) の一部と重なることが好ましい。例えば、領域 126d 及び領域 126e のチャネル長方向の側面端部は、導電体 114 の側面端部より距離 d だけ導電体 114 の内側に位置することが好ましい。このとき、距離 d は絶縁体 112 の膜厚 t に対して、 $0.25t < d < t$ を満たすことが好ましい。

【 0 4 0 9 】

このように、絶縁体 106a 、半導体 106b および絶縁体 106c の、導電体 114 と重なる領域の一部に領域 126d 及び領域 126e が形成される。これにより、トランジスタ 20 のチャネル形成領域と低抵抗化された領域 126d 及び領域 126e が接し、領域 126d および領域 126e と、領域 126a との間に、高抵抗のオフセット領域が形成されないため、トランジスタ 20 のオン電流を増大させることができる。さらに、領域 126d 及び領域 126e のチャネル長方向の側面端部が上記の範囲を満たして形成されることで、領域 126d 及び領域 126e がチャネル形成領域に対して深く形成されすぎて常に導通状態になってしまふことも防ぐことができる。

【 0 4 1 0 】

ドーパント 120 の添加方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素と言い換えてよい。

【 0 4 1 1 】

ドーパント 120 の添加工程は、加速電圧、ドーズ量などの注入条件を適宜設定して制御すればよい。ドーパント 120 のドーズ量は、例えば、 $1 \times 10^{12} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下、好ましくは $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $1 \times 10^{15} \text{ ions/cm}^2$ 以下とすればよい。ドーパント 120 導入時の加速電圧は 2 kV 以上 50 kV 以下、好ましくは 5 kV 以上 30 kV 以下とすればよい。

【 0 4 1 2 】

また、基板を加熱しながらドーパント 120 の添加を行ってもよい。基板温度は、例えば、200 以上 700 以下、好ましくは 300 以上 500 以下、より好ましくは 350 以上 450 以下とする。このように加熱しながらドーパント 120 を添加する

10

20

30

40

50

ことにより、ドーパント 120 の添加による、絶縁体 106a、半導体 106b 及び絶縁体 106c の結晶性の低下を低減することができる。

【0413】

ドーパント 120 としては、ドーパント 119 として添加したドーパント以外を添加することが好ましく、例えば、酸素欠損のサイトに入って浅いドナー準位を容易に形成できる、水素を用いることが好ましい。

【0414】

また、ドーパント 120 の添加処理後、加熱処理を行ってもよい。加熱処理は、例えば、250 以上 650 以下、好ましくは 350 以上 450 以下とし、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

10

【0415】

なお、上述のように、導電体 114 のみをパターン形成して絶縁体 112 をパターン形成しなかった場合、図 20 (C) (D) に示すように、絶縁体 112 を貫通してドーパント 120 を添加する。このようにドーパント 120 を添加することにより、絶縁体 106c をドーパント 120 が衝突するダメージから保護することができる。

【0416】

なお、ドーパント 119 及びドーパント 120 の添加方法については、先の実施の形態に示す図 7 に係る記載を参照することができる。

【0417】

先の実施の形態で示したように、試料面に対して特定の角度でイオンを入射させることにより、低抵抗な領域の一部を半導体 106b の導電体 114 と重なる領域に容易に形成させることができる。よって、ドーパント 119 を添加する際は、上記の通り試料面に対して特定の角度でイオンを入射させることができ。なお、ドーパント 120 を添加する際は、領域 126b 及び領域 126c の一部が半導体 106b の絶縁体 115 と重なる領域に形成されないように、試料面に対して概略垂直にドーパント 120 を添加させることができ。ただし、本実施の形態に係る半導体装置の作製方法はこれに限定されるものではなく、領域 126a 乃至領域 126e の広さの範囲などに合わせて適宜イオンの入射角度を設定することができる。

20

【0418】

以上のようにして、イオンの添加された領域 126b 乃至領域 126e を形成すればよい。

30

【0419】

図 7 に示した方法を用いることで、領域 126d および領域 126e を、導電体 114 と重ならない領域に加え、一部が導電体 114 と重なる領域にまで形成することができる。したがって、領域 126d および領域 126e と、領域 126a との間に、高抵抗のオフセット領域が形成されないため、トランジスタのオン電流を高くすることができる。

【0420】

ドーパント 119 およびドーパント 120 の添加によって、領域 126b 及び領域 126c を低抵抗化することができる。まずドーパント 119 を添加し、次にドーパント 120 を添加することでドナー準位を形成して領域 126b 乃至領域 126e を低抵抗化することもできる。この場合、例えば、ドーパント 119 の添加によって領域 136b 及び領域 136c に酸素欠損を形成した後、ドーパント 120 を添加することで領域 126b 乃至領域 126e にドナー準位を形成すればよい。例えば、酸素欠損となったサイトに水素が入ることでドナー準位となる場合がある。このようにして形成されたドナー準位は安定であるため、後に高抵抗化することが少ない。

40

【0421】

また、ドーパント 119 の添加処理後、加熱処理を行ってもよい。加熱処理は、例えば、250 以上 650 以下、好ましくは 350 以上 450 以下とし、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。例えば、ドーパント 119 の添加によって領域 136b および領域 136c に酸素欠損を形成した場合、その後の加

50

熱処理によって領域 136b および領域 136c の近傍にある水素を酸素欠損となったサイトにゲッタリングさせることができる。このようにして形成されたドナー準位は安定であるため、後に高抵抗化することが少ない。また、ドーパント 120 の添加処理後に上記加熱処理を行ってもよい。このような熱処理をおこなうことにより、領域 126b 及び領域 126c に添加した水素を領域 126d 及び領域 126e の酸素欠損のサイトにより効果的にゲッタリングさせることができる。

【0422】

次に、絶縁体 116 を成膜する（図 19（C）（D）参照。）。絶縁体 116 の成膜は、先の実施の形態の記載を参酌することができる。絶縁体 116 を成膜することにより、絶縁体 106a、半導体 106b 及び絶縁体 106c の絶縁体 116 との界面近傍に低抵抗領域 107a 及び低抵抗領域 107b が形成される。

10

【0423】

また、絶縁体 116 を成膜した後で、ドーパント 120 として用いることができる元素を添加して、領域 126a、領域 126b、低抵抗領域 107a 及び低抵抗領域 107b をさらに低抵抗化してもよい。さらに、このように添加することにより、絶縁体 116 に含まれる元素を絶縁体 106a、半導体 106b 及び絶縁体 106c に押し込む（ノックオンする）ことができる。添加方法としては、先の実施の形態の記載を参酌することができる。

【0424】

次に、加熱処理を行うことが好ましい。加熱処理を行うことにより、絶縁体 104 などから、絶縁体 106a、半導体 106b 及び絶縁体 106c に酸素を供給することができる。加熱処理は、先の実施の形態の記載を参照することができる。

20

【0425】

次に、絶縁体 118 を成膜する。絶縁体 118 の成膜は、先の実施の形態の記載を参照することができる。

【0426】

次に、絶縁体 118 上にレジストなどを形成し、絶縁体 118、絶縁体 116、絶縁体 106c に開口を形成する。それから、導電体 108a 及び導電体 108b となる導電体を成膜する。導電体 108a 及び導電体 108b となる導電体の成膜は、先の実施の形態の記載を参照することができる。

30

【0427】

次に、CMP 処理を行って、絶縁体 118 より上に位置する、導電体 108a 及び導電体 108b となる導電体を除去する。その結果、絶縁体 118、絶縁体 116、絶縁体 106c に形成された開口の中のみに、導電体 108a 及び導電体 108b が残存する。

【0428】

次に、絶縁体 118、導電体 108a 及び導電体 108b 上に、導電体 109a 及び導電体 109b となる導電体を成膜する。導電体 109a 及び導電体 109b となる導電体の成膜は、先の実施の形態の記載を参照することができる。

【0429】

次に、導電体 109a 及び導電体 109b となる導電体上にレジストなどを形成し、該レジストなどを用いて加工し、導電体 109a 及び導電体 109b を形成する（図 19（C）（D）参照）。

40

【0430】

以上の工程により、本発明の一態様に係るトランジスタ 20 を作製することができる。

【0431】

このように、本実施の形態に示す半導体装置の作製方法では、導電膜などが領域 126a の上面に接触し、トランジスタ 20 のチャネル形成領域として機能する部分がダメージを受けることを防ぐことができる。よって、当該ダメージによるトランジスタ 20 の信頼性の低下を防ぐことができる。

【0432】

50

以上に示す作製方法を用いることにより、LTPSを用いてgate first方式で作製されるトップゲート構造のトランジスタのラインにおいて、LTPSを酸化物半導体で容易に置き換えることが可能となる。ここで、gate first方式とは、トランジスタ製造工程においてソース領域、ドレイン領域の形成前にゲートを作製することを指す。

【0433】

以上のような構成とすることにより、安定した電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

10

【0434】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

【0435】

(実施の形態5)

本実施の形態では、本発明の一態様の半導体装置に含まれる酸化物半導体の詳細について、以下説明する。

【0436】

20

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0437】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

30

【0438】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

【0439】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0440】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆 (ボイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

40

【0441】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0442】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

50

【0443】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像 (高分解能TEM像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0444】

以下では、TEMによって観察したCAAC-OSについて説明する。図21(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

10

【0445】

図21(A)の領域(1)を拡大したCs補正高分解能TEM像を図21(B)に示す。図21(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

20

【0446】

図21(B)に示すように、CAAC-OSは特徴的な原子配列を有する。図21(C)は、特徴的な原子配列を、補助線で示したものである。図21(B)および図21(C)より、ペレット一つの大きさは1nm以上のものや、3nm以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶 (nc: nanocrystal) と呼ぶこともできる。また、CAAC-OSを、CANC (C-Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0447】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる (図21(D)参照。)。図21(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図21(D)に示す領域5161に相当する。

30

【0448】

また、図22(A)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図22(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図22(B)、図22(C)および図22(D)に示す。図22(B)、図22(C)および図22(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

40

【0449】

次に、X線回折 (XRD: X-Ray Diffraction) によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図23(A)に示すように回折角(2)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0450】

なお、CAAC-OSのout-of-plane法による構造解析では、2が31°近傍のピークの他に、2が36°近傍にもピークが現れる場合がある。2が36°

50

近傍のピークは、 C A A C - O S 中の一部に、 c 軸配向性を有さない結晶が含まれることを示している。より好ましい C A A C - O S は、 out - of - plane 法による構造解析では、 2 θ が 31° 近傍にピークを示し、 2 θ が 36° 近傍にピークを示さない。

【 0 4 5 1 】

一方、 C A A C - O S に対し、 c 軸に略垂直な方向から X 線を入射させる in - plane 法による構造解析を行うと、 2 θ が 56° 近傍にピークが現れる。このピークは、 I n G a Z n O₄ の結晶の (110) 面に帰属される。 C A A C - O S の場合は、 2 θ を 56° 近傍に固定し、 試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行っても、 図 23 (B) に示すように明瞭なピークは現れない。これに対し、 I n G a Z n O₄ の単結晶酸化物半導体であれば、 2 θ を 56° 近傍に固定してスキャンした場合、 図 23 (C) に示すように (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、 XRD を用いた構造解析から、 C A A C - O S は、 a 軸および b 軸の配向が不規則であることが確認できる。

10

【 0 4 5 2 】

次に、電子回折によって解析した C A A C - O S について説明する。例えば、 I n G a Z n O₄ の結晶を有する C A A C - O S に対し、試料面に平行にプローブ径が 300 nm の電子線を入射させると、 図 24 (A) に示すような回折パターン (制限視野透過電子回折パターンともいう。) が現れる場合がある。この回折パターンには、 I n G a Z n O₄ の結晶の (009) 面に起因するスポットが含まれる。したがって、電子回折によっても、 C A A C - O S に含まれるペレットが c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300 nm の電子線を入射させたときの回折パターンを図 24 (B) に示す。図 24 (B) より、リング状の回折パターンが確認される。したがって、電子回折によっても、 C A A C - O S に含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図 24 (B) における第 1 リングは、 I n G a Z n O₄ の結晶の (010) 面および (100) 面などに起因すると考えられる。また、図 24 (B) における第 2 リングは (110) 面などに起因すると考えられる。

20

【 0 4 5 3 】

上述したように、 C A A C - O S は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C A A C - O S は不純物や欠陥 (酸素欠損など) の少ない酸化物半導体ともいえる。

30

【 0 4 5 4 】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【 0 4 5 5 】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

40

【 0 4 5 6 】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個 / cm³ 未満、好ましくは 1×10^{11} 個 / cm³ 未満、さらに好ましくは 1×10^{10} 個 / cm³ 未満であり、 1×10^{-9} 個 / cm³ 以上のキャリア密度の酸化物半導体とすることができます。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。 C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

50

【0457】

< n c - O S >

次に、 n c - O S について説明する。

【0458】

n c - O S は、高分解能 TEM 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。 n c - O S に含まれる結晶部は、 1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の大きさであることが多い。なお、結晶部の大きさが 10 nm より大きく 100 nm 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。 n c - O S は、例えば、高分解能 TEM 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、 C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

【0459】

n c - O S は、微小な領域（例えば、 1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、 n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、 n c - O S は、分析方法によっては、 a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、 n c - O S に対し、ペレットよりも大きい径の X 線を用いた場合、 o u t - o f - p l a n e 法による解析では、結晶面を示すピークは検出されない。また、 n c - O S に対し、ペレットよりも大きいプローブ径（例えば 50 nm 以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、 n c - O S に対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、 n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

【0460】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、 n c - O S を、 R A N C (R a n d o m A l i g n e d n a n o c r y s t a l s) を有する酸化物半導体、または N A N C (N o n - A l i g n e d n a n o c r y s t a l s) を有する酸化物半導体と呼ぶこともできる。

【0461】

n c - O S は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、 n c - O S は、 a - l i k e O S や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、 n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、 n c - O S は、 C A A C - O S と比べて欠陥準位密度が高くなる。

【0462】

< a - l i k e O S >

a - l i k e O S は、 n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0463】

a - l i k e O S は、高分解能 TEM 像において鬆が観察される場合がある。また、高分解能 TEM 像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0464】

鬆を有するため、 a - l i k e O S は、不安定な構造である。以下では、 a - l i k e O S が、 C A A C - O S および n c - O S と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0465】

電子照射を行う試料として、 a - l i k e O S (試料 A と表記する。) 、 n c - O S

10

20

30

40

50

(試料Bと表記する。)およびCAC-OS(試料Cと表記する。)を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0466】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0467】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えればよい。例えば、 $InGaZnO_4$ の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、 $InGaZnO_4$ の結晶部と見なすことができる。なお、格子縞は、 $InGaZnO_4$ の結晶のa-b面に対応する。

10

【0468】

図25は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図25より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図25中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 e^-/nm^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^-/nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図25中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

20

【0469】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAC-OSと比べて、不安定な構造であることがわかる。

30

【0470】

また、鬆を有するため、a-like OSは、nc-OSおよびCAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0471】

例えば、 $In:Ga:Zn = 1:1:1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 $InGaZnO_4$ の密度は $6.357 g/cm^3$ となる。よって、例えば、 $In:Ga:Zn = 1:1:1$ [原子数比]を満たす酸化物半導体において、a-like OSの密度は $5.0 g/cm^3$ 以上 $5.9 g/cm^3$ 未満となる。また、例えば、 $In:Ga:Zn = 1:1:1$ [原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAC-OSの密度は $5.9 g/cm^3$ 以上 $6.3 g/cm^3$ 未満となる。

40

【0472】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。

50

【0473】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a - l i k e O S、n c - O S、C A A C - O Sのうち、二種以上を有する積層膜であってもよい。

【0474】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

【0475】

(実施の形態6)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。 10

【0476】

<CMOSインバータ>

図26(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

【0477】

<半導体装置の構造>

図27は、図26(A)に対応する半導体装置の断面図である。図27に示す半導体装置は、トランジスタ2200と、トランジスタ2100と、を有する。また、トランジスタ2100は、トランジスタ2200の上方に配置する。なお、トランジスタ2100として、上述の実施の形態1または実施の形態2において記載したトランジスタを用いることができる。また、図28に示すようにトランジスタ2100に上述の実施の形態3または実施の形態4において記載したトランジスタも用いることができる。よって、トランジスタ2100については、適宜上述したトランジスタについての記載を参照することができる。 20

【0478】

図27に示すトランジスタ2200は、半導体基板450を用いたトランジスタである。トランジスタ2200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。 30

【0479】

トランジスタ2200において、領域472aおよび領域472bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体462は、ゲート絶縁体としての機能を有する。また、導電体454は、ゲート電極としての機能を有する。したがって、導電体454に印加する電位によって、チャネル形成領域の抵抗を制御することができる。即ち、導電体454に印加する電位によって、領域472aと領域472bとの間の導通・非導通を制御することができる。

【0480】

半導体基板450としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などを用いればよい。好ましくは、半導体基板450として単結晶シリコン基板を用いる。 40

【0481】

半導体基板450は、n型の導電型を付与する不純物を有する半導体基板を用いる。ただし、半導体基板450として、p型の導電型を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ2200となる領域には、n型の導電型を付与する不純物を有するウェルを配置すればよい。または、半導体基板450がi型であっても構わない。

【0482】

半導体基板450の上面は、(110)面を有することが好ましい。こうすることで、

10

20

30

40

50

トランジスタ 2200 のオン特性を向上させることができる。

【0483】

領域 472a および領域 472b は、p 型の導電型を付与する不純物を有する領域である。このようにして、トランジスタ 2200 は p チャネル型トランジスタを構成する。

【0484】

なお、トランジスタ 2200 は、領域 460 などによって隣接するトランジスタと分離される。領域 460 は、絶縁性を有する領域である。

【0485】

図 27 に示す半導体装置は、絶縁体 464 と、絶縁体 466 と、絶縁体 468 と、導電体 480a と、導電体 480b と、導電体 480c と、導電体 478a と、導電体 478b と、導電体 478c と、導電体 476a と、導電体 476b と、導電体 474a と、導電体 474b と、導電体 474c と、導電体 496a と、導電体 496b と、導電体 496c と、導電体 496d と、導電体 498a と、導電体 498b と、導電体 498c と、絶縁体 489 と、絶縁体 490 と、絶縁体 491 と、絶縁体 492 と、絶縁体 493 と、絶縁体 494 と、絶縁体 495 と、を有する。

10

【0486】

絶縁体 464 は、トランジスタ 2200 上に配置する。また、絶縁体 466 は、絶縁体 464 上に配置する。また、絶縁体 468 は、絶縁体 466 上に配置する。また、絶縁体 489 は、絶縁体 468 上に配置する。また、トランジスタ 2100 は、絶縁体 489 上に配置する。また、絶縁体 493 は、トランジスタ 2100 上に配置する。また、絶縁体 494 は、絶縁体 493 上に配置する。

20

【0487】

絶縁体 464 は、領域 472a に達する開口部と、領域 472b に達する開口部と、導電体 454 に達する開口部と、を有する。また、開口部には、それぞれ導電体 480a、導電体 480b または導電体 480c が埋め込まれている。

【0488】

また、絶縁体 466 は、導電体 480a に達する開口部と、導電体 480b に達する開口部と、導電体 480c に達する開口部と、を有する。また、開口部には、それぞれ導電体 478a、導電体 478b または導電体 478c が埋め込まれている。

30

【0489】

また、絶縁体 468 は、導電体 478b に達する開口部と、導電体 478c に達する開口部と、を有する。また、開口部には、それぞれ導電体 476a または導電体 476b が埋め込まれている。

【0490】

また、絶縁体 489 は、トランジスタ 2100 のチャネル形成領域と重なる開口部と、導電体 476a に達する開口部と、導電体 476b に達する開口部と、を有する。また、開口部には、それぞれ導電体 474a、導電体 474b または導電体 474c が埋め込まれている。

【0491】

導電体 474a は、トランジスタ 2100 のゲート電極としての機能を有しても構わない。または、例えば、導電体 474a に一定の電位を印加することで、トランジスタ 2100 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体 474a とトランジスタ 2100 のゲート電極としての機能を有する導電体 504 とを電気的に接続しても構わない。こうすることで、トランジスタ 2100 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 2100 の飽和領域における電気特性を安定にすることができる。なお、導電体 474a は上記実施の形態の導電体 102 に相当するため、詳細については導電体 102 の記載を参照することができる。

40

【0492】

また、絶縁体 490 は、導電体 474b に達する開口部と、導電体 474c に達する開

50

口部と、を有する。なお、絶縁体490は上記実施の形態に示す絶縁体101に用いた絶縁体を用いればよい。開口部を除いて導電体474a乃至474cの上を覆うように絶縁体490を設けることにより、絶縁体491から導電体474a乃至474cが酸素を引き抜くことを防ぐことができる。これにより、絶縁体491からトランジスタ2100の酸化物半導体に効果的に酸素を供給することができる。

【0493】

また、絶縁体491は、導電体474bに達する開口部と、導電体474cに達する開口部と、を有する。なお、絶縁体491は上記実施の形態の絶縁体104に相当するため、詳細については絶縁体104の記載を参照することができる。

【0494】

また、絶縁体495は、トランジスタ2100のソースまたはドレインの一方である領域507bを通って、導電体474bに達する開口部と、トランジスタ2100のソースまたはドレインの他方である領域507aに達する開口部と、トランジスタ2100のゲート電極である導電体504に達する開口部と、導電体474cに達する開口部と、を有する。なお、絶縁体495は上記実施の形態の絶縁体116に相当するため、詳細については絶縁体116の記載を参照することができる。

【0495】

また、絶縁体493は、トランジスタ2100のソースまたはドレインの一方である領域507bを通って、導電体474bに達する開口部と、トランジスタ2100のソースまたはドレインの他方である領域507aに達する開口部と、トランジスタ2100のゲート電極である導電体504に達する開口部と、導電体474cに達する開口部と、を有する。また、開口部には、それぞれ導電体496a、導電体496b、導電体496cまたは導電体496dが埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ2100などの構成要素のいずれかが有する開口部を介する場合がある。なお、絶縁体493は上記実施の形態の絶縁体118に相当するため、詳細については絶縁体118の記載を参照することができる。

【0496】

また、絶縁体494は、導電体496aに達する開口部と、導電体496bおよび導電体496dに達する開口部と、導電体496cに達する開口部と、を有する。また、開口部には、それぞれ導電体498a、導電体498bまたは導電体498cが埋め込まれている。

【0497】

絶縁体464、絶縁体466、絶縁体468、絶縁体489、絶縁体493および絶縁体494としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0498】

絶縁体464、絶縁体466、絶縁体468、絶縁体489、絶縁体493または絶縁体494の一以上は、水素などの不純物および酸素をロックする機能を有する絶縁体を有することが好ましい。トランジスタ2100の近傍に、水素などの不純物および酸素をロックする機能を有する絶縁体を配置することによって、トランジスタ2100の電気特性を安定にことができる。

【0499】

水素などの不純物および酸素をロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0500】

導電体480a、導電体480b、導電体480c、導電体478a、導電体478b

10

20

30

40

50

、導電体 478c、導電体 476a、導電体 476b、導電体 474a、導電体 474b、導電体 474c、導電体 496a、導電体 496b、導電体 496c、導電体 496d、導電体 498a、導電体 498b および導電体 498c としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタンクスチルを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0501】

なお、図 29 に示す半導体装置は、図 27 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。また、図 30 に示す半導体装置は、図 28 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 29 及び図 30 に示す半導体装置については、図 27 に示した半導体装置の記載を参照する。具体的には、図 29 及び図 30 に示す半導体装置は、トランジスタ 2200 が Fin 型である場合を示している。トランジスタ 2200 を Fin 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 2200 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 2200 のオフ特性を向上させることができる。

【0502】

また、図 31 に示す半導体装置は、図 27 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。また、図 32 に示す半導体装置は、図 28 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 31 及び図 32 に示す半導体装置については、図 27 に示した半導体装置の記載を参照する。具体的には、図 31 及び図 32 に示す半導体装置は、トランジスタ 2200 が SOI 基板である半導体基板 450 に設けられた場合を示している。図 31 及び図 32 には、絶縁体 452 によって領域 456 が半導体基板 450 と分離されている構造を示す。半導体基板 450 として SOI 基板を用いることによって、パンチスルーエフェクトなどを抑制することができるためトランジスタ 2200 のオフ特性を向上させることができる。なお、絶縁体 452 は、半導体基板 450 を絶縁体化させることによって形成することができる。例えば、絶縁体 452 としては、酸化シリコンを用いることができる。

【0503】

図 27 乃至図 32 に示した半導体装置は、半導体基板を用いて p チャネル型トランジスタを作製し、その上方に n チャネル型トランジスタを作製するため、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、n チャネル型トランジスタと、p チャネル型トランジスタとを同一の半導体基板を用いて作製した場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、p チャネル型トランジスタは、LDD 領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、n チャネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

【0504】

< CMOS アナログスイッチ >

また図 26 (B) に示す回路図は、トランジスタ 2100 とトランジスタ 2200 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆる CMOS アナログスイッチとして機能させることができる。

【0505】

< 記憶装置 1 >

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図 3

10

20

30

40

50

3に示す。

【0506】

図33(A)に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述のトランジスタ2100と同様のトランジスタを用いることができる。

【0507】

トランジスタ3300は、オフ電流の小さいトランジスタが好ましい。トランジスタ3300は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【0508】

図33(A)において、第1の配線3001はトランジスタ3200のソースと電気的に接続され、第2の配線3002はトランジスタ3200のドレインと電気的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電気的に接続され、第4の配線3004はトランジスタ3300のゲートと電気的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電気的に接続され、第5の配線3005は容量素子3400の電極の他方と電気的に接続されている。

【0509】

図33(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0510】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電気的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態することにより、ノードFGに電荷が保持される(保持)。

【0511】

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

【0512】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位(定電位)を与えた状態で、第5の配線3005に適切な電位(読み出し電位)を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th-H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th-L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th-H} と V_{th-L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 (

10

20

30

40

50

$> V_{th_H}$) となれば、トランジスタ 3200 は「導通状態」となる。一方、ノード FG に Low レベル電荷が与えられていた場合には、第 5 の配線 3005 の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 3200 は「非導通状態」のままである。このため、第 2 の配線 3002 の電位を判別することで、ノード FG に保持されている情報を読み出すことができる。

【0513】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、情報を読み出さないメモリセルにおいては、ノード FG に与えられた電荷によらずトランジスタ 3200 が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第 5 の配線 3005 に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、例えば、情報を読み出さないメモリセルにおいては、ノード FG に与えられた電荷によらずトランジスタ 3200 が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第 5 の配線 3005 に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

10

【0514】

なお、上記においては、2種類の電荷をノード FG に保持する例について示したが、本発明に係る半導体装置はこれに限られるものではない。例えば、半導体装置のノード FG に 3種類以上の電荷を保持できる構成としてもよい。このような構成とすることにより、当該半導体装置を多値化して記憶容量の増大を図ることができる。

20

【0515】

<記憶装置 1 の構造 >

図 34 は、図 33 (A) に対応する半導体装置の断面図である。図 34 に示す半導体装置は、トランジスタ 3200 と、トランジスタ 3300 と、容量素子 3400 と、を有する。また、トランジスタ 3300 および容量素子 3400 は、トランジスタ 3200 の上方に配置する。なお、トランジスタ 3300 としては、上述したトランジスタ 2100 についての記載を参照する。ここで、トランジスタ 2100 は、図 34 に示すように、実施の形態 1 または実施の形態 2 で記載したトランジスタを用いてもよいし、図 35 に示すように、実施の形態 3 または実施の形態 4 で記載したトランジスタを用いてもよい。また、トランジスタ 3200 としては、図 27 に示したトランジスタ 2200 についての記載を参照する。なお、図 27 では、トランジスタ 2200 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3200 が n チャネル型トランジスタであっても構わない。

30

【0516】

図 34 に示すトランジスタ 3200 は、半導体基板 450 を用いたトランジスタである。トランジスタ 3200 は、半導体基板 450 中の領域 472a と、半導体基板 450 中の領域 472b と、絶縁体 462 と、導電体 454 と、を有する。

30

【0517】

図 34 に示す半導体装置は、絶縁体 464 と、絶縁体 466 と、絶縁体 468 と、導電体 480a と、導電体 480b と、導電体 480c と、導電体 478a と、導電体 478b と、導電体 478c と、導電体 476a と、導電体 476b と、導電体 474a と、導電体 474b と、導電体 474c と、導電体 496a と、導電体 496b と、導電体 496c と、導電体 496d と、導電体 498a と、導電体 498b と、導電体 498c と、絶縁体 489 と、絶縁体 490 と、絶縁体 491 と、絶縁体 492 と、絶縁体 493 と、絶縁体 494 と、絶縁体 495 と、を有する。

40

【0518】

絶縁体 464 は、トランジスタ 3200 上に配置する。また、絶縁体 466 は、絶縁体 464 上に配置する。また、絶縁体 468 は、絶縁体 466 上に配置する。また、絶縁体 489 は、絶縁体 468 上に配置する。また、トランジスタ 3300 は、絶縁体 489 上に配置する。また、絶縁体 493 は、トランジスタ 3300 上に配置する。また、絶縁体 494 は、絶縁体 493 上に配置する。

50

【0519】

絶縁体464は、領域472aに達する開口部と、領域472bに達する開口部と、導電体454に達する開口部と、を有する。また、開口部には、それぞれ導電体480a、導電体480bまたは導電体480cが埋め込まれている。

【0520】

また、絶縁体466は、導電体480aに達する開口部と、導電体480bに達する開口部と、導電体480cに達する開口部と、を有する。また、開口部には、それぞれ導電体478a、導電体478bまたは導電体478cが埋め込まれている。

【0521】

また、絶縁体468は、導電体478bに達する開口部と、導電体478cに達する開口部と、を有する。また、開口部には、それぞれ導電体476aまたは導電体476bが埋め込まれている。

10

【0522】

また、絶縁体489は、トランジスタ3300のチャネル形成領域と重なる開口部と、導電体476aに達する開口部と、導電体476bに達する開口部と、を有する。また、開口部には、それぞれ導電体474a、導電体474bまたは導電体474cが埋め込まれている。

【0523】

導電体474aは、トランジスタ3300のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体474aに一定の電位を印加することで、トランジスタ3300のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体474aとトランジスタ3300のトップゲート電極である導電体504とを電気的に接続しても構わない。こうすることで、トランジスタ3300のオン電流を大きくすることができます。また、パンチスルーハウジングを抑制するため、トランジスタ3300の飽和領域における電気特性を安定にすることができる。

20

【0524】

また、絶縁体490は、導電体474bに達する開口部と、導電体474cに達する開口部と、を有する。なお、絶縁体490は上記実施の形態に示す絶縁体101に用いた絶縁体を用いればよい。開口部を除いて導電体474a乃至474cの上を覆うように絶縁体490を設けることにより、絶縁体491から導電体474a乃至474cが酸素を引き抜くことを防ぐことができる。これにより、絶縁体491からトランジスタ3300の酸化物半導体に効果的に酸素を供給することができる。

30

【0525】

また、絶縁体491は、導電体474bに達する開口部と、導電体474cに達する開口部と、を有する。なお、絶縁体491は上記実施の形態の絶縁体104に相当するため、詳細については絶縁体104の記載を参照することができる。

【0526】

また、絶縁体495は、トランジスタ3300のソースまたはドレインの一方である領域507bを通って、導電体474bに達する開口部と、トランジスタ3300のソースまたはドレインの他方である領域507aと絶縁体511を介して重なる導電体514に達する開口部と、トランジスタ3300のソースまたはドレインの他方である領域507aを通って、導電体474cに達する開口部と、を有する。なお、絶縁体495は上記実施の形態の絶縁体116に相当するため、詳細については絶縁体116の記載を参照することができる。

40

【0527】

また、絶縁体493は、トランジスタ3300のソースまたはドレインの一方である領域507bを通って、導電体474bに達する開口部と、トランジスタ3300のソースまたはドレインの他方である領域507aと絶縁体511を介して重なる導電体514に達する開口部と、トランジスタ3300のゲート電極である導電体504に達する開口部

50

と、トランジスタ 3300 のソースまたはドレインの他方である領域 507a を通って、導電体 474c に達する開口部と、を有する。また、開口部には、それぞれ導電体 496a、導電体 496b、導電体 496c または導電体 496d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 3300 などの構成要素のいずれかが有する開口部を介する場合がある。なお、絶縁体 493 は上記実施の形態の絶縁体 118 に相当するため、詳細については絶縁体 118 の記載を参照することができる。

【0528】

また、絶縁体 494 は、導電体 496a に達する開口部と、導電体 496b に達する開口部と、導電体 496c に達する開口部と、を有する。また、開口部には、それぞれ導電体 498a、導電体 498b または導電体 498c が埋め込まれている。

10

【0529】

絶縁体 464、絶縁体 466、絶縁体 468、絶縁体 489、絶縁体 493 または絶縁体 494 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 3300 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 3300 の電気特性を安定にすることができます。

【0530】

トランジスタ 3200 のソースまたはドレインは、導電体 480b と、導電体 478b と、導電体 476a と、導電体 474b と、導電体 496c と、を介してトランジスタ 3300 のソースまたはドレインの一方である領域 507b と電気的に接続する。また、トランジスタ 3200 のゲート電極である導電体 454 は、導電体 480c と、導電体 478c と、導電体 476b と、導電体 474c と、導電体 496d と、を介してトランジスタ 3300 のソースまたはドレインの他方である領域 507a と電気的に接続する。

20

【0531】

容量素子 3400 は、トランジスタ 3300 のソースまたはドレインの他方である領域 507a と、導電体 514 と、絶縁体 511、を有する。なお、絶縁体 511 は、トランジスタ 3300 のゲート絶縁体として機能する絶縁体と同一工程を経て形成できるため、生産性を高めることができて好ましい場合がある。また、導電体 514 として、トランジスタ 3300 のゲート電極として機能する導電体 504 と同一工程を経て形成した層を用いると、生産性を高めることができて好ましい場合がある。

30

【0532】

そのほかの構造については、適宜図 27 などについての記載を参照することができる。

【0533】

なお、図 36 に示す半導体装置は、図 34 に示した半導体装置のトランジスタ 3200 の構造が異なるのみである。また、図 37 に示す半導体装置は、図 35 に示した半導体装置のトランジスタ 3200 の構造が異なるのみである。よって、図 36 及び図 37 に示す半導体装置については、図 34 に示した半導体装置の記載を参照する。具体的には、図 36 及び図 37 に示す半導体装置は、トランジスタ 3200 が Fin 型である場合を示している。Fin 型であるトランジスタ 3200 については、図 29 に示したトランジスタ 2200 の記載を参照する。なお、図 29 では、トランジスタ 2200 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3200 が n チャネル型トランジスタであっても構わない。

40

【0534】

また、図 38 に示す半導体装置は、図 34 に示した半導体装置のトランジスタ 3200 の構造が異なるのみである。また、図 39 に示す半導体装置は、図 35 に示した半導体装置のトランジスタ 3200 の構造が異なるのみである。よって、図 38 及び図 39 に示す半導体装置については、図 34 に示した半導体装置の記載を参照する。具体的には、図 38 及び図 39 に示す半導体装置は、トランジスタ 3200 が SOI 基板である半導体基板 450 に設けられた場合を示している。SOI 基板である半導体基板 450 に設けられたトランジスタ 3200 については、図 31 に示したトランジスタ 2200 の記載を参照す

50

る。なお、図31では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。

【0535】

<記憶装置2>

図33(B)に示す半導体装置は、トランジスタ3200を有さない点で図33(A)に示した半導体装置と異なる。この場合も図33(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0536】

図33(B)に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位(または容量素子3400に蓄積された電荷)によって、異なる値をとる。

【0537】

例えば、容量素子3400の電極の一方の電位をV、容量素子3400の容量をC、第3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位がV1とV0($V1 > V0$)の2つの状態をとるとすると、電位V1を保持している場合の第3の配線3003の電位($= (CB \times VB0 + C \times V1) / (CB + C)$)は、電位V0を保持している場合の第3の配線3003の電位($= (CB \times VB0 + C \times V0) / (CB + C)$)よりも高くなることがわかる。

【0538】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0539】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

【0540】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合(ただし、電位は固定されていることが好ましい)であっても、長期にわたって記憶内容を保持することが可能である。

【0541】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

【0542】

<記憶装置3>

図33(A)に示す半導体装置(記憶装置)の変形例について、図40に示す回路図を用いて説明する。

10

20

30

40

50

【0543】

図40に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500及び容量素子4600と、を有する。ここでトランジスタ4100は、上述のトランジスタ3200と同様のトランジスタを用いることができ、トランジスタ4200乃至4400は、上述のトランジスタ3300と同様のトランジスタを用いることができる。なお、図40に示す半導体装置は、図40では図示を省略したが、マトリクス状に複数設けられる。図40に示す半導体装置は、配線4001、配線4003、配線4005乃至4009に与える信号又は電位に従って、データ電圧の書き込み、読み出しを制御することができる。

【0544】

トランジスタ4100のソース又はドレインの一方は、配線4003に接続される。トランジスタ4100のソース又はドレインの他方は、配線4001に接続される。なお図40では、トランジスタ4100の導電型をpチャネル型として示すが、nチャネル型でもよい。

【0545】

図40に示す半導体装置は、2つのデータ保持部を有する。例えば第1のデータ保持部は、ノードFG1に接続されるトランジスタ4400のソース又はドレインの一方、容量素子4600の一方の電極、及びトランジスタ4200のソース又はドレインの一方の間で電荷を保持する。また、第2のデータ保持部は、ノードFG2に接続されるトランジスタ4100のゲート、トランジスタ4200のソース又はドレインの他方、トランジスタ4300のソース又はドレインの一方、及び容量素子4500の一方の電極の間で電荷を保持する。

【0546】

トランジスタ4300のソース又はドレインの他方は、配線4003に接続される。トランジスタ4400のソース又はドレインの他方は、配線4001に接続される。トランジスタ4400のゲートは、配線4005に接続される。トランジスタ4200のゲートは、配線4006に接続される。トランジスタ4300のゲートは、配線4007に接続される。容量素子4600の他方の電極は、配線4008に接続される。容量素子4500の他方の電極は、配線4009に接続される。

【0547】

トランジスタ4200乃至4400は、データ電圧の書き込みと電荷の保持を制御するスイッチとしての機能を有する。なおトランジスタ4200乃至4400は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。オフ電流が少ないトランジスタとしては、チャネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）であることが好ましい。OSトランジスタは、オフ電流が低い、シリコンを有するトランジスタと重ねて作製できる等の利点がある。なお図40では、トランジスタ4200乃至4400の導電型をnチャネル型として示すが、pチャネル型でもよい。

【0548】

トランジスタ4200及びトランジスタ4300と、トランジスタ4400とは、酸化物半導体を用いたトランジスタであっても別層に設けることが好ましい。すなわち、図40に示す半導体装置は、図40に示すように、トランジスタ4100を有する第1の層4021と、トランジスタ4200及びトランジスタ4300を有する第2の層4022と、トランジスタ4400を有する第3の層4023と、で構成されることが好ましい。トランジスタを有する層を積層して設けることで、回路面積を縮小することができ、半導体装置の小型化を図ることができる。

【0549】

次いで、図40に示す半導体装置への情報の書き込み動作について説明する。

【0550】

最初に、ノードFG1に接続されるデータ保持部へのデータ電圧の書き込み動作（以下

10

20

30

40

50

、書き込み動作 1 とよぶ。)について説明する。なお、以下において、ノード F G 1 に接続されるデータ保持部に書きこむデータ電圧を V_{D_1} とし、トランジスタ 4 1 0 0 の閾値電圧を V_{th} とする。

【0551】

書き込み動作 1 では、配線 4 0 0 3 を V_{D_1} とし、配線 4 0 0 1 を接地電位とした後に、電気的に浮遊状態とする。また配線 4 0 0 5、4 0 0 6 をハイレベルにする。また配線 4 0 0 7 乃至 4 0 0 9 をローレベルにする。すると、電気的に浮遊状態にあるノード F G 2 の電位が上昇し、トランジスタ 4 1 0 0 に電流が流れる。電流が流れることで、配線 4 0 0 1 の電位が上昇する。またトランジスタ 4 4 0 0、トランジスタ 4 2 0 0 が導通状態となる。そのため、配線 4 0 0 1 の電位の上昇につれて、ノード F G 1、F G 2 の電位が上昇する。ノード F G 2 の電位が上昇し、トランジスタ 4 1 0 0 でゲートとソースとの間の電圧 (V_{gs}) がトランジスタ 4 1 0 0 の閾値電圧 V_{th} になると、トランジスタ 4 1 0 0 を流れる電流が小さくなる。そのため、配線 4 0 0 1、ノード F G 1、F G 2 の電位の上昇は止まり、 V_{D_1} から V_{th} だけ下がった「 $V_{D_1} - V_{th}$ 」で一定となる。

10

【0552】

つまり、配線 4 0 0 3 に与えた V_{D_1} は、トランジスタ 4 1 0 0 に電流が流れることで、配線 4 0 0 1 に与えられ、ノード F G 1、F G 2 の電位が上昇する。電位の上昇によって、ノード F G 2 の電位が「 $V_{D_1} - V_{th}$ 」となると、トランジスタ 4 1 0 0 の V_{gs} が V_{th} となるため、電流が止まる。

20

【0553】

次に、ノード F G 2 に接続されるデータ保持部へのデータ電圧の書き込み動作(以下、書き込み動作 2 とよぶ。)について説明する。なお、ノード F G 2 に接続されるデータ保持部に書きこむデータ電圧を V_{D_2} として説明する。

20

【0554】

書き込み動作 2 では、配線 4 0 0 1 を V_{D_2} とし、配線 4 0 0 3 を接地電位とした後に、電気的に浮遊状態とする。また配線 4 0 0 7 をハイレベルにする。また配線 4 0 0 5、4 0 0 6、4 0 0 8、4 0 0 9 をローレベルにする。トランジスタ 4 3 0 0 を導通状態として配線 4 0 0 3 をローレベルにする。そのため、ノード F G 2 の電位もローレベルにまで低下し、トランジスタ 4 1 0 0 に電流が流れる。電流が流れることで、配線 4 0 0 3 の電位が上昇する。またトランジスタ 4 3 0 0 が導通状態となる。そのため、配線 4 0 0 3 の電位の上昇につれて、ノード F G 2 の電位が上昇する。ノード F G 2 の電位が上昇し、トランジスタ 4 1 0 0 で V_{gs} がトランジスタ 4 1 0 0 の V_{th} になると、トランジスタ 4 1 0 0 を流れる電流が小さくなる。そのため、配線 4 0 0 3、ノード F G 2 の電位の上昇は止まり、 V_{D_2} から V_{th} だけ下がった「 $V_{D_2} - V_{th}$ 」で一定となる。

30

【0555】

つまり、配線 4 0 0 1 に与えた V_{D_2} は、トランジスタ 4 1 0 0 に電流が流れることで、配線 4 0 0 3 に与えられ、ノード F G 2 の電位が上昇する。電位の上昇によって、ノード F G 2 の電位が「 $V_{D_2} - V_{th}$ 」となると、トランジスタ 4 1 0 0 の V_{gs} が V_{th} となるため、電流が止まる。このとき、ノード F G 1 の電位は、トランジスタ 4 2 0 0、4 4 0 0 共に非導通状態であり、書き込み動作 1 で書きこんだ「 $V_{D_1} - V_{th}$ 」が保持される。

40

【0556】

図 4 0 に示す半導体装置では、複数のデータ保持部にデータ電圧を書きこんだのち、配線 4 0 0 9 をハイレベルにして、ノード F G 1、F G 2 の電位を上昇させる。そして、各トランジスタを非導通状態として、電荷の移動をなくし、書きこんだデータ電圧を保持する。

【0557】

以上説明したノード F G 1、F G 2 へのデータ電圧の書き込み動作によって、複数のデータ保持部にデータ電圧を保持させることができる。なお書きこまれる電位として、「 $V_{D_1} - V_{th}$ 」や「 $V_{D_2} - V_{th}$ 」を一例として挙げて説明したが、これらは多値のデ

50

ータに対応するデータ電圧である。そのため、それぞれのデータ保持部で4ビットのデータを保持する場合、16値の「 $V_{D_1} - V_{th}$ 」や「 $V_{D_2} - V_{th}$ 」を取り得る。

【0558】

次いで、図40に示す半導体装置からの情報の読み出し動作について説明する。

【0559】

最初に、ノードFG2に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作1とよぶ。）について説明する。

【0560】

読み出し動作1では、プリチャージを行ってから電気的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009をローレベルとして、電気的に浮遊状態にあるノードFG2の電位を「 $V_{D_2} - V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電気的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100のVgsが小さくなる。トランジスタ4100のVgsがトランジスタ4100のVthになると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D_2} - V_{th}$ 」からVthだけ大きい値である「 V_{D_2} 」となる。この配線4003の電位は、ノードFG2に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG2に接続されるデータ保持部のデータを取得する。

10

20

【0561】

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D_2} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D_2} - V_{th}$ 」との間のVgsがVthとなるため、電流が止まる。そして、配線4003には、書き込み動作2で書きこんだ「 V_{D_2} 」が読み出される。

【0562】

ノードFG2に接続されるデータ保持部のデータを取得したら、トランジスタ4300を導通状態として、ノードFG2の「 $V_{D_2} - V_{th}$ 」を放電させる。

30

【0563】

次に、ノードFG1に保持される電荷をノードFG2に分配し、ノードFG1に接続されるデータ保持部のデータ電圧を、ノードFG2に接続されるデータ保持部に移す。ここで、配線4001、4003をローレベルとする。配線4006をハイレベルにする。また、配線4005、配線4007乃至4009をローレベルにする。トランジスタ4200が導通状態となることで、ノードFG1の電荷が、ノードFG2との間で分配される。

【0564】

ここで、電荷の分配後の電位は、書きこんだ電位「 $V_{D_1} - V_{th}$ 」から低下する。そのため、容量素子4600の容量値は、容量素子4500の容量値よりも大きくしておくことが好ましい。あるいは、ノードFG1に書きこむ電位「 $V_{D_1} - V_{th}$ 」は、同じデータを表す電位「 $V_{D_2} - V_{th}$ 」よりも大きくすることが好ましい。このように、容量値の比を変えること、予め書きこむ電位を大きくしておくことで、電荷の分配後の電位の低下を抑制することができる。電荷の分配による電位の変動については、後述する。

40

【0565】

次に、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作2とよぶ。）について説明する。

【0566】

読み出し動作2では、プリチャージを行ってから電気的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009は、プリチャージ時にハイレベルとして、その後ローレベルとする。配線4009をローレ

50

ベルとすることで、電気的に浮遊状態にあるノード F G 2 を電位「 $V_{D_1} - V_{th}$ 」とする。ノード F G 2 の電位が下がることで、トランジスタ 4 1 0 0 に電流が流れる。電流が流れることで、電気的に浮遊状態の配線 4 0 0 3 の電位が低下する。配線 4 0 0 3 の電位の低下につれて、トランジスタ 4 1 0 0 の V_{gs} が小さくなる。トランジスタ 4 1 0 0 の V_{gs} がトランジスタ 4 1 0 0 の V_{th} になると、トランジスタ 4 1 0 0 を流れる電流が小さくなる。すなわち、配線 4 0 0 3 の電位が、ノード F G 2 の電位「 $V_{D_1} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D_1} 」となる。この配線 4 0 0 3 の電位は、ノード F G 1 に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧は A / D 変換を行い、ノード F G 1 に接続されるデータ保持部のデータを取得する。以上が、ノード F G 1 に接続されるデータ保持部へのデータ電圧の読み出し動作である。

10

【 0 5 6 7 】

つまり、プリチャージ後の配線 4 0 0 3 を浮遊状態とし、配線 4 0 0 9 の電位をハイレベルからローレベルに切り替えることで、トランジスタ 4 1 0 0 に電流が流れる。電流が流れることで、浮遊状態にあった配線 4 0 0 3 の電位は低下して「 V_{D_1} 」となる。トランジスタ 4 1 0 0 では、ノード F G 2 の「 $V_{D_1} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線 4 0 0 3 には、書き込み動作 1 で書きこんだ「 V_{D_1} 」が読み出される。

【 0 5 6 8 】

以上説明したノード F G 1 、 F G 2 からのデータ電圧の読み出し動作によって、複数のデータ保持部からデータ電圧を読み出すことができる。例えば、ノード F G 1 及びノード F G 2 にそれぞれ 4 ビット (16 値) のデータを保持することで計 8 ビット (256 値) のデータを保持することができる。また、図 4 0 においては、第 1 の層 4 0 2 1 乃至第 3 の層 4 0 2 3 からなる構成としたが、さらに層を形成することによって、半導体装置の面積を増大させず記憶容量の増加を図ることができる。

20

【 0 5 6 9 】

なお読み出される電位は、書きこんだデータ電圧より V_{th} だけ大きい電圧として読み出すことができる。そのため、書き込み動作で書きこんだ「 $V_{D_1} - V_{th}$ 」や「 $V_{D_2} - V_{th}$ 」の V_{th} を相殺して読み出す構成とすることができる。その結果、メモリセルあたりの記憶容量を向上させるとともに、読み出されるデータを正しいデータに近づけることができるため、データの信頼性に優れたものとすることができます。

30

【 0 5 7 0 】

また、図 4 1 に図 4 0 に対応する半導体装置の断面図を示す。図 4 1 に示す半導体装置は、トランジスタ 4 1 0 0 乃至トランジスタ 4 4 0 0 と、容量素子 4 5 0 0 及び容量素子 4 6 0 0 と、を有する。ここで、トランジスタ 4 1 0 0 は第 1 の層 4 0 2 1 に形成され、トランジスタ 4 2 0 0 、 4 3 0 0 、及び容量素子 4 5 0 0 は第 2 の層 4 0 2 2 に形成され、トランジスタ 4 4 0 0 及び容量素子 4 6 0 0 は第 3 の層 4 0 2 3 に形成される。図 4 1 に示す半導体装置では、トランジスタ 4 2 0 0 乃至トランジスタ 4 4 0 0 として、上述の実施の形態 1 または実施の形態 2 において記載したトランジスタを用いている。また、図 4 2 に示すように、トランジスタ 4 2 0 0 乃至トランジスタ 4 4 0 0 として、上述の実施の形態 3 または実施の形態 4 において記載したトランジスタを用いてもよい。

40

【 0 5 7 1 】

ここで、トランジスタ 4 2 0 0 乃至 4 4 0 0 としてはトランジスタ 3 3 0 0 の記載を、トランジスタ 4 1 0 0 としてはトランジスタ 3 2 0 0 の記載を参照することができる。また、その他の配線、絶縁体等についても適宜図 3 4 の記載を参照することができる。

【 0 5 7 2 】

なお、図 3 4 に示す半導体装置の容量素子 3 4 0 0 では導電層を基板に対して平行に設けて容量を形成する構成としたが、容量素子 4 5 0 0 、 4 6 0 0 では、トレンチ状に導電層を設けて、容量を形成する構成としている。このような構成とすることで、同じ占有面積であっても大きい容量値を確保することができる。

50

【0573】

< F P G A >

また本発明の一態様は、FPGA (Field Programmable Gate Array) などのLSIにも適用可能である。

【0574】

図43(A)には、FPGAのブロック図の一例を示す。FPGAは、ルーティングスイッチャレメント521と、ロジックエレメント522とによって構成される。また、ロジックエレメント522は、コンフィギュレーションメモリに記憶したコンフィギュレーションデータに応じて、組み合わせ回路の機能、または順序回路の機能といった論理回路の機能を切り替えることができる。

10

【0575】

図43(B)は、ルーティングスイッチャレメント521の役割を説明するための模式図である。ルーティングスイッチャレメント521は、コンフィギュレーションメモリ523に記憶したコンフィギュレーションデータに応じて、ロジックエレメント522間の接続を切り替えることができる。なお図43(B)では、スイッチを一つ示し、端子INと端子OUTの間の接続を切り替える様子を示しているが、実際には複数あるロジックエレメント522間にスイッチが設けられる。

20

【0576】

図43(C)には、コンフィギュレーションメモリ523として機能する回路構成の一例を示す。コンフィギュレーションメモリ523は、OSトランジスタで構成されるトランジスタM11と、Siトランジスタで構成されるトランジスタM12と、によって構成される。ノードFN_{sw}には、トランジスタM11を介してコンフィギュレーションデータD_{sw}が与えられる。このコンフィギュレーションデータD_{sw}の電位は、トランジスタM11を非導通状態とすることで、保持することができる。保持したコンフィギュレーションデータD_{sw}の電位によって、トランジスタM12の導通状態が切り替えられ、端子INと端子OUTの間の接続を切り替えることができる。

20

【0577】

図43(D)は、ロジックエレメント522の役割を説明するための模式図である。ロジックエレメント522は、コンフィギュレーションメモリ527に記憶したコンフィギュレーションデータに応じて、端子OUT_{mem}の電位を切り替えることができる。ルックアップテーブル524は、端子OUT_{mem}の電位に応じて、端子INの信号を処理する組み合わせ回路の機能を切り替えることができる。またロジックエレメント522は、順序回路であるレジスタ525と、端子OUTの信号を切り替えるためのセレクタ526を有する。セレクタ526は、コンフィギュレーションメモリ527から出力される端子OUT_{mem}の電位に応じて、ルックアップテーブル524の信号の出力か、レジスタ525の信号の出力か、を選択することができる。

30

【0578】

図43(E)には、コンフィギュレーションメモリ527として機能する回路構成の一例を示す。コンフィギュレーションメモリ527は、OSトランジスタで構成されるトランジスタM13、M14と、Siトランジスタで構成されるトランジスタM15、M16と、によって構成される。ノードFN_{le}には、トランジスタM13を介してコンフィギュレーションデータD_{le}が与えられる。ノードFN_{blle}には、トランジスタM14を介してコンフィギュレーションデータD_{blle}が与えられる。コンフィギュレーションデータD_{blle}は、コンフィギュレーションデータD_{le}の論理が反転した電位に相当する。このコンフィギュレーションデータD_{le}、コンフィギュレーションデータD_{blle}の電位は、トランジスタM13、M14を非導通状態とすることで、保持することができる。保持したコンフィギュレーションデータD_{le}、コンフィギュレーションデータD_{blle}の電位によって、トランジスタM15またはトランジスタM16の一方の導通状態が切り替えられ、端子OUT_{mem}には電位VDDまたは電位VSSを与えることができる。

40

【0579】

50

図43(A)乃至(E)の構成に対して、本実施の形態で説明した構成を適用することができる。例えばトランジスタM12、M15、M16をSiトランジスタで構成し、トランジスタM11、M13、M14をOSトランジスタで構成する。この場合、下層にあるSiトランジスタ間を接続する配線を低抵抗な導電材料で構成することができる。そのため、アクセス速度の向上、低消費電力化に優れた回路とすることができます。

【0580】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0581】

(実施の形態7)

10

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した撮像装置の一例について説明する。

【0582】

<撮像装置の構成>

図44(A)は、本発明の一態様に係る撮像装置200の例を示す平面図である。撮像装置200は、画素部210と、画素部210を駆動するための周辺回路260と、周辺回路270、周辺回路280と、周辺回路290と、を有する。画素部210は、p行q列(pおよびqは2以上の整数)のマトリクス状に配置された複数の画素211を有する。周辺回路260、周辺回路270、周辺回路280および周辺回路290は、それぞれ複数の画素211に接続し、複数の画素211を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路260、周辺回路270、周辺回路280および周辺回路290などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路260は周辺回路の一部といえる。

20

【0583】

また、撮像装置200は、光源291を有することが好ましい。光源291は、検出光P1を放射することができる。

【0584】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、增幅回路、または変換回路の1つを有する。また、周辺回路は、画素部210を形成する基板上に形成してもよい。また、周辺回路の一部または全部にICチップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路260、周辺回路270、周辺回路280および周辺回路290のいずれか一以上を省略してもよい。

30

【0585】

また、図44(B)に示すように、撮像装置200が有する画素部210において、画素211を傾けて配置してもよい。画素211を傾けて配置することにより、行方向および列方向の画素間隔(ピッチ)を短くすることができる。これにより、撮像装置200における撮像の品質をより高めることができる。

【0586】

<画素の構成例1>

撮像装置200が有する1つの画素211を複数の副画素212で構成し、それぞれの副画素212に特定の波長域の光を透過するフィルタ(カラーフィルタ)を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

40

【0587】

図45(A)は、カラー画像を取得するための画素211の一例を示す平面図である。図45(A)に示す画素211は、赤(R)の波長域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212R」ともいう)、緑(G)の波長域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212G」ともいう)および青(B)の波長域の光を透過するカラーフィルタが設けられた副画素212(以下、「副画素212B」ともいう)を有する。副画素212は、フォトセンサとして機能させることができる。

50

【0588】

副画素212（副画素212R、副画素212G、および副画素212B）は、配線231、配線247、配線248、配線249、配線250と電気的に接続される。また、副画素212R、副画素212G、および副画素212Bは、それぞれが独立した配線253に接続している。また、本明細書等において、例えばn行目の画素211に接続された配線248および配線249を、それぞれ配線248[n]および配線249[n]と記載する。また、例えばm列目の画素211に接続された配線253を、配線253[m]と記載する。なお、図45(A)において、m列目の画素211が有する副画素212Rに接続する配線253を配線253[m]R、副画素212Gに接続する配線253を配線253[m]G、および副画素212Bに接続する配線253を配線253[m]Bと記載している。副画素212は、上記配線を介して周辺回路と電気的に接続される。10

【0589】

また、撮像装置200は、隣接する画素211の、同じ波長域の光を透過するカラーフィルタが設けられた副画素212同士がスイッチを介して電気的に接続する構成を有する。図45(B)に、n行(nは1以上p以下の整数)m列(mは1以上q以下の整数)に配置された画素211が有する副画素212と、該画素211に隣接するn+1行m列に配置された画素211が有する副画素212の接続例を示す。図45(B)において、n行m列に配置された副画素212Rと、n+1行m列に配置された副画素212Rがスイッチ201を介して接続されている。また、n行m列に配置された副画素212Gと、n+1行m列に配置された副画素212Gがスイッチ202を介して接続されている。また、n行m列に配置された副画素212Bと、n+1行m列に配置された副画素212Bがスイッチ203を介して接続されている。20

【0590】

なお、副画素212に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素211に3種類の異なる波長域の光を検出する副画素212を設けることで、フルカラー画像を取得することができる。

【0591】

または、それぞれ赤(R)、緑(G)および青(B)の光を透過するカラーフィルタが設けられた副画素212に加えて、黄(Y)の光を透過するカラーフィルタが設けられた副画素212を有する画素211を用いてもよい。または、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタが設けられた副画素212に加えて、青(B)の光を透過するカラーフィルタが設けられた副画素212を有する画素211を用いてもよい。1つの画素211に4種類の異なる波長域の光を検出する副画素212を設けることで、取得した画像の色の再現性をさらに高めることができる。30

【0592】

また、例えば、図45(A)において、赤の波長域の光を検出する副画素212、緑の波長域の光を検出する副画素212、および青の波長域の光を検出する副画素212の画素数比(または受光面積比)は、1:1:1でなくても構わない。例えば、画素数比(受光面積比)を赤:緑:青=1:2:1とするBaye配列としてもよい。または、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。40

【0593】

なお、画素211に設ける副画素212は1つでもよいが、2つ以上が好ましい。例えば、同じ波長域の光を検出する副画素212を2つ以上設けることで、冗長性を高め、撮像装置200の信頼性を高めることができる。

【0594】

また、可視光を吸収または反射して、赤外光を透過するIR(IR:Infrared)フィルタを用いることで、赤外光を検出する撮像装置200を実現することができる。

【0595】

また、ND(ND:Neutral Density)フィルタ(減光フィルタ)を用

50

いることで、光電変換素子（受光素子）に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なるNDフィルタを組み合わせて用いることで、撮像装置のダイナミックレンジを大きくすることができる。

【0596】

また、前述したフィルタ以外に、画素211にレンズを設けてもよい。ここで、図46の断面図を用いて、画素211、フィルタ254、レンズ255の配置例を説明する。レンズ255を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図46(A)に示すように、画素211に形成したレンズ255、フィルタ254(フィルタ254R、フィルタ254Gおよびフィルタ254B)、および画素回路230等を通して光256を光電変換素子220に入射させる構造とすることができる。

10

【0597】

ただし、二点鎖線で囲んだ領域に示すように、矢印で示す光256の一部が配線257の一部によって遮光されてしまうことがある。したがって、図46(B)に示すように光電変換素子220側にレンズ255およびフィルタ254を配置して、光電変換素子220が光256を効率良く受光させる構造が好ましい。光電変換素子220側から光256を光電変換素子220に入射することで、検出感度の高い撮像装置200を提供することができる。

【0598】

図46に示す光電変換素子220として、pn型接合またはpin型の接合が形成された光電変換素子を用いてもよい。

20

【0599】

また、光電変換素子220を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

【0600】

例えば、光電変換素子220にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長域にわたって光吸収係数を有する光電変換素子220を実現できる。

30

【0601】

ここで、撮像装置200が有する1つの画素211は、図45に示す副画素212に加えて、第1のフィルタを有する副画素212を有してもよい。

【0602】

<画素の構成例2>

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【0603】

図47(A)、図47(B)は、撮像装置を構成する素子の断面図である。図47(A)に示す撮像装置は、シリコン基板300に設けられたシリコンを用いたトランジスタ351、トランジスタ351上に積層して配置された酸化物半導体を用いたトランジスタ352およびトランジスタ353、ならびにシリコン基板300に設けられたフォトダイオード360を含む。各トランジスタおよびフォトダイオード360は、種々のプラグ370および配線371と電気的な接続を有する。また、フォトダイオード360のアノード361は、低抵抗領域363を介してプラグ370と電気的に接続を有する。なお、酸化物半導体を用いたトランジスタ352およびトランジスタ353は、図47(A)に示すように、実施の形態1または実施の形態2で記載したトランジスタを用いてもよいし、図48に示すように、実施の形態3または実施の形態4で記載したトランジスタを用いてもよい。

40

【0604】

また撮像装置は、シリコン基板300に設けられたトランジスタ351およびフォトダ

50

イオード360を有する層310と、層310と接して設けられ、配線371を有する層320と、層320と接して設けられ、トランジスタ352およびトランジスタ353を有する層330と、層330と接して設けられ、配線372および配線373を有する層340を備えている。

【0605】

なお図47(A)の断面図の一例では、シリコン基板300において、トランジスタ351が形成された面とは逆側の面にフォトダイオード360の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード360の受光面をトランジスタ351が形成された面と同じとすることもできる。

10

【0606】

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層310を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層310を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【0607】

なおシリコンを用いたトランジスタのみを用いて画素を構成する場合には、層330を省略すればよい。層330を省略した断面図の一例を図47(B)に示す。

【0608】

なお、シリコン基板300は、SOI基板であってもよい。また、シリコン基板300に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

20

【0609】

ここで、トランジスタ351およびフォトダイオード360を有する層310と、トランジスタ352およびトランジスタ353を有する層330と、の間には絶縁体380が設けられる。ただし、絶縁体380の位置は限定されない。

【0610】

トランジスタ351のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ351の信頼性を向上させる効果がある。一方、トランジスタ352およびトランジスタ353などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ352およびトランジスタ353などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をロックする機能を有する絶縁体380を設けることが好ましい。絶縁体380より下層に水素を閉じ込めて、トランジスタ351の信頼性を向上させることができる。さらに、絶縁体380より下層から、絶縁体380より上層に水素が拡散することを抑制できるため、トランジスタ352およびトランジスタ353などの信頼性を向上させることができる。

30

【0611】

絶縁体380としては、例えば、酸素または水素をロックする機能を有する絶縁体を用いる。

40

【0612】

また、図47(A)の断面図において、層310に設けるフォトダイオード360と、層330に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0613】

また、図49(A1)および図49(B1)に示すように、撮像装置の一部または全部を湾曲させてもよい。図49(A1)は、撮像装置を同図中的一点鎖線X1-X2の方向に湾曲させた状態を示している。図49(A2)は、図49(A1)中の一点鎖線X1-X2で示した部位の断面図である。図49(A3)は、図49(A1)中の一点鎖線Y1

50

- Y 2 で示した部位の断面図である。

【 0 6 1 4 】

図 4 9 (B 1) は、撮像装置を同図中的一点鎖線 X 3 - X 4 の方向に湾曲させ、かつ、同図中的一点鎖線 Y 3 - Y 4 の方向に湾曲させた状態を示している。図 4 9 (B 2) は、図 4 9 (B 1) 中の一点鎖線 X 3 - X 4 で示した部位の断面図である。図 4 9 (B 3) は、図 4 9 (B 1) 中の一点鎖線 Y 3 - Y 4 で示した部位の断面図である。

【 0 6 1 5 】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができます。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

10

【 0 6 1 6 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 6 1 7 】

(実施の形態 8)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含む C P U の一例について説明する。

20

【 0 6 1 8 】

< C P U の構成 >

図 5 0 は、上述したトランジスタを一部に用いた C P U の一例の構成を示すブロック図である。

【 0 6 1 9 】

図 5 0 に示す C P U は、基板 1 1 9 0 上に、 A L U 1 1 9 1 (A L U : A r i t h m e t i c l o g i c u n i t 、 演算回路) 、 A L U コントローラ 1 1 9 2 、 インストラクションデコーダ 1 1 9 3 、 インタラプトコントローラ 1 1 9 4 、 タイミングコントローラ 1 1 9 5 、 レジスタ 1 1 9 6 、 レジスタコントローラ 1 1 9 7 、 バスインターフェース 1 1 9 8 、 書き換え可能な R O M 1 1 9 9 、 および R O M インターフェース 1 1 8 9 を有している。基板 1 1 9 0 は、半導体基板、 S O I 基板、ガラス基板などを用いる。 R O M 1 1 9 9 および R O M インターフェース 1 1 8 9 は、別チップに設けてもよい。もちろん、図 5 0 に示す C P U は、その構成を簡略化して示した一例にすぎず、実際の C P U はその用途によって多種多様な構成を有している。例えば、図 5 0 に示す C P U または演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、 C P U が内部演算回路やデータバスで扱えるビット数は、例えば 8 ビット、 1 6 ビット、 3 2 ビット、 6 4 ビットなどとすることができます。

30

【 0 6 2 0 】

バスインターフェース 1 1 9 8 を介して C P U に入力された命令は、インストラクションデコーダ 1 1 9 3 に入力され、デコードされた後、 A L U コントローラ 1 1 9 2 、 インタラプトコントローラ 1 1 9 4 、 レジスタコントローラ 1 1 9 7 、 タイミングコントローラ 1 1 9 5 に入力される。

40

【 0 6 2 1 】

A L U コントローラ 1 1 9 2 、 インタラプトコントローラ 1 1 9 4 、 レジスタコントローラ 1 1 9 7 、 タイミングコントローラ 1 1 9 5 は、デコードされた命令に基づき、各種制御を行なう。具体的に A L U コントローラ 1 1 9 2 は、 A L U 1 1 9 1 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1 1 9 4 は、 C P U のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1 1 9 7 は、レジスタ 1 1 9 6 のアドレスを生成し、 C P U の状態に応じてレジスタ 1 1 9 6 の読み出しや書き込みを行なう。

50

【0622】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

【0623】

図50に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

10

【0624】

図50に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0625】

図51は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

20

【0626】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

30

【0627】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213の導通状態または非導通状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1214の導通状態または非導通状態)が選択される。

40

【0628】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一対の電極のうちの一方、およびトランジスタ1210のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線(例えばGND線)に電気的に接続され、他方は、スイッ

50

チ 1 2 0 3 の第 1 の端子（トランジスタ 1 2 1 3 のソースとドレインの一方）と電気的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）はスイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と電気的に接続される。スイッチ 1 2 0 4 の第 2 の端子（トランジスタ 1 2 1 4 のソースとドレインの他方）は電源電位 V D D を供給することができる配線と電気的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）と、スイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と、論理素子 1 2 0 6 の入力端子と、容量素子 1 2 0 7 の一対の電極のうちの一方とは電気的に接続される。ここで、接続部分をノード M 1 とする。容量素子 1 2 0 7 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができます。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができます。容量素子 1 2 0 7 の一対の電極のうちの他方は、低電源電位を供給することができる配線（例えば G N D 線）と電気的に接続される。容量素子 1 2 0 8 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができます。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができます。容量素子 1 2 0 8 の一対の電極のうちの他方は、低電源電位を供給することができる配線（例えば G N D 線）と電気的に接続される。

10

【0 6 2 9】

なお、容量素子 1 2 0 7 および容量素子 1 2 0 8 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

20

【0 6 3 0】

トランジスタ 1 2 0 9 のゲートには、制御信号 W E が入力される。スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 は、制御信号 W E とは異なる制御信号 R D によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

30

【0 6 3 1】

トランジスタ 1 2 0 9 のソースとドレインの他方には、回路 1 2 0 1 に保持されたデータに対応する信号が入力される。図 5 1 では、回路 1 2 0 1 から出力された信号が、トランジスタ 1 2 0 9 のソースとドレインの他方に入力される例を示した。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 によってその論理値が反転された反転信号となり、回路 1 2 2 0 を介して回路 1 2 0 1 に入力される。

30

【0 6 3 2】

なお、図 5 1 では、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

40

【0 6 3 3】

また、図 5 1 において、記憶素子 1 2 0 0 に用いられるトランジスタのうち、トランジスタ 1 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることができます。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができます。また、記憶素子 1 2 0 0 に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのト

50

ランジスタは酸化物半導体以外の半導体でなる層または基板 1190 にチャネルが形成されるトランジスタとすることもできる。

【0634】

図 51 における回路 1201 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1206 としては、例えばインバータやクロックドインバータ等を用いることができる。

【0635】

本発明の一態様に係る半導体装置では、記憶素子 1200 に電源電圧が供給されない間は、回路 1201 に記憶されていたデータを、回路 1202 に設けられた容量素子 1208 によって保持することができる。

10

【0636】

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1209 として用いることによって、記憶素子 1200 に電源電圧が供給されない間も容量素子 1208 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1200 は電源電圧の供給が停止した間も記憶内容（データ）を保持することができる。

【0637】

また、スイッチ 1203 およびスイッチ 1204 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1201 が元のデータを保持しなおすまでの時間を短くすることができる。

20

【0638】

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 によって保持された信号を、トランジスタ 1210 の状態（導通状態、または非導通状態）に変換して、回路 1202 から読み出すことができる。それ故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0639】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うため、消費電力を抑えることができる。

30

【0640】

記憶素子 1200 を C P U に用いる例として説明したが、記憶素子 1200 は、D S P (D i g i t a l S i g n a l P r o c e s s o r)、カスタム L S I 等の L S I 、R F (R a d i o F r e q u e n c y) デバイスにも応用可能である。また、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) や C P L D (C o m p l e x P L D) などのプログラマブル論理回路 (P L D : P r o g r a m m a b l e L o g i c D e v i c e) 等の L S I にも応用可能である。

40

【0641】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0642】

（実施の形態 9 ）

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した表示装置について、図 52 乃至図 54 を用いて説明する。

50

【0643】

<表示装置の構成>

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（E l e c t r o l u m i n e s c e n c e）、有機ELなどを含む。以下では、表示装置の一例としてEL素子を用いた表示装置（EL表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

【0644】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0645】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクター、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板を有するモジュールまたは表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0646】

図52は、本発明の一態様に係るEL表示装置の一例である。図52(A)に、EL表示装置の画素の回路図を示す。図52(B)は、EL表示装置全体を示す上面図である。また、図52(C)は、図52(B)の一点鎖線M-Nの一部に対応するM-N断面である。

【0647】

図52(A)は、EL表示装置に用いられる画素の回路図の一例である。

【0648】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくとも、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくとも、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0649】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくとも、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくとも、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0650】

図52(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0651】

なお、図52(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図52(A)の各ノードにおいて、トランジスタ、スイッ

10

20

30

40

50

チ、受動素子などを追加しないようにすることも可能である。

【0652】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電気的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電気的に接続され、発光素子719の一方の電極と電気的に接続される。トランジスタ741のドレインは電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電気的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

【0653】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができます。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または/およびスイッチ素子743としては、例えば、上述したトランジスタを適用することができる。

10

【0654】

図52(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板750と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回路736を囲むように基板700と基板750との間に配置される。なお、駆動回路735または/および駆動回路736をシール材734の外側に配置しても構わない。

20

【0655】

図52(C)は、図52(B)の一点鎖線M-Nの一部に対応するEL表示装置の断面図である。

【0656】

図52(C)には、トランジスタ741として、基板700上の絶縁体701と、絶縁体701上の導電体702aと、導電体702a上の絶縁体704と、絶縁体704上にあり導電体702aと重なる絶縁体706aと、絶縁体706a上の半導体706bと、半導体706b上の絶縁体706cと、絶縁体706cおよび半導体706bに設けられた領域707aおよび領域707bと、絶縁体706c上の絶縁体712と、絶縁体712上の導電体714aと、絶縁体706c上および導電体714a上の絶縁体716と、を有する構造を示す。なお、トランジスタ741の構造は一例であり、図52(C)に示す構造と異なる構造であっても構わない。例えば、トランジスタ741は、図52(C)に示すように、実施の形態1または実施の形態2で記載したトランジスタを用いてもよいし、図54(A)に示すように、実施の形態3または実施の形態4で記載したトランジスタを用いてもよい。

30

【0657】

したがって、図52(C)に示すトランジスタ741において、導電体702aはゲート電極としての機能を有し、絶縁体712はゲート絶縁体としての機能を有し、領域707aはソースとしての機能を有し、領域707bはドレインとしての機能を有し、絶縁体712はゲート絶縁体としての機能を有し、導電体714aはゲート電極としての機能を有する。なお、半導体706bは、光が当たることで電気特性が変動する場合がある。したがって、導電体702a、導電体714aのいずれか一以上が遮光性を有すると好ましい。

40

【0658】

図52(C)には、容量素子742として、絶縁体701上の導電体702bと、導電体702b上の絶縁体704と、絶縁体704上にあり導電体702bと重なる領域707aと、領域707a上の絶縁体711と、絶縁体711上にあり領域707aと重なる導電体714bと、を有する構造を示す。

【0659】

50

容量素子 742 において、導電体 702b および導電体 714b は一方の電極として機能し、領域 707a は他方の電極として機能する。

【0660】

したがって、容量素子 742 は、トランジスタ 741 と共に通する膜を用いて作製することができる。また、導電体 702a および導電体 702b を同種の導電体とすると好ましい。その場合、導電体 702a および導電体 702b は、同一工程を経て形成することができる。また、導電体 714a および導電体 714b を同種の導電体とすると好ましい。その場合、導電体 714a および導電体 714b は、同一工程を経て形成することができる。また、絶縁体 712 および絶縁体 711 を同種の絶縁体とすると好ましい。その場合、絶縁体 712 および絶縁体 711 は、同一工程を経て形成することができる。

10

【0661】

図 52 (C) に示す容量素子 742 は、占有面積当たりの容量が大きい容量素子である。したがって、図 52 (C) は表示品位の高い E L 表示装置である。

【0662】

トランジスタ 741 および容量素子 742 上には、絶縁体 720 が配置される。ここで、絶縁体 716 および絶縁体 720 は、トランジスタ 741 のソースとして機能する領域 707a に達する開口部を有してもよい。絶縁体 720 上には、導電体 781 が配置される。導電体 781 は、絶縁体 720 の開口部を介してトランジスタ 741 と電気的に接続している。

20

【0663】

導電体 781 上には、導電体 781 に達する開口部を有する隔壁 784 が配置される。隔壁 784 上には、隔壁 784 の開口部で導電体 781 と接する発光層 782 が配置される。発光層 782 上には、導電体 783 が配置される。導電体 781、発光層 782 および導電体 783 の重なる領域が、発光素子 719 となる。

【0664】

ここまででは、E L 表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0665】

図 53 (A) は、液晶表示装置の画素の構成例を示す回路図である。図 53 に示す画素は、トランジスタ 751 と、容量素子 752 と、一対の電極間に液晶の充填された素子（液晶素子）753 とを有する。

30

【0666】

トランジスタ 751 では、ソース、ドレインの一方が信号線 755 に電気的に接続され、ゲートが走査線 754 に電気的に接続されている。

【0667】

容量素子 752 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電気的に接続され、他方の電極が共通電位を供給する配線に電気的に接続されている。

【0668】

液晶素子 753 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電気的に接続され、他方の電極が共通電位を供給する配線に電気的に接続されている。なお、上述した容量素子 752 の他方の電極が電気的に接続する配線に与えられる共通電位と、液晶素子 753 の他方の電極に与えられる共通電位とが異なる電位であってもよい。

40

【0669】

なお、液晶表示装置も、上面図は E L 表示装置と同様として説明する。図 52 (B) の一点鎖線 M - N に対応する液晶表示装置の断面図を図 53 (B) に示す。図 53 (B) において、FPC 732 は、端子 731 を介して配線 733a と接続される。なお、配線 733a は、トランジスタ 751 を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

【0670】

トランジスタ 751 は、トランジスタ 741 についての記載を参照する。トランジスタ

50

751もトランジスタ741と同様に、図53(B)に示すように、実施の形態1または実施の形態2で記載したトランジスタを用いてもよいし、図54(B)に示すように、実施の形態3または実施の形態4で記載したトランジスタを用いてもよい。また、容量素子752は、容量素子742についての記載を参照する。なお、図53(B)には、図52(C)の容量素子742に対応した容量素子752の構造を示したが、これに限定されない。

【0671】

なお、トランジスタ751の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができます。したがって、容量素子752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができます。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができます。また、容量素子752の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

10

【0672】

トランジスタ751および容量素子752上には、絶縁体721が配置される。ここで、絶縁体721は、トランジスタ751に達する開口部を有する。絶縁体721上には、導電体791が配置される。導電体791は、絶縁体721の開口部を介してトランジスタ751と電気的に接続する。

20

【0673】

導電体791上には、配向膜として機能する絶縁体792が配置される。絶縁体792上には、液晶層793が配置される。液晶層793上には、配向膜として機能する絶縁体794が配置される。絶縁体794上には、スペーサ795が配置される。スペーサ795および絶縁体794上には、導電体796が配置される。導電体796上には、基板797が配置される。

【0674】

なお、液晶の駆動方式としては、TN(Twisted Nematic)モード、STN(Super Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどを用いることができる。ただし、これに限定されず、駆動方法として様々なものを用いることができる。

30

【0675】

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

40

【0676】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例

50

えば、白色、赤色、緑色または青色などの発光ダイオード（LED：Light Emission Diode）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラー・デバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェッティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。

10

【0677】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッショニングディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

20

【0678】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AIN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

30

【0679】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0680】

(実施の形態10)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

40

【0681】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディ

50

オブレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(A T M)、自動販売機などが挙げられる。これら電子機器の具体例を図55に示す。

【0682】

図55(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイルス908等を有する。なお、図55(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0683】

図55(B)は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【0684】

図55(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0685】

図55(D)は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0686】

図55(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

【0687】

図55(F)は自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0688】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0689】

なお、以上の実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソース領域、ドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソース領域、ドレイン領域などは

、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、酸化物半導体を有していないくともよい。

【符号の説明】

【0 6 9 0】

10

1 0	トランジスタ	
1 1	トランジスタ	
1 2	トランジスタ	
1 3	トランジスタ	
1 4	トランジスタ	
2 0	トランジスタ	
2 1	トランジスタ	
2 2	トランジスタ	
2 3	トランジスタ	
2 4	トランジスタ	20
2 5	トランジスタ	
2 6	トランジスタ	
2 7	トランジスタ	
1 0 0	基板	
1 0 1	絶縁体	
1 0 2	導電体	
1 0 3	絶縁体	
1 0 4	絶縁体	
1 0 6 a	絶縁体	
1 0 6 b	半導体	30
1 0 6 c	絶縁体	
1 0 7 a	低抵抗領域	
1 0 7 b	低抵抗領域	
1 0 8 a	導電体	
1 0 8 b	導電体	
1 0 9 a	導電体	
1 0 9 b	導電体	
1 1 2	絶縁体	
1 1 4	導電体	
1 1 5	絶縁体	40
1 1 6	絶縁体	
1 1 8	絶縁体	
1 1 9	ドーパント	
1 2 0	ドーパント	
1 2 2	水素	
1 2 6 a	領域	
1 2 6 b	領域	
1 2 6 c	領域	
1 2 6 d	領域	
1 2 6 e	領域	50

1 3 6 b	領域	
1 3 6 c	領域	
2 0 0	撮像装置	
2 0 1	スイッチ	
2 0 2	スイッチ	
2 0 3	スイッチ	
2 1 0	画素部	
2 1 1	画素	
2 1 2	副画素	
2 1 2 B	副画素	10
2 1 2 G	副画素	
2 1 2 R	副画素	
2 2 0	光電変換素子	
2 3 0	画素回路	
2 3 1	配線	
2 4 7	配線	
2 4 8	配線	
2 4 9	配線	
2 5 0	配線	
2 5 3	配線	20
2 5 4	フィルタ	
2 5 4 B	フィルタ	
2 5 4 G	フィルタ	
2 5 4 R	フィルタ	
2 5 5	レンズ	
2 5 6	光	
2 5 7	配線	
2 6 0	周辺回路	
2 7 0	周辺回路	
2 8 0	周辺回路	30
2 9 0	周辺回路	
2 9 1	光源	
3 0 0	シリコン基板	
3 1 0	層	
3 2 0	層	
3 3 0	層	
3 4 0	層	
3 5 1	トランジスタ	
3 5 2	トランジスタ	
3 5 3	トランジスタ	40
3 6 0	フォトダイオード	
3 6 1	アノード	
3 6 3	低抵抗領域	
3 7 0	プラグ	
3 7 1	配線	
3 7 2	配線	
3 7 3	配線	
3 8 0	絶縁体	
4 5 0	半導体基板	
4 5 2	絶縁体	50

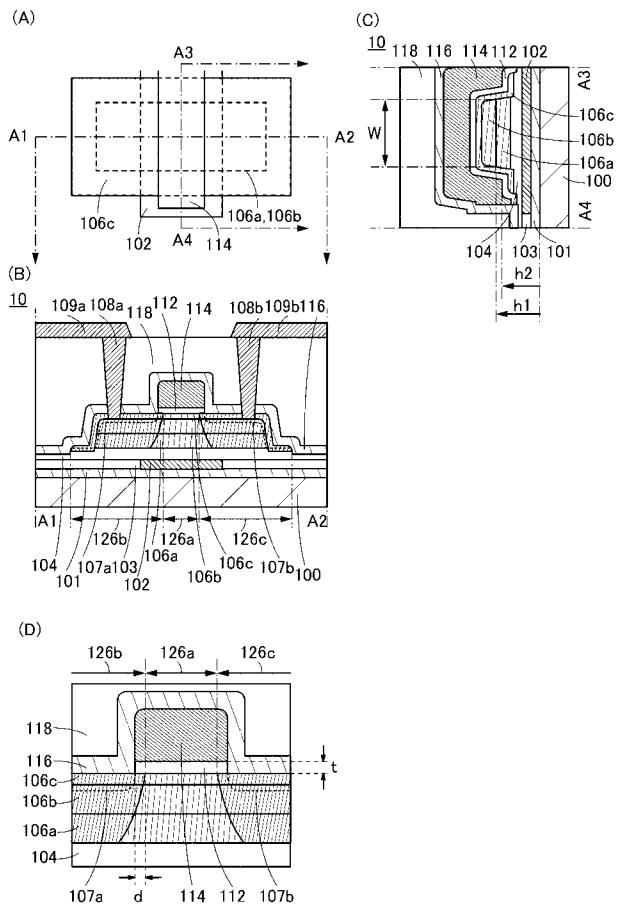
4 5 4	導電体	
4 5 6	領域	
4 6 0	領域	
4 6 2	絶縁体	
4 6 4	絶縁体	
4 6 6	絶縁体	
4 6 8	絶縁体	
4 7 2 a	領域	10
4 7 2 b	領域	
4 7 4 a	導電体	
4 7 4 b	導電体	
4 7 4 c	導電体	
4 7 6 a	導電体	
4 7 6 b	導電体	
4 7 8 a	導電体	
4 7 8 b	導電体	
4 7 8 c	導電体	
4 8 0 a	導電体	
4 8 0 b	導電体	
4 8 0 c	導電体	20
4 8 9	絶縁体	
4 9 0	絶縁体	
4 9 1	絶縁体	
4 9 2	絶縁体	
4 9 3	絶縁体	
4 9 4	絶縁体	
4 9 5	絶縁体	
4 9 6 a	導電体	
4 9 6 b	導電体	
4 9 6 c	導電体	30
4 9 6 d	導電体	
4 9 8 a	導電体	
4 9 8 b	導電体	
4 9 8 c	導電体	
5 0 4	導電体	
5 0 7 a	領域	
5 0 7 b	領域	
5 1 1	絶縁体	
5 1 4	導電体	
5 2 1	ルーティングスイッチエレメント	40
5 2 2	ロジックエレメント	
5 2 3	コンフィギュレーションメモリ	
5 2 4	ルックアップテーブル	
5 2 5	レジスタ	
5 2 6	セレクタ	
5 2 7	コンフィギュレーションメモリ	
7 0 0	基板	
7 0 1	絶縁体	
7 0 2 a	導電体	
7 0 2 b	導電体	50

7 0 4	絶縁体	
7 0 6 a	絶縁体	
7 0 6 b	半導体	
7 0 6 c	絶縁体	
7 0 7 a	領域	
7 0 7 b	領域	
7 1 1	絶縁体	
7 1 2	絶縁体	
7 1 4 a	導電体	10
7 1 4 b	導電体	
7 1 6	絶縁体	
7 1 9	発光素子	
7 2 0	絶縁体	
7 2 1	絶縁体	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	
7 3 5	駆動回路	
7 3 6	駆動回路	20
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	容量素子	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	
7 5 3	液晶素子	
7 5 4	走査線	30
7 5 5	信号線	
7 8 1	導電体	
7 8 2	発光層	
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	
7 9 4	絶縁体	
7 9 5	スペーサ	40
7 9 6	導電体	
7 9 7	基板	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイルス	50

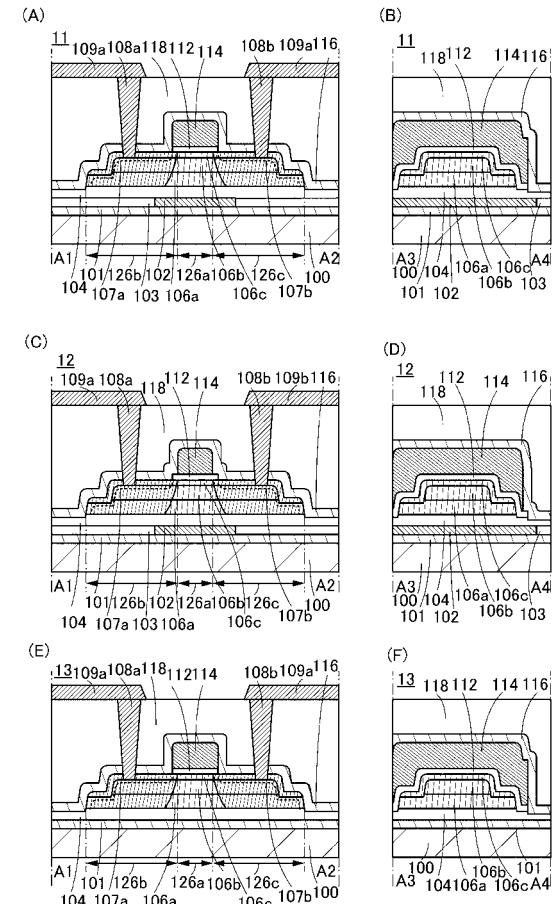
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キー ボード	
9 2 4	ポインティングデバイス	10
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	20
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インターラプトコントローラ	
1 1 9 5	タイミングコントローラ	30
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	40
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
3 0 0 1	配線	50

3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 1	配線	
4 0 0 3	配線	
4 0 0 5	配線	10
4 0 0 6	配線	
4 0 0 7	配線	
4 0 0 8	配線	
4 0 0 9	配線	
4 0 2 1	層	
4 0 2 2	層	
4 0 2 3	層	
4 1 0 0	トランジスタ	
4 2 0 0	トランジスタ	
4 3 0 0	トランジスタ	20
4 4 0 0	トランジスタ	
4 5 0 0	容量素子	
4 6 0 0	容量素子	
5 1 0 0	ペレット	
5 1 2 0	基板	
5 1 6 1	領域	

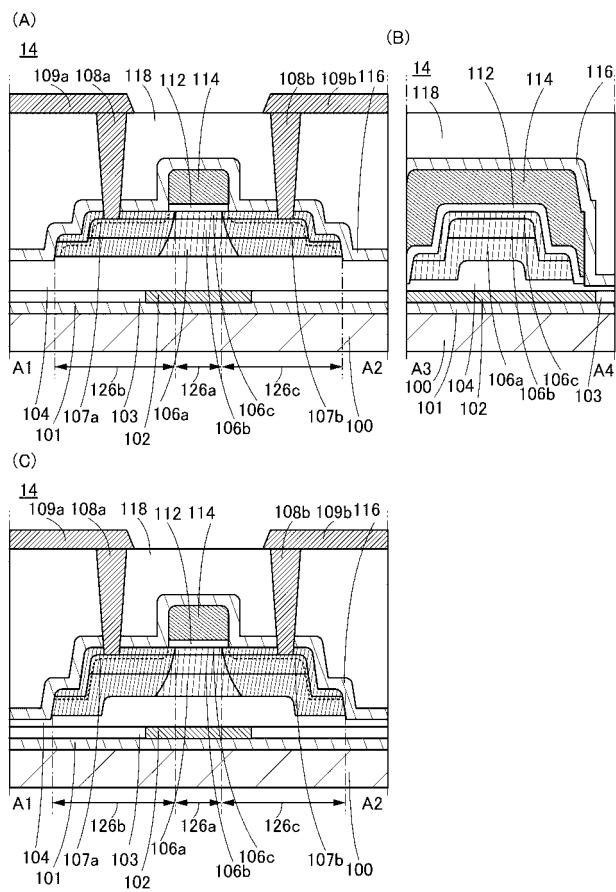
【図1】



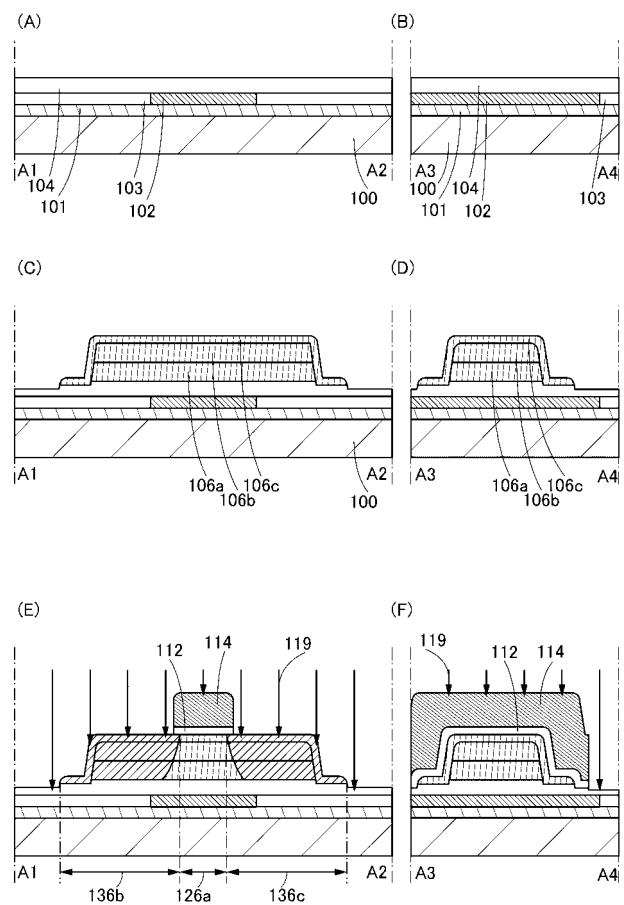
【図2】



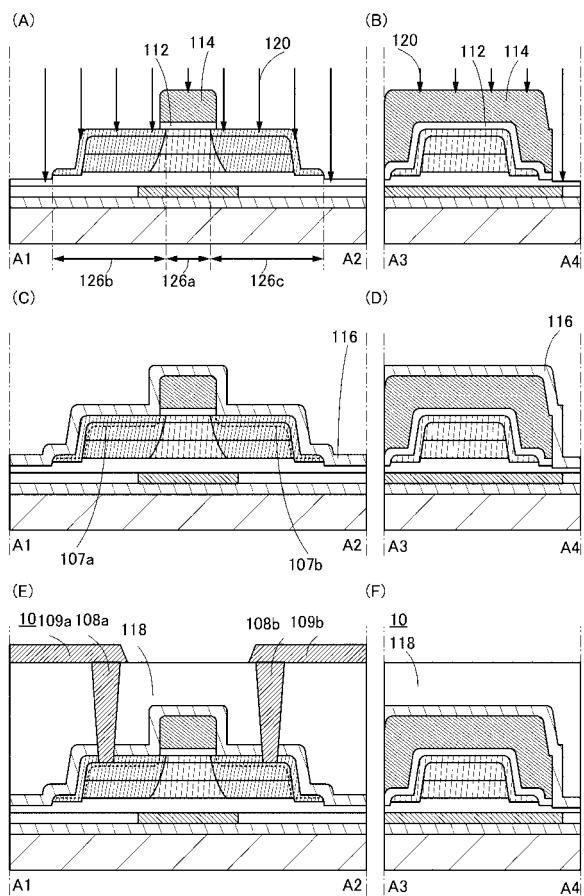
【図3】



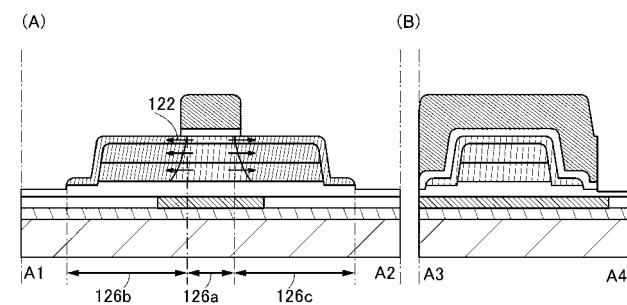
【図4】



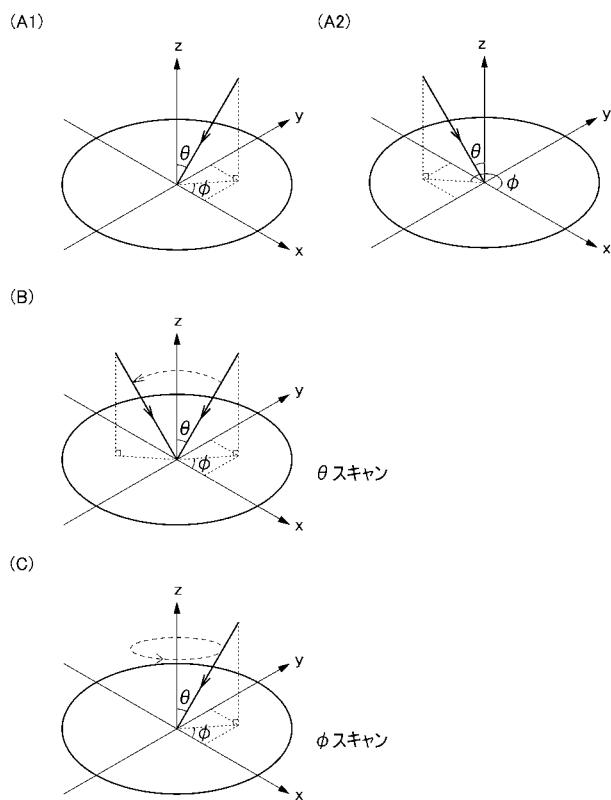
【図5】



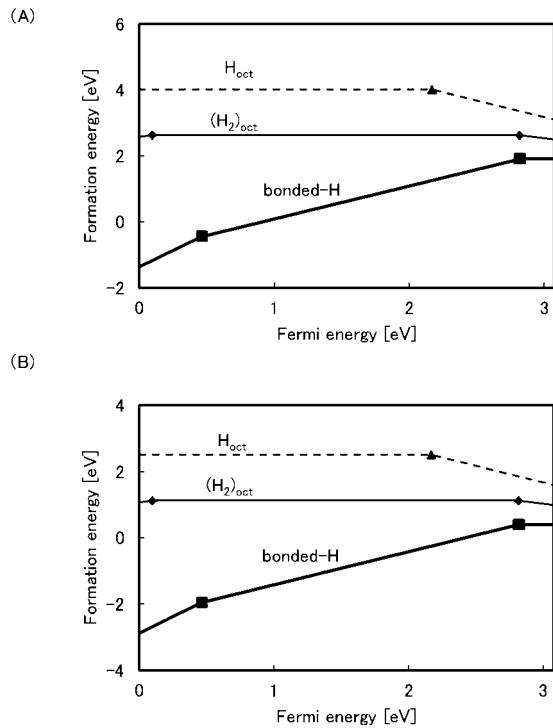
【図6】



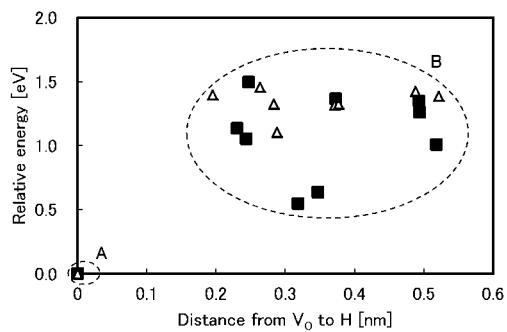
【図7】



【図9】

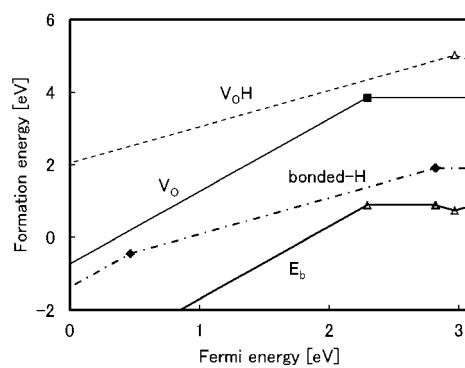


【図10】

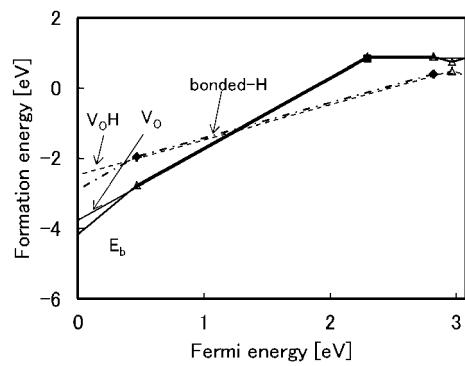


【図11】

(A)

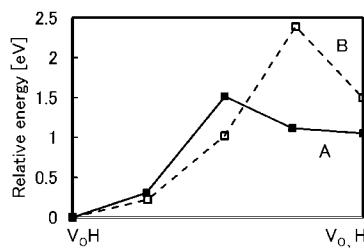
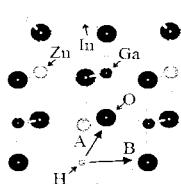


(B)

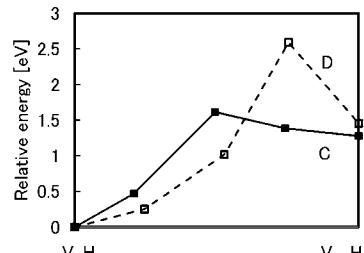
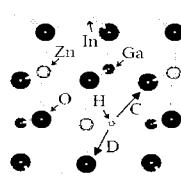


【図12】

(A)

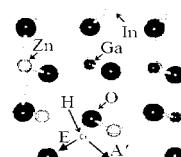


(B)

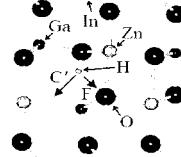


【図13】

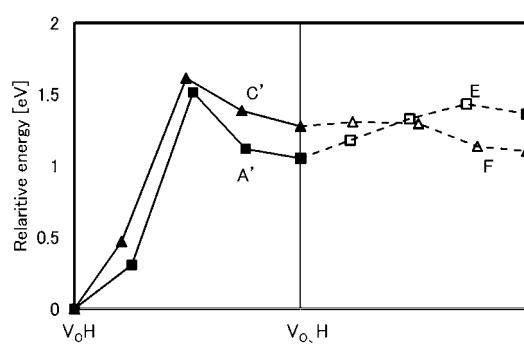
(A)



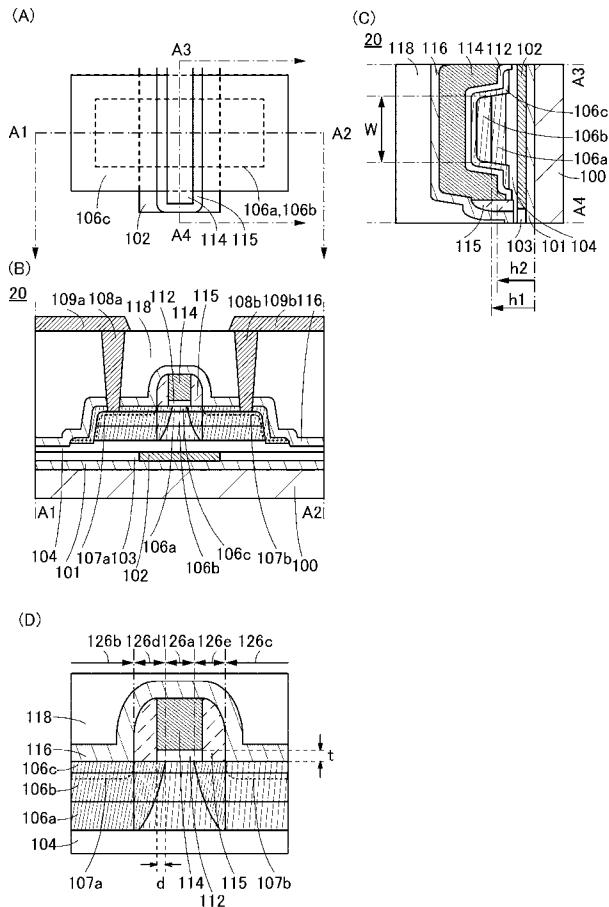
(B)



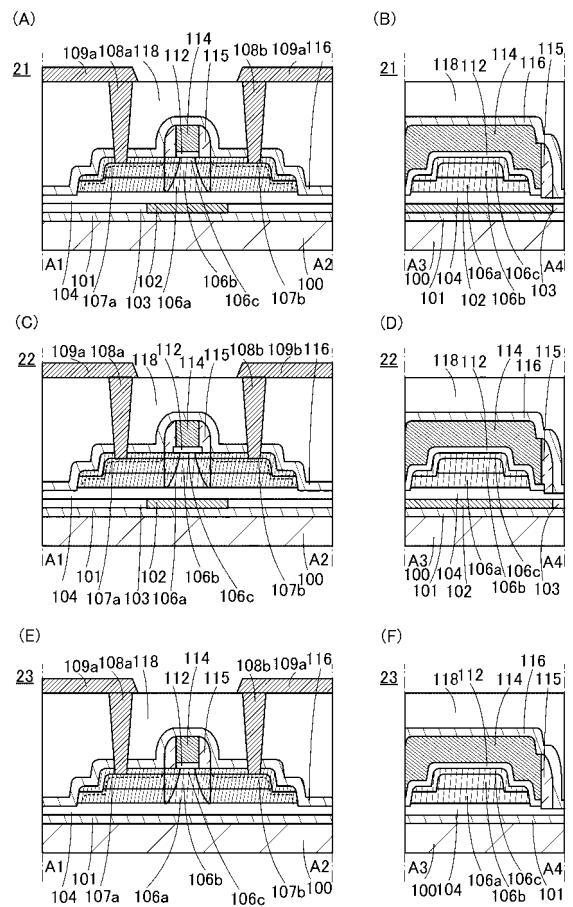
(C)



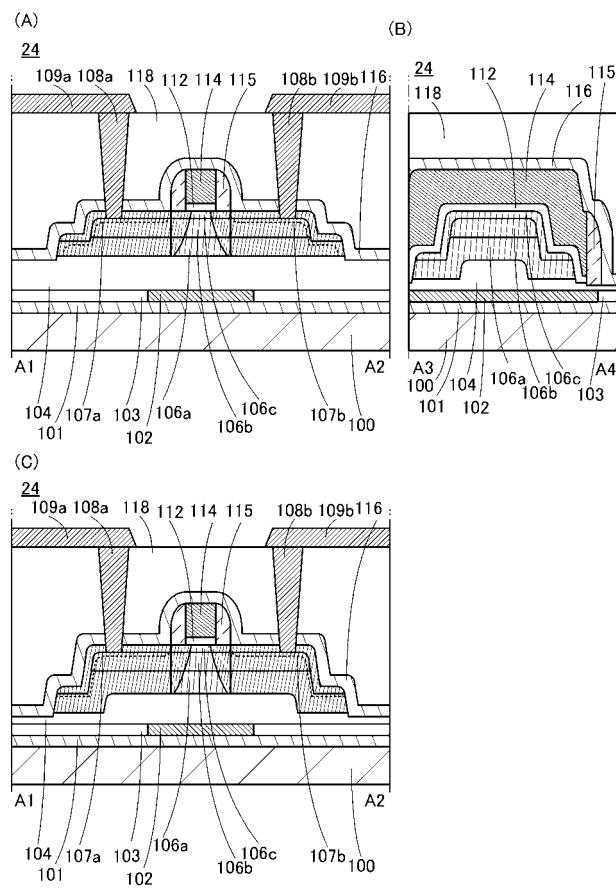
【 図 1 4 】



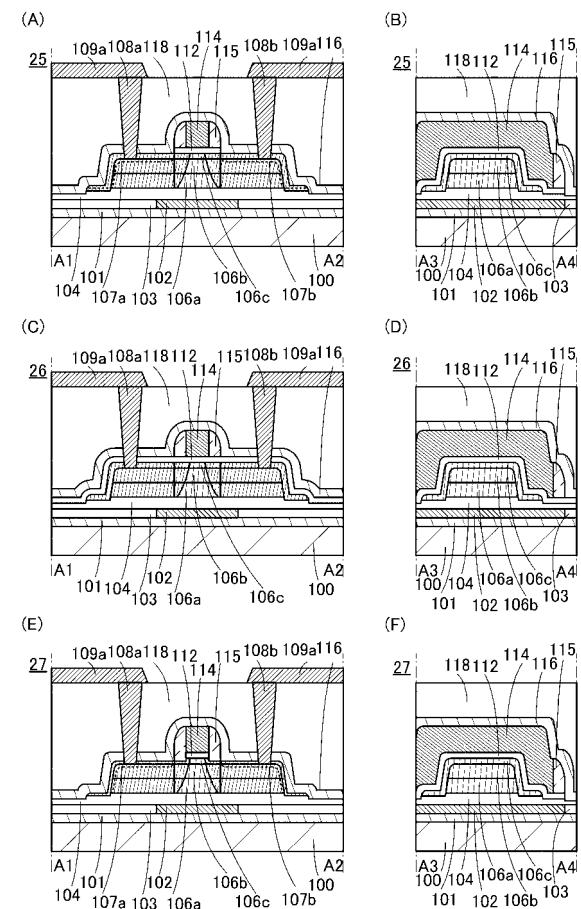
【 図 15 】



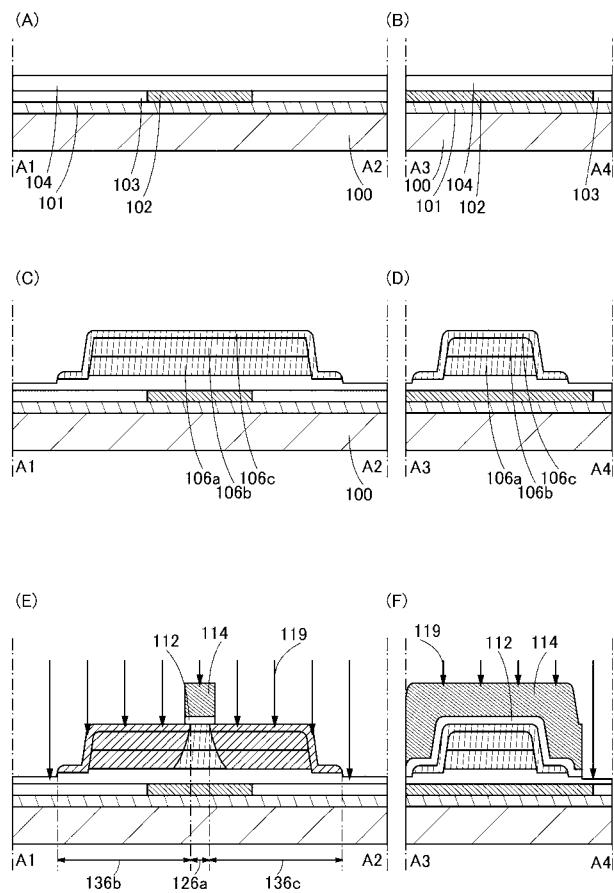
【 図 1 6 】



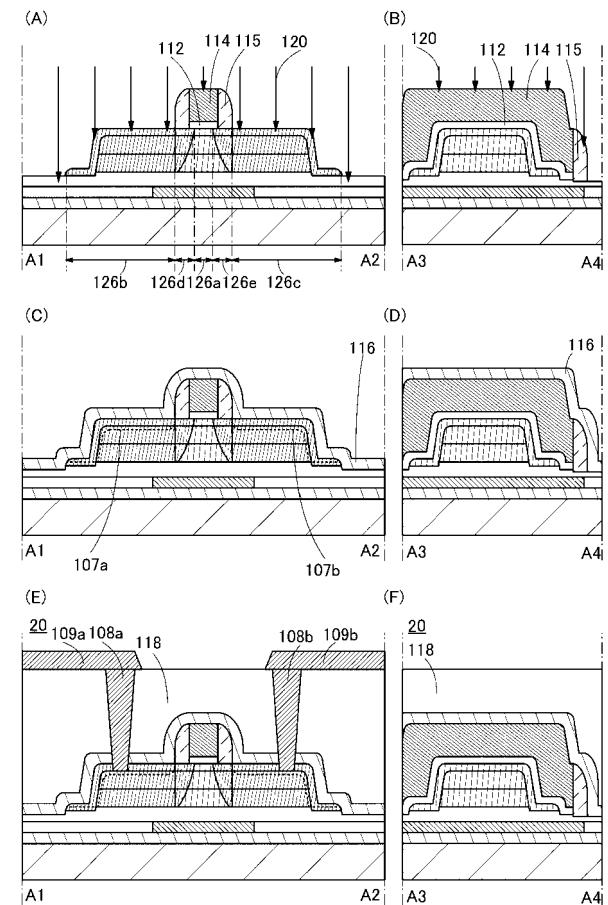
【図17】



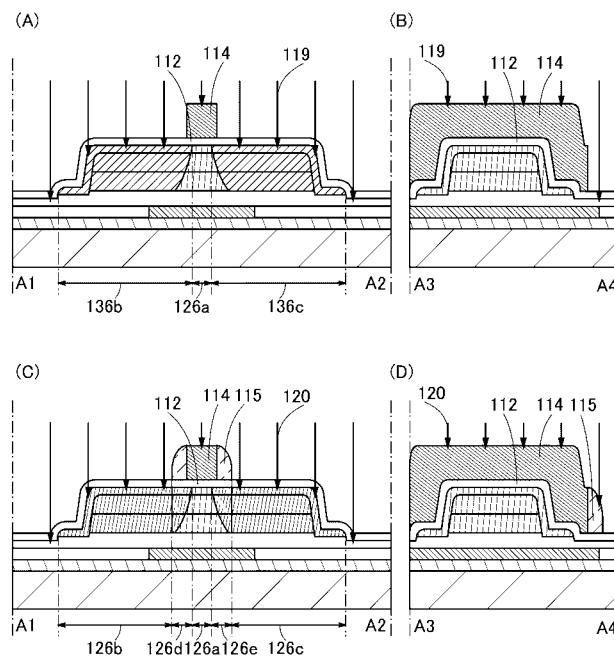
【図18】



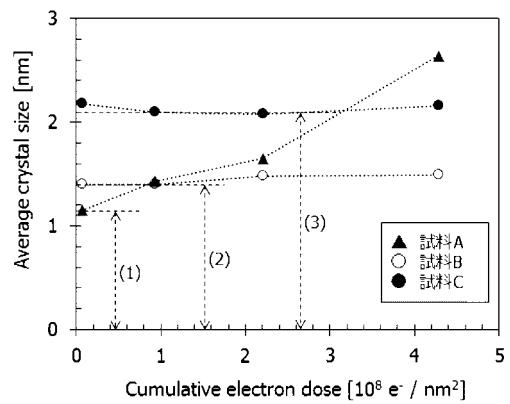
【図19】



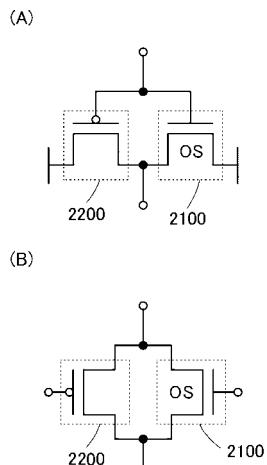
【図20】



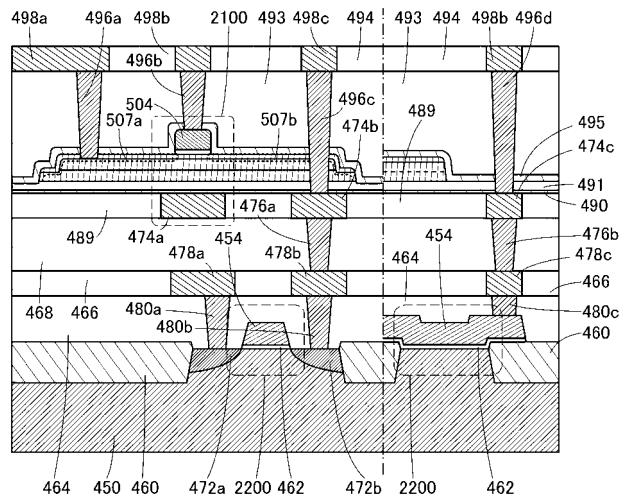
【図25】



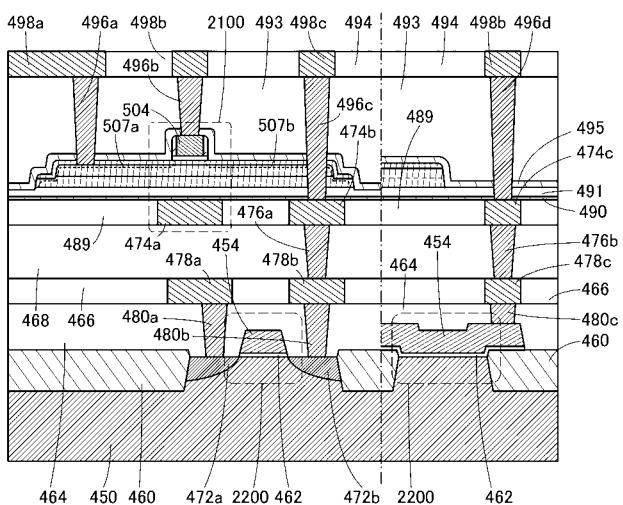
【図26】



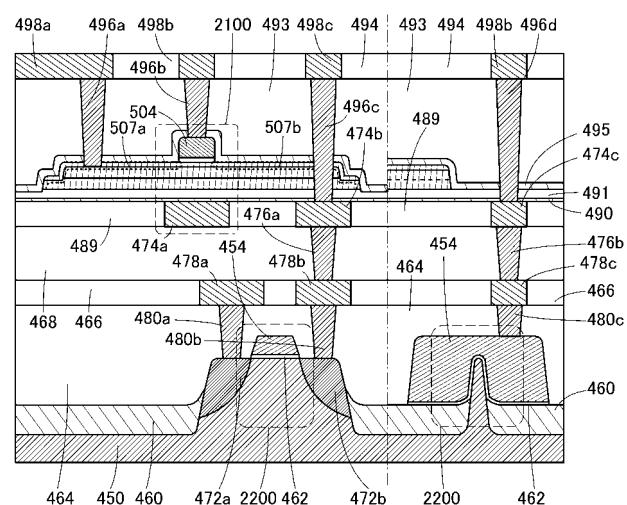
【図27】



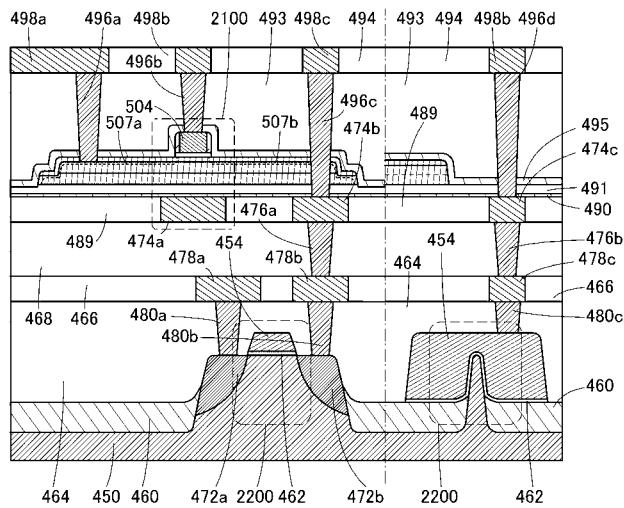
【図28】



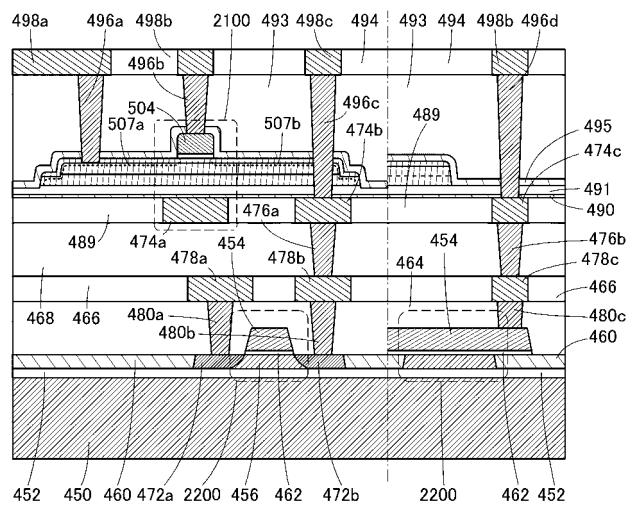
【図29】



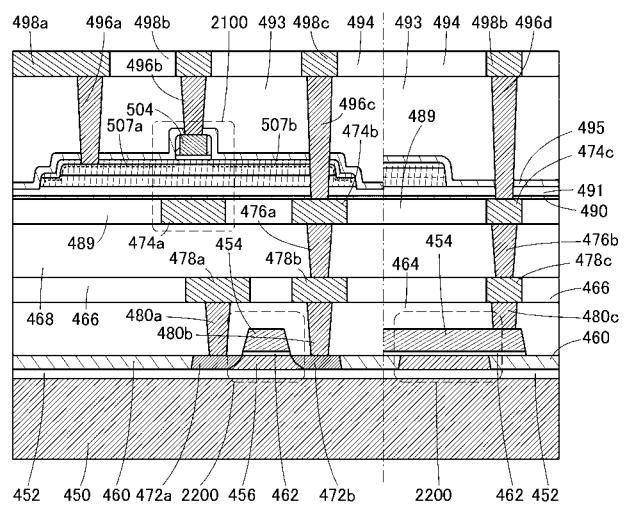
【図30】



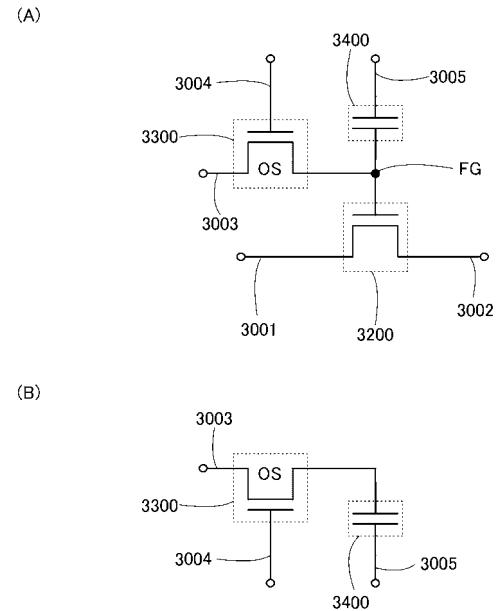
【図31】



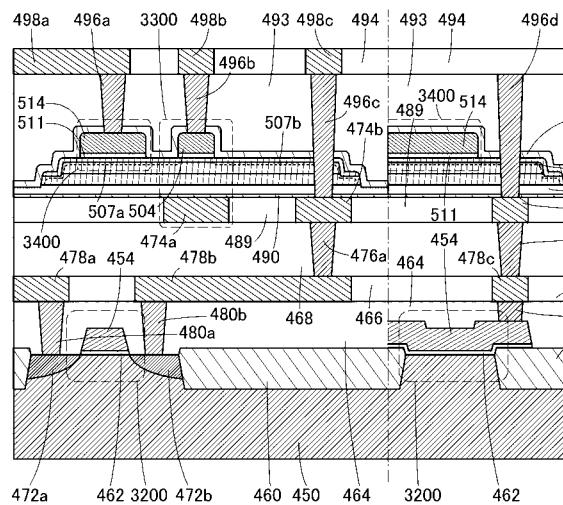
【図32】



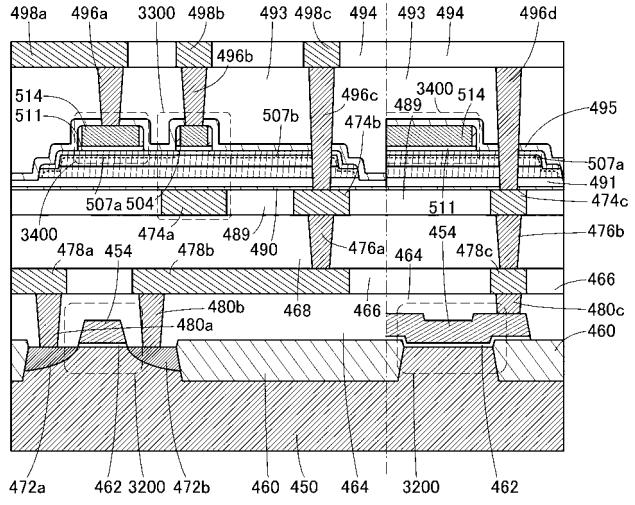
【図33】



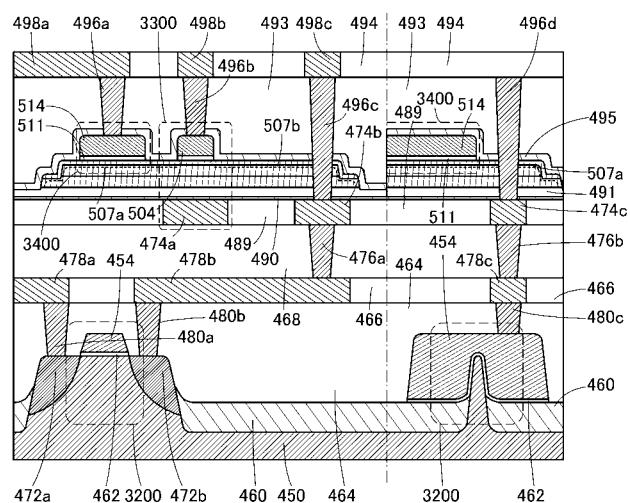
【図34】



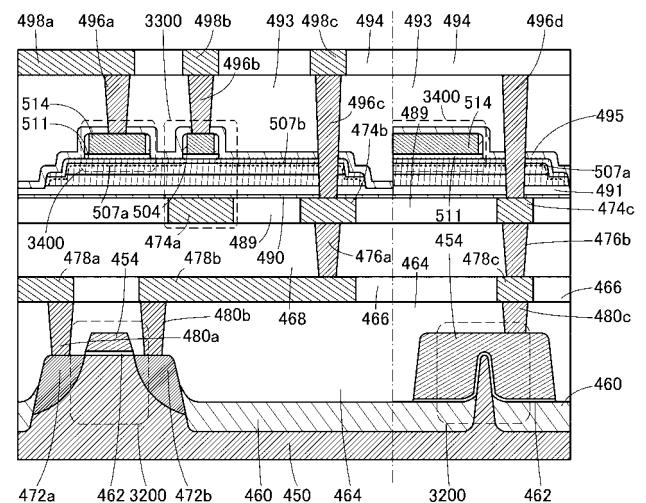
【図35】



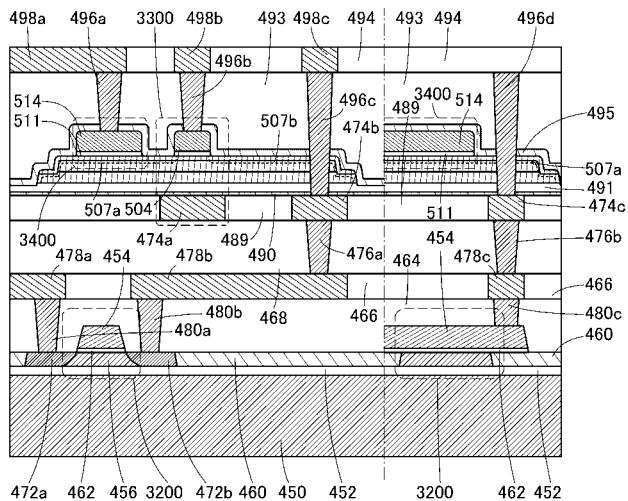
【図36】



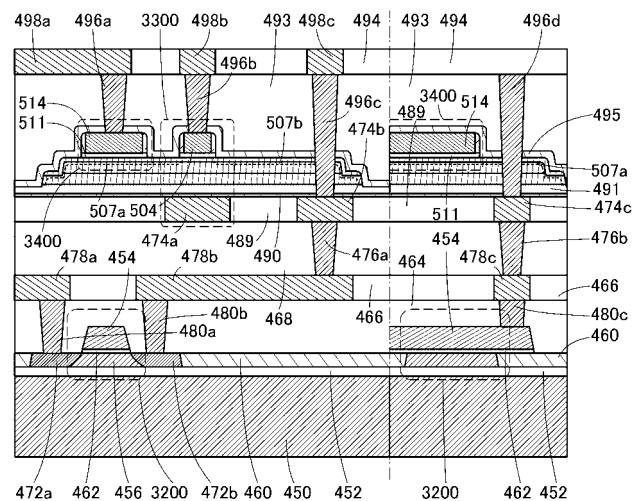
【図37】



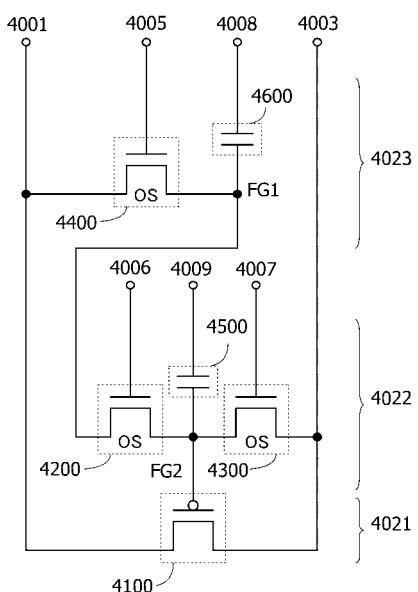
【図 3 8】



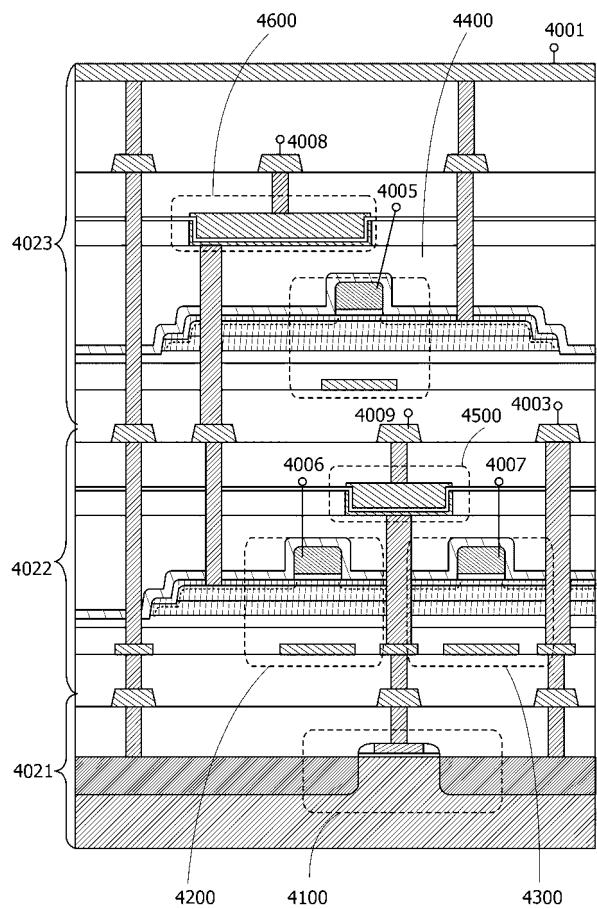
【図 3 9】



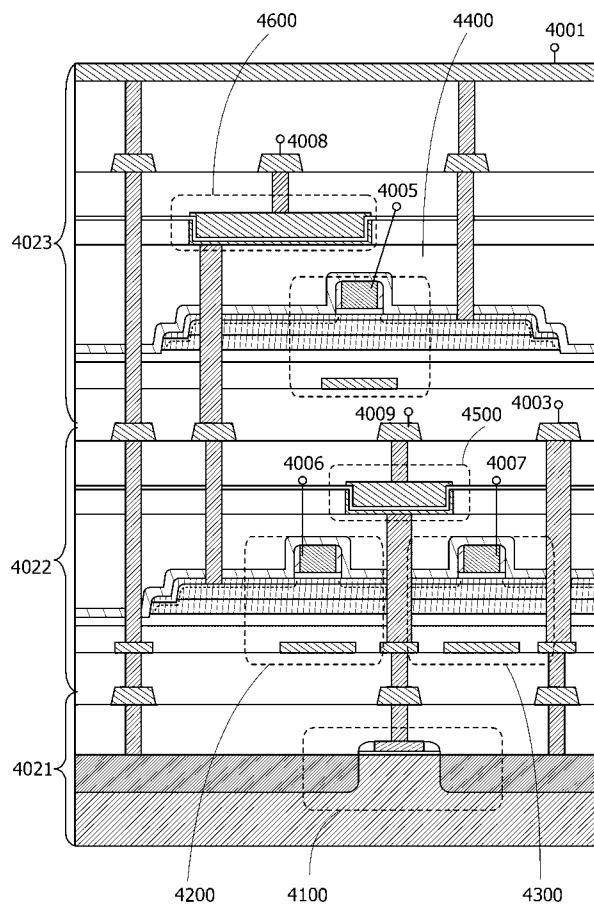
【図 4 0】



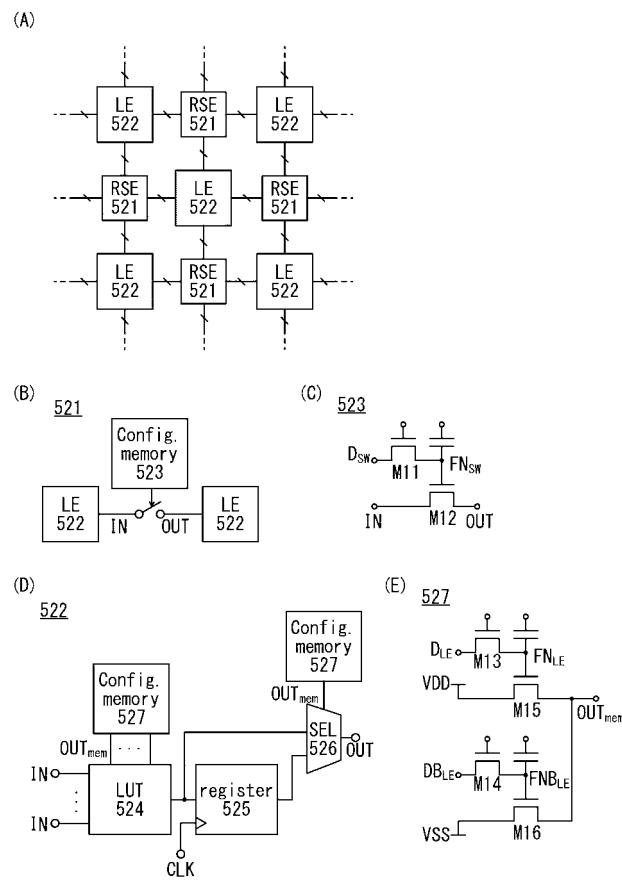
【図 4 1】



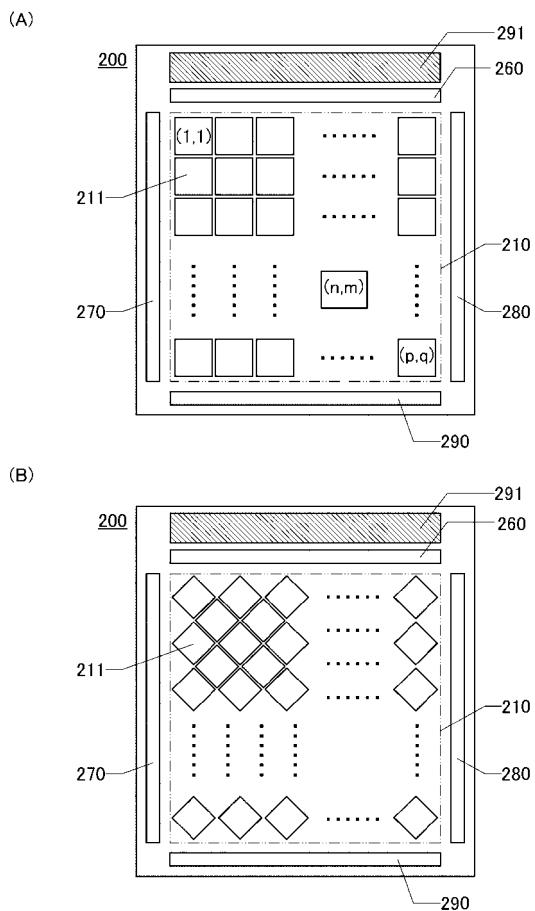
【図42】



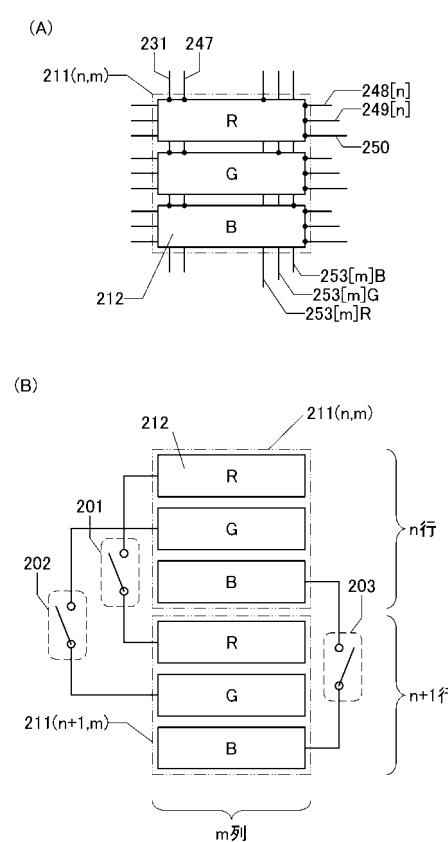
【図43】



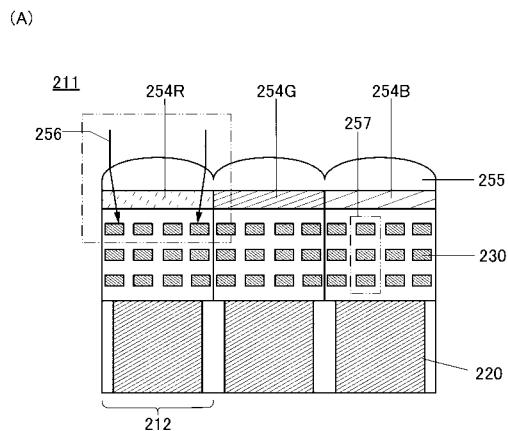
【図44】



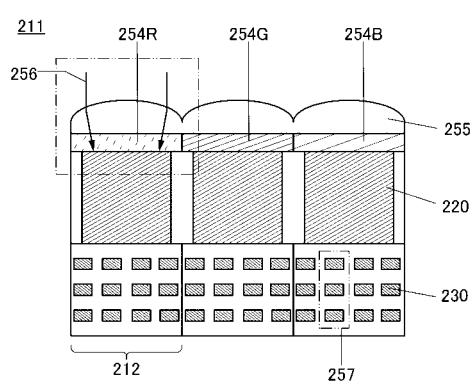
【図45】



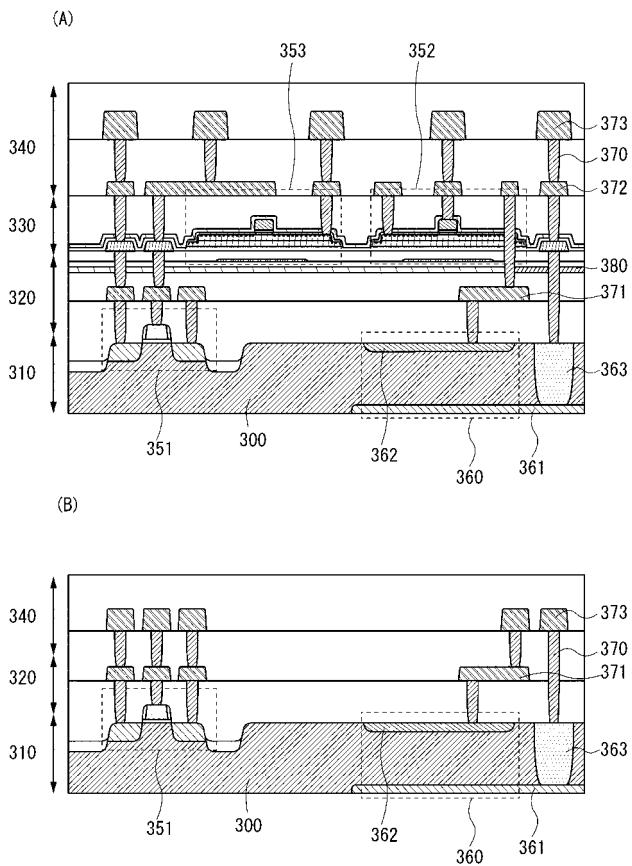
【図46】



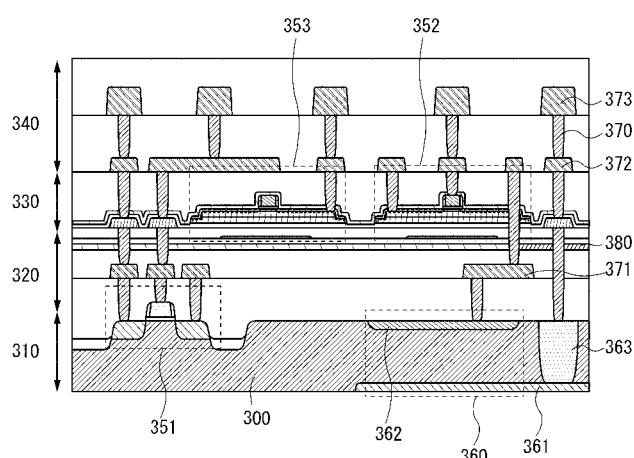
(B)



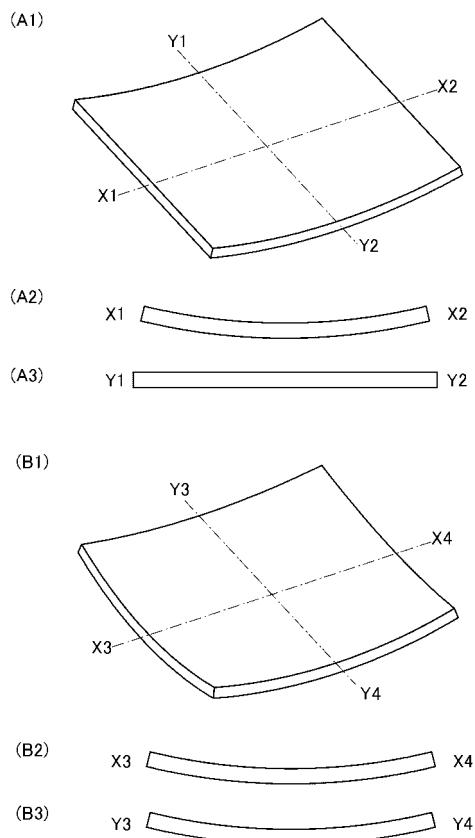
【図47】



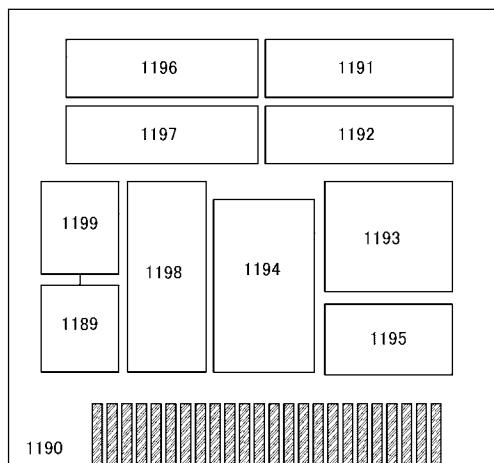
【図48】



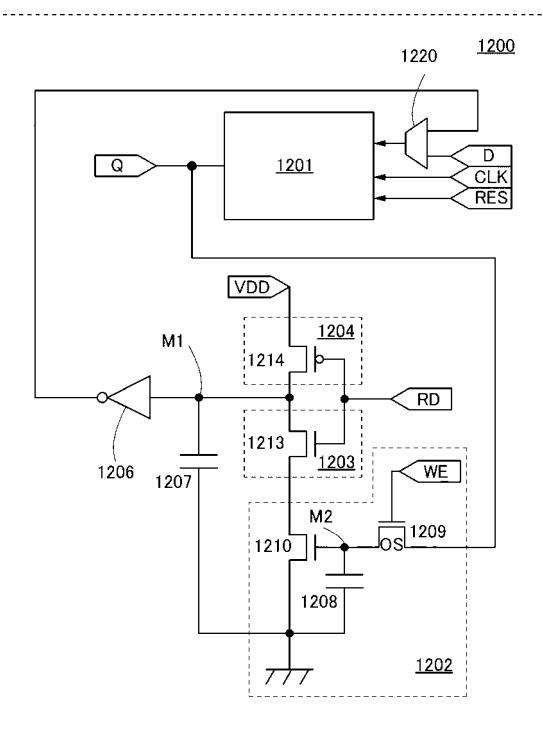
【図49】



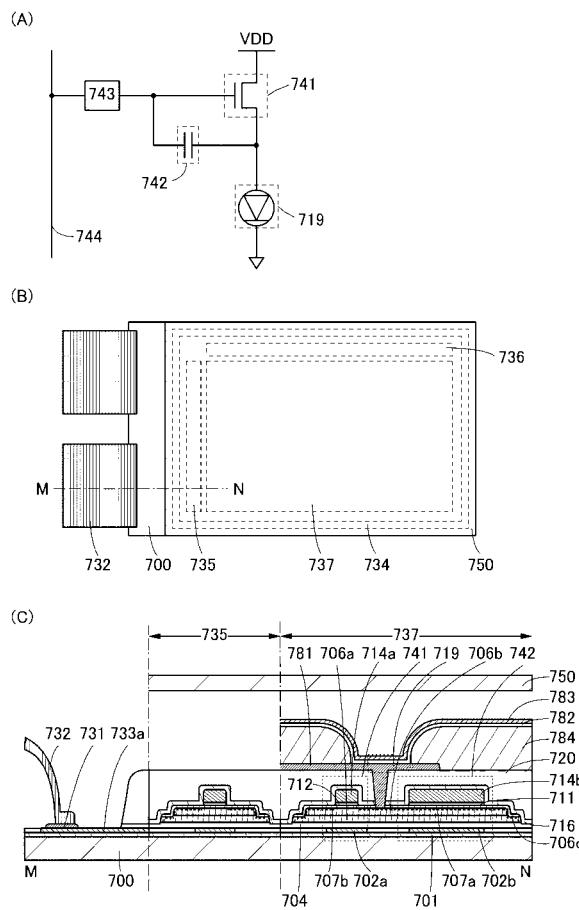
【図 5 0】



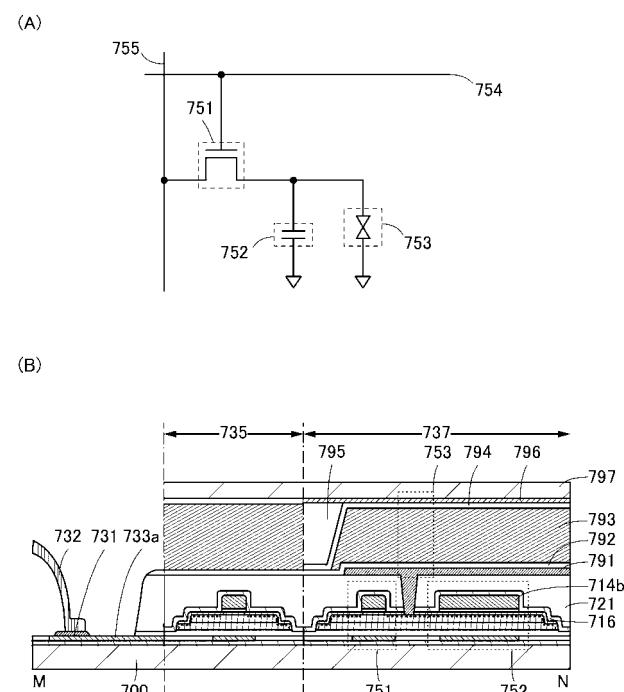
【図 5 1】



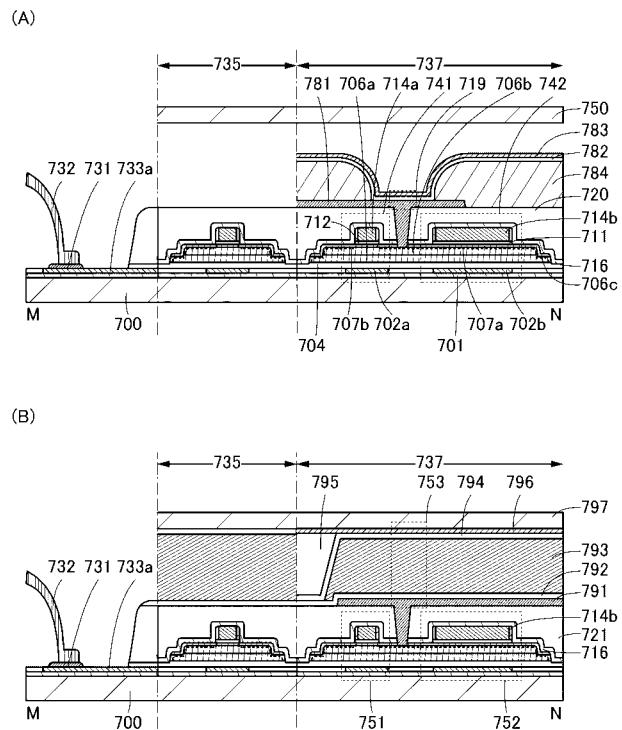
【図 5 2】



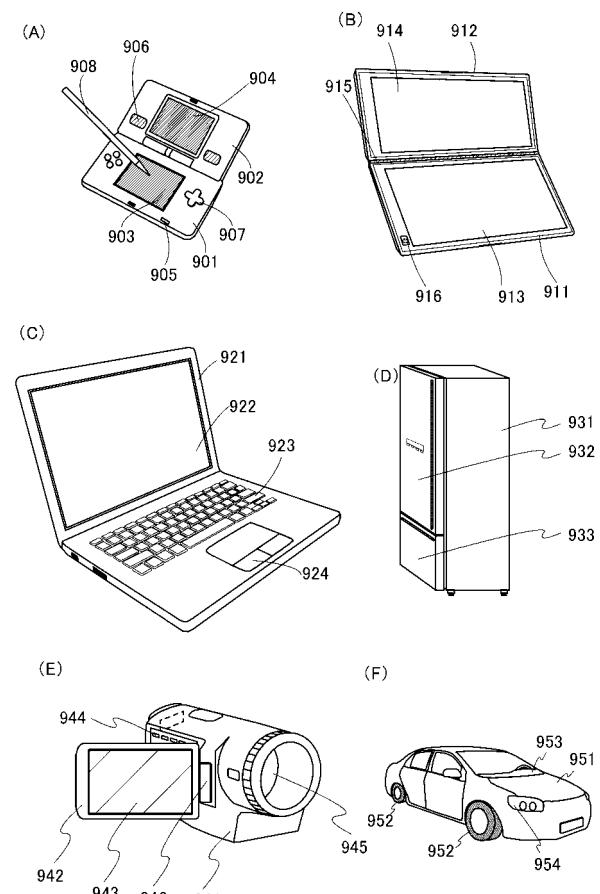
【図 5 3】



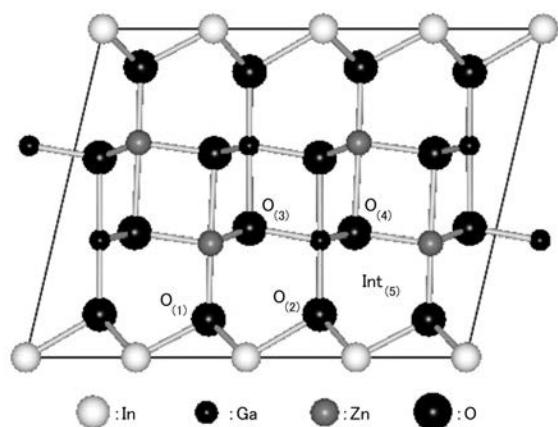
【図 5 4】



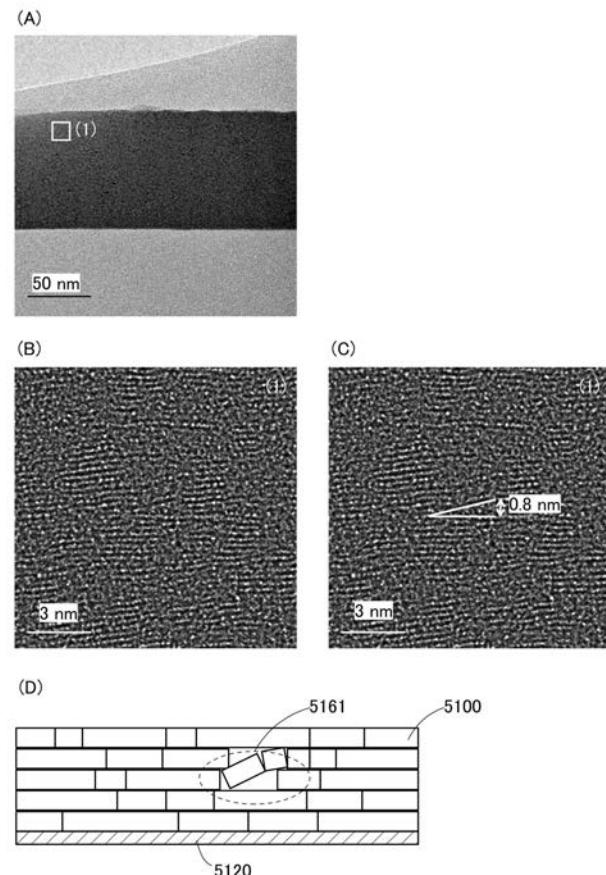
【図 5 5】



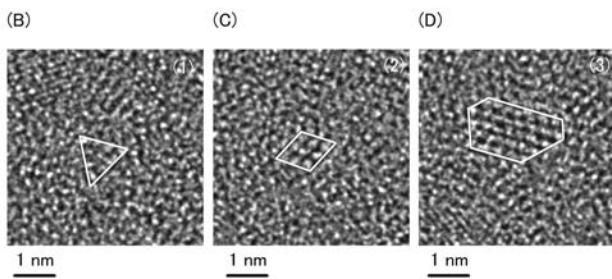
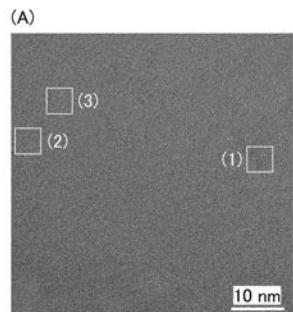
【図 8】



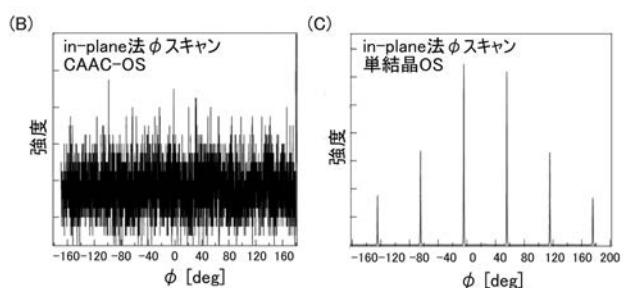
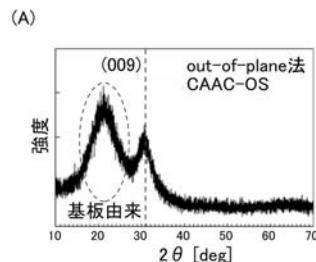
【図 2 1】



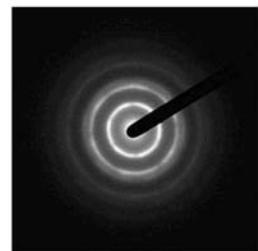
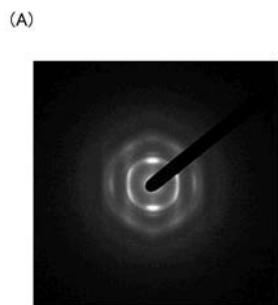
【図2-2】



【図2-3】



【図2-4】



フロントページの続き

(51) Int.CI.			F I			テーマコード(参考)		
<i>H 0 1 L</i>	<i>21/8242</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/322</i>	<i>J</i>	<i>5 G 4 3 5</i>		
<i>H 0 1 L</i>	<i>27/108</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i>	<i>3 2 1</i>			
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/30</i>	<i>3 4 8 A</i>			
<i>G 0 9 F</i>	<i>9/00</i>	<i>(2006.01)</i>	<i>G 0 9 F</i>	<i>9/00</i>	<i>3 3 8</i>			
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>G 0 2 F</i>	<i>1/1368</i>				
<i>H 0 1 L</i>	<i>21/425</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/425</i>				

F ターム(参考)											
5F048	AB01	AB04	AC01	AC03	AC10	BA01	BA10	BA14	BA15	BA16	
BA20	BB02	BB04	BB09	BB11	BB12	BB14	BD06	BF01	BF02		
BF07	BF11	BF15	BF16	BG13	CB01	CB02	CB03	CB04	CB10		
5F083	AD02	AD21	AD60	AD69	GA06	GA10	GA25	JA02	JA05	JA06	
JA31	JA32	JA36	JA37	JA39	JA40	JA45	JA56	JA60			
5F110	AA06	AA07	AA08	BB04	BB05	BB09	CC02	DD01	DD02	DD03	
DD04	DD05	DD08	DD12	DD13	DD14	DD15	DD21	DD24	DD25		
EE01	EE02	EE03	EE04	EE06	EE07	EE14	EE30	EE31	EE38		
FF01	FF02	FF03	FF04	FF05	FF09	FF13	FF27	FF28	FF29		
GG01	GG06	GG16	GG17	GG19	GG22	GG25	GG28	GG29	GG30		
GG33	GG34	GG42	GG43	GG44	GG58	HJ01	HJ02	HJ04	HJ12		
HJ13	HJ14	HJ22	HJ30	HL01	HL02	HL03	HL04	HL06	HL07		
HL11	HL27	HM15	HM17	NN02	NN03	NN04	NN05	NN22	NN23		
NN24	NN28	NN33	NN34	NN35	NN40	NN71	NN72	NN74	NN77		
PP02	PP10	PP13	PP35	QQ11	QQ19	QQ28					
5G435	AA16	BB05	BB12	CC09	KK05	LL03	LL07	LL08	LL14	LL17	