

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 25 年 11 月 28 日 (2013.11.28)

【公開番号】特開 2012-89643 (P2012-89643A)
 【公開日】平成 24 年 5 月 10 日 (2012.5.10)
 【年通号数】公開・登録公報 2012-018
 【出願番号】特願 2010-234414 (P2010-234414)
 【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

H 0 1 L 27/105 (2006.01)

【 F I 】

H 0 1 L 27/10 4 5 1

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

H 0 1 L 45/00 A

H 0 1 L 27/10 4 4 8

【手続補正書】

【提出日】平成 25 年 10 月 9 日 (2013.10.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 3

【補正方法】変更

【補正の内容】

【請求項 3】

前記記憶層材料膜として、

テルル (Te)、硫黄 (S) およびセレン (Se) のうち少なくとも 1 種のカルコゲン元素と共にイオン化可能な金属元素を含むイオン源層材料膜と、

前記イオン源層材料膜よりも抵抗値の高い材料よりなる抵抗変化層材料膜と

を形成する請求項 1 または 2 記載の記憶装置の製造方法。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 2

【補正方法】変更

【補正の内容】

【請求項 1 2】

前記上部電極および前記下部電極への電圧印加によって前記記憶層に少なくとも前記銅 (Cu) および前記ジルコニウム (Zr) のうち少なくとも一つを含む導電バスが形成されることにより、前記記憶層の抵抗値が低下する

請求項 9 ないし 11 のいずれか 1 項に記載の記憶素子。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

このように本実施の形態の記憶装置の製造方法では、下部電極材料膜 20A を第 1 の方

向に伸びる第 1 の線状パターン P x に成形したのち、下部電極材料膜 2 0 A の上に、記憶層材料膜 4 0 A および上部電極材料膜 5 0 A をこの順に形成し、記憶層材料膜 4 0 A および上部電極材料膜 5 0 A を、第 1 の方向に垂直な第 2 の方向に伸びる第 2 の線状パターン P y に成形することにより上部電極 5 0 および記憶層 4 0 を形成したのち、下部電極材料膜 2 0 A を第 2 の線状パターン P y に成形することにより、第 1 の線状パターン P x と第 2 の線状パターン P y とが交差する領域に四辺形の平面形状を有する下部電極 2 0 を形成するようにしたので、下部電極 2 0 を記憶層 4 0 および上部電極 5 0 に対して自己整合的に形成し、下部電極 2 0 と記憶層 4 0 および上部電極 5 0 とのアライメントずれを極めて小さくすることが可能となる。また、下部電極 2 0 のボイドに起因する製品不良を抑えると共に、下部電極 2 0 の大きさや間隔を小さくすることが可能となり、微細化・高密度化に極めて有利である。