

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年11月28日(2013.11.28)

【公開番号】特開2012-89643(P2012-89643A)

【公開日】平成24年5月10日(2012.5.10)

【年通号数】公開・登録公報2012-018

【出願番号】特願2010-234414(P2010-234414)

【国際特許分類】

H 01 L 27/10 (2006.01)

H 01 L 45/00 (2006.01)

H 01 L 49/00 (2006.01)

H 01 L 27/105 (2006.01)

【F I】

H 01 L 27/10 4 5 1

H 01 L 45/00 Z

H 01 L 49/00 Z

H 01 L 45/00 A

H 01 L 27/10 4 4 8

【手続補正書】

【提出日】平成25年10月9日(2013.10.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項3

【補正方法】変更

【補正の内容】

【請求項3】

前記記憶層材料膜として、

テルル(Te), 硫黄(S)およびセレン(Se)のうち少なくとも1種のカルコゲン元素と共にイオン化可能な金属元素を含むイオン源層材料膜と、

前記イオン源層材料膜よりも抵抗値の高い材料よりなる抵抗変化層材料膜とを形成する請求項1または2記載の記憶装置の製造方法。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項12

【補正方法】変更

【補正の内容】

【請求項12】

前記上部電極および前記下部電極への電圧印加によって前記記憶層に少なくとも前記銅(Cu)および前記ジルコニウム(Zr)のうち少なくとも一つを含む導電バスが形成されることにより、前記記憶層の抵抗値が低下する

請求項9ないし11のいずれか1項に記載の記憶素子。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

このように本実施の形態の記憶装置の製造方法では、下部電極材料膜20Aを第1の方

向に伸びる第1の線状パターン $P_x$ に成形したのち、下部電極材料膜20Aの上に、記憶層材料膜40Aおよび上部電極材料膜50Aをこの順に形成し、記憶層材料膜40Aおよび上部電極材料膜50Aを、第1の方向に垂直な第2の方向に伸びる第2の線状パターン $P_y$ に成形することにより上部電極50および記憶層40を形成したのち、下部電極材料膜20Aを第2の線状パターン $P_y$ に成形することにより、第1の線状パターン $P_x$ と第2の線状パターン $P_y$ とが交差する領域に四辺形の平面形状を有する下部電極20を形成するようにしたので、下部電極20を記憶層40および上部電極50に対して自己整合的に形成し、下部電極20と記憶層40および上部電極50とのアライメントずれを極めて小さくすることが可能となる。また、下部電極20のボイドに起因する製品不良を抑えると共に、下部電極20の大きさや間隔を小さくすることが可能となり、微細化・高密度化に極めて有利である。