

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成27年6月11日(2015.6.11)

【公開番号】特開2013-12723(P2013-12723A)

【公開日】平成25年1月17日(2013.1.17)

【年通号数】公開・登録公報2013-003

【出願番号】特願2012-114056(P2012-114056)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 29/06 (2006.01)

H 01 L 29/66 (2006.01)

【F I】

H 01 L 29/78 6 2 2

H 01 L 29/78 6 1 8 C

H 01 L 29/06 6 0 1 W

H 01 L 29/78 6 1 6 V

H 01 L 29/66 T

【手続補正書】

【提出日】平成27年4月17日(2015.4.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ドープされたソース領域(30)、ドープされたドレイン領域(22)、及び、ソース領域(30)とドレイン領域(22)との間に位置し、ソース領域(30)とソース・チャネル界面(201)を、ドレイン領域(22)とドレイン・チャネル界面(202)を形成するチャネル領域(21)、を有するソース・チャネル・ドレイン構造と、

ソース領域(30)の少なくとも一部を長手方向(L)に沿って覆うゲート電極(24)であって、チャネル領域(21)及びドレイン領域(22)がゲート電極(24)によって覆われないようにした電極(24)と、

ゲート電極(24)とソース領域(30)との間の長手方向(L)に沿ったゲート誘電体(29)とを備え、

ソース領域(30)は、第1ドーピング型のドーパント元素を用いた、第1ピーク濃度(1021)を有する第1ドーピングプロファイル(1011)でドープされた第1ソースサブ領域(20)と、さらに、第1ドーパント元素と同じドーピング型を有する第2ドーパント元素を用いた、第2ピーク濃度(1022)を有する第2ドーピングプロファイル(1012)でドープされた、ソース・チャネル界面(201)に近接する第2ソースサブ領域(25)とを含み、

第1ソースサブ領域(20)と第2ソースサブ領域(25)との間で界面(1014)が規定され、

第2ドーピングプロファイル(1012)の第2ピーク濃度(1022)は、第1ソースサブ領域(20)と第2ソースサブ領域(25)との間の界面(1014)の位置又は該界面に近接する位置での第1ドーピングプロファイル(1011)の最大ドーピングレベル(1023)より充分に高い、トンネル電界効果トランジスタ(TFET)(100)。

**【請求項 2】**

第1ソースサブ領域(20)と第2ソースサブ領域(25)との間の界面に近接する位置は、該界面から第1ソースサブ領域に向かって0以上5nm以下の距離を隔てた位置である、請求項1に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 3】**

第2ソースサブ領域(25)は、幅Wによって規定され、  
該幅Wは、単分子層以上10nm以下の範囲内である、請求項1又は2に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 4】**

ソース領域(30)は、ゲート誘電体(29)に隣接する面を有し、  
第2ソースサブ領域は、ゲート誘電体に隣接する面から距離Tを隔てた場所に位置し、  
該距離Tは、0以上10nm以下である、請求項1~3のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 5】**

第2ソースサブ領域(25)は、ソース-チャネル界面(201)から距離Dを隔てた場所に位置し、  
該距離Dは、0以上10nm以下である、請求項1~4のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 6】**

第2ピーク濃度(1022)は、第1ソースサブ領域(20)と第2ソースサブ領域(25)との間の界面(1014)の位置、又は該界面に近接する位置での第1ドーピングプロファイル(1011)の最大ドーピングレベル(1021)より4倍高い、請求項1~5のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 7】**

ゲート電極(24)は、完全にソース領域(30)を覆う、請求項1~6のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 8】**

ゲート電極(24)は、該ゲート電極(24)によって覆われないソース領域(30)の長さによって規定されるアンダーラップ(*L<sub>underlap</sub>*)を残してソース領域(30)を部分的に覆う、請求項1~7のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 9】**

前記ソース-チャネル-ドレイン構造は、プレーナ構造であり、  
ゲート電極(24)は、該プレーナ型のソース-チャネル-ドレイン構造のソース領域(30)の上部に位置するシングルゲート構造である、請求項1~8のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 10】**

前記ソース-チャネル-ドレイン構造は、水平構造であり、  
前記ゲート電極(24)は、水平ソース-チャネル-ドレイン構造のソース領域(30)の側壁に位置するダブルゲート構造である、請求項1~9のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 11】**

ソース-チャネル-ドレイン構造は、水平構造又は垂直方向であり、  
ゲート電極(24)は、水平型又は垂直型のソース-チャネル-ドレイン構造のソース領域(30)周囲のオールアラウンド型ゲート構造である、請求項1~10のいずれか1項に記載のトンネル電界効果トランジスタ(TFET)(100)。

**【請求項 12】**

TFETは、ナノワイヤTFETであり、  
ナノワイヤは、少なくともTFETのチャネル(21)を形成し、  
ゲート電極(24)は、オールアラウンド型ゲート構造である、請求項1~11のいず

れか 1 項に記載のトンネル電界効果トランジスタ ( T F E T ) ( 1 0 0 )。

【請求項 1 3】

半導体基板を準備する工程と、

前記基板上にドレイン半導体材料で作成されたドレイン領域 ( 2 2 ) を設ける工程と、  
低ドープ又はアンドープ半導体材料で作成されたチャネル領域 ( 2 1 ) であって、前記  
ドレイン領域 ( 2 2 ) と接触してドレイン領域 ( 2 2 ) と該チャネル領域 ( 2 1 ) との間  
にドレイン - チャネル界面 ( 2 0 2 ) を形成するようにした領域 ( 2 1 ) を設ける工程と

、  
ソース半導体材料で作成されたソース領域 ( 3 0 ) であって、前記チャネル領域 ( 2 1 )  
と接触して該ソース領域 ( 3 0 ) とチャネル領域 ( 2 1 ) との間にソース - チャネル界  
面 ( 2 0 1 ) を形成するようにした領域 ( 3 0 ) を設ける工程と、

ソース領域 ( 3 0 ) の少なくとも一部を長手方向に沿って覆うゲート電極 ( 2 4 ) を設  
ける工程であって、チャネル領域 ( 2 1 ) 及びドレイン領域 ( 2 2 ) が該ゲート電極 ( 2  
4 ) によって覆われないようにする工程と、

ゲート電極 ( 2 4 ) と、ソース領域 ( 3 0 ) の覆われた部分との間にゲート誘電体 ( 2  
9 ) を設ける工程と、

ソース領域 ( 3 0 ) 及びドレイン領域 ( 2 2 ) をドープする工程であって、ソース領域  
( 3 0 ) をドープすることは、第 1 ドーピング型を有する第 1 ドーパント元素を用いた、  
第 1 ピーク濃度 ( 1 0 2 1 ) を有する第 1 ドーピングプロファイルで第 1 ソースサブ領域  
( 2 0 ) をドープすることと、第 1 ドーピング型と同じ第 2 ドーピング型を有する第 2 ド  
ーパントを用いた、第 1 ソースサブ領域 ( 2 0 ) と第 2 ソースサブ領域 ( 2 5 ) との間  
の界面 ( 1 0 1 4 ) に近接する位置での第 1 ドーピングプロファイル ( 1 0 1 1 ) の最大ド  
ーピングレベル ( 1 0 2 3 ) より充分高い第 2 ピーク濃度 ( 1 0 2 2 ) を有する第 2 ド  
ーピングプロファイルで、ソース - チャネル界面 ( 2 0 1 ) に近接する第 2 ソースサブ領域  
をドープすることとを含むような工程とを含む、トンネル電界効果トランジスタ ( T F E  
T ) ( 1 0 0 ) の製造方法 ( 3 0 0 )。

【請求項 1 4】

第 2 ピーク濃度 ( 1 0 2 2 ) は、第 1 ソースサブ領域 ( 2 0 ) と第 2 ソースサブ領域 ( 2 5 )  
との間の界面 ( 1 0 1 4 ) に近接する位置での第 1 ドーピングプロファイルの最大  
ドーピングレベル ( 1 0 2 3 ) より 4 倍高い、請求項 1 3 に記載の方法 ( 3 0 0 )。

【請求項 1 5】

トンネル電界効果トランジスタは、N W - T F E T 半導体デバイスであり、

ソース - チャネル - ドレイン構造を設けることは、半導体材料で作成されたナノワイヤ  
構造を成長させることを含む、請求項 1 3 または 1 4 に記載の方法 ( 3 0 0 )。