(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201025832 A1
(43)公開日： 中華民國 99 (2010) 年 07 月 01 日

(21)申請案號：098135213 (22)申請日： 中華民國 98 (2009) 年 10 月 19 日
(51)Int. Cl.： *H03F1/32 (2006.01)*
(30)優先權：2008/12/24 日本 2008-327917
(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD. (JP)
日本
(72)發明人：大西政彥 ONISHI, MASAHIKO (JP) ；伊拉利歐諾夫 米哈爾 ILLARIONOV, MIKHAIL (RU)
(74)代理人：何金塗；何秋遠
申請實體審查：無 申請專利範圍項數：7 項 圖式數：3 共 26 頁

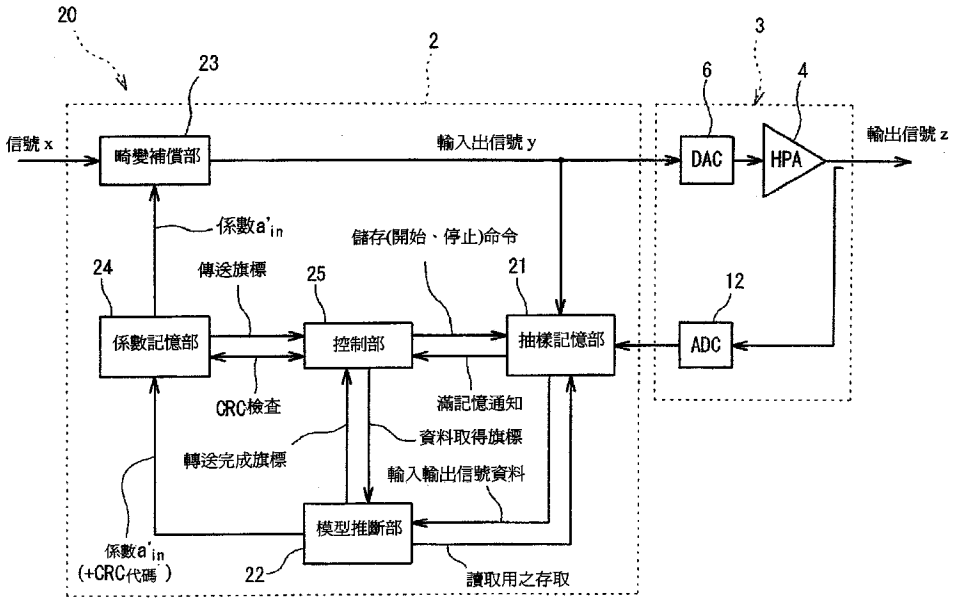
(54)名稱

畸變補償電路

DISTORTION COMPENSATION CIRCUIT

(57)摘要

本發明係一種可有效率地進行畸變補償之畸變補償電路。該畸變補償電路 20 包含：抽樣記憶部 21，其係儲存放大器 4 之輸入信號及輸出信號；模型推斷部 22，其係讀取儲存於抽樣記憶部 21 之前述輸入輸出信號，推斷表示放大器 4 之輸入輸出特性的模型，並輸出顯示推斷之模型的係數；及畸變補償部 23，其係依據前述係數進行放大器 4 之畸變補償。此外，畸變補償電路 20 又包含控制部 25，其係控制抽樣記憶部 21，使抽樣記憶部 21 儲存既定時間份之前述輸入信號及前述輸出信號，同時在藉由畸變補償部 23 依據可從儲存於前述記憶部之前述輸入輸出信號所獲得的前述係數進行畸變補償後，再儲存用於獲得新係數之前述輸入輸出信號。



2：數位處理部
3：類比處理部
4：放大器
6：DA（數位-類比）轉換器（DAC）
12：AD（類比-數位）轉換器（ADC）
20：畸變補償電路
21：抽樣記憶部
22：模型推斷部
23：畸變補償部
24：係數記憶部
25：控制部

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201025832 A1
(43)公開日： 中華民國 99 (2010) 年 07 月 01 日

(21)申請案號：098135213 (22)申請日： 中華民國 98 (2009) 年 10 月 19 日
(51)Int. Cl.： *H03F1/32 (2006.01)*
(30)優先權：2008/12/24 日本 2008-327917
(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD. (JP)
日本
(72)發明人：大西政彥 ONISHI, MASAHIKO (JP) ；伊拉利歐諾夫 米哈爾 ILLARIONOV, MIKHAIL (RU)
(74)代理人：何金塗；何秋遠
申請實體審查：無 申請專利範圍項數：7 項 圖式數：3 共 26 頁

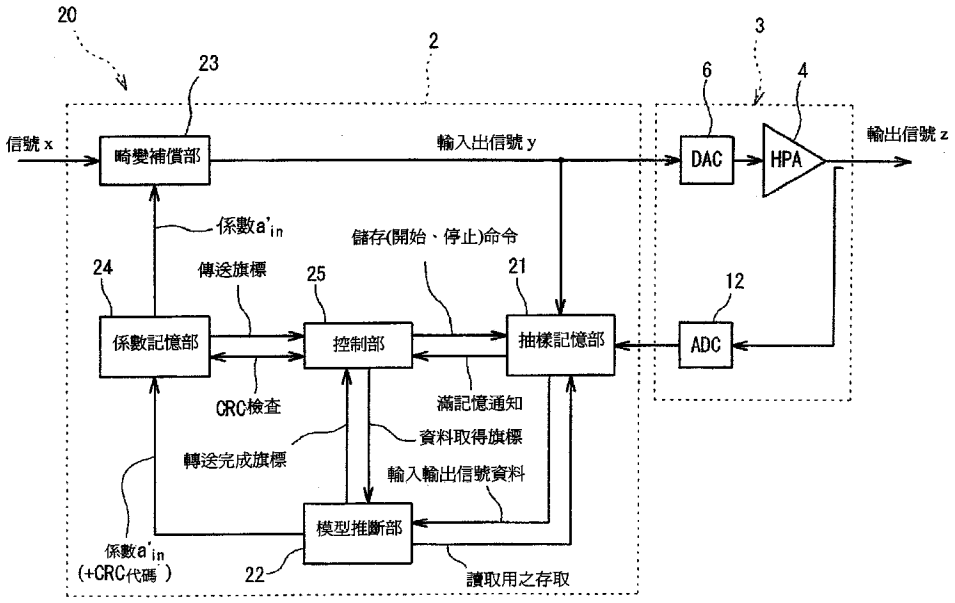
(54)名稱

畸變補償電路

DISTORTION COMPENSATION CIRCUIT

(57)摘要

本發明係一種可有效率地進行畸變補償之畸變補償電路。該畸變補償電路 20 包含：抽樣記憶部 21，其係儲存放大器 4 之輸入信號及輸出信號；模型推斷部 22，其係讀取儲存於抽樣記憶部 21 之前述輸入輸出信號，推斷表示放大器 4 之輸入輸出特性的模型，並輸出顯示推斷之模型的係數；及畸變補償部 23，其係依據前述係數進行放大器 4 之畸變補償。此外，畸變補償電路 20 又包含控制部 25，其係控制抽樣記憶部 21，使抽樣記憶部 21 儲存既定時間份之前述輸入信號及前述輸出信號，同時在藉由畸變補償部 23 依據可從儲存於前述記憶部之前述輸入輸出信號所獲得的前述係數進行畸變補償後，再儲存用於獲得新係數之前述輸入輸出信號。



2：數位處理部
3：類比處理部
4：放大器
6：DA（數位-類比）轉換器（DAC）
12：AD（類比-數位）轉換器（ADC）
20：畸變補償電路
21：抽樣記憶部
22：模型推斷部
23：畸變補償部
24：係數記憶部
25：控制部

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具備補償例如在無線收發信機中使用之高輸出放大器的非線形特性之功能的畸變補償電路者。

【先前技術】

一般而言，效率高之高輸出放大器（HPA：High Power Amplifier）之輸入輸出特性的線形性低。因此，使用此種放大器而放大電力時，有時因輸入輸出特性之畸變而無法獲得所需之輸出。因此，爲了補償此種放大器之畸變，有提案一種藉由對該放大器之輸入信號實施畸變補償處理，而獲得所需之放大器輸出的畸變補償電路，該處理係利用數位信號處理生成與放大器之畸變特性相反的反畸變特性而附加於放大器之輸入（例如參照非專利文獻 1）。

【先前技術文獻】

【非專利文獻】

[非專利文獻 1] Thesis by Lei Ding, "Digital predistortion of power amplifiers for wireless application", Georgia institute of Technology, March 2004.

【發明內容】

（發明所欲解決之問題）

上述畸變補償電路中，並非一次取得放大器之輸入信號與輸出信號即可完全補償畸變，需要多次反覆進行放大

器之輸入信號與輸出信號的取得、依據此等輸入輸出信號推斷放大器之反畸變特性、畸變補償處理、再度取得放大器之輸入輸出信號、・・・之步驟，來逐漸補償畸變。

上述畸變補償電路從取得輸入輸出信號後，至使放大器之輸入信號反映畸變補償的效果爲止前，需要花費進行反畸變特性之推斷及畸變補償處理的時間。因此，依據在某個時間帶所取得之輸入輸出信號進行畸變補償時，若在取得輸入輸出信號之時間帶之後的時間帶再度取得輸入輸出信號，該再度取得之輸入輸出信號不會反映藉由畸變補償處理之畸變補償的效果，而會依據與之前取得之輸入輸出信號大致相同的輸入輸出信號進行畸變補償處理。以往的畸變補償電路有須進行此種無效率處理的問題，稱不上是有效率地進行畸變補償。

因此，本發明之目的在於提供一種可以更佳的效率進行畸變補償之畸變補償電路。

（解決問題之手段）

爲了達成上述目的，本發明之畸變補償電路的特徵爲具備：記憶部，其係儲存放大器之輸入信號及輸出信號；模型推斷部，其係讀取儲存於前述記憶部之前述輸入信號及前述輸出信號，推斷表示前述放大器之輸入輸出特性的模型，並輸出顯示其推斷之模型的參數；畸變補償部，其係依據前述模型推斷部輸出之前述參數，進行前述放大器之畸變補償；及控制部，其係控制前述記憶部，使前述記

憶部儲存既定時間份之前述輸入信號及前述輸出信號，同時在藉由前述畸變補償部依據可從儲存於前述記憶部之前述輸入信號及前述輸出信號所獲得的參數進行畸變補償後，再儲存用於獲得新參數之前述輸入信號及前述輸出信號。

根據以上述方式構成之畸變補償電路，由於控制部係控制記憶部，使記憶部儲存既定時間份之輸入信號及輸出信號，同時在藉由畸變補償部依據可從儲存於記憶部之輸入信號及輸出信號獲得的參數進行畸變補償後，再儲存用於獲得新參數之輸入信號及輸出信號，因此，從在記憶部中儲存既定時間份之輸入信號及輸出信號，到進行畸變補償（獲得反映有依據可從儲存於記憶部之輸入信號及輸出信號所獲得之參數進行畸變補償之輸入輸出信號）爲止，記憶部中不儲存放大器之輸入輸出信號。因此，可使儲存於記憶部之輸入輸出信號反映依據之前儲存於記憶部之輸入輸出信號的畸變補償之效果。

結果，可防止如上述習知例所示般，發生取得依據之前取得之輸入輸出信號的畸變補償之效果未反映的輸入輸出信號之情況，而可更有效進行畸變補償。

上述畸變補償電路中，前述記憶部亦可被設定成可儲存前述既定時間份之前述輸入信號及前述輸出信號之容量，同時藉由在達到滿記憶狀態時即不能寫入之記憶體而構成。

於該情況下，於記憶部達到滿記憶狀態時，由於記憶部中儲存既定時間份之前述輸入輸出信號，因此可使控制部輕易地掌握既定時間份之前述輸入輸出信號儲存於記憶部，並可輕易且簡單地控制前述記憶部以使該記憶部停止儲存前述輸入輸出信號。

【實施方式】

以下，依據圖式說明本發明之實施形態。

第1圖係顯示組裝有本發明之畸變補償電路的放大裝置1之硬體構成的電路圖。該放大裝置1係用於放大無線通信裝置等的發送信號，其包含：在功能上具有前述畸變補償電路之數位處理部2、及具有高輸出放大器（HPA，以下亦簡稱爲放大器）4之類比處理部3。

數位處理部2將作爲輸入至放大器4之輸入信號的發送信號傳送至類比處理部3，同時從類比處理部3取得放大器4所輸出之輸出信號。

類比處理部3具備賦予電源電壓至放大器4的電源部5，再者，在數位處理部2與放大器4之信號輸入端之間配置連接有：DA（數位－類比）轉換器（DAC）6、低通濾波器（LPF）7、具有作爲混合振盪器8a所產生之信號用的混合器之功能的調變器8、及驅動放大器9。數位處理部2輸出之輸入信號經由此等而送至放大器4。另外，數位處理部2對類比處理部3輸出由同相成分與正交成分構成之正交調變前的信號。類比處理部3針對前述信號之兩個成分

分別具有DA（數位－類比）轉換器（DAC）6及低通濾波器7。藉由DA轉換器6類比變換後之兩個成分藉由調變器8正交調變，並輸入放大器4。

此外，類比處理部3在放大器4之信號輸出端子與數位處理部2之間配置連接有：混合振盪器10a所產生之信號的混合器10、低通濾波器11及AD（類比－數位）轉換器（ADC）12。數位處理部2經由此等構成，取得來自放大器4之輸出信號。因此，本實施形態中，數位處理部2係取得將來自放大器4之輸出信號經正交調變後之狀態的信號。

第2圖係顯示數位處理部2在功能上所具有之畸變補償電路20之構成的方塊圖。

畸變補償電路20係依據對放大器4之輸入信號與從類比處理部3取得之放大器4的輸出信號，對放大器4之放大特性進行畸變補償處理，藉此獲得所需之放大特性，其具備：儲存放大器4之輸入信號y及輸出信號z的抽樣記憶部21；讀取儲存於抽樣記憶部21之輸入輸出信號y、z，而推斷表示放大器4之輸入輸出特性的模型之模型推斷部22；依據前述模型進行放大器4之畸變補償的畸變補償部23；儲存顯示從模型推斷部22輸出之前述模型的係數之係數記憶部24；及進行抽樣記憶部21之動作之控制的控制部25。

畸變補償部23對傳送至放大裝置1之信號（畸變補償

前之信號）x，因應放大器 4 之畸變特性實施畸變補償處理，並輸出對放大器 4 輸入之輸入信號 y（畸變補償後之信號）。放大器 4 從畸變補償部 23 賦予預先實施畸變補償之輸入信號 y。因此放大器 4 可輸出無（或是少）畸變之輸出信號 z。

在此，放大器 4 之輸入輸出特性係非線形特性，並以顯示於下述公式(1)的冪次多項式來表現。另外，公式(1)中，z(t)係在某個時間 t 放大器 4 之輸出信號，y(t)係放大器 4 之輸入信號，i 係次數，n 係表示對時間 t 何種程度在過去（之前的時序）或未來（之後的時序）時間上移動之時序的時間寬度，a_{in}係對應於時間寬度 n 之各次的係數，公式(1)顯示除了現階段之信號外，也考量到過去及未來之信號的特性。

$$z(t)=\sum_{n}\sum_{i} a_{in}\cdot|y(t-n)|^{i-1}\cdot y(t-n) \quad \cdots (1)$$

依據上述公式(1)，畸變補償部 23 運算顯示於下述公式(2)之冪次多項式，而求出放大器 4 之輸入信號 y(t)。另外，下述公式(2)中，係數 a_{in}' 顯示放大器之反特性的各次係數。

$$y(t)=\sum_{n}\sum_{i} a_{in}'\cdot|x(t-n)|^{i-1}\cdot x(t-n) \quad \cdots (2)$$

畸變補償部 23 如上述公式(2)所示，依據顯示作爲表示放大器 4 之輸入輸出特性的模型之放大器 4 的反特性之各次係數 a_{in}' ，將放大器 4 之畸變特性的反特性附加於信號 x(t)，藉由抵銷因放大器 4 所產生之畸變來進行畸變補償。

上述公式(2)中之顯示放大器 4 的反特性之各次係數 a_{in}' 係藉由模型推斷部 22 求出。模型推斷部 22 讀取儲存於抽樣記憶部 21 之放大器 4 的輸入信號 y(t)及輸出信號 z(t)的輸入輸出信號資料，依據此等信號推斷表示放大器 4 之輸入輸出特性的模型，而求出作爲顯示其推斷之模型的參數之上述各次係數 a_{in}' 。

另外，上述公式(1)及公式(2)之說明中，將畸變補償前之信號、輸入信號及輸出信號分別顯示爲 x(t)、y(t)及 z(t)，但以下的說明中均僅簡示爲 x、y 及 z。

在此，本實施形態中，在儲存於抽樣記憶部 21 之放大器 4 的輸入輸出信號 y、z 中，輸入信號 y 係正交調變前之信號，相對地，從類比處理部 3 取得之狀態的輸出信號 z 係正交調變後之狀態的信號。因此首先，模型推斷部 22 進行該輸出信號 z 之正交解調。其後，在輸入信號 y 與輸出信號 z 之間，就信號圖案、頻率及相位等取得同步後，提供此等輸入輸出信號 y、z 作係數 a_{in}' 之運算。

模型推斷部 22 具有將輸入信號 y 以輸出信號 z 之冪次多項式表示的放大器模型（反模型），並將從抽樣記憶部 21 讀取之輸出信號 z 適用於前述模型，而求出輸入信號 y

之推斷值。再者，模型推斷部 22 將該推斷值與從抽樣記憶部 21 讀取之輸入信號 y 的差爲最小時的模型，推斷爲表示現階段之放大器 4 的輸入輸出特性之模型。模型推斷部 22 求出推斷之模型的各次係數，並將該係數作爲顯示放大器 4 之反特性的各次係數 a_{in}' 而輸出。

再者，模型推斷部 22 於輸出係數 a_{in}' 時，在顯示係數 a_{in}' 之資訊中附加 CRC 代碼而輸出。

模型推斷部 22 將係數 a_{in}' 輸出至係數記憶部 24。係數記憶部 24 暫時儲存該係數 a_{in}' 。所儲存之係數 a_{in}' 藉由控制部 25 進行 CRC 檢查。藉此，可確認係數 a_{in}' 是否在模型推斷部 22 與係數記憶部 24 之間正常地傳送，可防止藉由錯誤之係數進行其後之畸變補償處理。

係數記憶部 24 於控制部 25 實施 CRC 檢查後，將係數 a_{in}' 輸出至畸變補償部 23。畸變補償部 23 如上述地依據係數 a_{in}' 及傳送至放大裝置 1 之畸變補償前的信號 x，將對放大器 4 輸入之輸入信號 y（畸變補償後之信號）輸出至類比處理部 3 的放大器 4。

藉此，放大器 4 可獲得對信號 x 預先實施有畸變補償之輸入信號 y，並可輸出無（或是少）畸變的輸出信號 z。

控制部 25 如上述地進行抽樣記憶部 21 之動作的控制。具體而言，抽樣記憶部 21 係藉由控制部 25 來控制停止或開始儲存放大器 4 之輸入輸出信號 y、z。此外，抽樣記憶部 21 依據來自模型推斷部 22 之存取，准許模型推斷

部 22 讀取所儲存之輸入輸出信號 y、z 的輸入輸出信號資料。

以下，就利用控制部 25 控制抽樣記憶部 21 之態樣與其他功能部的關係作說明。

第 3 圖係顯示藉由抽樣記憶部 21、模型推斷部 22、係數記憶部 24 及畸變補償部 23 進行之各個處理的關係之順序圖。另外，第 2 圖中亦顯示藉由第 3 圖所示之處理而相互收發的資料及旗標等。

參照第 2 圖及第 3 圖，首先，在第 3 圖之步驟 S1 中，數位處理部 2 藉由畸變補償部 23 之前進行的畸變補償，將放大器 4 之輸入信號 y1 輸出至類比處理部 3，結果從類比處理部 3 取得依據輸入信號 y1 之放大器 4 的輸出信號 z1。此外，在該步驟 S1 之階段，控制部 25 控制抽樣記憶部 21 以停止儲存輸入輸出信號 y、z。

於步驟 S1 後，控制部 25 使抽樣記憶部 21 開始儲存輸入輸出信號 y、z（步驟 S2）。藉此，抽樣記憶部 21 現階段開始儲存畸變補償部 23 所輸出之輸入信號 y1，及對應該輸入信號 y1 而從放大器 4 輸出的輸出信號 z1。關於該步驟 S2 中抽樣記憶部 21 開始儲存輸入輸出信號 y、z 的時序將於後闡述。

抽樣記憶部 21 係藉由儲存可取得模型推斷部 22 算出係數 a_{in}' 時所需的資訊之既定時間份（既定大小）之輸入輸出信號 y、z 相關的輸入輸出信號資料時，被設定成滿記

憶狀態之容量的記憶體而構成。此外，構成該抽樣記憶部21之記憶體係以成爲滿記憶狀態時即無法寫入之方式構成。因而，抽樣記憶部21成爲滿記憶狀態時無法儲存更多的輸入輸出信號y、z。另外，本實施形態中，抽樣記憶部21係藉由例如FIFO記憶體而構成。

因此，抽樣記憶部21在步驟S2開始儲存輸入輸出信號y1、z1，成爲滿記憶狀態時，將其意旨通知控制部25。

控制部25從抽樣記憶部21收到成爲滿記憶狀態之意旨的通知時，控制抽樣記憶部21以令輸入輸出信號y、z的儲存停止（步驟S3）。具體而言，控制部25係將停止儲存輸入輸出信號y、z之意旨的命令（使抽樣記憶部21之寫入側埠停止之意旨的命令）傳送至抽樣記憶部21。本實施例中，抽樣記憶部21在步驟S2中開始輸入輸出信號y1、z1的儲存到步驟S3停止輸入輸出信號y1、z1的儲存爲止的期間，相當於第一抽樣期間。其後，抽樣記憶部21繼續停止輸入輸出信號y、z的儲存，直到接收到開始儲存輸入輸出信號y、z之意旨的命令（使寫入側埠動作之意旨的命令）。

如此，控制部25可使抽樣記憶部21儲存前述既定時間份之輸入輸出信號y、z相關的輸入輸出信號資料。

其次，控制部25將用以令儲存於抽樣記憶部21之輸入輸出信號y1、z1相關的輸入輸出信號資料讀取至模型推斷部22而取得之資料取得旗標傳送至該模型推斷部22。模

型推斷部 22 接收到資料取得旗標時，存取抽樣記憶部 21，進行所儲存之輸入輸出信號資料的讀取，而取得該輸入輸出信號資料（步驟 S4）。

取得上述輸入輸出信號資料之模型推斷部 22 依據該輸入輸出信號 y1、z1 之輸入輸出信號資料，進行求出顯示放大器之反特性的各次係數 a_{in}' 之運算（步驟 S5）。

其後，模型推斷部 22 將所求得之係數 a_{in}' 傳送至係數記憶部 24（步驟 S6）。係數記憶部 24 儲存所傳送之係數 a_{in}' 。

藉由將係數 a_{in}' 全部傳送至係數記憶部 24 而完成傳送時，模型推斷部 22 將顯示其意旨之傳送完成旗標傳送至控制部 25。

收到傳送完成旗標之控制部 25 辨識模型推斷部 22 所求得之係數 a_{in}' 已全部傳送儲存於係數記憶部 24。然後，控制部 25 就儲存於係數記憶部 24 之係數 a_{in}' 進行 CRC 檢查（步驟 S7）。當控制部 25 結束全部之係數 a_{in}' 的 CRC 檢查時，係數記憶部 24 將該係數 a_{in}' 傳送至畸變補償部 23（步驟 S8）。

從係數記憶部 24 接取到係數 a_{in}' 之畸變補償部 23 依據該係數 a_{in}' ，對傳送至放大裝置 1 之信號（畸變補償前之信號）x 實施因應放大器 4 之畸變特性之畸變補償處理（步驟 S9），並輸出輸入信號 y2 作爲畸變補償後之信號（步驟 S11）。

在此，係數記憶部 24 於步驟 S8 中，將係數 a_{in}' 傳送至畸變補償部 23，同時對控制部 25 傳送通知已將係數 a_{in}' 傳送至畸變補償部 23 之意旨的傳送旗標。

控制部 25 收到來自係數記憶部 24 之傳送旗標時，經過預定之等待時間 T 後，將開始儲存輸入輸出信號 y、z 之意旨的命令（使寫入側埠動作之意旨的命令）傳送至抽樣記憶部 21，而使抽樣記憶部 21 開始儲存現階段從畸變補償部 23 輸出之輸入信號 y2 及對應於該輸入信號 y2 而自放大器 4 輸出的輸出信號 z2（步驟 S12）。亦即，控制部 25 在步驟 S8 中，以係數 a_{in}' 傳送至畸變補償部 23 後經過等待時間 T 之時序，使抽樣記憶部 21 開始儲存輸入輸出信號 y、z。換言之，控制部 25 在資料錯誤檢測完成並經過等待時間 T 後，將儲存動作之開始命令通知抽樣記憶部 21。

在此，等待時間 T 係設定成：將係數 a_{in}' 傳送至畸變補償部 23，同時藉由畸變補償部 23 進行畸變補償處理，反映有依據係數 a_{in}' 之畸變補償的輸入信號 y2 從畸變補償部 23 被輸出，並獲得對應於該輸入信號 y 之輸出信號 z2 時所需的充分時間。

因此，抽樣記憶部 21 開始儲存反映有依據從輸入輸出信號 y1、z1 求得之係數 a_{in}' 所致之畸變補償之輸入信號 y2 及對應於該輸入信號 y2 而從放大器 4 輸出之輸出信號 z2。本實施例中，抽樣記憶部 21 開始儲存輸入輸出信號 y2、z2 後，到停止儲存輸入輸出信號 y2、z2 爲止的期間相

當於第二抽樣期間。各抽樣期間係依例如記憶部 21 判定爲滿記憶爲止的期間來決定。因此，通常第二抽樣期間之長度與第一抽樣期間之長度不同。但是，各抽樣期間之長度亦可相同。

如此，控制部 25 在藉由從儲存於抽樣記憶部 21 之輸入輸出信號 y1、z1 獲得的係數 a_{in}' 進行畸變補償後，控制抽樣記憶部 21 以再度儲存用於獲得新係數 a_{in}' 的輸入輸出信號 y2、z2。

上述步驟 S11 及步驟 S12 係對應於步驟 S1 及步驟 S2，其後，藉由反覆進行同樣之處理，進行放大器 4 之畸變補償。

根據以上述方式構成之畸變補償電路 20 時，由於係使抽樣記憶部 21 儲存前述既定時間份之輸入輸出信號 y(y1)、z(z1)，同時藉由畸變補償部 23 依據可從儲存於抽樣記憶部 21 之輸入輸出信號 y(y1)、z(z1)獲得的係數 a_{in}' 進行畸變補償後，控制抽樣記憶部 21 以再儲存用於獲得新係數 a_{in}' 的輸入輸出信號 y(y2)、z(z2)，因此從在抽樣記憶部 21 中儲存既定時間份之輸入輸出信號 y(y1)、z(z1)起至進行畸變補償（獲得反映有依據從儲存於抽樣記憶部 21 之輸入輸出信號 y(y1)、z(z1)獲得的係數 a_{in}' 所致之畸變補償的輸入輸出信號 y(y2)、z(z2)）爲止之間的時間寬度 U 中，抽樣記憶部 21 中不儲存放大器之輸入輸出信號。

因此，可使儲存於抽樣記憶部 21 之輸入輸出信號 y、

z，反映之前依據儲存於抽樣記憶部 21 之輸入輸出信號的畸變補償之效果。

結果，可防止如上述習知例所示般發生取得未能反映依據之前取得之輸入輸出信號所致的畸變補償效果之輸入輸出信號的情況，可更有效率地進行畸變補償。

此外，本實施形態中，由於抽樣記憶部 21 係被設定成可儲存可取得模型推斷部 22 算出係數 a_{in}' 時需要之資訊的既定時間份之輸入輸出信號 y、z 的容量，同時藉由達到滿記憶狀態時即不能寫入之記憶體而構成，因此當抽樣記憶部 21 成爲滿記憶狀態時，抽樣記憶部 21 中儲存既定時間份之輸入輸出信號 y、z。因此，控制部 25 可輕易地掌握將既定時間份之輸入輸出信號儲存於抽樣記憶部 21，並輕易且簡單地控制抽樣記憶部 21 以停止利用抽樣記憶部 21 之輸入輸出信號 y、z 的儲存。

另外，本發明不限定於上述各實施形態。上述實施形態中，係藉由 FIFO 記憶體構成抽樣記憶部 21，惟亦可使用其他形式之記憶體。此外，儲存輸入輸出信號 y、z 之抽樣期間的長度亦可依每個抽樣而異。此外，只要是同業者皆可理解，亦可使用其他資料錯誤檢測方法來取代 CRC，以進行係數 a_{in}' 之錯誤檢測。

在此揭示之實施形態的全部內容僅爲例示，不應視爲限制性內容。本發明之範圍並非上述之定義，而係藉由申請專利範圍來表示，並主張包含與申請專利範圍均等之定

義及範圍內之全部變更。

【圖式簡單說明】

第 1 圖係顯示組裝有本發明之畸變補償電路的放大裝置之硬體構成的電路圖。

第 2 圖係顯示數位處理部在功能上具有的畸變補償電路之構成的方塊圖。

第 3 圖係顯示藉由抽樣記憶部、模型推斷部、係數記憶部及畸變補償部進行之各個處理的關係之順序圖。

【主要元件符號說明】

1	放大裝置
2	數位處理部
3	類比處理部
4	放大器
5	電源部
6	DA（數位－類比）轉換器（DAC）
7	低通濾波器（LPF）
8	調變器
8a	振盪器
9	驅動放大器
10	混合器
10a	振盪器
11	低通濾波器
12	AD（類比－數位）轉換器（ADC）

20 畸變補償電路

21 抽樣記憶部

22 模型推斷部

23 畸變補償部

24 係數記憶部

25 控制部

201025832

發明專利說明書

PD1095778(9)

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：98135213

※ 申請日：98.10.19　　※IPC 分類：H03F 1/32(2006.01)

一、發明名稱：(中文/英文)

畸變補償電路

DISTORTION COMPENSATION CIRCUIT

二、中文發明摘要：

本發明係一種可有效率地進行畸變補償之畸變補償電路。該畸變補償電路 20 包含：抽樣記憶部 21，其係儲存放大器 4 之輸入信號及輸出信號；模型推斷部 22，其係讀取儲存於抽樣記憶部 21 之前述輸入輸出信號，推斷表示放大器 4 之輸入輸出特性的模型，並輸出顯示推斷之模型的係數；及畸變補償部 23，其係依據前述係數進行放大器 4 之畸變補償。此外，畸變補償電路 20 又包含控制部 25，其係控制抽樣記憶部 21，使抽樣記憶部 21 儲存既定時間份之前述輸入信號及前述輸出信號，同時在藉由畸變補償部 23 依據可從儲存於前述記憶部之前述輸入輸出信號所獲得的前述係數進行畸變補償後，再儲存用於獲得新係數之前述輸入輸出信號。

三、英文發明摘要：

This invention relates a distortion compensation circuit for efficiently performing distortion compensation. The distortion compensation circuit 20 comprises: a sampling memory section 21 for storing an input signal and an output signal of an amplifier 4; a model inferring section 22 for reading out the input or output signal stored in the sampling memory section 21, inferring the model representing the input or output characteristics of the amplifier 4 and outputting a coefficient representing the inferred model; and a distortion compensation section 23 for performing the distortion compensation of the amplifier 4 based on the above-mentioned coefficient. The distortion compensation circuit 20 further comprises a controlling section 25 for controlling the sampling memory section 21 whereby after the above-mentioned input signal and output signal of a predetermined time span is stored in the sampling memory section 21, and the distortion compensation by means of the distortion compensation section 23 based on the coefficient obtained from the above-mentioned input or output signal stored in the above-mentioned sampling memory section is performed, the above-mentioned input or output signal for obtaining a fresh coefficient is re-stored.

七、申請專利範圍：

1.一種畸變補償電路，其特徵爲具備：

記憶部，其係儲存放大器之輸入信號及輸出信號；

模型推斷部，其係讀取儲存於前述記憶部之前述輸入信號及前述輸出信號，推斷表示前述放大器之輸入輸出特性的模型，並輸出表示所推斷之模型的參數；

畸變補償部，其係依據前述模型推斷部輸出之前述參數，進行前述放大器之畸變補償；及

控制部，其係控制前述記憶部，使前述記憶部儲存既定時間份之前述輸入信號及前述輸出信號，同時在藉由前述畸變補償部依據可從儲存於前述記憶部之前述輸入信號及前述輸出信號所獲得的前述參數進行畸變補償後，再儲存用於獲得新參數之前述輸入信號及前述輸出信號。

2.如申請專利範圍第 1 項之畸變補償電路，其中前述記憶部被設定成可儲存前述既定時間份之前述輸入信號及前述輸出信號之容量，同時藉由在達到滿記憶狀態時即不能寫入之記憶體而構成。

3.如申請專利範圍第 1 項之畸變補償電路，其中前述記憶部最初儲存從前述畸變補償部輸出之第一輸入信號，與對應於該第一輸入信號而從前述放大器輸出之第一輸出信號，前述模型推斷部依據前述第一輸入信號與前述第一輸出信號生成第一參數，前述畸變補償部藉由前述第一參數進行畸變補償並生成第二輸入信號，

前述記憶部一旦取得前述第一輸入信號與前述第一輸出信號時，即停止儲存動作，直到反映依前述第一參數之畸變補償的前述第二輸入信號從前述畸變補償部輸出爲止。

4.如申請專利範圍第 3 項之畸變補償電路，其中當前述放大器輸出對應於前述第二輸入信號之第二輸出信號時，前述記憶部再度開始前述儲存動作，而取得前述第二輸入信號與前述第二輸出信號。

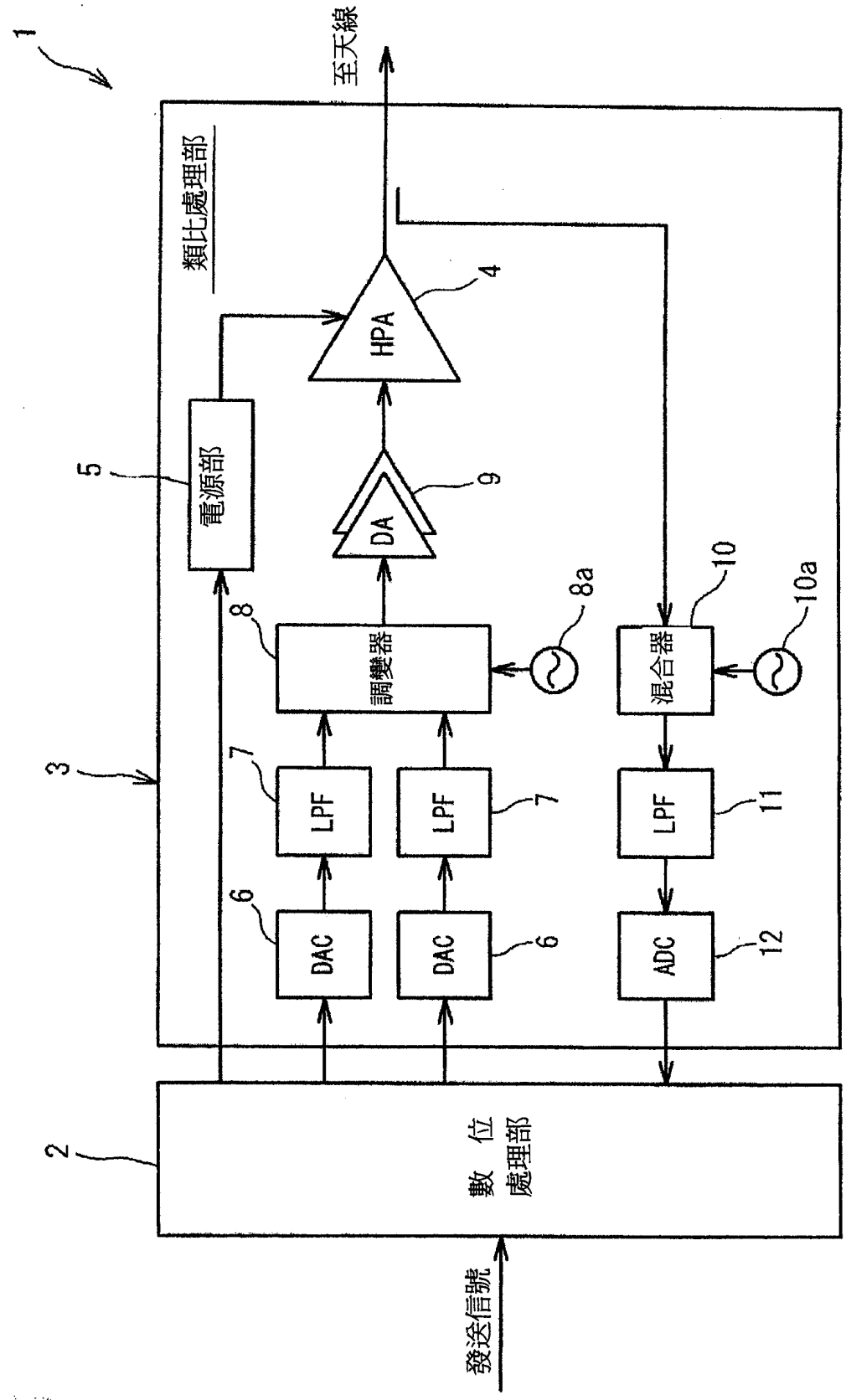
5.如申請專利範圍第 3 項之畸變補償電路，其中前述記憶部以比從前述畸變補償部輸出前述第一輸入信號之期間短的第一抽樣期間，僅取得一次前述第一輸入信號與前述第一輸出信號。

6.如申請專利範圍第 5 項之畸變補償電路，其中前述控制部一面以在前述第一抽樣期間後，既定時間寬度之期間使前述儲存動作停止的方式控制前述記憶部，一面在前述既定時間寬度之期間內進行前述第一參數之資料錯誤檢測。

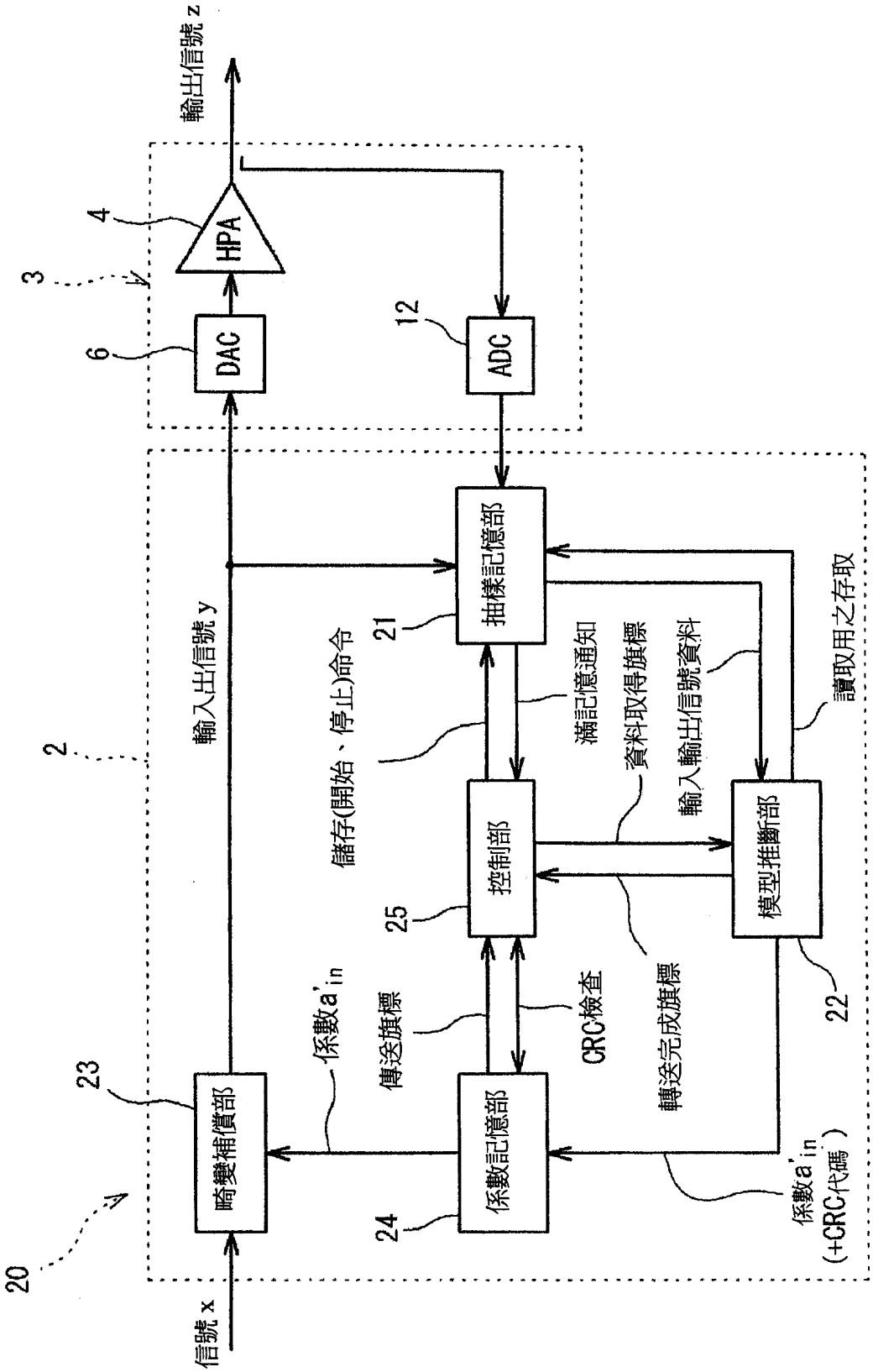
7.如申請專利範圍第 6 項之畸變補償電路，其中前述控制部於前述資料錯誤檢測完成起，經過既定之等待時間後將前述儲存動作之開始命令通知前述記憶部，前述記憶部回應前述開始命令，而在第二抽樣期間取得前述第二輸入信號、與對應於該第二輸入信號而從前述放大器輸出之第二輸出信號。

八、圖式：

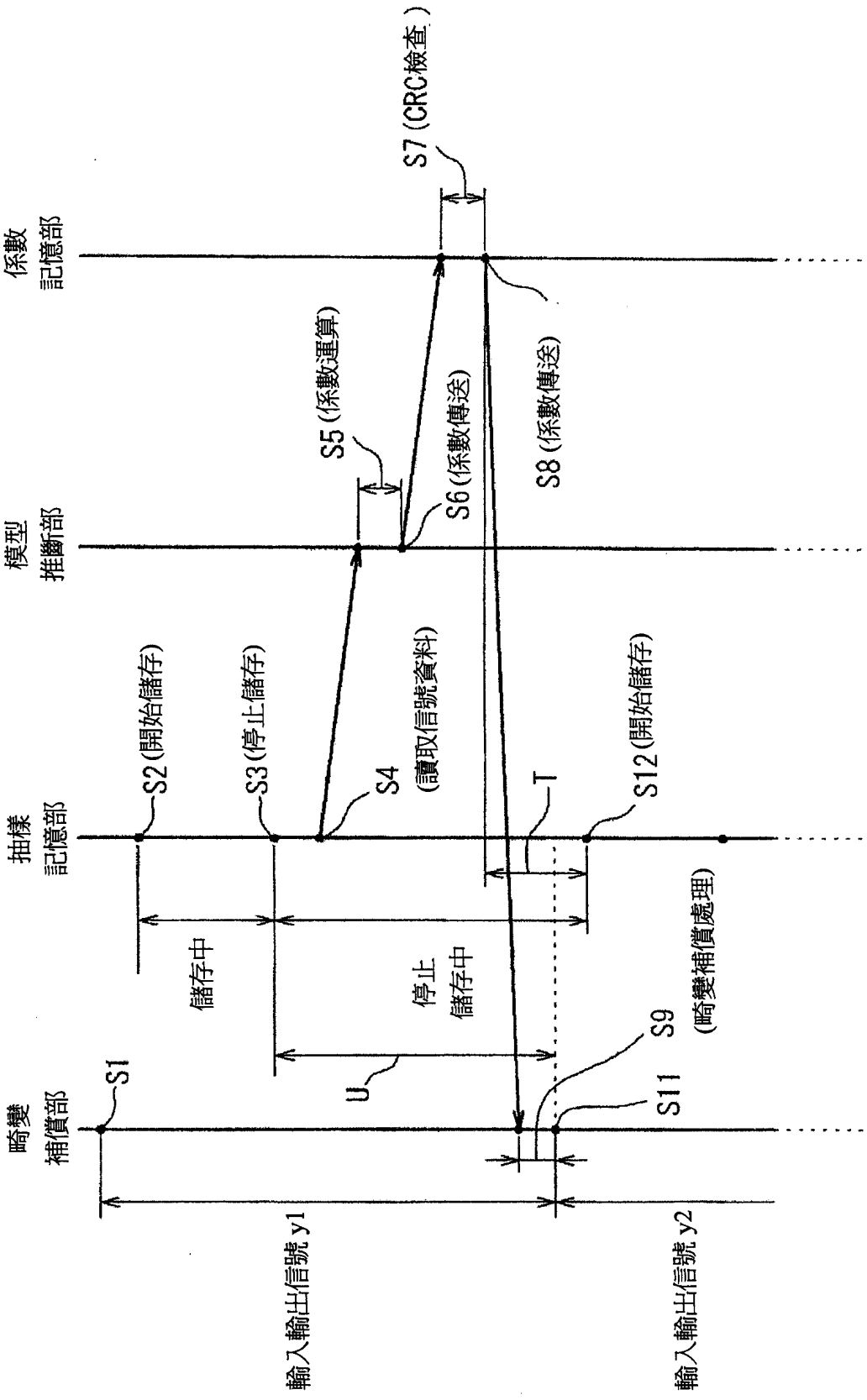
第 1 圖


1
至天線
類比處理部
HPA
4
5
電源部
DA
9
8
調變器
8a
混合器
10
10a
3
LPF
7
LPF
7
LPF
11
6
DAC
DAC
6
ADC
12
2
數位處理部
發送信號

第 2 圖


輸出信號 z
HPA
4
3
DAC
6
ADC
12
輸入出信號 y
2
抽樣記憶部
21
儲存(開始、停止)命令
滿記憶通知
資料取得旗標
輸入輸出信號資料
讀取用之存取
控制部
25
模型推斷部
畸變補償部
23
係數a'in
傳送旗標
CRC檢查
轉送完成旗標
22
係數記憶部
24
係數a'in
(+CRC代碼)
20
信號 x

第 3 圖


畸變
補償部
抽樣
記憶部
模型
推斷部
係數
記憶部
S1
S2 (開始儲存)
S3 (停止儲存)
S4
(讀取信號資料)
S5 (係數運算)
S6 (係數傳送)
S7 (CRC檢查)
S8 (係數傳送)
S9
(畸變補償處理)
S11
S12 (開始儲存)
T
U
儲存中
停止
儲存中
輸入輸出信號 y1
輸入輸出信號 y2

四、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

2 數位處理部

3 類比處理部

4 放大器

6 DA（數位－類比）轉換器（DAC）

12 AD（類比－數位）轉換器（ADC）

20 畸變補償電路

21 抽樣記憶部

22 模型推斷部

23 畸變補償部

24 係數記憶部

25 控制部

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。