



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0046416
(43) 공개일자 2010년05월07일

(51) Int. Cl.

G06F 12/08 (2006.01) G06F 12/02 (2006.01)

(21) 출원번호 10-2008-0105246

(22) 출원일자 2008년10월27일

심사청구일자 2008년10월27일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

정성우

서울 용산구 이촌1동 한가람아파트 217-1002

장형범

서울특별시 송파구 문정2동 웨미리아아파트 304-801

최진항

강원 삼척시 남양동 백조맨션1차 101호

(74) 대리인

조영현, 나승택

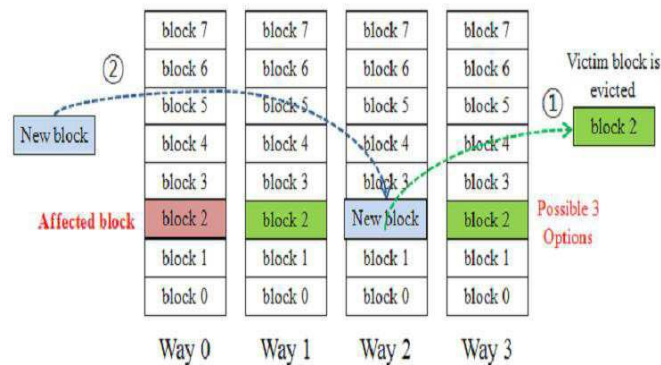
전체 청구항 수 : 총 5 항

(54) 캐시메모리 운영방법

(57) 요약

본 발명은 캐시 메모리 운영 방법에 관한 것으로, 더욱 상세하게는 공정 변이로 인하여 메모리의 일부에 결함이 발생한 경우 추가적인 하드웨어 지원 없이 결함이 발생한 캐시 블록을 포함하는 캐시 메모리를 그대로 활용하여 메모리 수율을 향상시킬 수 있는 캐시 메모리 운영 방법에 관한 것이다.

대표도 - 도3



특허청구의 범위

청구항 1

캐시메모리 운영방법에 있어서,

공정변이로 인해 캐시메모리에 결함이 발생한 경우 캐시 블록 교체 정책을 이용하여 상기 결함이 발생한 메모리 부분을 교체 대상에서 제외시키고, 나머지 결함이 발생하지 않은 메모리 부분만을 이용하여 캐시 블록 교체 정책을 적용하는 것을 특징으로 하는 캐시 메모리 운영방법.

청구항 2

제 1항에 있어서,

상기 공정변이로 캐시 라인의 특정 블록에만 결함이 발생한 경우, 상기 결함이 발생한 블록 또는 캐시라인을 제외한 나머지 블록 또는 캐시 라인에 캐시 블록 교체 정책을 적용하는 것을 특징으로 하는 캐시 메모리 운영방법.

청구항 3

제 2항에 있어서,

상기 캐시 메모리는

직접 캐시(Direct-mapped cache) 또는 연관 캐시(Set-associative cache)인 것을 특징으로 하는 캐시 메모리 운영방법.

청구항 4

제 2항에 있어서,

상기 캐시 블록 교체 정책은

FIFO, LRU, 랜덤(Random) 알고리즘 방식 중 선택된 어느 하나의 방식으로 수행되는 것을 특징으로 하는 캐시 메모리 운영방법.

청구항 5

제 4항에 있어서,

상기 알고리즘은

결함이 발생한 메모리 부분의 어드레스를 추출하고, 상기 결함이 발생한 메모리 어드레스를 제외한 나머지 메모리 어드레스를 이용해 데이터 교체 정책을 수행하도록 구현된 것을 특징으로 하는 캐시 메모리 운영방법.

명세서

발명의 상세한 설명

기술 분야

본 발명은 캐시 메모리 운영 방법에 관한 것으로, 더욱 상세하게는 공정 변이로 인하여 메모리의 일부에 결함이 발생한 경우 추가적인 하드웨어 지원 없이 결함이 발생한 캐시 블록을 포함하는 캐시 메모리를 그대로 활용

[0001]

하여 메모리 수율을 향상시킬 수 있는 캐시 메모리 운영 방법에 관한 것이다.

배경 기술

- [0002] 프로세서 기술의 지속적인 발전에 따라 칩 상에 집적되는 트랜지스터 등 집적소자의 크기 또한 나노단위로 점점 작아지고 있다. 그러나, 상기와 같이 소자의 크기가 작아지면서 종래 소자의 크기가 큰 경우에 무시되었던 요소들이 소자 특성에 큰 영향을 미치고 있다.
- [0003] 예를 들어, 채널(channel)길이, 산화물(oxide) 두께, 문턱 전압(threshold voltage), 채널 상 임의 도핑 문제(random dopant placement) 등 각종 소자 특성들이 공정에 따라 큰 변이를 보이게 되었다.
- [0004] 상기와 같은 공정 변이(process variation) 문제는 결국 접근 시간(access latencies), 동작 온도 등 하드웨어 전반에 걸쳐 매우 다양한 영향을 미치게 된다.
- [0005] 캐시 메모리(cache memory)의 경우 상기와 같은 공정 변이 문제로 인해 캐시 메모리 셀에 사용되는 트랜지스터들이 각기 조금씩 다른 특성을 가지게 된다.
- [0006] 이 경우 각각의 셀이 서로 조금씩 다른 특성을 가지게 되어 결과적으로 메모리 셀 각각에 대한 접근 시간이 균일화되지 못하거나, 공정 변이가 발생한 일부 캐시 라인(cache line)에 오류(fault)가 발생하게 된다.
- [0007] 이로 인해 해당 캐시 라인에 읽기/쓰기 동작(read/write operation)을 수행하지 못하는 경우가 발생하게 된다.
- [0008] 만일 오류가 발생한 캐시 라인 전체를 사용하지 못하게 되면 직접 캐시(direct-mapped cache)의 경우에는 시스템 오동작을 야기할 수 있으며, 연관 캐시(set-associative cache)의 경우에는 캐시 일부(예를 들어, way)를 사용할 수 없게 되어 성능에 있어 상당한 손해를 보게 되므로, 종래에는 상기와 같이 캐시 메모리에 결함이 발생한 경우 캐시 메모리 전체를 사용하지 않아서 수율이 매우 감소하는 문제가 있었다.
- [0009] 설령, 결함이 발생한 캐시 메모리를 사용한다 하더라도, 결함이 발생한 메모리 부분을 대체할 추가적인 저장공간이 필요하고, 상기 추가적인 저장공간에 데이터를 저장하기 위해서는 결함이 발생한 캐시라인과 이 라인을 대체하는 추가적인 저장 공간의 주소를 매핑하여주는 매핑 테이블과 같은 하드웨어가 추가되어야 하므로 추가 비용이 발생하는 문제가 있었다.

발명의 내용

해결 하고자하는 과제

- [0010] 상기와 같은 문제점을 해결하기 위해 안출된 것으로써 본 발명의 목적은 공정변이에 따른 결함이 발생한 경우 별도의 하드웨어 적인 구성 추가 없이 결함이 발생한 캐시 메모리를 그대로 활용하여 수율을 높일 수 있는 캐시 메모리 운영방법을 제공하는 데 있다.

과제 해결수단

- [0011] 상기와 같은 목적을 달성하기 위해 본 발명에 따른 캐시 메모리 운영방법은 캐시메모리 운영방법에 있어서, 공정변이로 인해 캐시메모리에 결함이 발생한 경우 캐시 블록 교체 정책을 이용하여 상기 결함이 발생한 메모리 부분을 교체 대상에서 제외시키고, 나머지 결함이 발생하지 않은 메모리 부분만을 이용하여 캐시 블록 교체 정책을 적용하는 것을 특징으로 한다.
- [0012] 여기서, 상기 공정변이로 캐시 라인의 특정 블록에만 결함이 발생한 경우, 상기 결함이 발생한 블록 또는 상기 캐시 라인을 제외한 나머지 메모리 부분에 캐시 블록 교체 정책을 적용하는 것을 특징으로 한다.
- [0013] 그리고 상기 캐시 메모리는 직접 캐시(Direct-mapped cache) 또는 연관 캐시(Set-associative cache)인 것을 특징으로 한다.
- [0014] 또한, 상기 캐시 블록 교체 정책은 FIFO, LRU, 랜덤(Random) 알고리즘 방식 중 선택된 어느 하나의 방식으로 수행되는 것을 특징으로 한다.
- [0015] 여기서, 상기 알고리즘은 결함이 발생한 메모리 부분의 어드레스를 추출하고, 상기 결함이 발생한 메모리 어드

레스를 제외한 나머지 메모리 어드레스를 이용해 데이터 교체 순서를 결정하여 정책을 수행하도록 구현된 것을 특징으로 한다.

효 과

[0016] 상기에서 살펴본 바와 같이, 본 발명에 따른 캐시 메모리 운영방법은 공정변이로 인하여 캐시메모리의 일부에 결함이 발생하더라도 추가적인 하드웨어 지원없이 결함이 발생한 캐시 메모리를 그대로 활용할 수 있으므로 센서 네트워크 환경하에서 센서 노드의 수명을 연장시킬 수 있으며, 수율과 신뢰성을 높일 수 있는 탁월한 효과가 발생한다.

발명의 실시를 위한 구체적인 내용

- [0017] 이하, 본 발명의 바람직한 실시예에 대하여 도면을 참조하여 상세하게 설명하기로 한다.
- [0018] 캐시메모리는 컴퓨터의 중앙처리장치(CPU)의 처리 속도를 향상시키기 위해 사용되는 임시 메모리로 널리 사용되는 구성이므로 캐시메모리의 구체적인 구성 및 작용에 대한 설명은 생략하고 본 발명의 특징인 캐시메모리 운영 방법에 대해서만 구체적으로 설명하기로 한다.
- [0019] 도 1은 정상상태의 4-Way 연관 캐시(set associative cache) 구조를 도시한 것이다.
- [0020] 도 1을 참조하면, 해당 캐시 라인에 데이터가 모두 저장되어 있을 때, 저장해야 할 데이터가 새로 들어오게 되면 기존에 있던 데이터 중 하나와 교체를 하게 된다.
- [0021] 본 발명은 공정 변이로 인해 캐시 메모리에 결함이 발생한 경우 기존의 캐시 블록 교체 정책을 이용하여 결함이 발생한 메모리를 제외한 결함이 없는 나머지 메모리에만 데이터를 교체하여 결함이 발생한 캐시 메모리를 그대로 이용하는 것에 특징이 있다.
- [0022] 따라서, 결함이 발생하지 않은 경우에는 기존의 캐시 블록 교체 정책이 그대로 이용된다.
- [0023] 도 1과 같이 4-Way 연관 캐시의 경우 4Way로 구성되므로, 하나의 캐시 라인은 4개의 블록으로 구성된다. 따라서, 하나의 캐시 라인의 교체 대상은 4개의 블록이 된다.
- [0024] 도 2는 공정변이로 인해 결함이 발생한 경우 4-Way 연관 캐시(set associative cache) 구조를 도시한 것이고, 도 3은 도 2의 결함 발생시 캐시 메모리 운영방법을 도시한 것이다.
- [0025] 만일, 도 2와 같이 캐시 메모리 중 특정 캐시 라인(block 2 라인) 중 하나의 블록(Way 0, block 2)에만 결함이 발생한 경우 해당 캐시 라인(block 2 라인)은 결함이 발생한 블록(Way 0, block 2)을 제외한 3개의 블록이 교체 가능 대상이 된다.
- [0026] 이 때, 캐시 블록 교체 정책에 따라 상기 결함이 발생한 블록(Way 0, block 2)을 제외한 나머지 3개 블록(Way 1, block2 or Way 2, block3 or Way 3, block4)에 데이터 교체를 수행한다.
- [0027] 도 3은 설명의 편의를 위해 특정 블록(Way 2, block 2)의 데이터가 교체된 것을 도시하였지만, 데이터 교체 방법 및 데이터 교체 순서는 결함이 발생하지 않은 블록 중 캐시 블록 교체 정책에 따라 결정된다.
- [0028] 여기서, 상기 캐시 블록 교체 정책은 캐시에 새로운 데이터를 적재할 때, 모든 슬롯이 채워져 있으면 캐시 합수를 만족하는 범위 내에서 교체할 블록을 선택하는 정책을 말하며, 캐시합수에 따라 다양한 교체 알고리즘이 적용될 수 있다.
- [0029] 상기 캐시 블록 교체 정책을 위한 교체 알고리즘은 캐시메모리에 있는 모든 데이터 중 제일 먼저 적재된 데이터를 교체하는 FIFO(First In First Out)방식, 최근에 가장 덜 사용된 데이터를 추출하여 교체하는 LRU(Least Recently Used)방식, 새로운 데이터를 위해 교체될 데이터를 무작위로 선택하는 Random 방식 등의 다양한 교체 알고리즘이 사용될 수 있다.
- [0030] 예를 들어, 캐시메모리가 연관 캐시(Set associative cache)인 경우에는 LRU 교체 알고리즘이 사용되고, 캐시 메모리가 직접 캐시(direct mapped cache)인 경우에는 FIFO 교체 알고리즘이 사용될 수 있다.
- [0031] 즉, 상기 캐시 블록 교체 정책의 알고리즘 이용시 결함이 발생한 메모리 부분을 특정하고, 상기 결함이 발생한

메모리 부분을 메모리 교체 정책에서 제외하고 교체 정책을 수행하는 간단한 알고리즘을 구현함으로써 본 발명은 용이하게 구현될 수 있다.

- [0032] 만일, 캐시 블록 교체 정책의 알고리즘으로 FIFO 방식을 사용한 경우 상기 도 3에서 캐시라인(block 2)의 결합 블록(Way 0, block 2)을 제외한 나머지 블록의 데이터가 Way2, Way3, Way1 순서로 적재되었다면, 제일 먼저 적재된 Way2를 교체하고, 다음에 Way3, Way1 순으로 데이터를 교체하게 된다.
- [0033] 그리고, LRU 방식을 사용한 경우 캐시라인(block 2)의 결합블록(Way 0, block 2)을 제외한 나머지 블록의 데이터 최근 사용빈도가 Way1, Way3, Way2 순이라면, 최근에 사용빈도가 가장 낮은 Way2를 교체하고, 다음에 다음에 Way3, Way1 순으로 데이터를 교체하게 된다.
- [0034] 도 4는 본 발명의 바람직한 실시예에 따른 캐시 메모리 운영방법을 개략적으로 도시한 순서도이다.
- [0035] 도 4를 참조하면, 캐시 메모리가 제조되면 테스트를 거쳐 메모리 블록이나 캐시라인에 공정변이에 의한 결함이 있는지 여부를 확인하고, 공정변이에 의한 결함이 있는 경우, 상기 결함이 있는 블록이나 캐시라인을 추출하여 특정한다.
- [0036] 이어서, 캐시 블록 교체 정책을 위한 알고리즘 작성시 상기 추출된 결함있는 블록이나 캐시 라인의 어드레스를 저장하여, 상기 어드레스를 제외한 나머지 블록이나 캐시 라인의 어드레스로 데이터 교체를 수행하는 알고리즘을 작성한다. 이는 상기 추출된 결함있는 블록이나 캐시라인을 제외한 나머지 블록이나 캐시 라인에만 데이터가 교체되도록 순서를 설정하는 방법으로 구현될 수 있다.
- [0037] 상기와 같은 알고리즘을 통해 결함있는 블록이나 캐시 라인을 제외한 나머지 블록이나 캐시 라인을 이용하여 데이터 교체를 수행한다.
- [0038] 상기 캐시 블록 교체 정책은 공지된 방식으로, 결함이 발생한 메모리 블록을 제외한 나머지 메모리 블록을 활용한다는 점을 제외하고는 종래의 캐시 교체 정책과 동일하므로 구체적인 설명은 생략하기로 한다.
- [0039] 또한, 상기 실시예는 4-Way 연관 캐시를 실시예로 들었지만, 2-Way 연관 캐시 등 다양한 방식의 연관 캐시는 물론 직접 캐시에도 적용될 수 있음은 자명한 것이다.
- [0040] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 발명의 보호범위는 상기 실시예에 한정되는 것이 아니며, 해당 기술분야의 통상의 지식을 갖는 자라면 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

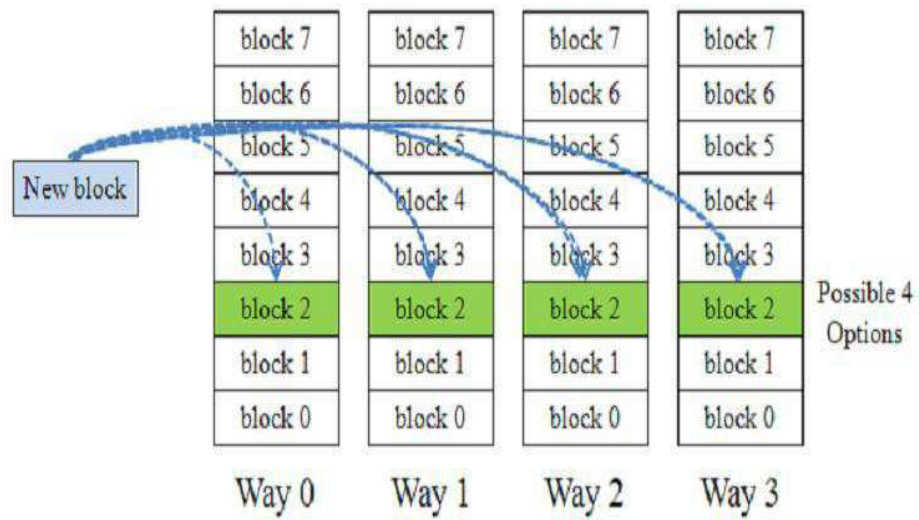
[0041]

도면의 간단한 설명

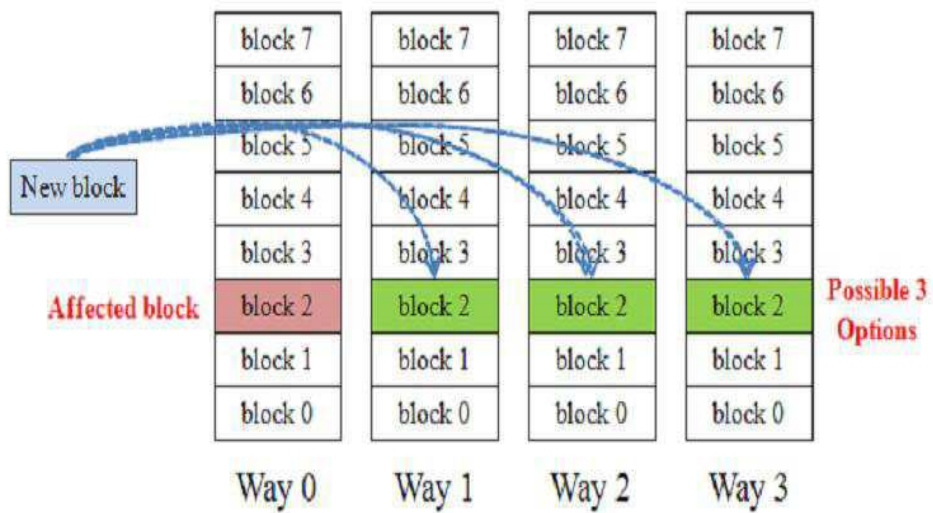
- [0042] 도 1은 정상상태의 4-Way 연관 캐시(set associative cache) 구조를 도시한 것이다.
- [0043] 도 2는 공정변이로 인해 결함이 발생한 경우 4-Way 연관 캐시(set associative cache) 구조를 도시한 것이고, 도 3은 도 2의 결함 발생시 캐시 메모리 운영방법을 도시한 것이다.
- [0044] 도 4는 본 발명의 바람직한 실시예에 따른 캐시 메모리 운영방법을 개략적으로 도시한 순서도이다.

도면

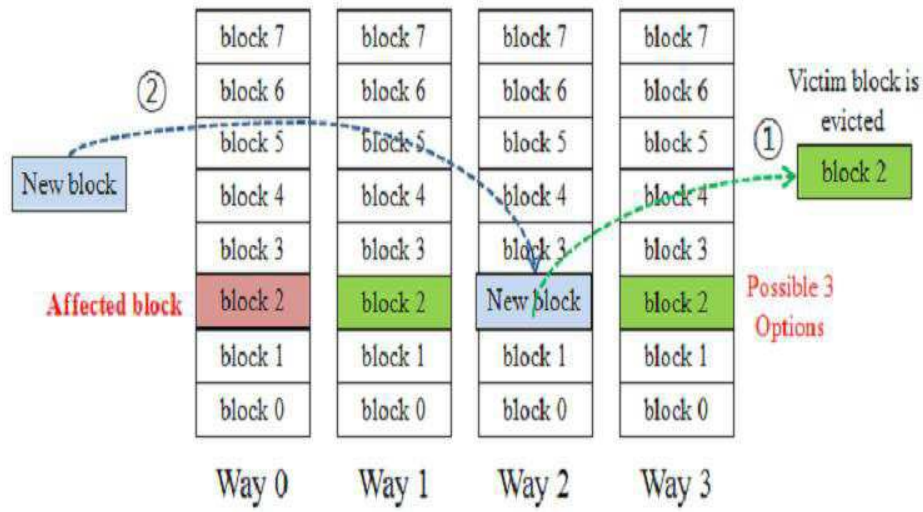
도면1



도면2



도면3



도면4

