

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6738041号
(P6738041)

(45) 発行日 令和2年8月12日 (2020.8.12)

(24) 登録日 令和2年7月21日 (2020.7.21)

(51) Int. Cl.

F I

G 0 9 G 3/3233 (2016.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/3233

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 1 1 J

G 0 9 G 3/20 6 2 3 C

請求項の数 12 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2016-86321 (P2016-86321)
 (22) 出願日 平成28年4月22日 (2016.4.22)
 (65) 公開番号 特開2017-194640 (P2017-194640A)
 (43) 公開日 平成29年10月26日 (2017.10.26)
 審査請求日 平成31年3月25日 (2019.3.25)

(73) 特許権者 519380923
 天馬微電子有限公司
 中華人民共和国広東省深▲セン▼市電華区
 民治街道北駅社区留仙大道天馬大▲カ▼1
 9 1 8
 (74) 代理人 100114557
 弁理士 河野 英仁
 (72) 発明者 松枝 洋二郎
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 N L T テクノロジー株式会社内
 (72) 発明者 張 歩翔
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 N L T テクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置及び表示方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 配線、第 2 配線及び第 3 配線と、
 アノード電極とカソード電極との間の電流により発光する発光素子と、
 前記第 1 配線から前記アノード電極に供給される電流を制御するトランジスタと、
 前記第 2 配線と前記トランジスタのゲート電極とを接続又は非接続にする第 1 スイッチ
 と、
 前記第 3 配線と前記アノード電極とを接続又は非接続にする第 2 スイッチと、
 前記第 2 配線に、映像信号の電圧、及び第 1 電圧のいずれかを選択的に印加する切替回
 路と

を備え、

前記第 1 電圧は、前記トランジスタのヒステリシスをチャネル導通状態に維持するため
 に必要な最低限以上の電流を前記トランジスタに流すための電圧であり、

前記発光素子が発光しないように制御される時に、前記トランジスタのゲート電極に前
 記第 1 電圧を印加し、

前記切替回路は、前記第 1 スイッチが接続状態である期間において、前記第 2 配線に印
 加する電圧を、前記映像信号が取り得る最高電圧以上の電圧である第 2 電圧、前記第 1 電
 圧及び前記映像信号の電圧の順に切り替え、

前記第 2 配線に前記第 1 電圧を印加している期間において、前記第 2 スイッチが接続状
 態となり、前記トランジスタのソース電極には前記第 2 スイッチを介して前記第 3 配線の

電圧が印加される表示装置。

【請求項 2】

前記第 1 スイッチが接続状態である期間と、前記第 2 スイッチが接続状態である期間と、前記切替回路が前記第 2 配線に前記第 1 電圧を印加する期間とは少なくとも一部で重複している

請求項 1 に記載の表示装置。

【請求項 3】

前記発光素子は、前記アノード電極の電圧が、前記カソード電極の電圧に前記発光素子の閾値電圧を加えた電圧以下の場合に、前記アノード電極と前記カソード電極との間の電圧を保持する自己容量を有し、

10

前記第 3 配線の電圧は、前記カソード電極の電圧に前記発光素子の閾値電圧を加えた電圧以下である

請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記第 1 電圧は、前記カソード電極の電圧よりも大きい

請求項 1 乃至 3 のいずれか一項に記載の表示装置。

【請求項 5】

前記トランジスタのゲート電極とソース電極との間に接続された容量を更に備える

請求項 1 乃至 4 のいずれか一項に記載の表示装置。

20

【請求項 6】

前記第 3 配線は、前記第 2 配線とは異なる層に形成されている

請求項 1 乃至 5 のいずれか一項に記載の表示装置。

【請求項 7】

前記第 3 配線は、前記第 2 配線に沿って延びている

請求項 1 乃至 6 のいずれか一項に記載の表示装置。

【請求項 8】

前記第 3 配線は、前記カソード電極に接続されている

請求項 1 乃至 6 のいずれか一項に記載の表示装置。

【請求項 9】

30

前記第 1 電圧は、前記映像信号が取り得る最低電圧以下の電圧である

請求項 1 乃至 8 のいずれか一項に記載の表示装置。

【請求項 10】

前記第 1 電圧は、前記第 3 配線の電圧よりも大きい

請求項 1 乃至 9 のいずれか一項に記載の表示装置。

【請求項 11】

前記発光素子、前記トランジスタ、前記第 1 スイッチ及び前記第 2 スイッチを含む画素回路を複数有する表示領域と、

各画素回路の前記第 1 スイッチの接続状態を制御する第 1 走査信号、及び前記第 2 スイッチの接続状態を制御する第 2 走査信号を供給する走査駆動回路と、

40

前記走査駆動回路に信号を供給すると共に、前記切替回路に信号を供給する駆動集積回路と

を更に備える請求項 1 乃至 10 のいずれか一項に記載の表示装置。

【請求項 12】

ゲート電極の電圧に基づいて、第 1 配線から発光素子のアノード電極に流れる電流を制御するトランジスタを備える表示装置の表示方法において、

前記表示装置は、

前記発光素子の前記アノード電極に第 3 配線の電圧を印加し、

前記ゲート電極に対して第 2 配線を介して第 1 電圧を印加し、

前記アノード電極に対する前記第 3 配線の電圧の印加と、前記ゲート電極に対する前記

50

第 1 電圧の印加とを共に停止した後、前記ゲート電極に対して映像信号の電圧を印加し、
前記発光素子が発光しないように制御される時に、前記トランジスタのヒステリシスを
チャンネル導通状態に維持するために必要な最低限以上の電流を前記トランジスタに流すた
めの前記第 1 電圧を、前記トランジスタのゲート電極に印加し、

前記第 2 配線を介して前記トランジスタのゲート電極に印加する電圧を、前記映像信号
が取り得る最高電圧以上の電圧である第 2 電圧、前記第 1 電圧及び前記映像信号の電圧の
順に切り替え、

前記トランジスタのゲート電極に前記第 1 電圧を印加している期間において、前記第 3
配線及び前記アノード電極を接続状態とし、前記トランジスタのソース電極に前記第 3 配
線の電圧を印加する

10

表示方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置、表示装置の表示方法に関する。

【背景技術】

【0002】

有機 EL (Electro Luminescence) 素子等の発光素子を用いた、いわゆる自発光型の表
示装置(以下、表示装置と適宜略記する)が実用化されている。表示装置は、各画素におい
て自発光を行う。このため、表示装置は、視認性、応答速度の点で優れている。さらに、
表示装置においては、バックライトのような補助照明装置を要しないため、更なる薄型化
が可能である。前記した表示装置について、特許文献 1 ~ 3 に開示されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2012 - 155953 号公報

【特許文献 2】特開 2008 - 158477 号公報

【特許文献 3】特開 2012 - 128386 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

表示装置は、複数の画素を有し、各画素は、例えば、発光素子と、この発光素子に供給
する電流を制御する駆動トランジスタとを有する。発光素子は、供給される電流に応じて
発光輝度が制御される。

【0005】

駆動トランジスタは、通電時と非通電時において I V 特性が異なるというヒステリシス
特性(以下、ヒステリシスと適宜略記する)がある。このヒステリシスにより、表示装置の
画質が低下することがある。画質の低下の原因は、例えば、所定の発光輝度に対応する、
予め定められた電圧が、駆動トランジスタのゲートに印加されても、このヒステリシスに
より所定の発光輝度に対応する電流が発光素子に流れず、所定の発光輝度で発光素子が発
光しないことである。

40

【0006】

本開示の表示装置の一つの目的は、画質の低下を抑制することである。

【課題を解決するための手段】

【0007】

本開示の表示装置の一つの側面は、第 1 配線、第 2 配線及び第 3 配線と、アノード電極
とカソード電極との間の電流により発光する発光素子と、前記第 1 配線から前記アノード
電極に供給される電流を制御するトランジスタと、前記第 2 配線と前記トランジスタのゲ
ート電極とを接続又は非接続にする第 1 スイッチと、前記第 3 配線と前記アノード電極と
を接続又は非接続にする第 2 スイッチと、前記第 2 配線に、映像信号の電圧、及び第 1 電

50

圧のいずれかを選択的に印加する切替回路とを備え、前記第 1 電圧は、前記トランジスタのヒステリシスをチャネル導通状態に維持するために必要な最低限以上の電流を前記トランジスタに流すための電圧であり、前記発光素子が発光しないように制御される時に、前記トランジスタのゲート電極に前記第 1 電圧を印加し、前記切替回路は、前記第 1 スイッチが接続状態である期間において、前記第 2 配線に印加する電圧を、前記映像信号が取り得る最高電圧以上の電圧である第 2 電圧、前記第 1 電圧及び前記映像信号の電圧の順に切り替え、前記第 2 配線に前記第 1 電圧を印加している期間において、前記第 2 スイッチが接続状態となり、前記トランジスタのソース電極には前記第 2 スイッチを介して前記第 3 配線の電圧が印加される表示装置である。

【発明の効果】

10

【0008】

本開示の表示装置の一つの側面によれば、画質の低下を抑制できる。

【図面の簡単な説明】

【0009】

【図 1】第 1 の実施形態に係る表示装置の構成について示す図である。

【図 2】第 2 の実施形態に係る表示装置の構成について示す図である。

【図 3】第 2 の実施形態の変形例に係る表示装置の構成について示す図である。

【図 4】画素の断面の例について示す図である。

【図 5】トランジスタの I V 特性の例について示すグラフである。

【図 6】イメージリテンションの例について示す図である。

20

【図 7】図 2 の回路における動作の一例について示すタイミングチャートである。

【図 8】水平同期期間内の各期間におけるスイッチの状態を示すテーブルである。

【図 9】第 2 スイッチに流れる電流のシミュレーション結果を示すグラフである。

【図 10】発光素子に流れる電流のシミュレーション結果を示すグラフである。

【図 11】第 3 の実施形態に係る表示装置の構成について示す図である。

【図 12】図 11 の回路における動作の一例について示すタイミングチャートである。

【図 13】図 12 のタイミングチャートにおける第 2 スイッチに流れる電流のシミュレーション結果を示すグラフである。

【図 14】第 4 の実施形態に係る表示装置の構成について示す図である。

【図 15】図 14 の XV - XV 線における断面図である。

30

【図 16】画素配置の一例について示す図である。

【図 17】RGB デルタ画素配置の画素の点灯検査を行う検査回路の一例について示す図である。

【発明を実施するための形態】

【0010】

以下、表示装置の実施の形態を、図を適宜参照しながら説明する。なお、明細書、特許請求の範囲における“第 1”、“第 2”等の序数は、要素間の関係を明確にするため、および要素間の混同を防ぐために付している。したがって、これらの序数は、要素を数的に限定しているものではない。

【0011】

40

また、図示した構成要素の寸法や比率などは、実物の構成要素と一致するようには図示されていない場合がある。また、図示や図面の説明の都合上、実物に含まれる構成要素が省略されていたり、図示した構成要素の寸法が実物に含まれる構成要素よりも誇張されている場合がある。

【0012】

また、“接続”という用語は、接続対象間で電氣的に接続していることを意味している。“電氣的に接続”は、接続対象間が、電極、配線、抵抗、キャパシタ等の電氣的素子を介して接続している場合も含む。なお、“電極”や“配線”という用語は、これらの構成要素を機能的に限定していない。たとえば、“配線”は“電極”の一部として利用されることも可能である。また、逆に、“電極”は“配線”の一部として利用されることも可能

50

である。

【 0 0 1 3 】

[第 1 の実施形態]

図 1 は、第 1 の実施形態に係る表示装置 1 0 0 の構成について示す図である。この図に示されるように、表示装置 1 0 0 は、第 1 配線 W 1 と、第 2 配線 W 2 と、第 3 配線 W 3 と、発光素子 L と、トランジスタ T と、第 1 スイッチ S W 1 と、第 2 スイッチ S W 2 と、切替回路 1 3 0 とを有している。ここで発光素子 L は、アノード電極 1 1 5 とカソード電極 1 1 6 との間の電流により発光する。トランジスタ T は、第 1 配線 W 1 からアノード電極 1 1 5 に供給される電流を制御する。

【 0 0 1 4 】

第 1 スイッチ S W 1 は、第 2 配線 W 2 とトランジスタ T のゲート電極 1 1 7 とを接続又は非接続にする。換言すれば、第 1 スイッチ S W 1 は、第 2 配線 W 2 とトランジスタ T のゲート電極 1 1 7 との間に配置され、第 2 配線 W 2 とトランジスタ T のゲート電極 1 1 7 との導通を制御する。

【 0 0 1 5 】

第 2 スイッチ S W 2 は、第 3 配線 W 3 とアノード電極 1 1 5 とを接続又は非接続にする。換言すれば、第 2 スイッチ S W 2 は、第 3 配線 W 3 とアノード電極 1 1 5 との間に配置され、第 3 配線 W 3 とアノード電極 1 1 5 との導通を制御する。

切替回路 1 3 0 は、第 2 配線 W 2 に、映像信号電圧 V data、及び第 1 電圧 V 1 のいずれかを選択的に印加する。

【 0 0 1 6 】

ここで、表示装置 1 0 0 は、第 2 スイッチ S W 2 をオンさせた状態で第 3 配線 W 3 から供給される電位でアノード電極 1 1 5 を非発光状態(黒レベルとも呼ぶ)にリセットすることが好ましい。表示装置 1 0 0 は、このリセット後、第 1 電圧 V 1 を、あらかじめ設定されたタイミングと電位で切替回路 1 3 0 から第 2 配線 W 2 に供給する。第 1 電圧 V 1 は、発光素子 L を駆動するトランジスタ T のゲート電極 1 1 7 に印加される。第 1 電圧 V 1 は、トランジスタ T のヒステリシスをチャネル導通状態に維持するために必要最低限以上の電流をトランジスタ T に流すための電圧である。その後、表示装置 1 0 0 は、通常の映像信号電圧 V data を切替回路 1 3 0 から第 2 配線 W 2 に供給する。

【 0 0 1 7 】

このような構成とすることにより、常にトランジスタ T のヒステリシスを導通状態に固定した状態で所望の映像信号電圧 V data をトランジスタ T のゲート電極 1 1 7 に印加すること(書き込むこと)ができる。このため、本実施形態の表示装置 1 0 0 によれば、トランジスタ T の通電状態と非通電状態の I V 特性のヒステリシスに基づく、画質の低下を抑制できる。なお、画質の低下の原因は、例えば、所定の発光輝度に対応する予め定められた電圧が、駆動トランジスタのゲートに印加されても、所定の発光輝度に対応する電流が発光素子に流れずに、所定の発光輝度で発光素子が発光しないことである。なお、トランジスタ T のヒステリシスについては、図 5 で詳細に説明する。

【 0 0 1 8 】

また、本実施形態の表示装置 1 0 0 において、表示の制御を行う回路に含まれるトランジスタ T 及びスイッチ S W 1 及び S W 2 は、併せて 3 つのみの少ない数で構成されている。このため、本実施形態の表示装置 1 0 0 によれば、微細加工における歩留まりを向上できると共に、スイッチ等が形成されない発光領域を広く確保して発光効率を高めることができる。また、本実施形態の表示装置 1 0 0 によれば、発光領域を広く確保できることにより、スイッチ等と発光領域を併せた領域を更に微細化しても十分な発光量を維持することができる。すなわち、本実施形態の表示装置 1 0 0 によれば、十分な発光量を維持したままで、高精細化を実現できる。なお、本実施形態においては、P 型のトランジスタを用いることとしたが、N 型のトランジスタを用いることとしてもよい。

【 0 0 1 9 】

[第 2 の実施形態]

図2は、第2の実施形態に係る表示装置300の構成について示す図である。第2の実施形態に係る表示装置300は、第1の実施形態に係る表示装置100と同様の構成であり、切替回路130については具体的な構成の一例を示している。したがって図1と同様の要素には同一の符号を付し、第1の実施形態の説明をここに引用して重複する説明を省略する。

【0020】

表示装置300は、トランジスタTのゲート電極117とソース電極121との間に接続されたキャパシタCを有している。発光素子Lと、トランジスタTと、キャパシタCと、第1スイッチSW1と、第2スイッチSW2と、第1配線W1と、第2配線W2と、第3配線W3とは、画素110を構成している。

10

【0021】

第1スイッチSW1を構成するトランジスタのゲートには、第1走査信号SC1が供給される。第2スイッチSW2を構成するトランジスタのゲートには、第2走査信号SC2が供給される。映像信号電圧Vdataは映像信号線131に印加される。第3スイッチSW3は、第2配線W2と映像信号線131とを接続又は非接続にする。第3スイッチSW3は、第1選択信号SL1により制御される。第1電圧V1は第1電圧線138に印加される。第4スイッチSW4は、第2配線W2と第1電圧線138とを接続又は非接続にする。第4スイッチSW4は、第2選択信号SL2により制御される。ここで、第1配線W1には、表示装置300における高位側の電位Vdd、カソード電極116には低位側の電位Vssを印加することとしてもよい。ここで、第1スイッチSW1、第2スイッチSW2、第3スイッチSW3及び第4スイッチSW4は、共に接続状態と非接続状態とを切り替えるスイッチ機能を実現するトランジスタで構成されていてもよい。また、トランジスタTは、飽和領域で使用されるトランジスタとすることができる。

20

【0022】

なお、図2においては、キャパシタCをトランジスタTのゲート電極117とソース電極121との間で容量を形成するものとした。他にも、キャパシタCは、ゲート電極117と、固定電位に接続された他の電極との間で容量を形成してもよい。図3は、第2の実施形態の変形例に係る表示装置の構成について示す図である。図3では、他の電極が、固定電位である参照電圧Vrefが印加される第3配線W3に接続する構成を例示している。

【0023】

30

図4は、画素110の断面の例について示す図である。この断面図においては、トランジスタT、キャパシタC及び発光素子Lが示されている。トランジスタTは、ガラス基板等の絶縁基板201上に形成された絶縁下地膜202上に形成されている。絶縁下地膜202上には半導体層320があり、不純物の量が、図面の半導体層320の両端から中央に向けて少なくなるように印加され、P+層、P-層及びi層に分かれている。半導体層320上にはゲート絶縁膜301が形成され、ゲート絶縁膜301上にMo(モリブデン)等によりゲートメタル308で配線が形成される。ゲートメタル308は、図2のゲート電極117に対応する。ゲートメタル308上には第1層間絶縁膜302及び第2層間絶縁膜304が順に形成され、第1層間絶縁膜302及び第2層間絶縁膜304の間にはキャパシタCの一方の電極となる容量電極メタル303がMo等により形成されている。第2層間絶縁膜304上には、スルーホールを介して容量電極メタル303や半導体層320に接続するソースドレインメタル305が形成されている。ソースドレインメタル305は、Ti/Al/Ti等の積層構造からなるものとしてもよいし、その他の導体を用いることができる。ソースドレインメタル305上にはパッシベーション膜306及び平坦化膜307が形成されている。絶縁下地膜202、ゲート絶縁膜301、第1層間絶縁膜302及び第2層間絶縁膜304等の絶縁膜は、例えばSiNxやSiOx等の絶縁膜から構成される。

40

【0024】

平坦化膜307上には、アノード電極115が形成されている。アノード電極115は、スルーホールを介してトランジスタTのソースドレインメタル305(図4において図

50

面左側のソースドレインメタル)と接続する。アノード電極 115 上には、複数層からなる発光素子 L を介してカソード電極 116 が形成される。アノード電極 115 に接触する発光素子 L はアノード電極 115 と接触する部分において発光する。発光素子 L と接触していないアノード電極 115 の端部は、素子分離膜 310 により覆われ、発光素子 L はアノード電極 115 上から素子分離膜 310 の上に延びるように配置される。カソード電極 116 は発光素子 L 及び素子分離膜 310 を覆うように形成される。カソード電極 116 上にはキャップ層 206 が形成されている。キャップ層 206 上には乾燥空気を封止する封止ガラス 208 が配置され、乾燥空気層 207 を形成する。キャップ層 206、乾燥空気層 207 及び封止ガラス 208 は、カソード電極 116 より下層に水分が侵入するのを防ぐものである。封止ガラス 208 上には、 $\lambda/4$ 位相差板 209 及び偏光板 210 が配置される。なお、 $\lambda/4$ 位相差板 209 及び偏光板 210 は配置されていなくてもよい。図 4 の断面図及び構成は、図 3 の回路構成を実現する断面構成の例であり、これ以外の断面構成であってもよい。

10

【0025】

なお、例えば図 2 に示されるように、第 3 配線 W3 は、第 2 配線 W2 に沿って延びる配線とすることができる。また、図 4 の断面図には示されていないが、第 3 配線 W3 と第 2 配線 W2 とは異なる層に形成されるものとすることができる。第 3 配線 W3 と第 2 配線 W2 とが異なる層に形成されているので、第 2 配線 W2 の電位の変化により、第 3 配線 W3 の電位が変動するのを抑制できる。また、第 3 配線 W3 をカソード電極 116 に接続することとしてもよい。これにより、第 3 配線 W3 を新たに配置することなく、カソード電極 116 の電位をアノード電極 115 に第 2 スイッチ SW2 を介して印加させることができる。

20

【0026】

図 5 は、トランジスタ T の I-V 特性、つまりゲート・ソース間電圧 V_{gs} に対するソース・ドレイン間電流 I_{ds} の特性の例について示すグラフである。すなわち、図 5 は、トランジスタ T のヒステリシスの一例を示す。このグラフに示されるように非通電時(非導通時とも呼ぶ)の I-V 特性と、通電時(導通時とも呼ぶ)の I-V 特性とは異なっている。例えば、非通電状態において、ある階調値(輝度とも呼ぶ)に対応するゲート・ソース間電圧 V_A をトランジスタ T のゲート電極 117 に印加した第 1 の場合を想定する。第 1 の場合、トランジスタ T には、非通電時の I-V 特性の曲線上のソース・ドレイン間電流 I_{A1} の電流が流れる。

30

その後、同じ階調値に対応するゲート・ソース間電圧 V_A をトランジスタ T のゲート電極 117 に印加し続けた第 2 の場合を想定する。第 2 の場合、トランジスタ T の I-V 特性は通電時の I-V 特性に変化する。

【0027】

以上説明したように、同じ電圧をトランジスタ T のゲート電極 117 に印加しても、第 1、第 2 の場合のように、トランジスタ T は、異なる電流を発光素子 L に流す場合がある。例えば、トランジスタ T が通電時において、トランジスタ T のゲート電極 117 に電圧 V_A が印加されると、発光素子 L には、非通電時の I-V 特性の曲線上のソース・ドレイン間電流 I_{A1} より低いソース・ドレイン間電流 I_{A2} の電流が流れることとなる。ソース・ドレイン間電流 I_{A2} が発光素子 L に流すべき電流値である場合には、ソース・ドレイン間電流 I_{A1} は、流すべき電流値 (I_{A2}) よりも高くなる。このため、より高い輝度で発光する場合がある。すなわち、発光素子 L を駆動するトランジスタ T のヒステリシスにより、発光素子 L が所望の輝度で発光しない場合がある。このような場合、コントラストの低下等、画質が低下する。特に、表示装置が動画像などのように高速に画像が変化する映像フレームを表示する場合のように、各画素の輝度が頻繁に変化すると、トランジスタ T のヒステリシスによる、いわゆる画面のちらつきが発生し、画質が低下し易くなる。

40

【0028】

また、ヒステリシスに基づく、いわゆるイメージリテンションが発生することがある。図 6 は、特許文献 3 に開示されたイメージリテンションの例について示す図である。この

50

場合には、ブラックからホワイトに表示を切り替える場合、ブラックとホワイトとの間でI V特性が異なるため、1フレームでホワイトの輝度に到達することができず、2フレームを要してホワイトの輝度を達成している。

【0029】

しかし、本実施の形態の表示装置300は、常にトランジスタTのヒステリシスを導通状態に固定した状態(図5の通電時のグラフ線参照)で所望の映像信号電圧VdataをトランジスタTのゲート電極117に印加する。このため、本実施形態の表示装置300によれば、ヒステリシスに基づく、画質の低下を抑制できる。

【0030】

図7は、図2の回路における動作の一例について示すタイミングチャートである。図8は、図7のタイミングチャートにおいて、いわゆる水平同期期間Hを、図7に示される第1期間TM1~第6期間TM6に分割し、各期間におけるスイッチ(トランジスタ)の状態を示すテーブルである。ここで図7のタイミングチャートにおけるHigh信号は、図8のOFFであり、Low信号はONである。図7のタイミングチャート及び図8のテーブルに示されるように、水平同期期間Hの最初の期間TM1において、第1走査信号SC1、第2走査信号SC2、第1選択信号SL1及び第2選択信号SL2はすべてOFFである。期間TM2において、第1走査信号SC1及び第2走査信号SC2がONとなり、第1スイッチSW1及び第2スイッチSW2が共に接続状態となる。アノード電極115には第3配線W3に印加された参照電圧Vrefが印加される。引き続き、第3期間TM3において、第2選択信号SL2がONとなり、第4スイッチSW4が接続状態となる。これにより第1スイッチSW1が接続状態である期間と、第2スイッチSW2が接続状態である期間と、切替回路130が第2配線W2に第1電圧V1を印加する期間とは重複する状態となり、第1電圧V1がゲート電極117に印加される。第1電圧V1は、例えば、トランジスタTを導通状態にする必要最小限の電圧、すなわち閾値電圧である。換言すれば、第1電圧V1は、トランジスタTのヒステリシスをチャネル導通状態(図5の「通電時」の実線参照)に維持するために、必要最低限以上の電流をトランジスタTに流す電圧である。

【0031】

トランジスタTのゲート電極117に第1電圧V1が印加されるとトランジスタTが導通状態になり、トランジスタTに電流が流れる。この電流により、トランジスタTのヒステリシスがチャネル導通状態に維持される。

なお、第1スイッチSW1が接続状態である期間と、第2スイッチSW2が接続状態である期間と、切替回路130が第2配線W2に第1電圧V1を印加する期間とは少なくとも一部で重複している。換言すれば、第1スイッチSW1が接続状態である期間と、第2スイッチSW2が接続状態である期間と、切替回路130が第2配線W2に第1電圧V1を印加する期間とがすべて重複していなくてもよく、例えば、第1スイッチSW1が接続状態である期間と切替回路130が第2配線W2に第1電圧V1を印加する期間とが一部で重複していてもよい。

【0032】

ここで、参照電圧Vrefは、発光素子Lを発光させない電圧とすることができる。また、参照電圧Vrefを、つまり第3配線W3の電圧を、カソード電極116の電圧に発光素子Lの閾値電圧Vtholedを加えた電圧以下とすることができる。参照電圧Vrefをこのような電圧範囲として、第3期間TM3において、第2スイッチSW2を接続状態とすれば、トランジスタTに流れた電流は、第3配線W3に迂回(バイパス)する。このように電流がバイパスされるので、発光素子Lに電流が流れることがない。そのため、本実施形態の表示装置300によれば、発光素子Lを発光しないように制御することができる。発光素子Lは、アノード電極115の電圧が、カソード電極116の電圧に発光素子Lの閾値電圧Vtholedを加えた電圧以下の場合に、アノード電極115とカソード電極116との間の電圧を保持する自己容量を有することとなる。また、この場合には、後述するように、周囲からのリーク電流による発光を抑えることができる。

【0033】

また、第1電圧V1は、カソード電極116の電圧よりも大きくすることができる。これにより、トランジスタTに過多の電流が流れることを抑止することができる。また、第1電圧V1は、映像信号が取り得る最低電圧以下の電圧とすることができる。これによりトランジスタTを十分な通電状態とし、トランジスタTのIV特性を通電状態に保つことができる。また、第1電圧V1は、第3配線W3に印加される電圧である参照電圧Vrefよりも大きくてもよい。これにより、第1スイッチSW1及び第3スイッチSW3が閉じているとき、トランジスタTに過多の電流が流れることを抑止することができる。

【0034】

引き続き、第4期間TM4において、第2走査信号SC2及び第2選択信号SL2がOFFに変化する。第4期間TM4において、第4スイッチSW4が非接続状態になるので、トランジスタTのゲート電極117に対する第1電圧V1の電圧印加が停止する。

第5期間TM5において、第1選択信号SL1がONに変化する。つまり、第3スイッチSW3が接続状態となり、ゲート電極117に、所望の発光輝度に応じた映像信号電圧Vdataが印加される。映像信号電圧VdataがトランジスタTのゲート電極117に印加された時点では、トランジスタTは、トランジスタTのヒステリシスがチャネル導通状態に維持されている。

【0035】

このように、第1スイッチSW1が接続状態である期間において、切替回路130は、第2配線W2に印加する電圧を、第1電圧V1から映像信号電圧Vdataに切り替える。これにより、発光素子Lに映像信号電圧Vdataに応じた電流が流れ、発光素子Lは、映像信号電圧Vdataに応じた輝度で発光を開始する。第6期間TM6において、第1走査信号SC1がOFFに変化し、次の水平同期期間Hの開始時に第1選択信号SL1がOFFに変化する。このように制御することにより、本実施形態の表示装置によれば、第1電圧V1によりトランジスタTのIV特性を通電状態に保ったまま、映像信号の電圧Vdataを印加することができる。なお、第1スイッチSW1の接続状態は、第1電圧V1と映像信号電圧Vdataを切り替える間連続していなくてもよく、例えば、第1電圧V1と映像信号電圧Vdataとの切り替えのタイミングで、第1スイッチSW1を非接続状態としてもよい。

【0036】

図9は、第2スイッチSW2に流れる電流のシミュレーション結果を示すグラフである。ここで第2スイッチSW2に流れる電流は、アノード電極115から第3配線W3に流れる電流である。実線は、最大輝度の映像信号電圧Vdata = 1.35Vが、各フレームでトランジスタTのゲート電極117に印加される場合について示している。破線は、最小輝度の映像信号電圧Vdata = 3.5Vが、各フレームでトランジスタTのゲート電極117に印加される場合について示している。第1電圧V1がゲート電極117に印加され、第2スイッチSW2が接続状態となる第3期間TM3では、トランジスタTは通電状態に維持される。しかしながら、このグラフに示されるように、第2スイッチSW2に流れる電流は、最大輝度の映像信号電圧Vdata (= 1.35V) の場合において、136 nA ~ 222 nA、最小輝度の映像信号電圧Vdata (= 3.5V) の場合において、0 ~ 188 nAに抑えられる。

【0037】

図10は、発光素子Lに流れる電流のシミュレーション結果を示すグラフである。実線は、最大輝度の映像信号電圧Vdata = 1.35Vが、各フレームで印加される場合について示している。破線は、最小輝度の映像信号電圧Vdata = 3.5Vが、各フレームで印加される場合について示している。このグラフに示されるように、第2期間TM2及び第3期間TM3の第2走査信号SC2がONの期間において、発光素子Lに電流はほとんど流れておらず、これは発光素子Lが発光していない状態、つまり最低輝度の状態と同様であることを示している。

【0038】

したがって、本実施形態によれば、発光素子Lを発光させることなく、トランジスタT

10

20

30

40

50

を通电状態とした後に、映像信号電圧 V_{data} を印加することができる。また、第 1 電圧 V_1 及び第 3 配線 W_3 に印加する電圧である参照電圧 V_{ref} を適切に選択した場合には、通电状態に必要なとする消費電流を低く抑えることができる。

【0039】

[第 3 の実施形態]

図 11 は、第 3 の実施形態に係る表示装置 400 の構成について示す図である。第 3 の実施形態に係る表示装置 400 は、第 2 の実施形態に係る表示装置 300 の構成に対して、第 3 選択信号 SL_3 、第 5 スイッチ SW_5 及び第 2 電圧 V_2 を印加する第 2 電圧線 139 が追加された構成であり、これら以外の構成については同様である。このため、同様の構成については図 2 と同一の符号を付し、第 2 の実施形態の説明をここに引用して重複する説明を省略する。表示装置 400 の切替回路 130 は、第 2 配線 W_2 に、映像信号電圧 V_{data} 及び第 1 電圧 V_1 の他、更に第 2 電圧 V_2 を選択的に印加する。すなわち、切替回路 130 は、第 2 配線 W_2 に印加する電圧を、第 2 電圧 V_2 、第 1 電圧 V_1 及び映像信号電圧 V_{data} の順に切り替える。なお、参照電圧 V_{ref} は、図 7 における例と同様である。

【0040】

図 12 は、図 11 の表示装置 400 の回路における動作の一例について示すタイミングチャートである。図 7 のタイミングチャートと同様に、図 12 のタイミングチャートでは、水平同期期間 H の最初の期間 TM_1 において、第 1 走査信号 SC_1 、第 2 走査信号 SC_2 、第 1 選択信号 SL_1 及び第 2 選択信号 SL_2 はすべて OFF であり、第 3 選択信号 SL_3 も OFF である。期間 TM_2a において、第 1 走査信号 SC_1 及び第 3 選択信号 SL_3 が ON となり、第 1 スイッチ SW_1 及び第 5 スイッチ SW_5 が接続状態となる。これにより、第 2 電圧 V_2 がゲート電極 117 に印加される。引き続き、期間 TM_2b において、第 3 選択信号 SL_3 が OFF となり、期間 TM_3 において、第 2 選択信号 SL_2 及び第 2 走査信号 SC_2 が ON となる。これにより、第 4 スイッチ SW_4 が接続状態になり、第 1 電圧 V_1 がゲート電極 117 に印加されると共に、第 2 スイッチ SW_2 が接続状態になり、参照電圧 V_{ref} がアノード電極 115 に印加される。すなわち、第 2 配線 W_2 に第 1 電圧 V_1 を印加している期間において、第 2 スイッチ SW_2 が接続状態となる。ここで、第 2 電圧 V_2 は、映像信号線 131 に印加される最も高い電圧以上とすることができる。また、第 2 電圧 V_2 は、最も低い輝度に相当する電圧以上とすることができる。これによりトランジスタ T を非接続状態とし、前のフレームにおける発光を止める表示とすることができる。

【0041】

図 13 は、図 12 のタイミングチャートにおける第 2 スイッチ SW_2 に流れる電流のシミュレーション結果を示すグラフである。図 9 と同様にここで第 2 スイッチ SW_2 に流れる電流は、アノード電極 115 から第 3 配線 W_3 に流れる電流である。図 13 の実線が示す電圧は、図 9 で説明した実線が示す電圧と同じである。図 13 の破線が示す電圧は、図 9 で説明した破線が示す電圧と同じである。第 1 電圧 V_1 がゲート電極 117 に印加され、第 2 スイッチ SW_2 が接続状態となる第 3 期間 TM_3 では、トランジスタ T は通电状態に維持される。しかしながら、このグラフに示されるように、第 2 スイッチ SW_2 に流れる電流は、最大輝度の映像信号電圧 $V_{data} (= 1.35V)$ の場合においても、最小輝度の映像信号電圧 $V_{data} (= 3.5V)$ の場合においても、 $0 \sim 75 nA$ に抑えられる。

【0042】

第 1 スイッチ SW_1 が接続状態の期間において、切替回路 130 は、第 2 配線 W_2 との接続を、第 2 電圧線 139、第 1 電圧線 138、映像信号線 131 の順に切り替えている。つまり、本実施形態の表示装置は、トランジスタ T を第 3 期間 TM_3 の通电状態とする前に、第 2 電圧 V_2 をゲート電極 117 に印加している。このため、各フレームにおける第 3 期間 TM_3 に流れる電流値を均一化することができる。また、第 2 電圧 V_2 を映像信号線に印加される最高電圧以上又は最も低い輝度に相当する電圧以上とすることにより、第 1 電圧 V_1 の印加時の発光素子 L の発光を抑えると共に、第 3 期間 TM_3 の消費電流を低く抑えることができる。また、第 2 の実施形態の構成をすべて含むため、第 2 の実施形

態の効果すべて有する。また、本実施形態においては、切替回路 130 が第 2 配線 W2 と第 1 電圧線 138 とを接続している期間において、第 2 スイッチ SW2 を接続状態としたため、発光素子 L を発光させることなく、トランジスタ T を通電状態とした後に、映像信号電圧 Vdata を印加することができる。

【0043】

[第 4 の実施形態]

図 14 は、第 4 の実施形態に係る表示装置の構成について示す図である。この図に示されるように表示装置 500 は、ガラス基板等の絶縁基板 201 上に形成された回路で構成されている。そして、表示領域 510 には複数の画素 110 が整列している。画素 110 及び切替回路 130 の構成は、例えば第 2 の実施形態及び第 3 の実施形態のいずれかの画素 110 及び切替回路 130 の構成と同様の構成とすることができるため、第 2 の実施形態及び第 3 の実施形態の説明をここに引用して重複する説明を省略する。

【0044】

各画素 110 に配置される発光素子 L は R (赤) G (緑) B (青) の 3 種類の発光素子 L で多色表示を行う。しかしながら、これら以外の色の組み合わせで多色表示を行うものであってもよいし、単色表示の表示装置 500 であってもよい。第 2 の実施形態で説明したように、第 1 走査駆動回路 503 は、各画素 110 に第 1 走査信号 SC1 を供給する。また、第 2 走査駆動回路 505 は、各画素 110 に第 2 走査信号 SC2 を供給する。ここで第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 をまとめて走査駆動回路と呼ぶ。また、各画素 110 には、第 2 の実施形態で説明したように、第 1 配線 W1、第 2 配線 W2 及び第 3 配線 W3 が配置される。なお、切替回路 130 の構成の説明は、前述したので省略する。

【0045】

駆動集積回路 502 は、第 3 配線 W3 に、表示領域 510 内の各画素 110 において共通の電圧を印加する。第 2 配線 W2 及び第 3 配線 W3 は、表示領域 510 を跨いで切替回路 130 とは反対側の ESD (Electrostatic Discharge) 保護回路 507 に接続されている。ESD 保護回路 507 は、第 2 配線 W2 又は第 3 配線 W3 に入り込んだ静電気を接地電位に流すことができる回路である。駆動集積回路 502 は、更に第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 を制御する信号を出力し、映像信号電圧 Vdata を切替回路 130 に出力し、また切替回路 130 の各種スイッチを制御する。

【0046】

本実施形態においては図 14 のような構成としたが、このような構成に限られない。例えば、第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 は、表示領域 510 を挟んだ構成としたが、同じ側に形成されていてもよい。また、ESD 保護回路 507 を有していない構成であってもよい。また、切替回路 130 は、第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 のいずれか、又は両方を含む意味での走査駆動回路に含まれていてもよい。画素 110 の回路構成、切替回路 130 の構成及び動作タイミングについては、第 2 の実施形態、又は第 3 実施形態に記載された内容と同様とすることができる。しかしながら、第 2 の実施形態及び第 3 の実施形態に記載された以外の動作タイミングを用いることもできる。

【0047】

図 15 は、図 14 の XV - XV 線における断面図であり、表示装置 500 の 3 つの RGB の画素 110 が並ぶ断面図である。ここで、図 15 の断面図では、赤色の波長領域の光を発光する R 画素 231、緑色の波長領域の光を発光する G 画素 232、及び青色の波長領域の光を発光する B 画素 233 が並ぶ断面であるとするが、すべて同じ波長領域の光を発光するもの等いずれの波長領域の光を発光する画素 110 が並んでいるものでもよい。図 15 において、図 4 の断面と同様の層には同一の符号を付しているため、説明を省略する。

【0048】

この図において、発光素子 L は、共通層 203、発光層 204 及びカソード下層 205 により構成されている。共通層 203 は、正孔注入層 (HIL: Hole Injection Layer)

や正孔輸送層 (H T L : Hole Transport Layer) を含む層である。発光層 2 0 4 は、R 画素 2 3 1、G 画素 2 3 2 及び B 画素 2 3 3 でそれぞれ、赤色の波長領域の光、緑色の波長領域の光、及び青色の波長領域の光を発光する層である。カソード下層 2 0 5 は、電子注入層 (E I L : Electron Injection Layer) や電子輸送層 (E T L : Electron Transport Layer) からなる層である。

【 0 0 4 9 】

ここで各画素は、各フレームにおいて入力される階調値に基づいて発光するが、例えば、R 画素 2 3 1 が発光し、G 画素 2 3 2 が発光しないフレームの例を考える。R 画素 2 3 1 の共通層 2 0 3 で発生する正孔は、矢印 2 1 2 に示されるように、一部が隣接する G 画素 2 3 2 の共通層 2 0 3 に流れ込み、G 画素 2 3 2 を発光させてしまうことがある。この

10

【 0 0 5 0 】

しかし、第 2 及び第 3 の実施形態では、図 7 及び図 1 2 の少なくとも第 3 期間 T M 3 において、参照電圧 V_{ref} を印加している。参照電圧 V_{ref} 、つまり第 3 配線 W 3 の電圧を、カソード電極 1 1 6 の電圧に発光素子 L の閾値電圧 V_{tholed} を加えた電圧以下とした場合には、図 1 5 に示されるように、隣接する G 画素 2 3 2 の共通層 2 0 3 には電子 2 1 3 が蓄えられる。

【 0 0 5 1 】

つまり、発光素子 L は、アノード電極 1 1 5 の電圧が、カソード電極 1 1 6 の電圧に発光素子 L の閾値電圧を加えた電圧以下の場合に、アノード電極 1 1 5 とカソード電極 1 1 6 との間の電圧を保持する自己容量を有することとなる。これにより、発光期間に矢印 2 1 2 に示される正孔の流入があったとしても、流入した正孔が、発光期間前に蓄えられた電子 2 1 3 により相殺され、隣接する G 画素 2 3 2 の発光を抑制することができる。ここで図 1 5 においては G 画素 2 3 2 について述べたが、いずれの波長領域の光を発光する画素においても隣接する画素からの正孔の流入による発光を抑えることができる。つまり、クロストークの発生を抑えることができる。また、発光素子 L が、緑の波長領域の光を発光する場合には、発光層 2 0 4 は特に発光効率がよく、クロストークを発生しやすいことから、緑の波長領域の光を発光する発光素子 L に適用することにより、クロストークによる発光の視覚的な観測を抑えることができる。

20

【 0 0 5 2 】

本実施形態においては、図 7 又は図 1 2 のタイミングチャートのような動作を想定したが、映像信号の電圧が非発光を示す電圧である場合には、第 2 スイッチ S W 2 を 1 フレームの発光期間を通して接続状態とすることとしてもよい。これにより 1 フレームの発光期間全体に渡り、クロストークの発生を抑えることができる。

30

【 0 0 5 3 】

図 1 6 は、本実施形態の画素配置の一例について示す図である。この図には、表示領域 5 1 0 に配置される画素のうち 9 画素 (副画素) が示されている。この図に示されるように、各画素は、所謂 R G B デルタ画素配置 6 1 0 となっている。R G B デルタ画素配置 6 1 0 とは、第 1 走査信号 S C 1 が印加させる線に沿って R 画素、G 画素及び B 画素が繰り返し並び行と、G 画素、B 画素及び R 画素が繰り返し並び行とが交互に配置される

40

図 1 7 は、図 1 6 のような R G B デルタ画素配置 6 1 0 の画素の点灯検査を行う検査回路 6 2 0 の一例について示す図である。この図に示されるように、検査回路 6 2 0 は切替回路 1 3 0 内に配置されている。検査回路 6 2 0 は、 m (m は 0 以上の整数) 列目の配線 W 2 である配線 W 2 _{m} 、 $m + 1$ 列目の配線 W 2 である配線 W 2 _{$m+1$} 、及び $m + 2$ 列目の配線 W 2 である配線 W 2 _{$m+2$} を有している。

【 0 0 5 4 】

また、配線 W 2 _{m} には、信号 T even が O N となることにより第 1 テスト電圧 V_{test1} が印加され、信号 T odd が O N となることにより第 2 テスト電圧 V_{test2} が印加される。配線 W 2 _{$m+1$} には、信号 T even が O N となることにより第 3 テスト電圧 V_{test3} が印加され、信号 T odd が O N となることにより第 4 テスト電圧 V_{test4} が印加される。配線 W 2 _{$m+2$} に

50

は、信号 T even が O N となることにより第 5 テスト電圧 V test5 が印加され、信号 T odd が O N となることにより第 6 テスト電圧 V test6 が印加される。例えば、図 16 の 9 画素が、奇数行、偶数行及び奇数行の配置で、m 列、m + 1 列及び m + 2 列の配置であるとする場合を想定する。この想定において、第 2 テスト電圧 V test2 及び第 5 テスト電圧 V test5 に発光させる電位を印加させておくと、信号 T odd 及び信号 T even を交互に O N させることにより、R 画素の単色による点灯テストを行うことができる。したがって、R G B デルタ画素配置 6 1 0 における単色の点灯テストを、第 1 テスト電圧 V test1 ~ 第 6 テスト電圧 V test6 の 6 本のテスト電圧線と、信号 T odd 及び信号 T even の 2 本の制御線とで行うことができる。なお、R G B のそれぞれの同色画素の列が並ぶ、所謂縦ストライプ型の画素配置の場合には、3 本のテスト電圧線と 1 本の制御線とで点灯テストを実施することができる。

10

【 0 0 5 5 】

各実施例で記載されている技術的特徴（構成）は互いに組み合わせ可能であり、組み合わせることにより、新しい技術的特徴を形成することができる。ここで開示された実施形態は例示であって、制限的なものではないと考えられるべきである。本開示の範囲は、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【 符号の説明 】

【 0 0 5 6 】

1 0 0 , 3 0 0 , 4 0 0 , 5 0 0 表示装置

20

1 1 0 画素

1 1 5 アノード電極

1 1 6 カソード電極

1 1 7 ゲート電極

1 2 1 ソース電極

1 3 0 切替回路

1 3 1 映像信号線

1 3 8 第 1 電圧線

1 3 9 第 2 電圧線

2 0 1 絶縁基板

30

2 0 2 絶縁下地膜

2 0 3 共通層

2 0 4 発光層

2 0 5 カソード下層

2 0 6 キャップ層

2 0 7 乾燥空気層

2 0 8 封止ガラス

2 1 3 電子

2 3 1 R 画素

2 3 2 G 画素

40

2 3 3 B 画素

3 0 1 ゲート絶縁膜

3 0 2 第 1 層間絶縁膜

3 0 3 容量電極メタル

3 0 4 第 2 層間絶縁膜

3 0 5 ソースドレインメタル

3 0 6 パッシベーション膜

3 0 7 平坦化膜

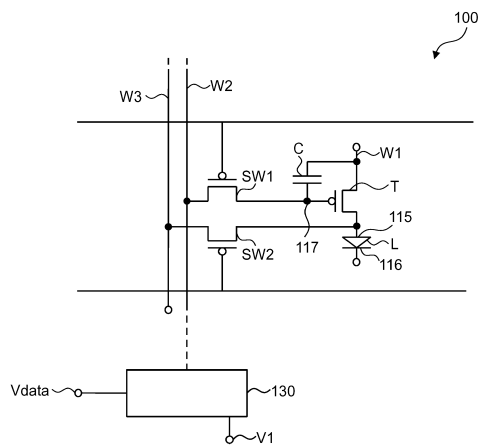
3 0 8 ゲートメタル

3 1 0 素子分離膜

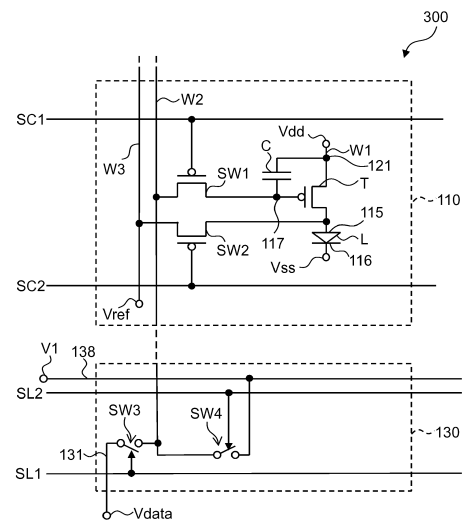
50

- 3 2 0 半 導 体 層
- 5 0 2 駆 動 集 積 回 路
- 5 0 3 第 1 走 査 駆 動 回 路
- 5 0 5 第 2 走 査 駆 動 回 路
- 5 0 7 保 護 回 路
- 5 1 0 表 示 領 域
- 6 1 0 R G B デ ル タ 画 素 配 置
- 6 2 0 検 査 回 路

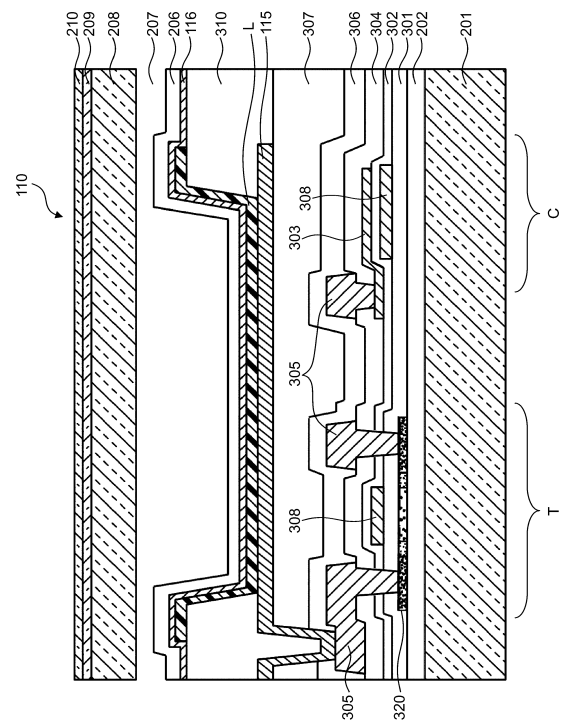
【 図 1 】



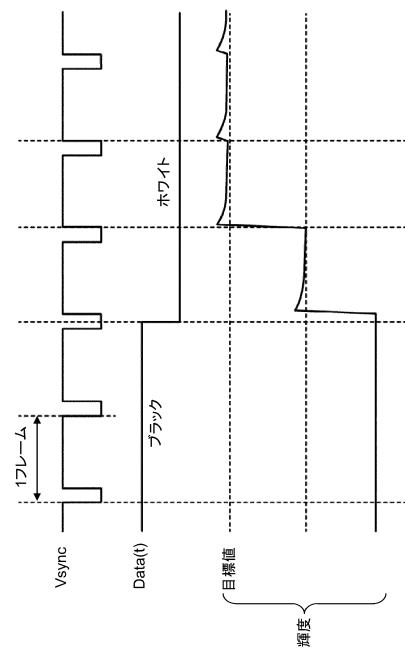
【 図 2 】



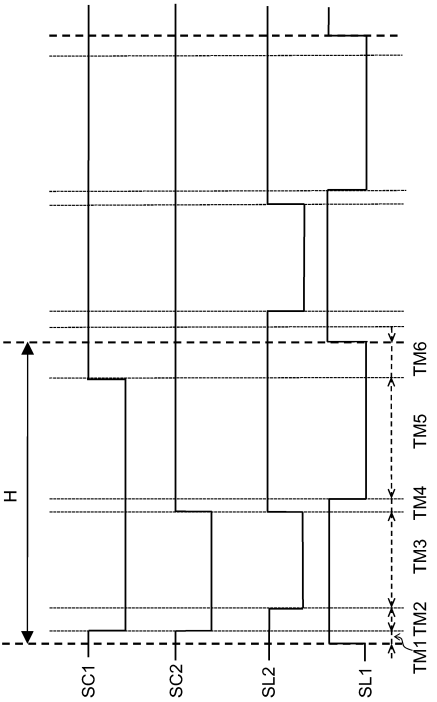
【 図 4 】



【 図 6 】



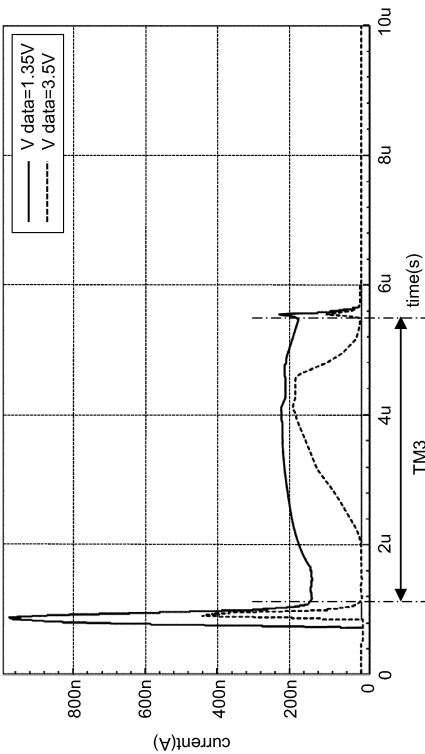
【図 7】



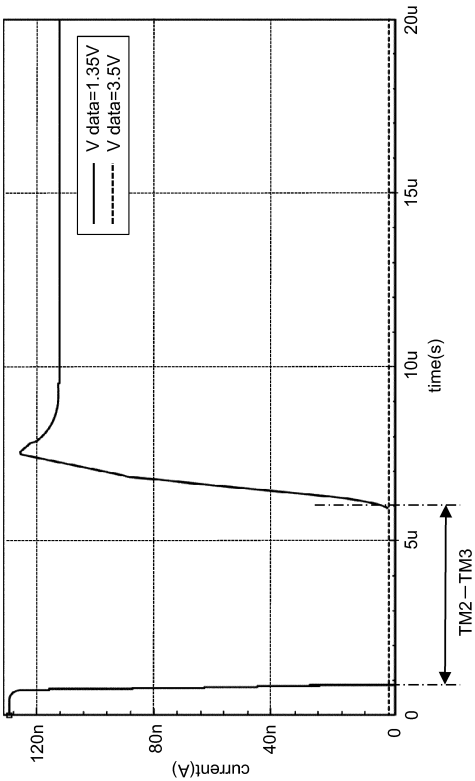
【図 8】

	TM1	TM2	TM3	TM4	TM5	TM6
SC1	OFF	ON	ON	ON	ON	OFF
SC2	OFF	ON	ON	OFF	OFF	OFF
SL2	OFF	OFF	ON	OFF	OFF	OFF
SL1	OFF	OFF	OFF	OFF	ON	ON

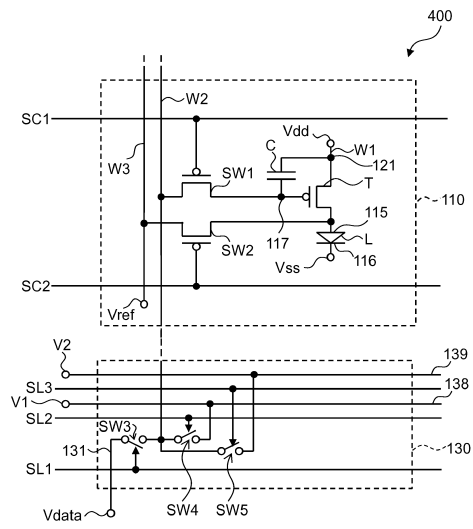
【図 9】



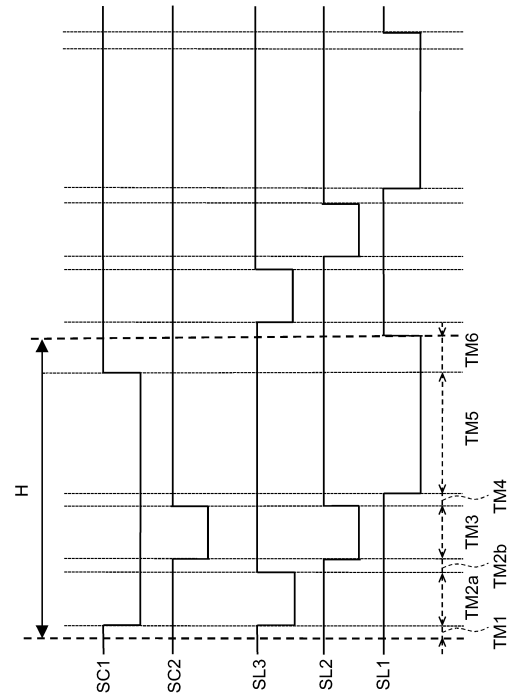
【図 10】



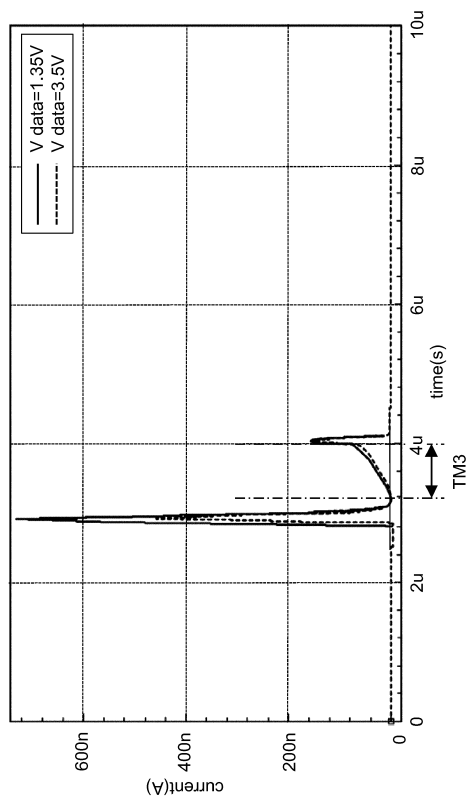
【図 1 1】



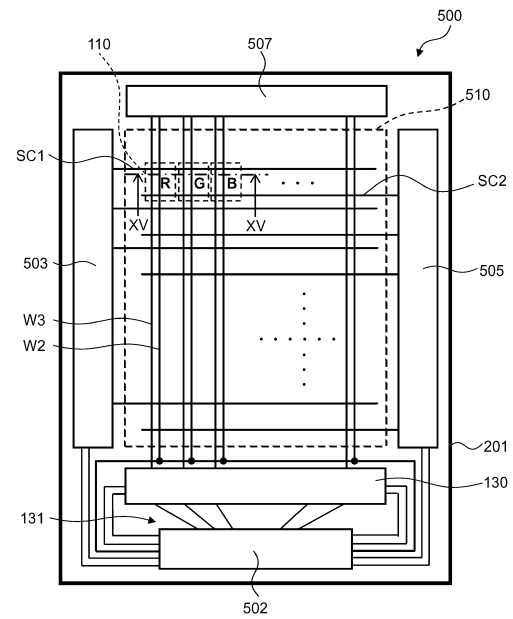
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 2 3 R

(72)発明者 野中 義弘
神奈川県川崎市中原区下沼部 1 7 5 3 番地 N L Tテクノロジー株式会社内

審査官 小野 健二

(56)参考文献 特開 2 0 0 9 - 1 9 9 0 5 7 (J P , A)
特開 2 0 0 3 - 1 2 2 3 0 1 (J P , A)
特開 2 0 1 0 - 0 9 1 6 8 2 (J P , A)
特開 2 0 0 6 - 3 1 7 6 0 0 (J P , A)
特開 2 0 0 6 - 0 6 5 2 8 2 (J P , A)
特開 2 0 0 9 - 2 1 0 9 9 3 (J P , A)
米国特許出願公開第 2 0 1 5 / 0 0 3 5 7 3 4 (U S , A 1)
米国特許出願公開第 2 0 1 5 / 0 1 8 7 2 7 0 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8