

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6738041号  
(P6738041)

(45) 発行日 令和2年8月12日(2020.8.12)

(24) 登録日 令和2年7月21日(2020.7.21)

(51) Int.Cl.

G09G 3/3233 (2016.01)  
G09G 3/20 (2006.01)

F 1

G09G 3/3233  
G09G 3/20 624B  
G09G 3/20 642A  
G09G 3/20 611J  
G09G 3/20 623C

請求項の数 12 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2016-86321 (P2016-86321)  
 (22) 出願日 平成28年4月22日 (2016.4.22)  
 (65) 公開番号 特開2017-194640 (P2017-194640A)  
 (43) 公開日 平成29年10月26日 (2017.10.26)  
 審査請求日 平成31年3月25日 (2019.3.25)

(73) 特許権者 519380923  
 天馬微電子有限公司  
 中華人民共和国廣東省深▲セン▼市竜華区  
 民治街道北駅社区留仙大道天馬大▲カ▼1  
 918  
 (74) 代理人 100114557  
 弁理士 河野 英仁  
 (72) 発明者 松枝 洋二郎  
 神奈川県川崎市中原区下沼部1753番地  
 NLTテクノロジー株式会社内  
 (72) 発明者 張 歩翔  
 神奈川県川崎市中原区下沼部1753番地  
 NLTテクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】表示装置及び表示方法

## (57) 【特許請求の範囲】

## 【請求項 1】

第1配線、第2配線及び第3配線と、  
 アノード電極とカソード電極との間の電流により発光する発光素子と、  
 前記第1配線から前記アノード電極に供給される電流を制御するトランジスタと、  
 前記第2配線と前記トランジスタのゲート電極とを接続又は非接続にする第1スイッチと、

前記第3配線と前記アノード電極とを接続又は非接続にする第2スイッチと、  
 前記第2配線に、映像信号の電圧、及び第1電圧のいずれかを選択的に印加する切替回路と

を備え、

前記第1電圧は、前記トランジスタのヒステリシスをチャネル導通状態に維持するため  
 に必要な最低限以上の電流を前記トランジスタに流すための電圧であり、

前記発光素子が発光しないように制御される時に、前記トランジスタのゲート電極に前記第1電圧を印加し、

前記切替回路は、前記第1スイッチが接続状態である期間において、前記第2配線に印  
 加する電圧を、前記映像信号が取り得る最高電圧以上の電圧である第2電圧、前記第1電  
 圧及び前記映像信号の電圧の順に切り替え、

前記第2配線に前記第1電圧を印加している期間において、前記第2スイッチが接続状  
 態となり、前記トランジスタのソース電極には前記第2スイッチを介して前記第3配線の

10

20

電圧が印加される表示装置。**【請求項 2】**

前記第1スイッチが接続状態である期間と、前記第2スイッチが接続状態である期間と、前記切替回路が前記第2配線に前記第1電圧を印加する期間とは少なくとも一部で重複している

請求項1に記載の表示装置。

**【請求項 3】**

前記発光素子は、前記アノード電極の電圧が、前記カソード電極の電圧に前記発光素子の閾値電圧を加えた電圧以下の場合に、前記アノード電極と前記カソード電極との間の電圧を保持する自己容量を有し、

前記第3配線の電圧は、前記カソード電極の電圧に前記発光素子の閾値電圧を加えた電圧以下である

請求項1又は2に記載の表示装置。

**【請求項 4】**

前記第1電圧は、前記カソード電極の電圧よりも大きい

請求項1乃至3のいずれか一項に記載の表示装置。

**【請求項 5】**

前記トランジスタのゲート電極とソース電極との間に接続された容量を更に備える

請求項1乃至4のいずれか一項に記載の表示装置。

20

**【請求項 6】**

前記第3配線は、前記第2配線とは異なる層に形成されている

請求項1乃至5のいずれか一項に記載の表示装置。

**【請求項 7】**

前記第3配線は、前記第2配線に沿って延びている

請求項1乃至6のいずれか一項に記載の表示装置。

**【請求項 8】**

前記第3配線は、前記カソード電極に接続されている

請求項1乃至6のいずれか一項に記載の表示装置。

**【請求項 9】**

前記第1電圧は、前記映像信号が取り得る最低電圧以下の電圧である

請求項1乃至8のいずれか一項に記載の表示装置。

30

**【請求項 10】**

前記第1電圧は、前記第3配線の電圧よりも大きい

請求項1乃至9のいずれか一項に記載の表示装置。

**【請求項 11】**

前記発光素子、前記トランジスタ、前記第1スイッチ及び前記第2スイッチを含む画素回路を複数有する表示領域と、

各画素回路の前記第1スイッチの接続状態を制御する第1走査信号、及び前記第2スイッチの接続状態を制御する第2走査信号を供給する走査駆動回路と、

前記走査駆動回路に信号を供給すると共に、前記切替回路に信号を供給する駆動集積回路と

を更に備える請求項1乃至10のいずれか一項に記載の表示装置。

**【請求項 12】**

ゲート電極の電圧に基づいて、第1配線から発光素子のアノード電極に流れる電流を制御するトランジスタを備える表示装置の表示方法において、

前記表示装置は、

前記発光素子の前記アノード電極に第3配線の電圧を印加し、

前記ゲート電極に対して第2配線を介して第1電圧を印加し、

前記アノード電極に対する前記第3配線の電圧の印加と、前記ゲート電極に対する前記

40

50

第1電圧の印加とを共に停止した後、前記ゲート電極に対して映像信号の電圧を印加し、前記発光素子が発光しないように制御される時に、前記トランジスタのヒステリシスをチャネル導通状態に維持するために必要な最低限以上の電流を前記トランジスタに流すための前記第1電圧を、前記トランジスタのゲート電極に印加し、

前記第2配線を介して前記トランジスタのゲート電極に印加する電圧を、前記映像信号が取り得る最高電圧以上の電圧である第2電圧、前記第1電圧及び前記映像信号の電圧の順に切り替え、

前記トランジスタのゲート電極に前記第1電圧を印加している期間において、前記第3配線及び前記アノード電極を接続状態とし、前記トランジスタのソース電極に前記第3配線の電圧を印加する

10

表示方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置、表示装置の表示方法に関する。

【背景技術】

【0002】

有機EL(Electro Luminescence)素子等の発光素子を用いた、いわゆる自発光型の表示装置(以下、表示装置と適宜略記する)が実用化されている。表示装置は、各画素において自発光を行う。このため、表示装置は、視認性、応答速度の点で優れている。さらに、表示装置においては、バックライトのような補助照明装置を要しないため、更なる薄型化が可能である。前記した表示装置について、特許文献1~3に開示されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2012-155953号公報

【特許文献2】特開2008-158477号公報

【特許文献3】特開2012-128386号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

表示装置は、複数の画素を有し、各画素は、例えば、発光素子と、この発光素子に供給する電流を制御する駆動トランジスタとを有する。発光素子は、供給される電流に応じて発光輝度が制御される。

【0005】

駆動トランジスタは、通電時と非通電時においてIV特性が異なるというヒステリシス特性(以下、ヒステリシスと適宜略記する)がある。このヒステリシスにより、表示装置の画質が低下することがある。画質の低下の原因は、例えば、所定の発光輝度に対応する、予め定められた電圧が、駆動トランジスタのゲートに印加されても、このヒステリシスにより所定の発光輝度に対応する電流が発光素子に流れず、所定の発光輝度で発光素子が発光しないことである。

40

【0006】

本開示の表示装置の一つの目的は、画質の低下を抑制することである。

【課題を解決するための手段】

【0007】

本開示の表示装置の一つの側面は、第1配線、第2配線及び第3配線と、アノード電極とカソード電極との間の電流により発光する発光素子と、前記第1配線から前記アノード電極に供給される電流を制御するトランジスタと、前記第2配線と前記トランジスタのゲート電極とを接続又は非接続にする第1スイッチと、前記第3配線と前記アノード電極とを接続又は非接続にする第2スイッチと、前記第2配線に、映像信号の電圧、及び第1電

50

圧のいずれかを選択的に印加する切替回路とを備え、前記第1電圧は、前記トランジスタのヒステリシスをチャネル導通状態に維持するために必要な最低限以上の電流を前記トランジスタに流すための電圧であり、前記発光素子が発光しないように制御される時に、前記トランジスタのゲート電極に前記第1電圧を印加し、前記切替回路は、前記第1スイッチが接続状態である期間において、前記第2配線に印加する電圧を、前記映像信号が取り得る最高電圧以上の電圧である第2電圧、前記第1電圧及び前記映像信号の電圧の順に切り替え、前記第2配線に前記第1電圧を印加している期間において、前記第2スイッチが接続状態となり、前記トランジスタのソース電極には前記第2スイッチを介して前記第3配線の電圧が印加される表示装置である。

## 【発明の効果】

10

## 【0008】

本開示の表示装置の一つの側面によれば、画質の低下を抑制できる。

## 【図面の簡単な説明】

## 【0009】

【図1】第1の実施形態に係る表示装置の構成について示す図である。

【図2】第2の実施形態に係る表示装置の構成について示す図である。

【図3】第2の実施形態の変形例に係る表示装置の構成について示す図である。

【図4】画素の断面の例について示す図である。

【図5】トランジスタのIV特性の例について示すグラフである。

【図6】イメージリテンションの例について示す図である。

20

【図7】図2の回路における動作の一例について示すタイミングチャートである。

【図8】水平同期期間内の各期間におけるスイッチの状態を示すテーブルである。

【図9】第2スイッチに流れる電流のシミュレーション結果を示すグラフである。

【図10】発光素子に流れる電流のシミュレーション結果を示すグラフである。

【図11】第3の実施形態に係る表示装置の構成について示す図である。

【図12】図11の回路における動作の一例について示すタイミングチャートである。

【図13】図12のタイミングチャートにおける第2スイッチに流れる電流のシミュレーション結果を示すグラフである。

【図14】第4の実施形態に係る表示装置の構成について示す図である。

【図15】図14のXV-XV線における断面図である。

30

【図16】画素配置の一例について示す図である。

【図17】RGBデルタ画素配置の画素の点灯検査を行う検査回路の一例について示す図である。

## 【発明を実施するための形態】

## 【0010】

以下、表示装置の実施の形態を、図を適宜参照しながら説明する。なお、明細書、特許請求の範囲における“第1”、“第2”等の序数は、要素間の関係を明確にするため、および要素間の混同を防ぐために付している。したがって、これらの序数は、要素を数的に限定しているものではない。

## 【0011】

40

また、図示した構成要素の寸法や比率などは、実物の構成要素と一致するようには図示されていない場合がある。また、図示や図面の説明の都合上、実物に含まれる構成要素が省略されていたり、図示した構成要素の寸法が実物に含まれる構成要素よりも誇張されている場合がある。

## 【0012】

また、“接続”という用語は、接続対象間で電気的に接続していることを意味している。“電気的に接続”は、接続対象間が、電極、配線、抵抗、キャパシタ等の電気的素子を介して接続している場合も含む。なお、“電極”や“配線”という用語は、これらの構成要素を機能的に限定していない。たとえば、“配線”は“電極”的一部として利用されることも可能である。また、逆に、“電極”は“配線”的一部として利用されることも可能

50

である。

【0013】

[第1の実施形態]

図1は、第1の実施形態に係る表示装置100の構成について示す図である。この図に示されるように、表示装置100は、第1配線W1と、第2配線W2と、第3配線W3と、発光素子Lと、トランジスタTと、第1スイッチSW1と、第2スイッチSW2と、切替回路130とを有している。ここで発光素子Lは、アノード電極115とカソード電極116との間の電流により発光する。トランジスタTは、第1配線W1からアノード電極115に供給される電流を制御する。

【0014】

10

第1スイッチSW1は、第2配線W2とトランジスタTのゲート電極117とを接続又は非接続にする。換言すれば、第1スイッチSW1は、第2配線W2とトランジスタTのゲート電極117との間に配置され、第2配線W2とトランジスタTのゲート電極117との導通を制御する。

【0015】

第2スイッチSW2は、第3配線W3とアノード電極115とを接続又は非接続にする。換言すれば、第2スイッチSW2は、第3配線W3とアノード電極115との間に配置され、第3配線W3とアノード電極115との導通を制御する。

切替回路130は、第2配線W2に、映像信号電圧Vdata、及び第1電圧V1のいずれかを選択的に印加する。

20

【0016】

ここで、表示装置100は、第2スイッチSW2をオンさせた状態で第3配線W3から供給される電位でアノード電極115を非発光状態(黒レベルとも呼ぶ)にリセットすることが好ましい。表示装置100は、このリセット後、第1電圧V1を、あらかじめ設定されたタイミングと電位で切替回路130から第2配線W2に供給する。第1電圧V1は、発光素子Lを駆動するトランジスタTのゲート電極117に印加される。第1電圧V1は、トランジスタTのヒステリシスをチャネル導通状態に維持するために必要最低限以上の電流をトランジスタTに流すための電圧である。その後、表示装置100は、通常の映像信号電圧Vdataを切替回路130から第2配線W2に供給する。

【0017】

30

このような構成とすることにより、常にトランジスタTのヒステリシスを導通状態に固定した状態で所望の映像信号電圧VdataをトランジスタTのゲート電極117に印加すること(書き込むこと)ができる。このため、本実施形態の表示装置100によれば、トランジスタTの通電状態と非通電状態のI-V特性のヒステリシスに基づく、画質の低下を抑制できる。なお、画質の低下の原因是、例えば、所定の発光輝度に対応する予め定められた電圧が、駆動トランジスタのゲートに印加されても、所定の発光輝度に対応する電流が発光素子に流れずに、所定の発光輝度で発光素子が発光しないことである。なお、トランジスタTのヒステリシスについては、図5で詳細に説明する。

【0018】

40

また、本実施形態の表示装置100において、表示の制御を行う回路に含まれるトランジスタT及びスイッチSW1及びSW2は、併せて3つの少ない数で構成されている。このため、本実施形態の表示装置100によれば、微細加工における歩留まりを向上できると共に、スイッチ等が形成されない発光領域を広く確保して発光効率を高めることができる。また、本実施形態の表示装置100によれば、発光領域を広く確保できることにより、スイッチ等と発光領域を併せた領域を更に微細化しても十分な発光量を維持することができる。すなわち、本実施形態の表示装置100によれば、十分な発光量を維持したままで、高精細化を実現できる。なお、本実施形態においては、P型のトランジスタを用いることとしたが、N型のトランジスタを用いることとしてもよい。

【0019】

[第2の実施形態]

50

図2は、第2の実施形態に係る表示装置300の構成について示す図である。第2の実施形態に係る表示装置300は、第1の実施形態に係る表示装置100と同様の構成であり、切替回路130については具体的な構成の一例を示している。したがって図1と同様の要素には同一の符号を付し、第1の実施形態の説明をここに引用して重複する説明を省略する。

#### 【0020】

表示装置300は、トランジスタTのゲート電極117とソース電極121との間に接続されたキャパシタCを有している。発光素子Lと、トランジスタTと、キャパシタCと、第1スイッチSW1と、第2スイッチSW2と、第1配線W1と、第2配線W2と、第3配線W3とは、画素110を構成している。

10

#### 【0021】

第1スイッチSW1を構成するトランジスタのゲートには、第1走査信号SC1が供給される。第2スイッチSW2を構成するトランジスタのゲートには、第2走査信号SC2が供給される。映像信号電圧Vdataは映像信号線131に印加される。第3スイッチSW3は、第2配線W2と映像信号線131とを接続又は非接続にする。第3スイッチSW3は、第1選択信号SL1により制御される。第1電圧V1は第1電圧線138に印加される。第4スイッチSW4は、第2配線W2と第1電圧線138とを接続又は非接続にする。第4スイッチSW4は、第2選択信号SL2により制御される。ここで、第1配線W1には、表示装置300における高位側の電位Vdd、カソード電極116には低位側の電位Vssを印加することとしてもよい。ここで、第1スイッチSW1、第2スイッチSW2、第3スイッチSW3及び第4スイッチSW4は、共に接続状態と非接続状態とを切り替えるスイッチ機能を実現するトランジスタで構成されていてもよい。また、トランジスタTは、飽和領域で使用されるトランジスタとすることができる。

20

#### 【0022】

なお、図2においては、キャパシタCをトランジスタTのゲート電極117とソース電極121との間に容量を形成するものとした。他にも、キャパシタCは、ゲート電極117と、固定電位に接続された他の電極との間に容量を形成してもよい。図3は、第2の実施形態の変形例に係る表示装置の構成について示す図である。図3では、他の電極が、固定電位である参照電圧Vrefが印加される第3配線W3に接続する構成を例示している。

30

#### 【0023】

図4は、画素110の断面の例について示す図である。この断面図においては、トランジスタT、キャパシタC及び発光素子Lが示されている。トランジスタTは、ガラス基板等の絶縁基板201上に形成された絶縁下地膜202上に形成されている。絶縁下地膜202上には半導体層320があり、不純物の量が、図面の半導体層320の両端から中央に向けて少なくなるように印加され、P+層、P-層及びi層に分かれている。半導体層320上にはゲート絶縁膜301が形成され、ゲート絶縁膜301上にMo(モリブデン)等によりゲートメタル308で配線が形成される。ゲートメタル308は、図2のゲート電極117に対応する。ゲートメタル308上には第1層間絶縁膜302及び第2層間絶縁膜304が順に形成され、第1層間絶縁膜302及び第2層間絶縁膜304の間にはキャパシタCの一方の電極となる容量電極メタル303がMo等により形成されている。第2層間絶縁膜304上には、スルーホールを介して容量電極メタル303や半導体層320に接続するソースドレインメタル305が形成されている。ソースドレインメタル305は、Ti/A1/Ti等の積層構造からなるものとしてもよいし、その他の導体を用いることができる。ソースドレインメタル305上にはパッシベーション膜306及び平坦化膜307が形成されている。絶縁下地膜202、ゲート絶縁膜301、第1層間絶縁膜302及び第2層間絶縁膜304等の絶縁膜は、例えばSiNxやSiOx等の絶縁膜から構成される。

40

#### 【0024】

平坦化膜307上には、アノード電極115が形成されている。アノード電極115は、スルーホールを介してトランジスタTのソースドレインメタル305(図4において図

50

面左側のソースドレインメタル)と接続する。アノード電極 115 上には、複数層からなる発光素子 L を介してカソード電極 116 が形成される。アノード電極 115 に接触する発光素子 L はアノード電極 115 と接触する部分において発光する。発光素子 L と接触していないアノード電極 115 の端部は、素子分離膜 310 により覆われ、発光素子 L はアノード電極 115 上から素子分離膜 310 の上に延びるように配置される。カソード電極 116 上にはキャップ層 206 が形成されている。キャップ層 206 上には乾燥空気を封止する封止ガラス 208 が配置され、乾燥空気層 207 を形成する。キャップ層 206、乾燥空気層 207 及び封止ガラス 208 は、カソード電極 116 より下層に水分が侵入するのを防ぐものである。封止ガラス 208 上には 1/4 位相差板 209 及び偏光板 210 が配置される。なお、1/4 位相差板 209 及び偏光板 210 は配置されていなくてもよい。図 4 の断面図及び構成は、図 3 の回路構成を実現する断面構成の例であり、これ以外の断面構成であってもよい。

#### 【0025】

なお、例えば図 2 に示されるように、第 3 配線 W3 は、第 2 配線 W2 に沿って延びる配線とすることができます。また、図 4 の断面図には示されていないが、第 3 配線 W3 と第 2 配線 W2 とは異なる層に形成されるものとすることができます。第 3 配線 W3 と第 2 配線 W2 とが異なる層に形成されているので、第 2 配線 W2 の電位の変化により、第 3 配線 W3 の電位が変動するのを抑制できる。また、第 3 配線 W3 をカソード電極 116 に接続することとしてもよい。これにより、第 3 配線 W3 を新たに配置することなく、カソード電極 116 の電位をアノード電極 115 に第 2 スイッチ SW2 を介して印加させることができる。

#### 【0026】

図 5 は、トランジスタ T の I-V 特性、つまりゲート・ソース間電圧 V<sub>gs</sub> に対するソース・ドレイン間電流 I<sub>ds</sub> の特性の例について示すグラフである。すなわち、図 5 は、トランジスタ T のヒステリシスの一例を示す。このグラフに示されるように非通電時(非導通時とも呼ぶ)の I-V 特性と、通電時(導通時とも呼ぶ)の I-V 特性とは異なっている。例えば、非通電状態において、ある階調値(輝度とも呼ぶ)に対応するゲート・ソース間電圧 V<sub>A</sub> をトランジスタ T のゲート電極 117 に印加した第 1 の場合を想定する。第 1 の場合、トランジスタ T には、非通電時の I-V 特性の曲線上のソース・ドレイン間電流 I<sub>A1</sub> の電流が流れる。

その後、同じ階調値に対応するゲート・ソース間電圧 V<sub>A</sub> をトランジスタ T のゲート電極 117 に印加し続けた第 2 の場合を想定する。第 2 の場合、トランジスタ T の I-V 特性は通電時の I-V 特性に変化する。

#### 【0027】

以上説明したように、同じ電圧をトランジスタ T のゲート電極 117 に印加しても、第 1、第 2 の場合のように、トランジスタ T は、異なる電流を発光素子 L に流す場合がある。例えば、トランジスタ T が通電時において、トランジスタ T のゲート電極 117 に電圧 V<sub>A</sub> が印加されると、発光素子 L には、非通電時の I-V 特性の曲線上のソース・ドレイン間電流 I<sub>A1</sub> より低いソース・ドレイン間電流 I<sub>A2</sub> の電流が流れることとなる。ソース・ドレイン間電流 I<sub>A2</sub> が発光素子 L に流すべき電流値である場合には、ソース・ドレイン間電流 I<sub>A1</sub> は、流すべき電流値 (I<sub>A2</sub>) よりも高くなる。このため、より高い輝度で発光する場合がある。すなわち、発光素子 L を駆動するトランジスタ T のヒステリシスにより、発光素子 L が所望の輝度で発光しない場合がある。このような場合、コントラストの低下等、画質が低下する。特に、表示装置が動画像などのように高速に画像が変化する映像フレームを表示する場合のように、各画素の輝度が頻繁に変化すると、トランジスタ T のヒステリシスによる、いわゆる画面のちらつきが発生し、画質が低下し易くなる。

#### 【0028】

また、ヒステリシスに基づく、いわゆるイメージリテンションが発生することがある。図 6 は、特許文献 3 に開示されたイメージリテンションの例について示す図である。この

10

20

30

40

50

場合には、ブラックからホワイトに表示を切り替える場合、ブラックとホワイトとの間でIV特性が異なるため、1フレームでホワイトの輝度に到達することができず、2フレームを要してホワイトの輝度を達成している。

#### 【0029】

しかし、本実施の形態の表示装置300は、常にトランジスタTのヒステリシスを導通状態に固定した状態(図5の通電時のグラフ線参照)で所望の映像信号電圧V<sub>data</sub>をトランジスタTのゲート電極117に印加する。このため、本実施形態の表示装置300によれば、ヒステリシスに基づく、画質の低下を抑制できる。

#### 【0030】

図7は、図2の回路における動作の一例について示すタイミングチャートである。図8は、図7のタイミングチャートにおいて、いわゆる水平同期期間Hを、図7に示される第1期間TM1～第6期間TM6に分割し、各期間におけるスイッチ(トランジスタ)の状態を示すテーブルである。ここで図7のタイミングチャートにおけるHigh信号は、図8のOFFであり、Low信号はONである。図7のタイミングチャート及び図8のテーブルに示されるように、水平同期期間Hの最初の期間TM1において、第1走査信号SC1、第2走査信号SC2、第1選択信号SL1及び第2選択信号SL2はすべてOFFである。期間TM2において、第1走査信号SC1及び第2走査信号SC2がONとなり、第1スイッチSW1及び第2スイッチSW2が共に接続状態となる。アノード電極115には第3配線W3に印加された参照電圧V<sub>ref</sub>が印加される。引き続き、第3期間TM3において、第2選択信号SL2がONとなり、第4スイッチSW4が接続状態となる。これにより第1スイッチSW1が接続状態である期間と、第2スイッチSW2が接続状態である期間と、切替回路130が第2配線W2に第1電圧V1を印加する期間とは重複する状態となり、第1電圧V1がゲート電極117に印加される。第1電圧V1は、例えば、トランジスタTを導通状態にする必要最小限の電圧、すなわち閾値電圧である。換言すれば、第1電圧V1は、トランジスタTのヒステリシスをチャネル導通状態(図5の「通電時」の実線参照)に維持するために、必要最低限以上の電流をトランジスタTに流す電圧である。

#### 【0031】

トランジスタTのゲート電極117に第1電圧V1が印加されるとトランジスタTが導通状態になり、トランジスタTに電流が流れる。この電流により、トランジスタTのヒステリシスがチャネル導通状態に維持される。

なお、第1スイッチSW1が接続状態である期間と、第2スイッチSW2が接続状態である期間と、切替回路130が第2配線W2に第1電圧V1を印加する期間とは少なくとも一部で重複している。換言すれば、第1スイッチSW1が接続状態である期間と、第2スイッチSW2が接続状態である期間と、切替回路130が第2配線W2に第1電圧V1を印加する期間とがすべて重複していなくてもよく、例えば、第1スイッチSW1が接続状態である期間と切替回路130が第2配線W2に第1電圧V1を印加する期間とが一部で重複していてもよい。

#### 【0032】

ここで、参照電圧V<sub>ref</sub>は、発光素子Lを発光させない電圧とすることができます。また、参照電圧V<sub>ref</sub>を、つまり第3配線W3の電圧を、カソード電極116の電圧に発光素子Lの閾値電圧V<sub>tholed</sub>を加えた電圧以下とすることができます。参照電圧V<sub>ref</sub>をこのような電圧範囲として、第3期間TM3において、第2スイッチSW2を接続状態とすれば、トランジスタTに流れた電流は、第3配線W3に迂回(バイパス)する。このように電流がバイパスされるので、発光素子Lに電流が流れることがない。そのため、本実施形態の表示装置300によれば、発光素子Lを発光しないように制御することができます。発光素子Lは、アノード電極115の電圧が、カソード電極116の電圧に発光素子Lの閾値電圧V<sub>tholed</sub>を加えた電圧以下の場合に、アノード電極115とカソード電極116との間の電圧を保持する自己容量を有することとなる。また、この場合には、後述するように、周囲からのリーク電流による発光を抑えることができる。

10

20

30

40

50

## 【0033】

また、第1電圧V1は、カソード電極116の電圧よりも大きくすることができる。これにより、トランジスタTに過多の電流が流れることを抑止することができる。また、第1電圧V1は、映像信号が取り得る最低電圧以下の電圧とすることができる。これによりトランジスタTを十分な通電状態とし、トランジスタTのIV特性を通電状態に保つことができる。また、第1電圧V1は、第3配線W3に印加される電圧である参照電圧Vrefよりも大きくてよい。これにより、第1スイッチSW1及び第3スイッチSW3が閉じているとき、トランジスタTに過多の電流が流れることを抑止することができる。

## 【0034】

引き続き、第4期間TM4において、第2走査信号SC2及び第2選択信号SL2がOFFに変化する。第4期間TM4において、第4スイッチSW4が非接続状態になるので、トランジスタTのゲート電極117に対する第1電圧V1の電圧印加が停止する。

10

第5期間TM5において、第1選択信号SL1がONに変化する。つまり、第3スイッチSW3が接続状態となり、ゲート電極117に、所望の発光輝度に応じた映像信号電圧Vdataが印加される。映像信号電圧VdataがトランジスタTのゲート電極117に印加された時点では、トランジスタTは、トランジスタTのヒステリシスがチャネル導通状態に維持されている。

## 【0035】

このように、第1スイッチSW1が接続状態である期間において、切替回路130は、第2配線W2に印加する電圧を、第1電圧V1から映像信号電圧Vdataに切り替える。これにより、発光素子Lに映像信号電圧Vdataに応じた電流が流れ、発光素子Lは、映像信号電圧Vdataに応じた輝度で発光を開始する。第6期間TM6において、第1走査信号SC1がOFFに変化し、次の水平同期期間Hの開始時に第1選択信号SL1がOFFに変化する。このように制御することにより、本実施形態の表示装置によれば、第1電圧V1によりトランジスタTのIV特性を通電状態に保ったまま、映像信号の電圧Vdataを印加することができる。なお、第1スイッチSW1の接続状態は、第1電圧V1と映像信号電Vdataを切り替える間連続していなくてもよく、例えば、第1電圧V1と映像信号電Vdataとの切り替えのタイミングで、第1スイッチSW1を非接続状態としてもよい。

20

## 【0036】

図9は、第2スイッチSW2に流れる電流のシミュレーション結果を示すグラフである。ここで第2スイッチSW2に流れる電流は、アノード電極115から第3配線W3に流れる電流である。実線は、最大輝度の映像信号電圧Vdata = 1.35Vが、各フレームでトランジスタTのゲート電極117に印加される場合について示している。破線は、最小輝度の映像信号電圧Vdata = 3.5Vが、各フレームでトランジスタTのゲート電極117に印加される場合について示している。第1電圧V1がゲート電極117に印加され、第2スイッチSW2が接続状態となる第3期間TM3では、トランジスタTは通電状態に維持される。しかしながら、このグラフに示されるように、第2スイッチSW2に流れる電流は、最大輝度の映像信号電圧Vdata (= 1.35V)の場合において、136nA ~ 222nA、最小輝度の映像信号電圧Vdata (= 3.5V)の場合において、0 ~ 188nAに抑えられる。

30

## 【0037】

図10は、発光素子Lに流れる電流のシミュレーション結果を示すグラフである。実線は、最大輝度の映像信号電圧Vdata = 1.35Vが、各フレームで印加される場合について示している。破線は、最小輝度の映像信号電圧Vdata = 3.5Vが、各フレームで印加される場合について示している。このグラフに示されるように、第2期間TM2及び第3期間TM3の第2走査信号SC2がONの期間において、発光素子Lに電流はほとんど流れおらず、これは発光素子Lが発光していない状態、つまり最低輝度の状態と同様であることを示している。

40

## 【0038】

したがって、本実施形態によれば、発光素子Lを発光させることなく、トランジスタT

50

を通電状態とした後に、映像信号電圧  $V_{data}$  を印加することができる。また、第1電圧  $V_1$  及び第3配線  $W_3$  に印加する電圧である参照電圧  $V_{ref}$  を適切に選択した場合には、通電状態に必要とする消費電流を低く抑えることができる。

#### 【0039】

##### [第3の実施形態]

図11は、第3の実施形態に係る表示装置400の構成について示す図である。第3の実施形態に係る表示装置400は、第2の実施形態に係る表示装置300の構成に対して、第3選択信号  $S_{L3}$ 、第5スイッチ  $S_{W5}$  及び第2電圧  $V_2$  を印加する第2電圧線  $139$  が追加された構成であり、これら以外の構成については同様である。このため、同様の構成については図2と同一の符号を付し、第2の実施形態の説明をここに引用して重複する説明を省略する。表示装置400の切替回路  $130$  は、第2配線  $W_2$  に、映像信号電圧  $V_{data}$  及び第1電圧  $V_1$  の他、更に第2電圧  $V_2$  を選択的に印加する。すなわち、切替回路  $130$  は、第2配線  $W_2$  に印加する電圧を、第2電圧  $V_2$ 、第1電圧  $V_1$  及び映像信号電圧  $V_{data}$  の順に切り替える。なお、参照電圧  $V_{ref}$  は、図7における例と同様である。

#### 【0040】

図12は、図11の表示装置400の回路における動作の一例について示すタイミングチャートである。図7のタイミングチャートと同様に、図12のタイミングチャートでは、水平同期期間  $H$  の最初の期間  $TM_1$  において、第1走査信号  $S_{C1}$ 、第2走査信号  $S_{C2}$ 、第1選択信号  $S_{L1}$  及び第2選択信号  $S_{L2}$  はすべてOFFであり、第3選択信号  $S_{L3}$  もOFFである。期間  $TM_2a$  において、第1走査信号  $S_{C1}$  及び第3選択信号  $S_{L3}$  がONとなり、第1スイッチ  $S_{W1}$  及び第5スイッチ  $S_{W5}$  が接続状態となる。これにより、第2電圧  $V_2$  がゲート電極  $117$  に印加される。引き続き、期間  $TM_2b$  において、第3選択信号  $S_{L3}$  がOFFとなり、期間  $TM_3$  において、第2選択信号  $S_{L2}$  及び第2走査信号  $S_{C2}$  がONとなる。これにより、第4スイッチ  $S_{W4}$  が接続状態になり、第1電圧  $V_1$  がゲート電極  $117$  に印加されると共に、第2スイッチ  $S_{W2}$  が接続状態になり、参照電圧  $V_{ref}$  がアノード電極  $115$  に印加される。すなわち、第2配線  $W_2$  に第1電圧  $V_1$  を印加している期間において、第2スイッチ  $S_{W2}$  が接続状態となる。ここで、第2電圧  $V_2$  は、映像信号線  $131$  に印加される最も高い電圧以上とすることができる。また、第2電圧  $V_2$  は、最も低い輝度に相当する電圧以上とすることができる。これによりトランジスタ  $T$  を非接続状態とし、前のフレームにおける発光を止める表示とすることができる。

#### 【0041】

図13は、図12のタイミングチャートにおける第2スイッチ  $S_{W2}$  に流れる電流のシミュレーション結果を示すグラフである。図9と同様にここで第2スイッチ  $S_{W2}$  に流れる電流は、アノード電極  $115$  から第3配線  $W_3$  に流れる電流である。図13の実線が示す電圧は、図9で説明した実線が示す電圧と同じである。図13の破線が示す電圧は、図9で説明した破線が示す電圧と同じである。第1電圧  $V_1$  がゲート電極  $117$  に印加され、第2スイッチ  $S_{W2}$  が接続状態となる第3期間  $TM_3$  では、トランジスタ  $T$  は通電状態に維持される。しかしながら、このグラフに示されるように、第2スイッチ  $S_{W2}$  に流れる電流は、最大輝度の映像信号電圧  $V_{data}$  ( $= 1.35V$ ) の場合においても、最小輝度の映像信号電圧  $V_{data}$  ( $= 3.5V$ ) の場合においても、 $0 \sim 75 \text{ nA}$  に抑えられる。

#### 【0042】

第1スイッチ  $S_{W1}$  が接続状態の期間において、切替回路  $130$  は、第2配線  $W_2$  との接続を、第2電圧線  $139$ 、第1電圧線  $138$ 、映像信号線  $131$  の順に切り替えている。つまり、本実施形態の表示装置は、トランジスタ  $T$  を第3期間  $TM_3$  の通電状態とする前に、第2電圧  $V_2$  をゲート電極  $117$  に印加している。このため、各フレームにおける第3期間  $TM_3$  に流れる電流値を均一化することができる。また、第2電圧  $V_2$  を映像信号線に印加される最高電圧以上又は最も低い輝度に相当する電圧以上とすることにより、第1電圧  $V_1$  の印加時の発光素子  $L$  の発光を抑えると共に、第3期間  $TM_3$  の消費電流を低く抑えることができる。また、第2の実施形態の構成をすべて含むため、第2の実施形

態の効果をすべて有する。また、本実施形態においては、切替回路 130 が第 2 配線 W2 と第 1 電圧線 138 とを接続している期間において、第 2 スイッチ SW2 を接続状態としたため、発光素子 L を発光させることなく、トランジスタ T を通電状態とした後に、映像信号電圧 Vdata を印加することができる。

【 0 0 4 3 】

[ 第 4 の実施形態 ]

図 14 は、第 4 の実施形態に係る表示装置の構成について示す図である。この図に示されるように表示装置 500 は、ガラス基板等の絶縁基板 201 上に形成された回路で構成されている。そして、表示領域 510 には複数の画素 110 が整列している。画素 110 及び切替回路 130 の構成は、例えば第 2 の実施形態及び第 3 の実施形態のいずれかの画素 110 及び切替回路 130 の構成と同様の構成とすることができるため、第 2 の実施形態及び第 3 の実施形態の説明をここに引用して重複する説明を省略する。

【 0 0 4 4 】

各画素 110 に配置される発光素子 L は R (赤) G (緑) B (青) の 3 種類の発光素子 L で多色表示を行う。しかしながら、これら以外の色の組み合わせで多色表示を行うものであってもよいし、単色表示の表示装置 500 であってもよい。第 2 の実施形態で説明したように、第 1 走査駆動回路 503 は、各画素 110 に第 1 走査信号 SC1 を供給する。また、第 2 走査駆動回路 505 は、各画素 110 に第 2 走査信号 SC2 を供給する。ここで第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 をまとめて走査駆動回路と呼ぶ。また、各画素 110 には、第 2 の実施形態で説明したように、第 1 配線 W1、第 2 配線 W2 及び第 3 配線 W3 が配置される。なお、切替回路 130 の構成の説明は、前述したので省略する。

【 0 0 4 5 】

駆動集積回路 502 は、第 3 配線 W3 に、表示領域 510 内の各画素 110 において共通の電圧を印加する。第 2 配線 W2 及び第 3 配線 W3 は、表示領域 510 を跨いで切替回路 130 とは反対側の ESD (Electrostatic Discharge) 保護回路 507 に接続されている。ESD 保護回路 507 は、第 2 配線 W2 又は第 3 配線 W3 に入り込んだ静電気を接地電位に流すことができる回路である。駆動集積回路 502 は、更に第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 を制御する信号を出力し、映像信号電圧 Vdata を切替回路 130 に出力し、また切替回路 130 の各種スイッチを制御する。

【 0 0 4 6 】

本実施形態においては図 14 のような構成としたが、このような構成に限られない。例えば、第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 は、表示領域 510 を挟んだ構成としたが、同じ側に形成されていてもよい。また、ESD 保護回路 507 を有していない構成であってもよい。また、切替回路 130 は、第 1 走査駆動回路 503 及び第 2 走査駆動回路 505 のいずれか、又は両方を含む意味での走査駆動回路に含まれていてよい。画素 110 の回路構成、切替回路 130 の構成及び動作タイミングについては、第 2 の実施形態、又は第 3 実施形態に記載された内容と同様とすることができる。しかしながら、第 2 の実施形態及び第 3 の実施形態に記載された以外の動作タイミングを用いることもできる。

【 0 0 4 7 】

図 15 は、図 14 の XV - XV 線における断面図であり、表示装置 500 の 3 つの RGB の画素 110 が並ぶ断面図である。ここで、図 15 の断面図では、赤色の波長領域の光を発光する R 画素 231、緑色の波長領域の光を発光する G 画素 232、及び青色の波長領域の光を発光する B 画素 233 が並ぶ断面であるとするが、すべて同じ波長領域の光を発光するもの等いずれの波長領域の光を発光する画素 110 が並んでいるものでもよい。図 15 において、図 4 の断面と同様の層には同一の符号を付しているため、説明を省略する。

【 0 0 4 8 】

この図において、発光素子 L は、共通層 203、発光層 204 及びカソード下層 205 により構成されている。共通層 203 は、正孔注入層 (HIL : Hole Injection Layer)

10

20

30

40

50

や正孔輸送層（HTL：Hole Transport Layer）を含む層である。発光層204は、R画素231、G画素232及びB画素233でそれぞれ、赤色の波長領域の光、緑色の波長領域の光、及び青色の波長領域の光を発光する層である。カソード下層205は、電子注入層（EIL：Electron Injection Layer）や電子輸送層（ETL：Electron Transport Layer）からなる層である。

#### 【0049】

ここで各画素は、各フレームにおいて入力される階調値に基づいて発光するが、例えば、R画素231が発光し、G画素232が発光しないフレームの例を考える。R画素231の共通層203で発生する正孔は、矢印212に示されるように、一部が隣接するG画素232の共通層203に流れ込み、G画素232を発光させてしまうことがある。このような意図しない発光は、クロストークと呼ばれる。

10

#### 【0050】

しかし、第2及び第3の実施形態では、図7及び図12の少なくとも第3期間TM3において、参照電圧Vrefを印加している。参照電圧Vref、つまり第3配線W3の電圧を、カソード電極116の電圧に発光素子Lの閾値電圧Vtholedを加えた電圧以下とした場合には、図15に示されるように、隣接するG画素232の共通層203には電子213が蓄えられる。

#### 【0051】

つまり、発光素子Lは、アノード電極115の電圧が、カソード電極116の電圧に発光素子Lの閾値電圧を加えた電圧以下の場合に、アノード電極115とカソード電極116との間の電圧を保持する自己容量を有することとなる。これにより、発光期間に矢印212に示される正孔の流入があったとしても、流入した正孔が、発光期間前に蓄えられた電子213により相殺され、隣接するG画素232の発光を抑制することができる。ここで図15においてはG画素232について述べたが、いずれの波長領域の光を発光する画素においても隣接する画素からの正孔の流入による発光を抑えることができる。つまり、クロストークの発生を抑えることができる。また、発光素子Lが、緑の波長領域の光を発光する場合には、発光層204は特に発光効率がよく、クロストークを発生しやすいことから、緑の波長領域の光を発光する発光素子Lに適用することにより、クロストークによる発光の視覚的な観測を抑えることができる。

20

#### 【0052】

30

本実施形態においては、図7又は図12のタイミングチャートのような動作を想定したが、映像信号の電圧が非発光を示す電圧である場合には、第2スイッチSW2を1フレームの発光期間を通して接続状態とすることとしてもよい。これにより1フレームの発光期間全体に渡り、クロストークの発生を抑えることができる。

#### 【0053】

図16は、本実施形態の画素配置の一例について示す図である。この図には、表示領域510に配置される画素のうち9画素（副画素）が示されている。この図に示されるように、各画素は、所謂RGBデルタ画素配置610となっている。RGBデルタ画素配置610とは、第1走査信号SC1が印加させる線に沿ってR画素、G画素及びB画素が繰り返し並ぶ行と、G画素、B画素及びR画素が繰り返し並ぶ行とが交互に配置される

40

図17は、図16のようなRGBデルタ画素配置610の画素の点灯検査を行う検査回路620の一例について示す図である。この図に示されるように、検査回路620は切替回路130内に配置されている。検査回路620は、m(mは0以上の整数)列目の配線W2である配線W2\_m、m+1列目の配線W2である配線W2\_m+1、及びm+2列目の配線W2である配線W2\_m+2を有している。

#### 【0054】

また、配線W2\_mには、信号T<sub>even</sub>がONとなることにより第1テスト電圧V<sub>test1</sub>が印加され、信号T<sub>odd</sub>がONとなることにより第2テスト電圧V<sub>test2</sub>が印加される。配線W2\_m+1には、信号T<sub>even</sub>がONとなることにより第3テスト電圧V<sub>test3</sub>が印加され、信号T<sub>odd</sub>がONとなることにより第4テスト電圧V<sub>test4</sub>が印加される。配線W2\_m+2に

50

は、信号  $T_{even}$  が ON となることにより第 5 テスト電圧  $V_{test5}$  が印加され、信号  $T_{odd}$  が ON となることにより第 6 テスト電圧  $V_{test6}$  が印加される。例えば、図 16 の 9 画素が、奇数行、偶数行及び奇数行の配置で、 $m$  列、 $m + 1$  列及び $m + 2$  列の配置であるとする場合を想定する。この想定において、第 2 テスト電圧  $V_{test2}$  及び第 5 テスト電圧  $V_{test5}$  に発光させる電位を印加させておくと、信号  $T_{odd}$  及び信号  $T_{even}$  を交互に ON させることにより、R 画素の単色による点灯テストを行うことができる。したがって、RGB デルタ画素配置 610 における単色の点灯テストを、第 1 テスト電圧  $V_{test1}$  ~ 第 6 テスト電圧  $V_{test6}$  の 6 本のテスト電圧線と、信号  $T_{odd}$  及び信号  $T_{even}$  の 2 本の制御線とで行うことができる。なお、RGB のそれぞれの同色画素の列が並ぶ、所謂縦ストライプ型の画素配置の場合には、3 本のテスト電圧線と 1 本の制御線とで点灯テストを実施することができる。10

#### 【0055】

各実施例で記載されている技術的特徴（構成）は互いに組み合わせ可能であり、組み合わせすることにより、新しい技術的特徴を形成することができる。ここで開示された実施形態は例示であって、制限的なものでは無いと考えられるべきである。本開示の範囲は、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

#### 【符号の説明】

#### 【0056】

100, 300, 400, 500 表示装置

20

110 画素

115 アノード電極

116 カソード電極

117 ゲート電極

121 ソース電極

130 切替回路

131 映像信号線

138 第1電圧線

139 第2電圧線

201 絶縁基板

30

202 絶縁下地膜

203 共通層

204 発光層

205 カソード下層

206 キャップ層

207 乾燥空気層

208 封止ガラス

213 電子

231 R 画素

40

232 G 画素

233 B 画素

301 ゲート絶縁膜

302 第1層間絶縁膜

303 容量電極メタル

304 第2層間絶縁膜

305 ソースドレインメタル

306 パッシベーション膜

307 平坦化膜

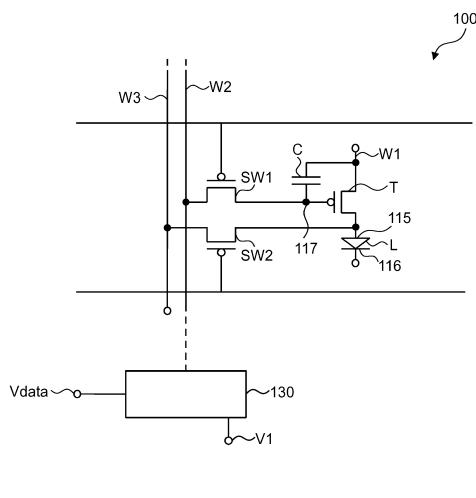
308 ゲートメタル

310 素子分離膜

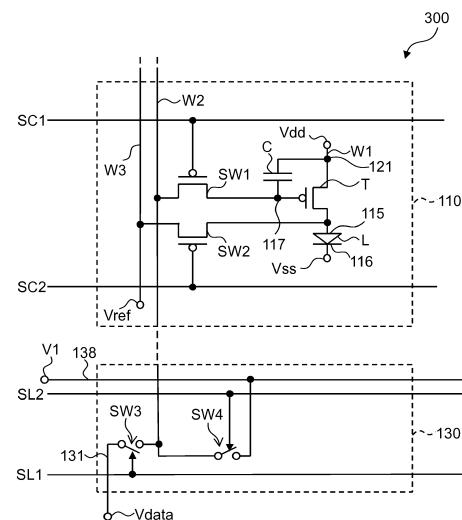
50

3 2 0	半導体層
5 0 2	駆動集積回路
5 0 3	第1走査駆動回路
5 0 5	第2走査駆動回路
5 0 7	保護回路
5 1 0	表示領域
6 1 0	R G B デルタ画素配置
6 2 0	検査回路

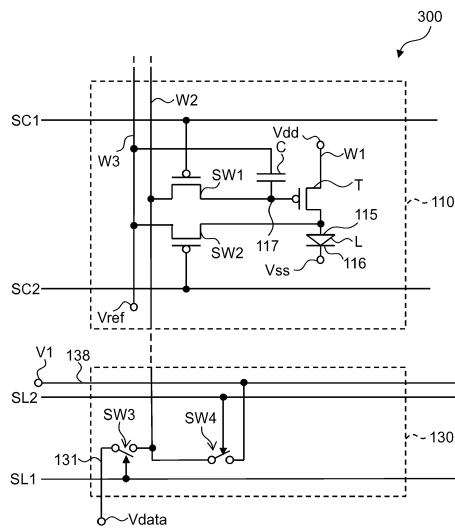
【 四 1 】



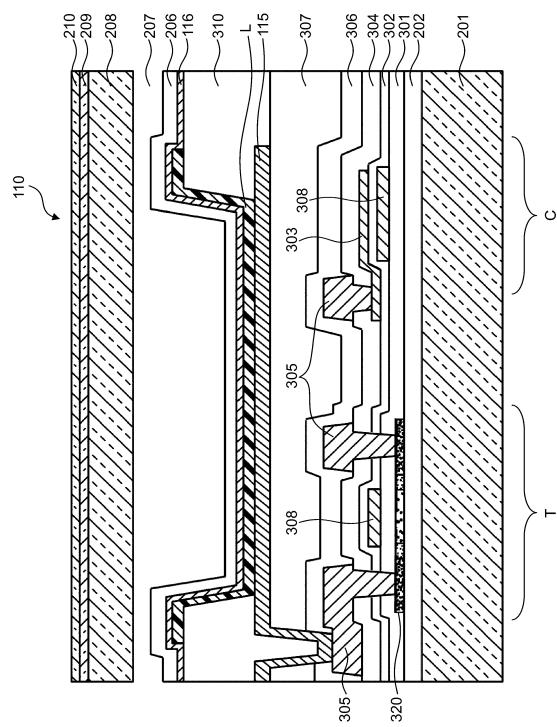
【図2】



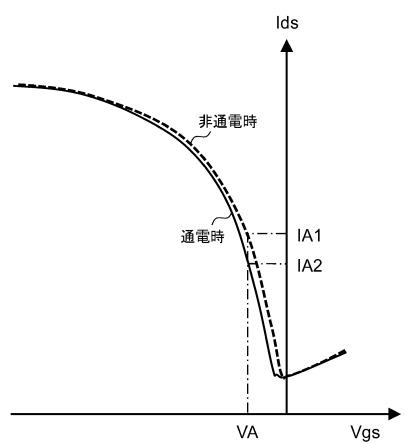
【図3】



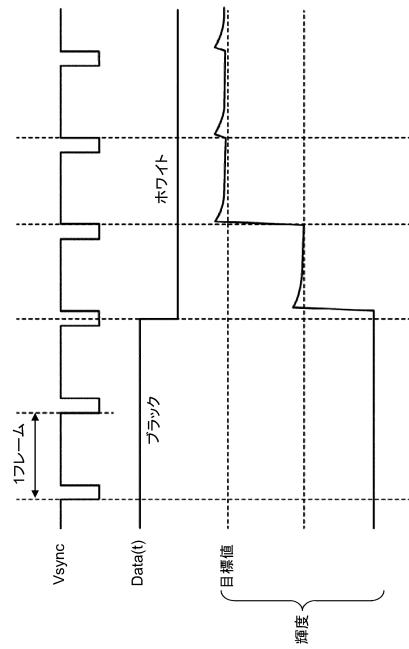
【図4】



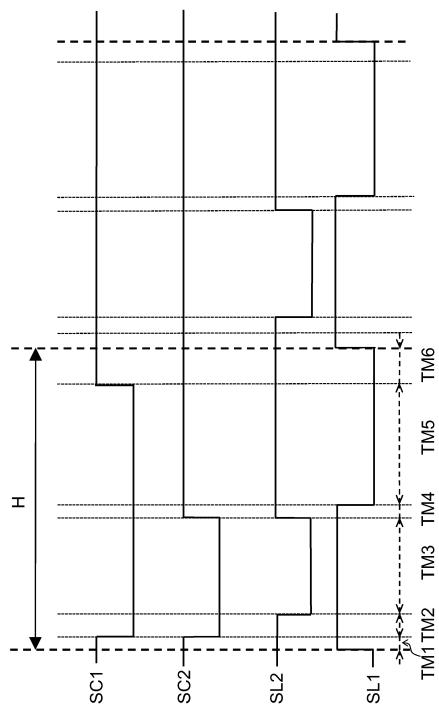
【図5】



【図6】



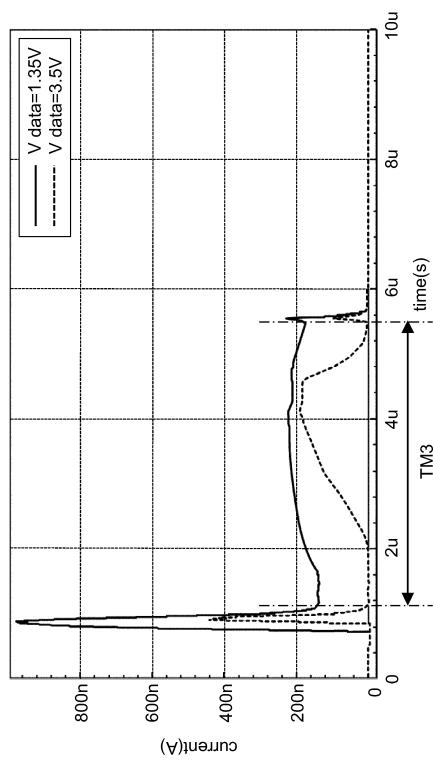
【図7】



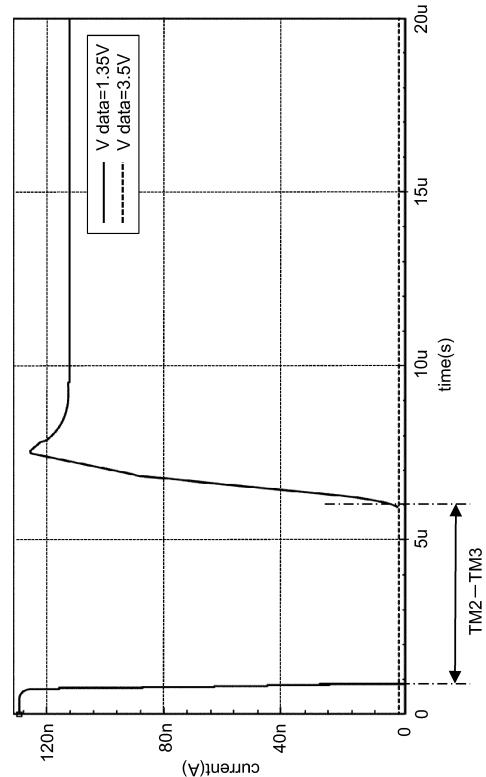
【図8】

	TM1	TM2	TM3	TM4	TM5	TM6
SC1	OFF	ON	ON	ON	ON	OFF
SC2	OFF	ON	ON	OFF	OFF	OFF
SL2	OFF	OFF	ON	OFF	OFF	OFF
SL1	OFF	OFF	OFF	OFF	ON	ON

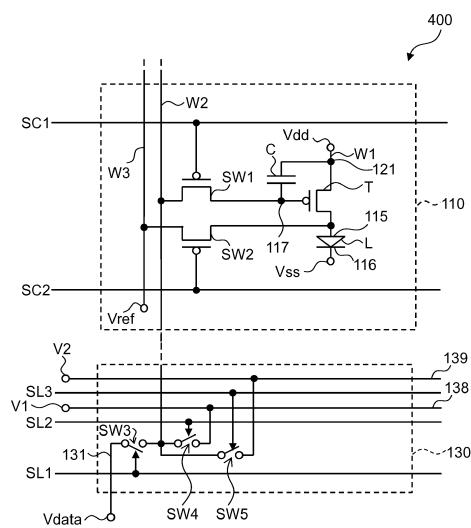
【図9】



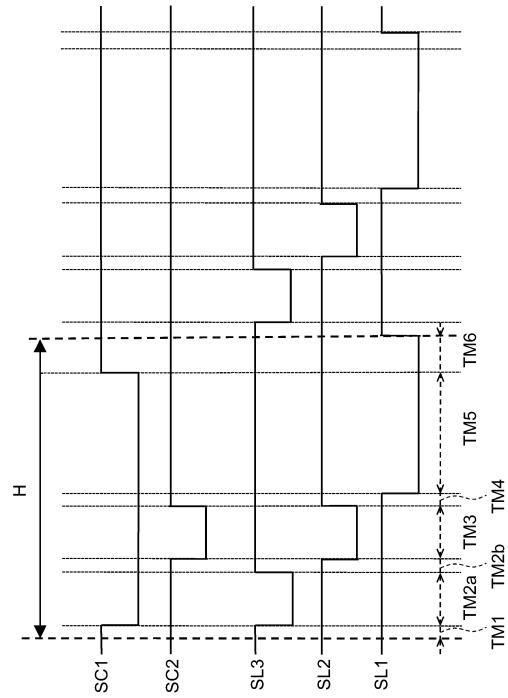
【図10】



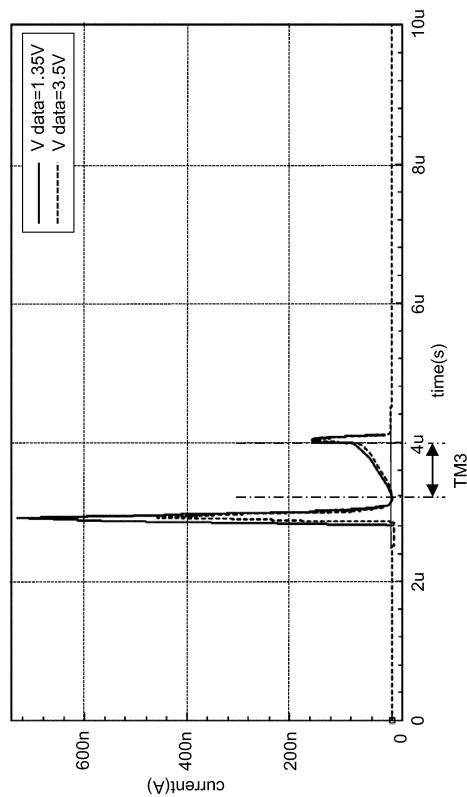
【図 1 1】



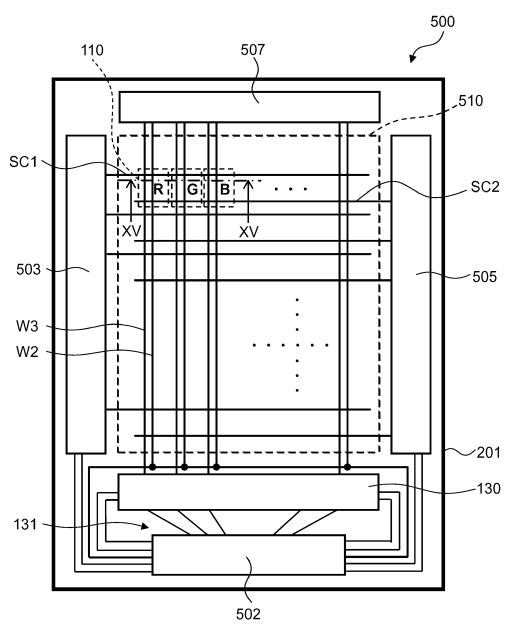
【図 1 2】



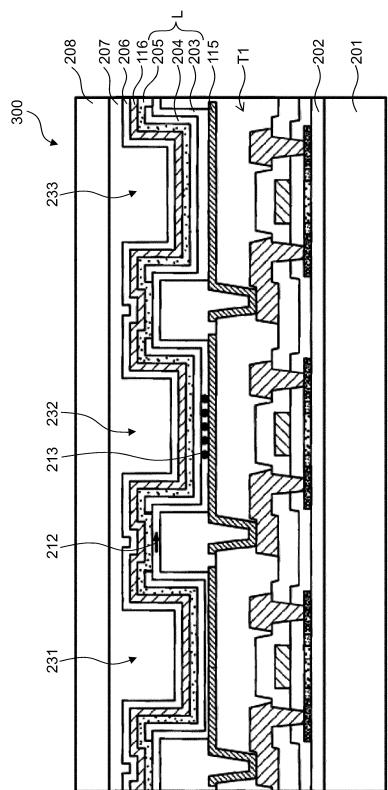
【図 1 3】



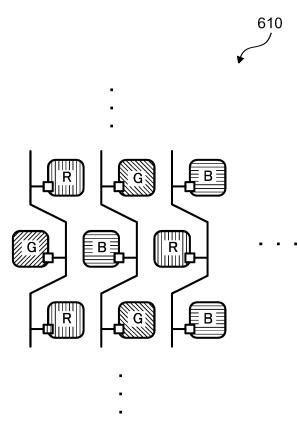
【図 1 4】



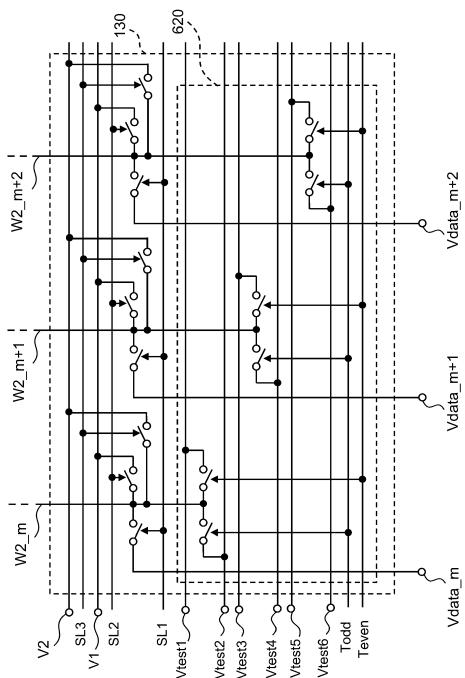
【図15】



【図16】



【図17】



---

フロントページの続き

(51)Int.Cl.

F I

G 09 G 3/20 623D  
G 09 G 3/20 623R

(72)発明者 野中 義弘

神奈川県川崎市中原区下沼部1753番地 NLTテクノロジー株式会社内

審査官 小野 健二

(56)参考文献 特開2009-199057 (JP, A)

特開2003-122301 (JP, A)

特開2010-091682 (JP, A)

特開2006-317600 (JP, A)

特開2006-065282 (JP, A)

特開2009-210993 (JP, A)

米国特許出願公開第2015/0035734 (US, A1)

米国特許出願公開第2015/0187270 (US, A1)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 00 - 3 / 38