



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0013416
(43) 공개일자 2014년02월05일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2012-0080282

(22) 출원일자 2012년07월23일

심사청구일자 2012년07월23일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

최우영

서울 마포구 신수로 15, 강변힐스테이트 102동 403호 (현석동)

(74) 대리인

권오준

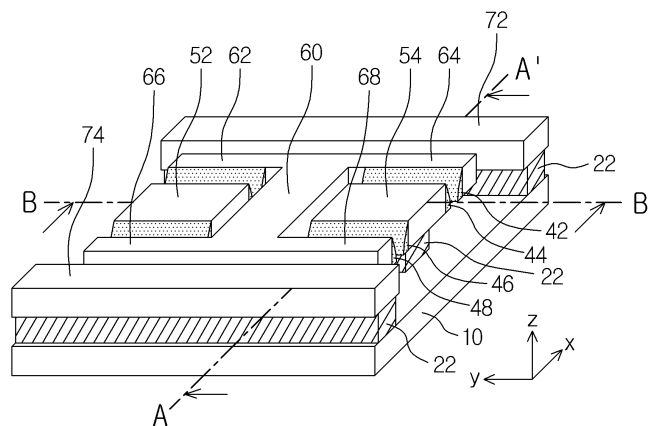
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 및 그 제조방법

(57) 요약

본 발명은 1층의 도전 층으로 수평방향으로 좌, 우측 주요 워드라인, 비트라인 및 상, 하측 보조 워드라인을 형성하고 비트라인의 양단에 좌우 대칭으로 4개의 캔틸레버 전극을 일체로 형성하여 각각 좌, 우측 주요 워드라인과 상, 하측 보조 워드라인 사이로 수평 구동할 수 있게 한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 및 그 제조방법을 제공하고, 상기 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 복수 개 배열한 2개 이상의 셀 스트링을 수평 및/또는 수직으로 적층하고, 상하층의 비트라인 및 좌, 우측 주요 워드라인은 각 층의 라인 형성시 동시에 형성된 각 컨택 플러그를 통하여 수직하게 전기적으로 연결되는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이를 제공한다.

대표도 - 도10



이 발명을 지원한 국가연구개발사업

과제고유번호 2011-0027471

부처명 교육과학기술부

연구사업명 기초연구사업 중견연구자지원사업(핵심연구:협동)

연구과제명 저전력 나노 전기기계 비휘발성 메모리 소자 개발

기 여 율 1/2

주관기관 서강대학교

연구기간 2009.09.01 ~ 2012.08.31이 발명을 지원한 국가연구개발사업

과제고유번호 2012-031149

부처명 교육과학기술부

연구사업명 기초연구사업 중견연구자지원사업(핵심연구:개인)

연구과제명 신경망 구현을 위한 저전력, 고성능, 고집적 기능전환형 삼차원 나노전기기계 연산 시스템

개발

기 여 율 1/2

주관기관 서강대학교

연구기간 2012.05.01 ~ 2015.04.30

특허청구의 범위

청구항 1

소정의 평탄면을 갖는 기관;

상기 기관의 수직방향으로 전기적 콘택이 가능하게 형성된 비트라인;

상기 비트라인을 중심에 두고 제 1 수평방향으로 이격된 상, 하측 양단에서 각각 좌, 우 대칭이 되도록 상기 제 1 수평방향과 수직인 제 2 수평방향으로 일정 길이를 가지며 상기 기관상에서 부양되도록 상기 비트라인에 일체로 형성되어 상기 비트라인과 함께 H형상을 갖는 4개의 캔틸레버 전극;

상기 비트라인을 사이에 두고 상기 제 2 수평방향으로 일정거리 이격되어 상기 H형상의 양측 요홈부에 형성된 좌, 우측 주요 워드라인; 및

상기 비트라인 및 상기 좌, 우측 주요 워드라인을 사이에 두고 상기 제 1 수평방향으로 일정거리 이격되어 상기 H형상의 양측 평면부를 따라 상기 제 2 방향으로 형성된 상, 하측 보조 워드라인을 포함하여 구성된 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 4개의 캔틸레버 전극은 각각 상기 상측 보조 워드라인과 상기 좌, 우측 주요 워드라인 사이 및 상기 하측 보조 워드라인과 상기 좌, 우측 주요 워드라인 사이에서 수평으로 휘어지며 동작하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 좌, 우측 주요 워드라인은 상기 각 캔틸레버 전극과 마주보는 측벽에 전하트랩 스페이서가 형성된 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자.

청구항 4

제 3 항에 있어서,

상기 각 캔틸레버 전극은 상기 좌, 우측 주요 워드라인과 마주보는 측벽에 전하트랩 스페이서가 형성된 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자.

청구항 5

제 2 항에 있어서,

상기 각 캔틸레버 전극은 상기 좌, 우측 주요 워드라인과 마주보는 측벽에 전하트랩 스페이서가 형성된 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 비트라인 및 상기 좌, 우측 주요 워드라인은 상기 기판상에서 적어도 각 컨택 플러그로 지지되고,
상기 상, 하측 보조 워드라인은 상기 기판상에 국부적으로 형성된 절연막으로 지지되는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자.

청구항 7

제 6 항에 있어서,

상기 각 컨택 플러그는 측면으로 상기 절연막과 동일한 물질이 더 감싸진 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자.

청구항 8

제 6 항에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 하여 상기 제 2 수평방향으로 상기 비트라인이 일정거리 이격되며 상기 메모리 셀이 복수 개 배열한 제 1 셀 스트링; 및

상기 제 1 셀 스트링의 상기 상측 보조 워드라인 또는 하측 보조 워드라인을 공유하며 상기 제 1 셀 스트링과 동일한 구조를 갖는 제 2 셀 스트링으로 상기 제 1 셀 스트링 일측에서 상기 제 1 수평방향으로 확장 형성된 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이.

청구항 9

제 8 항에 있어서,

상기 기판상에 상기 제 1 셀 스트링과 상기 제 2 셀 스트링이 상기 제 1 수평방향으로 한번 이상 교대로 반복되어 형성된 메모리 어레이층이 상기 각 컨택 플러그와 상기 절연막을 사이에 두고 복수 층으로 수직 적층 되고,

상기 각 컨택 플러그를 통하여 상하 메모리 어레이층의 상기 각 비트라인, 상기 각 좌, 우측 주요 워드라인을 수직하게 전기적으로 연결시키는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이.

청구항 10

제 9 항에 있어서,

상기 각 컨택 플러그는 측면으로 상기 절연막과 동일한 물질이 더 감싸진 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이.

청구항 11

소정의 평탄면을 갖는 기판상에 절연막 층을 형성하는 제 1 단계;

상기 절연막 층 상에 도전층을 형성하는 제 2 단계;

상기 도전층을 식각하여 상, 하측 보조 워드라인, 좌, 우측 주요 워드라인, 비트라인 및 4개의 캔틸레버 전극을 형성하는 제 3 단계; 및

상기 상, 하측 보조 워드라인, 좌, 우측 주요 워드라인, 비트라인 및 4개의 캔틸레버 전극을 마스크로 하여 상기 절연막 층을 식각하여, 상기 4개의 캔틸레버 전극이 상기 기판상에서 부양되도록 하는 제 4 단계를 포함하여 구성된 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

청구항 12

제 11 항에 있어서,

상기 제 2 단계와 상기 제 3 단계 사이에는, 상기 4개의 캔틸레버 전극의 폭, 상기 각 캔틸레버 전극과 상기 좌, 우측 주요 워드라인 사이의 간격 및 상기 각 캔틸레버 전극과 상기 좌, 우측 보조 워드라인 사이의 간격을 결정하기 위한 미세 패턴 형성 공정을 더 진행하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

청구항 13

제 11 항에 있어서,

상기 제 2 단계와 상기 제 3 단계 사이에는, 상기 각 캔틸레버 전극과 상기 좌, 우측 주요 워드라인 사이의 간격을 결정하기 위한 제 1 미세 패턴 형성 공정과, 상기 제 1 미세 패턴의 각 길이 방향으로 일 측벽 또는 마주 보는 양 측벽에 전하트랩 스페이서를 형성하기 위한 공정을 더 진행하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

청구항 14

제 13 항에 있어서,

상기 제 2 단계와 상기 제 3 단계 사이에는, 상기 제 1 미세 패턴 형성 공정 이후에 상기 전하트랩 스페이서 형성 공정과 함께 또는 상기 전하트랩 스페이서 형성 공정을 전후하여 상기 각 캔틸레버 전극의 폭 및 상기 각 캔틸레버 전극과 상기 상, 하측 보조 워드라인 사이의 간격을 결정하기 위한 제 2 미세 패턴 형성 공정을 더 진행하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

청구항 15

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 제 1 단계와 상기 제 2 단계 사이에는, 상기 절연막 층 상에 상기 비트라인 및 상기 좌, 우측 주요 워드라인을 각각 컨택하기 위한 컨택 플러그용 컨택 홀을 복수 개 형성하는 단계를 더 진행하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

청구항 16

제 15 항에 있어서,

상기 제 4 단계에서 상기 절연막 층의 식각은 상기 절연막 층이 상, 하측 보조 워드라인, 상기 좌, 우측 주요 워드라인 및 상기 비트라인의 각 하부에 국부적으로 남아 있도록 식각하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

청구항 17

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 제 1 단계와 상기 제 2 단계 사이에는, 상기 절연막 층 상에 상기 비트라인 및 상기 좌, 우측 주요 워드라인을 각각 컨택하기 위한 컨택 플러그용 컨택 홀 및 상기 상, 하측 보조 워드라인의 지지용 컨택 홀을 각각 복수 개 형성하는 단계를 더 진행하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

청구항 18

제 11 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 제 1 단계와 상기 제 2 단계 사이에는, 상기 절연막 층 상에 상기 상, 하측 보조 워드라인의 지지용 컨택 홀을 형성하고 상기 각 지지용 컨택 홀에 상기 절연막 층의 물질보다 식각률이 낮은 절연물질을 채운 다음 상기 절연막 층 상에 상기 비트라인 및 상기 좌, 우측 주요 워드라인을 각각 컨택하기 위한 컨택 플러그용 컨택 홀을 형성하는 단계를 더 진행하는 것을 특징으로 하는 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법.

명세서

기술분야

[0001] 본 발명은 전기기계 메모리(electromechanical memory) 소자에 관한 것으로, 더욱 상세하게는 도전성 캔틸레버 빔(conductive cantilever beam; 이하, '캔틸레버 전극'이라 함)이 비트라인 양측에 형성되어 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] 최근 저전력 내장형(embedded) 메모리 칩에 대한 시장의 수요는 폭발적으로 증가하고 있다. 하지만 기존의 메모리 소자는 CMOS baseline 공정 기술을 이용하여 구현되게 되는데, 이는 면적의 손실, 성능 저하, 수율 저하를 초래하게 된다.

[0003] 이를 극복하기 위하여 최근 다양한 메모리 소자가 연구되고 있다. 특히, 그 중에서도 반도체 소자가 아닌 기계적으로 움직이는 소자를 이용하여 메모리를 구현하려는 전기기계 메모리 소자에 대한 연구가 최근 활발히 진행되고 있다.

[0004] 그 대표적인 것이 도 1 내지 도 3에 도시된 구조를 갖는 비휘발성 전기기계 메모리 소자이다.

[0005] 도 1은 PCT 공개번호 제2007/130919호(이하, '선행기술 1'이라 함)에 개시된 것으로, 상부에 읽기 워드라인(172), 중앙부 갭(188) 사이에 비트라인(174)과 연결된 가요성 기계적 빔(176), 하부에 쓰기 워드라인(186)이 있는 3층의 금속선으로 구성되어 있고, 비휘발성을 위해 쓰기 워드라인(186) 상부에 전하 저장이 가능한 ONO 층(178)이 존재한다.

[0006] 도 2는 한국 등록특허 제0842730호(이하, '선행기술 2'라 함)에 개시된 것으로, 기본적인 동작 원리는 선행기술 1과 동일하나 집적도를 높이기 위해 별도의 비트라인(220)을 하부에 구현하고 캔틸레버 전극 두개(250A)가 하나의 패드전극(252)을 공유하고 있다는 구조적 특징만이 존재한다.

[0007] 그리고, 도 3은 상기 선행기술 1 및 2를 해결하기 위해 본 발명자가 제안하여 특허받은 한국 등록특허 제944165호(이하, '선행기술 3'라 함)에 개시된 것으로, 기관(310)상에 하부 보조 워드라인(320), 비트라인(370) 및 좌, 우측 주요 워드라인(362, 364), 그리고 상부 보조 워드라인(390)이 수직으로 적층되어 형성되고, 상기 비트라인(326)의 상하에 각각 좌우 대칭되게 4개의 캔틸레버 전극(342, 344; 382, 384)이 형성되어, H셀 구조를 가지며, 각 캔틸레버 전극이 상하로 수직하게 독립적으로 구동되어 하나의 셀 소자로 다중비트의 동작이 가능한 장점이 있다.

[0008] 그러나, 상기 선행기술 1 내지 3은 모두 캔틸레버 전극이 수직 방향으로 구동하는 수직 구동형 소자 구조를 갖는 것으로 다음과 같은 문제점이 있다.

[0009] 첫째, 종래 전기기계 메모리 소자는 하나의 셀을 형성하기 위해 3층 이상의 금속막을 형성하여야 하므로, 공정이 복잡할 뿐만 아니라, 집적도에도 한계가 있는 문제점이 있다.

[0010] 둘째, 전기기계 메모리 소자는 캔틸레버 전극이 움직일 수 있도록 미세 에어 갭(air gap) 형성이 요구되는데, 종래 기술에 의하면, 고가의 CVD 증착 공정만으로 nano 크기의 air gap을 형성하여야 하는 어려움이 있고, 캔틸레버 전극이 상하로 움직이도록 한 수직 구조에서는 구조적으로 air gap이 제대로 형성되었는지 검사하기도 어려운 문제점이 있다.

- [0011] 셋째, 수직으로 구동하는 캔틸레버 전극들이 평행하게 존재하므로 상호 간의 간섭이 발생할 우려가 있는 문제점이 있다.
- [0012] 넷째, 별도의 사진식각공정을 통하여 컨택 영역을 형성하여야 하고, 종래기술에 의한 전기기계 메모리 소자로 경로변경 스위치 소자를 통과하게 되면 금속 층(metal layer)이 바뀌게 되어 reconfigurable 연산 시스템과 같은 시스템 구현이 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

- [0013] 따라서, 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 창안된 것으로, 하나의 메모리 셀 소자를 구현하기 위해 1층의 도전 층으로 수평방향으로 상, 하측 보조 워드라인, 좌, 우측 주요 워드라인 및 비트라인을 형성하고 4개의 캔틸레버 전극도 상기 비트라인의 상, 하 양측에서 일체로 동시에 형성하여 H셀 구조를 가지며 상기 각 층의 주요 워드라인과 보조 워드라인 사이에서 수평 구동할 수 있게 한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 및 그 제조방법을 제공하는 것을 목적으로 한다.
- [0014] 또한, 상기 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 복수 개 배열한 2개 이상의 셀 스트링을 수평 및/또는 수직으로 적층하고, 상하층의 비트라인 및 좌, 우측 주요 워드라인은 각 층의 라인 형성시 동시에 형성된 각 컨택 플러그를 통하여 기판에 수직하게 각각 전기적으로 연결되는 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이를 제공하는 것을 다른 목적으로 한다.

과제의 해결 수단

- [0015] 상기 목적을 달성하기 위하여, 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자는 소정의 평탄면을 갖는 기판; 상기 기판의 수직방향으로 전기적 컨택이 가능하게 형성된 비트라인; 상기 비트라인을 중심으로 제 1 수평방향으로 이격된 상, 하측 양단에서 각각 좌, 우 대칭이 되도록 상기 제 1 수평방향과 수직한 제 2 수평방향으로 일정 길이를 가지며 상기 기판상에서 부양되도록 상기 비트라인에 일체로 형성되어 상기 비트라인과 함께 H형상을 갖는 4개의 캔틸레버 전극; 상기 비트라인을 사이에 두고 상기 제 2 수평방향으로 일정거리 이격되어 상기 H형상의 양측 요홈부에 형성된 좌, 우측 주요 워드라인; 및 상기 비트라인 및 상기 좌, 우측 주요 워드라인을 사이에 두고 상기 제 1 수평방향으로 일정거리 이격되어 상기 H형상의 양측 평면부를 따라 상기 제 2 방향으로 형성된 상, 하측 보조 워드라인을 포함하여 구성된 것을 특징으로 한다.
- [0016] 여기서, 상기 4개의 캔틸레버 전극은 각각 상기 상측 보조 워드라인과 상기 좌, 우측 주요 워드라인 사이 및 상기 하측 보조 워드라인과 상기 좌, 우측 주요 워드라인 사이에서 수평으로 휘어지며 동작하는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 다른 특징으로 한다.
- [0017] 상기 좌, 우측 주요 워드라인은 상기 각 캔틸레버 전극과 마주보는 측벽에 전하트랩 스페이서가 형성된 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 다른 특징으로 한다.
- [0018] 상기 각 캔틸레버 전극은 상기 좌, 우측 주요 워드라인과 마주보는 측벽에 전하트랩 스페이서가 형성된 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 다른 특징으로 한다.
- [0019] 상기 비트라인 및 상기 좌, 우측 주요 워드라인은 상기 기판상에서 적어도 각 컨택 플러그로 지지되고, 상기 상, 하측 보조 워드라인은 상기 기판상에 국부적으로 형성된 절연막으로 지지되는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 다른 특징으로 한다.
- [0020] 상기 각 컨택 플러그는 측면으로 상기 절연막과 동일한 물질이 더 감싸진 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 다른 특징으로 한다.
- [0021] 그리고, 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이는 상기 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 하여 상기 제 2 수평방향으로 상기 비트라인이 일정거리 이격되며 상기 메모리 셀이 복수 개 배열한 제 1 셀 스트링; 및 상기 제 1 셀 스트링의 상기 상측 보조 워드라인 또는 하측 보조 워드라인을 공유하며 상기 제 1 셀 스트링과 동일한 구조를 갖는 제 2 셀 스트링으로 상기 제 1 셀 스트링 일측에서 상기 제 1 수평방향으로 확장 형성된 것을 특징으로 한다.
- [0022] 상기 기판상에 상기 제 1 셀 스트링과 상기 제 2 셀 스트링이 상기 제 1 수평방향으로 한번 이상 교대로 반복되어 형성된 메모리 어레이층이 상기 각 컨택 플러그와 상기 절연막을 사이에 두고 복수 층으로 수직 적층 되고,

상기 각 컨택 플러그를 통하여 상하 메모리 어레이층의 상기 각 비트라인, 상기 각 좌, 우측 주요 워드라인을 수직하게 전기적으로 연결시키는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이의 다른 특징으로 한다.

[0023] 상기 각 컨택 플러그는 측면으로 상기 절연막과 동일한 물질이 더 감싸진 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이의 다른 특징으로 한다.

[0024] 한편, 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 제조방법은 소정의 평탄면을 갖는 기판상에 절연막 층을 형성하는 제 1 단계; 상기 절연막 층 상에 도전층을 형성하는 제 2 단계; 상기 도전층을 식각하여 상, 하측 보조 워드라인, 좌, 우측 주요 워드라인, 비트라인 및 4개의 캔틸레버 전극을 형성하는 제 3 단계; 및 상기 상, 하측 보조 워드라인, 좌, 우측 주요 워드라인, 비트라인 및 4개의 캔틸레버 전극을 마스크하여 상기 절연막 층을 식각하여, 상기 4개의 캔틸레버 전극이 상기 기판상에서 부양되도록 하는 제 4 단계를 포함하여 구성된 것을 특징으로 한다.

[0025] 상기 제 2 단계와 상기 제 3 단계 사이에는, 상기 4개의 캔틸레버 전극의 폭, 상기 각 캔틸레버 전극과 상기 좌, 우측 주요 워드라인 사이의 간격 및 상기 각 캔틸레버 전극과 상기 좌, 우측 보조 워드라인 사이의 간격을 결정하기 위한 미세 패턴 형성 공정을 더 진행하는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 제조방법의 다른 특징으로 한다.

[0026] 상기 제 2 단계와 상기 제 3 단계 사이에는, 상기 각 캔틸레버 전극과 상기 좌, 우측 주요 워드라인 사이의 간격을 결정하기 위한 제 1 미세 패턴 형성 공정과, 상기 제 1 미세 패턴의 각 길이 방향으로 일 측벽 또는 마주보는 양 측벽에 전하트랩 스페이서를 형성하기 위한 공정을 더 진행하는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 제조방법의 다른 특징으로 한다.

[0027] 상기 제 2 단계와 상기 제 3 단계 사이에는, 상기 제 1 미세 패턴 형성 공정 이후에 상기 전하트랩 스페이서 형성 공정과 함께 또는 상기 전하트랩 스페이서 형성 공정을 전후하여 상기 각 캔틸레버 전극의 폭 및 상기 각 캔틸레버 전극과 상기 상, 하측 보조 워드라인 사이의 간격을 결정하기 위한 제 2 미세 패턴 형성 공정을 더 진행하는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 제조방법의 다른 특징으로 한다.

[0028] 상기 제 1 단계와 상기 제 2 단계 사이에는, 상기 절연막 층 상에 상기 비트라인 및 상기 좌, 우측 주요 워드라인을 각각 컨택하기 위한 컨택 플러그용 컨택 홀 및/또는 상기 상, 하측 보조 워드라인의 지지용 컨택 홀을 복수 개 형성하고, 상기 각 지지용 컨택 홀을 채우는 단계를 더 진행하는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 제조방법의 다른 특징으로 한다.

[0029] 상기 제 4 단계에서 상기 절연막 층의 식각은 상기 절연막 층이 상, 하측 보조 워드라인, 상기 좌, 우측 주요 워드라인 및 상기 비트라인의 각 하부에 국부적으로 남아 있도록 식각하는 것을 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 제조방법의 다른 특징으로 한다.

발명의 효과

[0030] 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자는 1층의 도전 층으로 수평방향으로 상, 하측 보조 워드라인, 좌, 우측 주요 워드라인 및 비트라인을 형성하고 상기 비트라인의 양단에 좌, 우 대칭으로 4개의 캔틸레버 전극을 일체로 형성하여 비트라인과 함께 H형상을 가지며 상기 각 측의 주요 워드라인과 보조 워드라인 사이로 수평 구동할 수 있게 함으로써, 수직 적층에 의한 집적도를 종래보다 현저히 높일 수 있고, 각 캔틸레버 전극이 이웃 주요 워드라인 및 보조 워드라인(배선)에 의하여 차폐되어 수평 셀 간의 간섭문제를 해결하며, 각 캔틸레버 전극의 움직임을 육안으로 확인할 수 있고, 경로변경 스위치 소자를 통과하여도 동일한 도전 층을 유지할 수 있으므로 시스템 구현이 용이한 장점이 있다.

[0031] 또한, 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 제조방법은 각 캔틸레버 전극 폭, 각 측의 주요 워드라인 및 보조 워드라인과 각 캔틸레버 전극 사이 간격의 미세 패턴을 형성하기 위하여, 사진공정과 함께, 전자빔(e-beam), 이온빔(FIB: focused ion beam), nanoimprint 공정 및 mix-and-match 방식의 공정 등을 이용할 수 있으므로, 종래 보다 제조비용을 낮출 수 있고, 비트라인 및 좌, 우측 주요 워드라인의 컨택은 각 라인 형성을 위한 도전층 형성시 각 컨택 플러그를 동시에 형성하는 방법에 의하므로, 별도의 사진식각공정을 거칠 필요가 없으며, 단일의 도전층으로 셀 소자를 제조할 수 있으므로, 단일막 증착으로 간단하게 새로운 캔틸레버 전극 물질을 검증할 수 있고, 나아가 주요 워드라인과 캔틸레버 전극 사이의 각 마주보는 측벽에 전하트랩 스페이서 형성 공정을 선택적으로 진행할 수 있으므로, 휘발성/비휘발성 메모리를 용이하게 제조할 수 있

는 효과가 있다.

[0032] 그리고, 본 발명에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자 어레이는 상기 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 복수 개 배열한 2개 이상의 동일한 셀 스트링을 상측 보조 워드라인 또는 하측 보조 워드라인을 공유하며 수평으로 확장하여 메모리 어레이층을 형성하고, 상기 메모리 어레이층을 수직으로 적층하고, 이때 상하층의 비트라인 및 좌, 우측 주요 워드라인은 각 층의 라인 형성시 동시에 형성된 컨택 플러그를 통하여 각각 수직하게 전기적으로 연결되는 구조를 가짐으로써, 평면상의 면적뿐만 아니라 입체적 공간을 최대한 효율적으로 활용하여 집적도를 높인 효과가 있다.

도면의 간단한 설명

[0033] 도 1 내지 도 3은 선행기술에 의한 전기기계 메모리 소자의 단면도이다.

도 4 내지 도 10은 본 발명의 제 1 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 보여주는 공정 사시도이다.

도 11 및 도 12는 각각 도 10의 AA'선 단면도 및 BB'선 단면도이다.

도 13은 도 10의 구조를 갖는 수평 구동형 전기기계 메모리 소자의 동작관계를 설명하기 위한 사시도이다.

도 14 및 도 15는 본 발명의 제 2 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 일부 보여주는 공정 사시도이다.

도 16은 도 15의 AA'선 단면도이다.

도 17 및 도 18은 본 발명의 제 3 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 일부 보여주는 공정 사시도이다.

도 19는 도 18의 AA'선 단면도이다.

도 20 내지 도 22는 본 발명의 제 4 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 일부 보여주는 공정 사시도이다.

도 23은 도 22의 AA'선 단면도이다.

도 24는 본 발명의 다른 실시 모습으로 도 10의 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 셀로 하여 수직으로 적층된 어레이 구조를 보여주는 사시도이다.

도 25는 도 24의 구조가 수평으로 확장되며 구현될 수 있는 어레이 구조에 관한 다른 실시예의 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.

[전기기계 메모리 소자 구조에 관한 실시예]

[0036] 본 발명의 일 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자는 기본적으로, 도 10, 도 15, 도 18 및 도 22에 공통적으로 도시된 바와 같이, 소정의 평탄면을 갖는 기관(10); 상기 기관의 수직방향(예컨대, z축 방향)으로 전기적 컨택이 가능하게 형성된 비트라인(60); 상기 비트라인(60)을 중심에 두고 제 1 수평방향(예컨대, x축 방향)으로 이격된 상, 하측 양단에서 각각 좌, 우 대칭이 되도록 상기 제 1 수평방향과 수직한 제 2 수평방향(예컨대, y축 방향)으로 일정 길이를 가지며 상기 기관(10)상에서 부양되도록 상기 비트라인(60)에 일체로 형성되어 상기 비트라인(60)과 함께 H형상을 갖는 4개의 캔틸레버 전극(62, 64, 66, 68); 상기 비트라인(60)을 사이에 두고 상기 제 2 수평방향으로 일정거리 이격되어 상기 H형상의 양측 요홈부에 형성된 좌, 우측 주요 워드라인(52, 54); 및 상기 비트라인(60) 및 상기 좌, 우측 주요 워드라인(52, 54)을 사이에 두고 상기 제 1 수평방향으로 일정거리 이격되어 상기 H형상의 양측 평면부를 따라 상기 제 2 방향으로 형성된 상, 하측 보조 워드라인(72, 74)을 포함하여 구성된다.

[0037] 상기와 같이, 동일한 층에 좌, 우측 주요 워드라인(52, 54), 비트라인(60) 및 상, 하측 보조 워드라인(72, 74)을 형성하고 상기 비트라인(60)의 양단에 각각 좌, 우 대칭으로 4개의 캔틸레버 전극(62, 64, 66, 68)을 일체로 형성하여, 상기 각 캔틸레버 전극(62)(64)(66)(68)이 상기 좌, 우측 주요 워드라인(52, 54)과 상기 상, 하측 보조 워드라인(72, 74) 사이로 수평 구동할 수 있게 함으로써, 도 24 및 도 25에서 예시적으로 보여주는 것과 같

이, 수직 적층에 의한 집적도를 종래보다 현저히 높일 수 있고, 각 캔틸레버 전극(62)(64)(66)(68)이 각 층의 주요 워드라인(52)(54)과 보조 워드라인(72)(74)에 의하여 차폐되어 수평 셀 간의 간섭문제를 해결하며, 도 13과 같이, 각 캔틸레버 전극(62)(64)(66)(68)의 움직임을 육안으로 확인할 수 있고, 경로변경 스위치 소자를 통과하여도 동일한 도전 층을 유지할 수 있으므로 시스템 구현이 용이한 장점이 있게 된다.

[0038] 또한, 상기 실시예의 구조는 제조방법에서 후술하는 바와 같이, 좌, 우측 주요 워드라인(52, 54), 비트라인(60), 4개의 캔틸레버 전극(62, 64, 66, 68) 및 상, 하측 보조 워드라인(72, 74) 형성 후 하부 절연막을 식각하여 각 캔틸레버 전극(62)(64)(66)(68)을 기관(10)상으로 부양시키며, 상, 하측 보조 워드라인(72, 74)은 국부적으로 형성된 절연막으로 지지 되게 하는 데 그 특징이 있다.

[0039] 이때, 상기 상, 하측 보조 워드라인(72, 74)을 지지하기 위한 절연막 구조는, 11a와 같이, 하부 절연막 식각시 국부적으로 남긴 절연막(22)으로, 또는 도 11b와 같이, 별도 국부적으로 형성된 지지용 절연막 기둥(80)과 상기 지지용 절연막 기둥(80)에 하부 절연막 식각시 남은 절연막(22)이 감싸는 구조로, 또는 도 11b에서 절연막(22) 없이 지지용 절연막 기둥(80)만으로 구현될 수 있다.

[0040] 그리고, 상기 좌, 우측 주요 워드라인(52, 54) 및 상기 비트라인(60)은, 도 11 및 도 12를 참조하여 볼 때, 상기 기관(10)상에서 각각 주요 워드라인용 컨택 플러그(51, 53) 및 비트라인용 컨택 플러그(61) 만으로 지지 될 수 있고, 상기 각 컨택 플러그(51)(53)(61)의 측면으로 상기 절연막과 동일한 물질(22)이 더 감싼 구조로 구현 될 수도 있다. 후자의 구조는 각 컨택 플러그(51)(53)(61)의 직경과 절연막(20) 식각 공정조건에 따라 결정될 수 있는데, 각 캔틸레버 전극(62)(64)(66)(68)이, 도 13과 같이, 수평 회전 가능하게 부양되는 정도이면, 도 11 및 도 12와 같이, 각 컨택 플러그(51)(53)(61)의 측면으로 절연막(22)이 감싸도록 함이 구조적 견고성을 위해 바람직하다.

[0041] 이하에서는, 첨부된 도면을 중심으로 구체적인 실시예에 대하여 설명한다.

[제 1 실시예]

[0043] 본 발명의 제 1 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자는, 도 10과 같이, 구현될 수 있다.

[0044] 즉, 상기 구성에서, 각 캔틸레버 전극(62)(64)(66)(68)과 마주보는 좌, 우측 주요 워드라인(52, 54)의 4군데 측벽 및 각 주요 워드라인(52)(54)과 마주보는 4개의 캔틸레버 전극(62, 64, 66, 68)의 4군데 측벽에는 각각 전하 트랩 스페이서(42)(44)(46)(48)가 형성되어, 비휘발성 메모리 셀 소자로 구현될 수 있다.

[0045] 도 11 및 도 12는 각각 도 10의 AA'선 단면도 및 BB'선 단면도를 도시한 것으로, 본 실시예의 구조를 잘 파악할 수 있다.

[0046] 상기 기관(10)은 본 실시예에 의한 소자의 구조물을 형성할 수 있고 지지할 수 있는 소정의 평탄면을 갖는 것이면 어떤 것도 가능하나, 상기 비트라인(60)의 배선 및/또는 상기 좌, 우측 주요 워드라인(52, 54)의 배선을 상기 각 컨택 플러그(51)(53)(61)를 통하여 기관(10)에 형성하고자 할 경우에는 반도체 기관으로 사용함이 바람직하다. 특히, 상기 절연막(22)을 산화막으로 형성시에는 실리콘 기관으로 함이 보다 바람직하다.

[0047] 물론, 상기 각 배선을 반도체 기관(10)에 형성하고자 할 경우에는, 도면에는 도시되어 있지 않으나, 기관(10)의 도전형과 반대되는 도전형을 갖는 불순물 도핑 라인으로 형성할 수 있다.

[0048] 상기 절연막(22)은 상기 기관(10)으로 실리콘 기관을 사용할 경우, 실리콘 산화막으로 형성할 수 있다. 그리고, 도 11b와 같이 또는 별도의 지지용 절연막 기둥(80)만으로 상, 하측 보조 워드라인(72, 74)의 지지 절연막 구조를 형성할 경우에는 상기 절연막(22)과 식각물이 다른 절연물질, 예컨대 상기 절연막(22)이 실리콘 산화막일 경우 알루미늄 산화막(Al_2O_3)으로 형성함이 바람직하다.

[0049] 상기 좌, 우측 주요 워드라인(52, 54), 비트라인(60), 4개의 캔틸레버 전극(62, 64, 66, 68) 및 상, 하측 보조 워드라인(72, 74)은, 동일한 도전 층으로 형성할 수 있는데, 여기서 도전 층은 금속막뿐만 아니라 불순물이 도핑된 반도체층(예컨대, 실리콘계 막: 폴리실리콘막, 비정질실리콘막 등) 혹은 탄소 나노튜브나 그래핀과 같은 물질일 수 있고, 상기 4개의 캔틸레버 전극(62, 64, 66, 68)은 유연하면서도 피로도에 강한 물질로 형성되어야 하므로, 이를 고려하여 상기 도전 층의 물질을 선택함이 바람직하다.

[0050] 상기 전하트랩 스페이서(42, 44, 46, 48)는 전자(electron)나 홀(hole)을 축적할 수 있는 물질이면 어떤 것으로도 형성 가능하고, 공지의 질화막(nitride)이나 각 측벽으로부터 산화막(Oxide)/질화막(Nitride)/산화막(Oxide)

순으로 적층된 ONO층으로 형성될 수도 있다. 상기 전하트랩 스페이서(42, 44, 46, 48)의 형상은 도면에 도시된 바와 같이 측벽(sidewall) 형상일 수 있으나, 반드시 이에 제한되는 것은 아니다. 그리고 상기 전하트랩 스페이서(42, 44, 46, 48)로의 전하 주입은 제조 공정시 또는 공정 후 F-N 터널링 등에 의하여 행할 수 있다. 상기 전하트랩 스페이서(42, 44, 46, 48)에 아무런 전하를 주입하지 않았을 경우에는 휘발성 메모리 셀 소자로 동작하게 된다.

[0051] 다음, 도 13을 참조하며 본 실시예의 동작방법에 대하여 간단히 설명한다.

[0052] 각 주요 워드라인(52)(54)과 비트라인(60)에 인가된 전압 차에 의하여 각 캔틸레버 전극(62)(64)(66)(68)은 각 주요 워드라인(52)(54) 쪽으로의 휘어짐이 결정되는데, 각 캔틸레버 전극(62)(64)(66)(68)이 각 주요 워드라인(52)(54) 쪽으로 휘어진 상태를 풀인(pull-in) 상태(이를 '0 상태'라 함. 그러나 '1 상태'로 정의할 수도 있음)와 그렇지 않은 상태를 풀아웃(pull-out) 상태(이를 '1 상태'라 함. 그러나 '0 상태'로 정의할 수도 있음)로 쓰기 동작이 이루어진다.

[0053] 이때, 서로 마주 보는 위치의 전하트랩 스페이서(42와 44, 46과 48)에 반대 극성의 전하가 저장된 경우에는 용이하게 풀인(pull-in) 상태로 되어 쓰기 구동전압을 낮출 수 있고, 쓰기 구동전압이 인가되지 않더라도 상기 전하트랩 스페이서(42, 44, 46, 48)에 저장된 전하의 정전기력에 의하여 풀인(pull-in) 상태를 그대로 유지하는 비휘발성 메모리로 동작할 수 있게 된다.

[0054] 상기 쓰기 동작에서 4개의 캔틸레버 전극(62, 64, 66, 68) 중 선택된 어느 하나만 풀인(pull-in) 상태로 하기 위해서는, 전하트랩 스페이서(42와 44, 46과 48)에 충전된 전하를 달리하는 방법에 의할 수도 있으나, 상, 하측 보조 워드라인(72, 74)에 서로 다른 전압을 인가함으로써, 달성될 수 있다.

[0055] 다음, 읽기 동작은 좌, 우측 주요 워드라인(52, 54)에 서로 다른 전압을 인가한 상태에서 읽고자 하는 측의 보조 워드라인(72 또는 74)과 비트라인(60) 사이에 일정 읽기 구동전압을 인가하였을 경우 읽고자 하는 측의 각 캔틸레버 전극(62, 64; 66, 68)이 상기 쓰기 동작과 반대의 수평방향으로 휘어지며 상기 읽고자 하는 측의 보조 워드라인(72 또는 74)에 접촉하는지 여부로 읽게 된다.

[0056] 즉, 좌, 우측 주요 워드라인(52, 54)에 서로 다른 전압을 인가하여, 읽고자 하는 측의 비선택 캔틸레버 전극은 상기 읽기 구동전압이 인가된 상태에서도 원래 상태를 유지하게 하고, 읽고자 하는 측의 보조 워드라인(72 또는 74)과 비트라인(60) 사이에 일정 크기의 읽기 구동전압을 인가할 경우 풀인(pull-in) 상태에서는 선택 캔틸레버 전극도 상기 보조 워드라인(72 또는 74)과 접촉하지 못하게 되나, 풀아웃(pull-out) 상태에서는 선택 캔틸레버 전극이 상기 보조 워드라인(72 또는 74)과 접촉하게 되어, 이로 인한 읽고자 하는 측의 보조 워드라인(72 또는 74)과 비트라인(60) 사이에 흐르는 전류의 크기를 센싱함으로써, 선택 캔틸레버 전극의 상태를 읽고, 좌, 우측 주요 워드라인(52, 54)에 인가한 전압을 바꾸어 인가한 후, 동일한 방법으로 읽고자 하는 측의 보조 워드라인(72 또는 74)과 비트라인(60) 사이에 읽기 구동전압을 인가함으로써, 읽고자 하는 측의 보조 워드라인(72 또는 74)으로 제어되는 다른 캔틸레버 전극의 상태도 읽게 된다.

[0057] 풀아웃(pull-out) 상태에서 읽기 동작으로 각 캔틸레버 전극(62)(64)(66)(68)이 읽고자 하는 측의 보조 워드라인(72 또는 74)와 접촉하게 된 이후에 읽기 구동전압을 제거하면, 상기 각 캔틸레버 전극은 빔(beam)의 복원력에 의하여 원상태로 돌아가고, 풀인(pull-in) 상태에서는 읽기 구동전압 인가 여부에 관계없이 원상태를 유지하게 된다.

[0058] 지우기 동작은 풀인(pull-in) 상태에서 풀아웃(pull-out) 상태로 될 수 있을 정도의 전압조건으로 각 라인에 바이어스 전압을 인가하면 되는데, 일 예로, 좌, 우측 주요 워드라인(52, 54)은 플로팅(floating)시키거나 비트라인(60)과 동일한 전압을 인가한 상태에서 상기 읽기 구동전압보다 큰 전압을 상, 하측 보조 워드라인(72, 74)과 비트라인(60) 사이에 인가하였다가 제거하면 각 캔틸레버 전극(62)(64)(66)(68)이 각 측의 보조 워드라인(72)(74) 쪽으로 이동 후 빔의 복원력에 의하여 초기 상태(각 캔틸레버 전극이 휘지 않은 상태)로 된다.

[0059] 다른 동작방법은, 먼저 지우기 동작으로 상기와 반대로 동일 비트라인(60)에 연결된 블록 내의 모든 캔틸레버 전극(62, 64, 66, 68)이 좌, 우측 주요 워드라인(52, 54)으로 휘어진 상태, 즉 모두 풀인(pull-in) 상태로 하고, 쓰기 동작은 모두 풀인(pull-in) 상태에서 특정 셀의 일측 캔틸레버 전극만 풀아웃(pull-out) 상태로 하는 것으로, 그리고 읽기 동작은 상기와 같은 방법으로 할 수 있는데, 이에 대해서는 본 발명자가 앞서 등록한 한국 등록특허 제944165호에 잘 설명되어 있으므로, 이에 대한 설명은 생략한다.

[0060] [제 2 실시예]

- [0061] 본 발명의 제 2 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자는, 도 15 및 도 16과 같이, 구현될 수 있다.
- [0062] 본 실시예는 상기 제 1 실시예와 좌, 우측 주요 워드라인(52, 54)의 4군데 측벽에만 전하트랩 스페이서(44, 46)가 형성된 점에 차이점이 있다.
- [0063] 다른 구성이나 동작방법은 상기 제 1 실시예와 동일하거나 유사하므로, 반복적인 설명은 생략한다.
- [0064] **[제 3 실시예]**
- [0065] 본 발명의 제 3 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자는, 도 18 및 도 19와 같이, 구현될 수 있다.
- [0066] 본 실시예는 상기 제 1 실시예와 각 주요 워드라인(52)(54)이 마주보는 각 캔틸레버 전극(62)(64)(66)(68)의 4군데 측벽에만 전하트랩 스페이서(42, 48)가 형성된 점에 차이점이 있다.
- [0067] 다른 구성이나 동작방법은 상기 제 1 실시예와 동일하거나 유사하므로, 반복적인 설명은 생략한다.
- [0068] **[제 4 실시예]**
- [0069] 본 발명의 제 4 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자는, 도 22 및 도 23과 같이, 구현될 수 있다.
- [0070] 본 실시예는 상기 제 1 실시예에서 좌, 우측 주요 워드라인(52, 54) 및 각 캔틸레버 전극(62)(64)(66)(68) 어디에도 전하트랩 스페이서가 형성되지 않은 점에 차이점이 있다.
- [0071] 따라서, 본 실시예에서는 각 캔틸레버 전극(62)(64)(66)(68)의 물질에 따라, 즉 휨(bending)의 상태를 유지하는 빔 자체 변형력(stiction force)이 빔의 복원력(탄성력)보다 클 경우에는 비휘발성 메모리로 동작할 수 있고, 그 반대의 경우에는 휘발성 메모리로 동작할 수 있게 된다.
- [0072] 그 밖의 다른 구성이나 동작방법은 상기 제 1 실시예와 동일하거나 유사하므로, 반복적인 설명은 생략한다.
- [0073] **[전기기계 메모리 소자 어레이에 관한 실시예]**
- [0074] 다음은, 상기 각 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 하는 메모리 어레이에 관한 실시예에 대하여 설명한다.
- [0075] 도 24 및 도 25는 상기 제 1 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 하는 메모리 어레이의 일 예를 도시한 것이나, 상기 제 2 내지 4 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 하는 메모리 어레이도 당연히 구현 가능하다.
- [0076] 설명의 편의상, 도 24 및 도 25를 참조하며, 상기 제 1 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 메모리 셀로 하는 메모리 어레이를 중심으로 설명하나, 이에 한정되지 않음을 미리 밝혀둔다.
- [0077] 도 24는 도 10에 예시된 상기 제 1 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자를 단위 셀로 하여 수직으로 적층된 어레이 구조를 보여주고, 도 25는 도 24의 어레이 구조가 수평으로 확장되어 구현될 수 있는 모습을 보여준다.
- [0078] 도 24에 도시된 어레이 실시예에 의하면, 기관(10)에 수직방향(z축 방향)으로 각 콘택 플로그(51)(53)(61)에 의하여 좌, 우측 주요 워드라인[(LMWL_{m,n}), (RMWL_{m,n})]과 비트라인(BL_{m,n})이 각각 상하 전기적으로 연결되고, 상, 하측 보조 워드라인[(AWL_{j,1}), (AWL_{j,2}), (AWL_{j,3}); (AWL_{j+1,1}), (AWL_{j+1,2}), (AWL_{j+1,3})]은 상기 좌, 우측 주요 워드라인[(LMWL_{m,n}), (RMWL_{m,n})] 및 비트라인(BL_{m,n})과 수직하고 기관(10)과 평행한 제 2 수평방향(y축 방향)으로 연결되며 국부적으로 형성된 절연막(22, 80)을 사이에 두고 수직 적층되고, 각 층에서 비트라인(BL_{m,n}) 양단에 제 2 수평방향(y축 방향)으로 4개의 캔틸레버 전극(62, 64, 66, 68)이 좌우 대칭적으로 형성된 구조를 갖는다.
- [0079] 그리고, 도 24의 어레이 구조가 수평으로, 즉 제 1 수평방향(x축 방향)으로 상측 보조 워드라인[(AWL_{j,1}), (AWL_{j,2}), (AWL_{j,3})] 또는 하측 보조 워드라인[(AWL_{j+1,1}), (AWL_{j+1,2}), (AWL_{j+1,3})]을 공유하며 반복 확장될 수 있고, 제 2 수평방향(y축 방향)으로도 도 24의 구조를 반복 확장된 형태로 구현될 수 있다.
- [0080] 도 25는 도 24의 어레이 구조가 수평으로 확장되어 구현될 수 있는 일 예를 보여주는 것으로 다음과 같은 특징

이 있다.

- [0081] 먼저, 각 층마다 제 2 수평방향(y축 방향)으로 복수 개의 비트라인[예컨대, (BL_m,n), (BL_m,n+1), (BL_m,n+2)]이 일정거리 이격되며 복수 개의 메모리 셀이 배열하여 제 1 셀 스트링(100)을 구성한다.
- [0082] 이때, 상기 제 1 셀 스트링(100)에는 제 2 수평방향(y축 방향)으로 배열된 복수 개 비트라인[예컨대, (BL_m,n), (BL_m,n+1), (BL_m,n+2)]의 일측에 제 2 수평방향(y축 방향)으로 연결된 상측 보조 워드라인(예컨대, 3층의 경우 AWL_j,3)과, 상기 복수 개 비트라인[예컨대, (BL_m,n), (BL_m,n+1), (BL_m,n+2)]의 타측에 상기 상측 보조 워드라인과 나란하게 제 2 수평방향(y축 방향)으로 연결된 하측 보조 워드라인(예컨대, 3층의 경우 AWL_j+1,3), 그리고 상기 각 비트라인을 사이에 두고 제 2 수평방향(y축 방향)으로 반복 형성된 복수 개의 좌, 우측 주요 워드라인[예컨대, (LMWL_m,n), (RMWL_m,n), (LMWL_m,n+1), (RMWL_m,n+1), (LMWL_m,n+2), (RMWL_m,n+2)]을 포함한다.
- [0083] 상기와 같이 구성된 제 1 셀 스트링(100)의 상측 보조 워드라인(예컨대, 3층의 경우 AWL_j,3) 또는 하측 보조 워드라인(예컨대, 3층의 경우 AWL_j+1,3)을 공유하며 상기 제 1 셀 스트링(100)과 동일한 구조를 갖는 제 2 셀 스트링(200, 300)을 제 1 수평방향(x축 방향)으로 상기 제 1 셀 스트링(100)과 한번 이상 교대로 반복되어 형성하게 되면, 각층마다 H형상의 셀 소자가 m x n으로 배열된 메모리 어레이층을 형성하게 된다.
- [0084] 상기와 같이, 이웃한 셀 스트링 사이에 상측 보조 워드라인 또는 하측 보조 워드라인을 공유 서로 공유하고, 각 셀마다 수평면에서 비트라인과 함께 H형상을 갖도록 4개의 캔틸레버 전극이 형성되고, 상기 H형상의 양측 요홈부에 좌, 우측 주요 워드라인이 형성되도록 함으로써, 평면상의 면적을 최대한 효율적으로 활용하면서 셀당 4비트까지 동작 가능하게 하여 비트당 차지하는 면적을 최대한 줄여 집적도를 높인 장점이 있게 된다.
- [0085] 또한, 상기 m x n 메모리 어레이층을 2개 이상의 복수 층으로 수직 적층 함으로써, 상기 메모리 어레이층의 적층수 즉, 도전 층의 적층수 만큼 입체적 공간을 최대한 활용하며 [m x n x 적층수]로 집적도를 높일 수 있게 된다.
- [0086] 상기 메모리 어레이층의 수직 적층시 상술한 각 컨택 플러그(51)(53)(61)와 절연막(22, 80)을 사이에 두고 복수 층으로 수직 적층 되고, 상기 각 컨택 플러그(51)(53)(61)를 통하여 상하 메모리 어레이층의 바로 위, 아래로 위치하고 있는 각 비트라인 및 각 좌, 우측 주요 워드라인을 수직하게 전기적으로 연결시키게 된다. 도 25는 상기 메모리 어레이층이 3층 적층된 구조에서 각 상, 하측 보조 워드라인의 배선 컨택 뿐만 아니라, 각 비트라인과 각 좌, 우측 주요 워드라인의 배선 컨택의 일 예를 보여준다.
- [0087] 물론, 여기서도 상기 각 컨택 플러그(51)(53)(61)는 측면으로 상, 하측 보조 워드라인을 지지하는 절연막(22)과 동일한 물질이 더 감싸지도록 함이 바람직하다.
- [0088] **[전기기계 메모리 소자의 제조방법에 관한 실시예]**
- [0089] 다음은, 첨부도면을 참조하며, 상기 각 실시예로 든 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조방법에 대하여 설명한다.
- [0090] 도 4 내지 도 10은 상기 제 1 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 보여주고, 도 14 및 도 15는 상기 제 2 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 일부 보여주고, 도 17 및 도 18은 상기 제 3 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 일부 보여주고, 도 20 내지 도 22는 상기 제 4 실시예에 의한 H셀 구조를 갖는 수평 구동형 전기기계 메모리 소자의 제조공정을 일부 보여준다.
- [0091] 이하, 소자의 제조방법에 대하여 편의상 상기 첨부도면을 부분 인용하며 설명하고 있으나, 본 제조방법에 관한 실시예의 기술적 사상은 인용된 도면의 공정에 제한되지 않는다.
- [0092] 우선, 도 4와 같이, 소정의 평탄면을 갖는 기판(10)상에 절연막 층(20)을 형성한다(제 1 단계).
- [0093] 여기서, 상기 기판(10)은 상술한 바와 같이, 소자의 구조물을 형성할 수 있고 지지할 수 있는 소정의 평탄면을 갖는 것이면 어떤 것도 가능하나, 차후 비트라인의 배선을 기판(10)에 형성하고자 할 경우에는 반도체 기판(예컨대, 실리콘 기판)으로 사용함이 바람직하다.
- [0094] 물론, 반도체 기판(10)에 비트라인 및/또는 좌, 우측 주요 워드라인의 배선을 형성할 경우에는 상기 절연막 층(20) 형성 이전에 기판(10)의 도전형과 반대되는 도전형을 갖는 불순물을 기판(10) 상부에 도핑 함으로써, 불순물 도핑 라인으로 미리 형성한다.

- [0095] 그리고, 상기 절연막 층(20)은 상기 기판(10)으로 실리콘 기판을 사용할 경우, 실리콘 산화막으로 형성할 수 있다.
- [0096] 또한, 상기 기판(10)에 비트라인 및/또는 좌, 우측 주요 워드라인의 배선을 형성한 경우이거나, 차후 캔틸레버 전극의 지지대 및 좌, 우측 주요 워드라인의 지지대를 비트라인 등 각 라인과 동시에 형성하기 위해서는 다음 단계로 진행하기 이전에, 도 4a와 같이, 상기 절연막 층(20) 상에 비트라인 콘택 플러그용 콘택 홀(25)과 좌, 우측 주요 워드라인 콘택 플러그용 콘택 홀(21, 23)을 형성하는 단계를 더 진행하거나, 도 4b와 같이, 상기 콘택 플러그용 콘택 홀(21, 23, 25)은 물론 상, 하측 보조 워드라인 지지용 콘택 홀(27, 29)을 함께 형성하는 단계를 더 진행하는 것이 바람직하다.
- [0097] 후자의 경우에는, 상, 하측 보조 워드라인 지지용 콘택 홀(27, 29)을 상기 절연막 층(20) 물질보다 식각률이 낮은 절연물질(예컨대, 상기 절연막 층이 실리콘 산화막일 경우 산화알루미늄 등)로 채운 다음 이후 공정단계로 진행한다. 물론, 상, 하측 보조 워드라인 지지용 콘택 홀(27, 29)을 형성하여 이들을 별도의 절연물질로 먼저 채운 다음 상기 콘택 플러그용 콘택 홀(21, 23, 25)을 형성하는 공정으로 진행할 수도 있다.
- [0098] 이어, 도 5와 같이, 상기 절연막 층(20) 상에 도전층(30)을 형성한다(제 2 단계).
- [0099] 여기서, 상기 도전층(30)은 금속막뿐만 아니라 불순물이 도핑된 반도체층(예컨대, 실리콘계 막: 폴리실리콘막, 비정질실리콘막 등)일 수 있고, 상기 도전층(30)으로 차후 캔틸레버 전극도 형성하게 되므로, 유연하면서도 피로도에 강한 물질로 선택함이 바람직하다.
- [0100] 또한, 다음 단계로 진행하기 이전에, 도 20과 같이, 차후 4개의 캔틸레버 전극의 폭, 각 캔틸레버 전극과 좌, 우측 주요 워드라인 사이의 간격 및 각 캔틸레버 전극과 좌, 우측 보조 워드라인 사이의 간격을 결정하기 위한 미세 패턴(31, 32, 33, 34, 36, 38)을 형성하기 위한 공정을 더 진행하는 것이 바람직하다.
- [0101] 이때, 상기 미세 패턴(31, 32, 33, 34, 36, 38)은 광학사진 공정, 전자빔(e-beam) 혹은 이온빔(FIB: Focused Ion Beam) 공정을 이용하여 매우 가늘면서 함몰된 형태로 형성하게 된다.
- [0102] 상기 미세 패턴(31, 32, 33, 34, 36, 38) 형성 공정은, 도 6 내지 도 8과 같이, 순차적으로 진행하며, 전하트랩 스페이서 형성공정을 함께 진행할 수 있다.
- [0103] 즉, 도 6과 같이, 차후 각 캔틸레버 전극과 좌, 우측 주요 워드라인 사이의 간격을 결정하기 위한 제 1 미세 패턴(32, 34, 36, 38) 형성 공정을 먼저 진행한 다음, 도 7과 같이, 상기 각 제 1 미세 패턴(32)(34)(36)(38)의 길이 방향으로 일 측벽 또는 마주보는 양 측벽에 전하트랩 스페이서(40)를 형성하기 위한 공정을 진행한다.
- [0104] 이어, 상기 제 1 미세 패턴 형성 공정 이후에 상기 전하트랩 스페이서 형성 공정과 함께 또는 상기 전하트랩 스페이서 형성 공정을 전후하여, 도 8과 같이, 각 캔틸레버 전극의 폭 및 각 캔틸레버 전극과 상, 하측 보조 워드라인 사이의 간격을 결정하기 위한 제 2 미세 패턴(31, 33)을 형성하는 공정을 더 진행한다.
- [0105] 여기서, 상기 전하트랩 스페이서(40) 형성 공정은 전자(electron)나 홀(hole)을 축적할 수 있는 물질로, 예컨대 공지의 질화막(nitride)이나 각 측벽으로부터 산화막(Oxide)/질화막(Nitride)/산화막(Oxide) 순으로 ONO층이 적층 되도록 한 다음, 에치 백(etch-back) 또는 비등방성 식각 공정 등으로 진행된다.
- [0106] 특히, 상기 제 1 실시예의 구조를 형성하기 위해서는 제 1 미세 패턴(32, 34, 36, 38)의 길이 방향으로 마주보는 양 측벽 8군데 모두에 상기 전하트랩 스페이서(42, 44, 46, 48)가 형성되도록 하고, 상기 제 2 실시예의 구조는 좌, 우측 주요 워드라인이 형성될 4군데 측벽 상의 전하트랩 스페이서(44, 46)는 가리고, 다른 부분은 더 식각하여 전하트랩 스페이서 물질을 제거하는 방식으로, 그리고 상기 제 3 실시예의 구조는 반대로 각 캔틸레버 전극이 형성될 4군데 측벽 상의 전하트랩 스페이서(42, 48)는 가리고, 다른 부분은 더 식각하여 전하트랩 스페이서 물질을 제거하는 방식으로 각각 구현할 수 있게 된다.
- [0107] 물론, 상기 제 4 실시예의 구조는, 도 20과 같이, 소정의 미세 패턴(31, 32, 33, 34, 36, 38)을 형성한 다음, 상기 전하트랩 스페이서(40) 형성 공정 없이 바로 그 다음 단계로 진행하면 된다.
- [0108] 그리고, 도 4와 같이, 절연막 층(20) 상에 비트라인 콘택 플러그용 콘택 홀(25)과 좌, 우측 주요 워드라인 콘택 플러그용 콘택 홀(21, 23)을 형성한 경우에는 상기 도전층(30)을 형성함으로써, 차후 좌, 우측 캔틸레버 전극을 지지할 비트라인 콘택 플러그(61) 및 좌, 우측 주요 워드라인 콘택 플러그(51, 53)를 자동 형성하게 된다.
- [0109] 이후, 도 9, 도 14, 도 17 또는 도 21과 같이, 상기 도전층(30)을 식각하여 좌, 우측 주요 워드라인(52, 54), 비트라인(60), 4개의 캔틸레버 전극(62, 64, 66, 68) 및 상, 하측 보조 워드라인(72, 74)을 형성한다(제 3

단계).

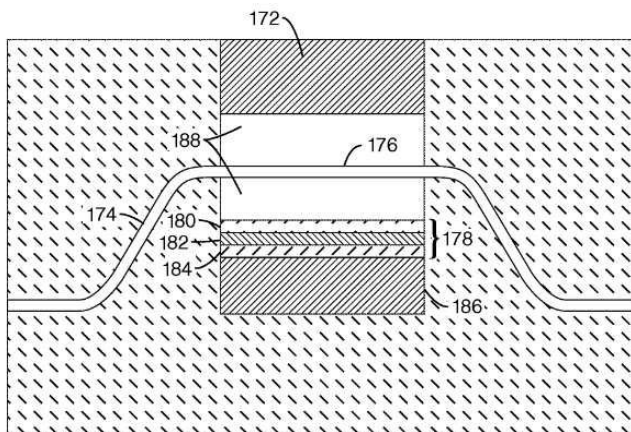
- [0110] 여기서, 상기 도전층(30)의 식각은 광학사진 공정 등으로 진행하며 필요없는 도전층을 제거하게 된다.
- [0111] 다음, 도 10, 도 15, 도 18 또는 도 22와 같이, 상기 좌, 우측 주요 워드라인(52, 54), 비트라인(60), 4개의 캔틸레버 전극(62, 64, 66, 68) 및 좌, 우측 보조 워드라인(72, 74)을 마스크로 하여 상기 절연막 층(20)을 식각하여, 상기 각 캔틸레버 전극(62)(64)(66)(68)이 상기 기판(10)상에서 부양되도록 한다(제 4 단계).
- [0112] 여기서, 상기 절연막 층(20)의 식각은, 상기 각 캔틸레버 전극(62)(64)(66)(68)이 상기 기판(10)상에서 부양되는 조건이면 충분할 것이나, 상기 상, 하측 보조 워드라인(72, 74)의 각 하부에 절연막(22)이 일부 남아 상기 각 측의 보조 워드라인(72)(74)을 지지할 수 있도록 함이 바람직하고, 더 나아가 좌, 우측 주요 워드라인 컨택 플러그(51, 53) 및 비트라인 컨택 플러그(61)에도 각각 감싸며 일부 절연막(22)이 남아 있도록 함이 바람직하다.
- [0113] 물론, 상기 절연막 층(20)의 식각시 상기 좌, 우측 주요 워드라인 컨택 플러그(51, 53) 및 상기 비트라인 컨택 플러그(61) 및/또는 상기 상, 하측 보조 워드라인 지지용 절연막 기둥(80)이 드러날 때까지 식각 공정을 진행할 수도 있다.
- [0114] 상기 절연막 층(20)의 식각 공정은 통상의 습식 식각(wet etch)으로 이루어질 수 있는데, 상기 절연막 층(20)이 실리콘 산화막으로 형성된 경우에는 HF vapor etch 방식으로 진행될 수 있다.
- [0115] 기타, 나머지 공정은 통상의 CMOS의 공정 및 공지의 전기기계 메모리 소자 공정에 의하므로, 이에 대한 설명은 생략한다.

부호의 설명

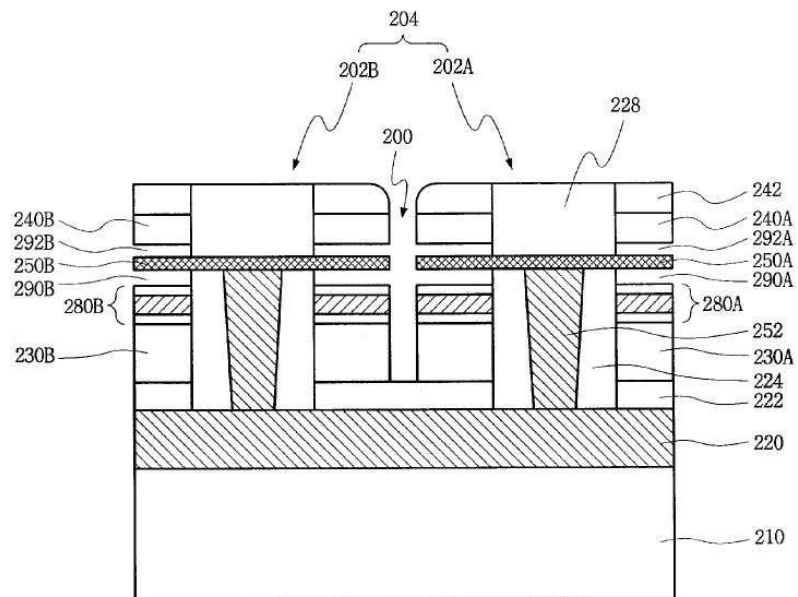
- [0116] 10: 기판
20: 절연막 층
22: 절연막
30: 도전층
31, 32, 33, 34, 36, 38: 미세 패턴
40, 42, 44, 46, 48: 전하트랩 스페이서
52, 54: 좌, 우측 주요 워드라인
51, 53: 좌, 우측 주요 워드라인 컨택 플러그
60: 비트라인
61: 비트라인 컨택 플러그
62, 64, 66, 68: 캔틸레버 전극
72, 74: 상, 하측 보조 워드라인
80: 절연막 기둥
100: 제 1 셀 스트링
200, 300: 제 2 셀 스트링

도면

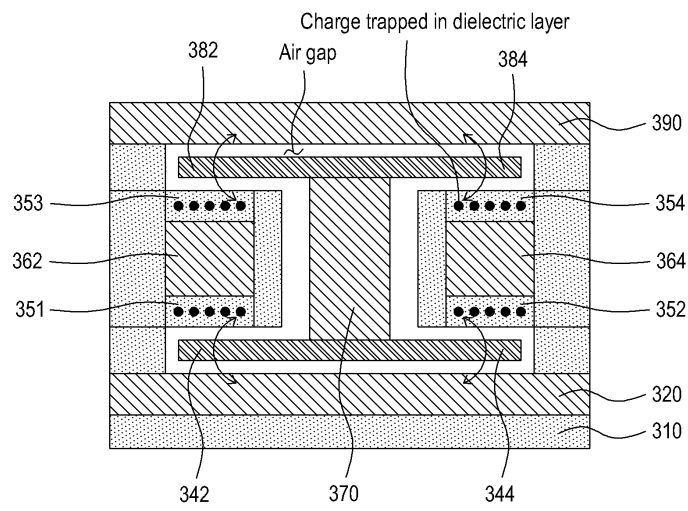
도면1



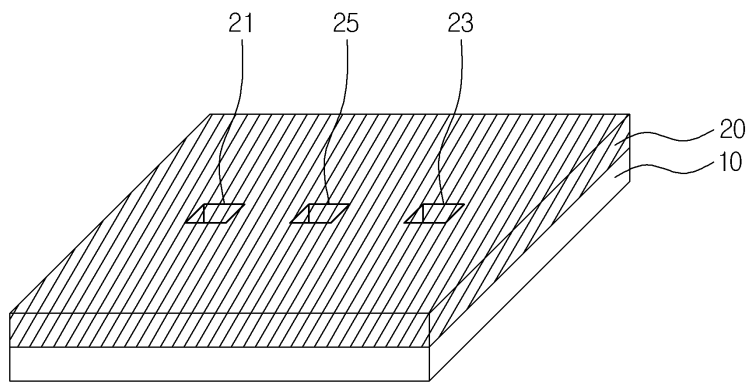
도면2



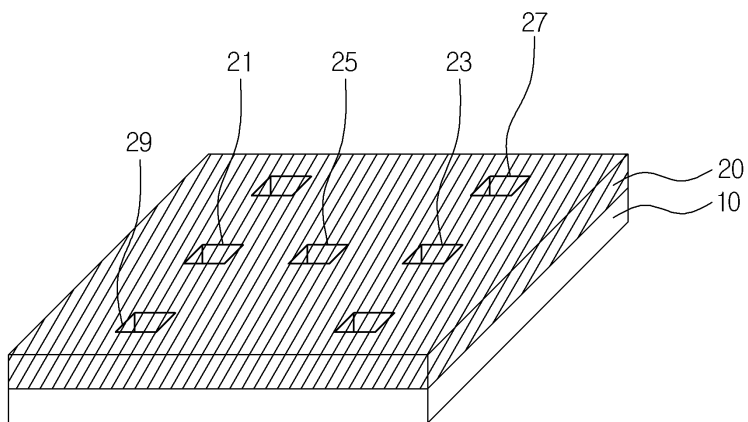
도면3



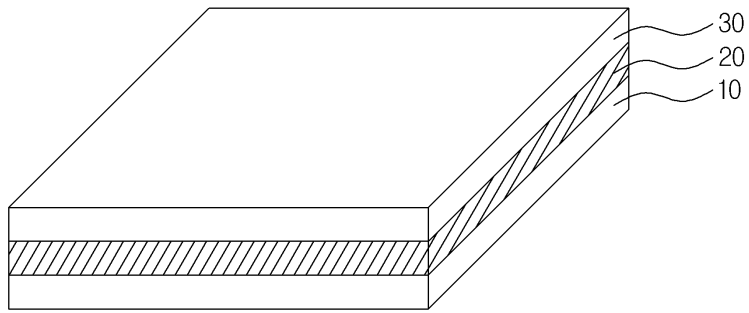
도면4a



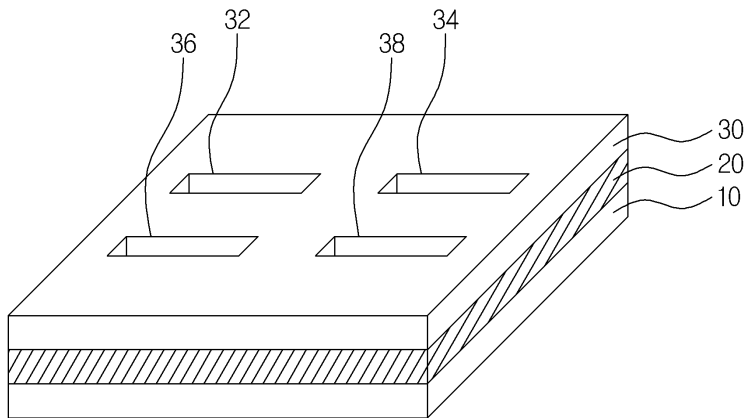
도면4b



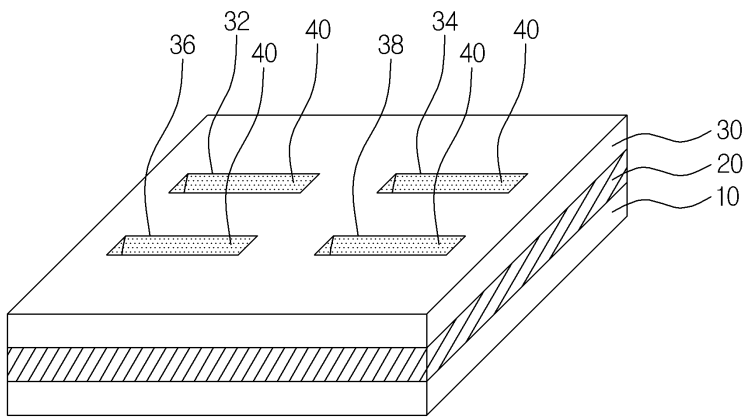
도면5



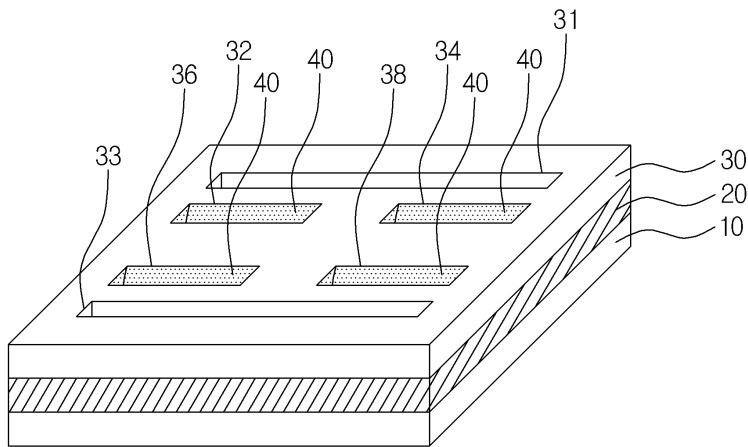
도면6



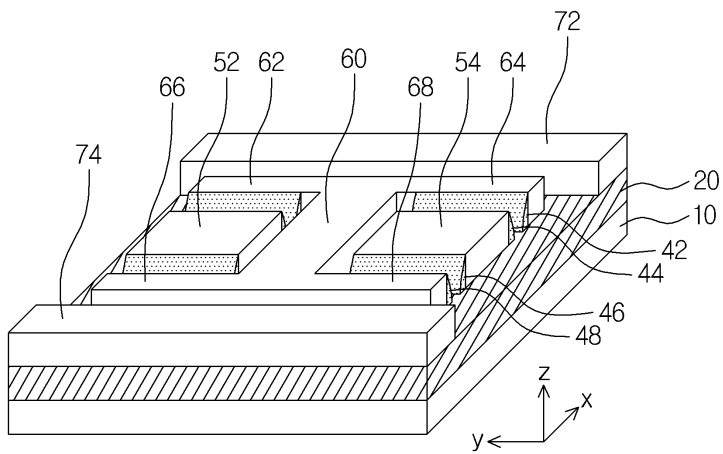
도면7



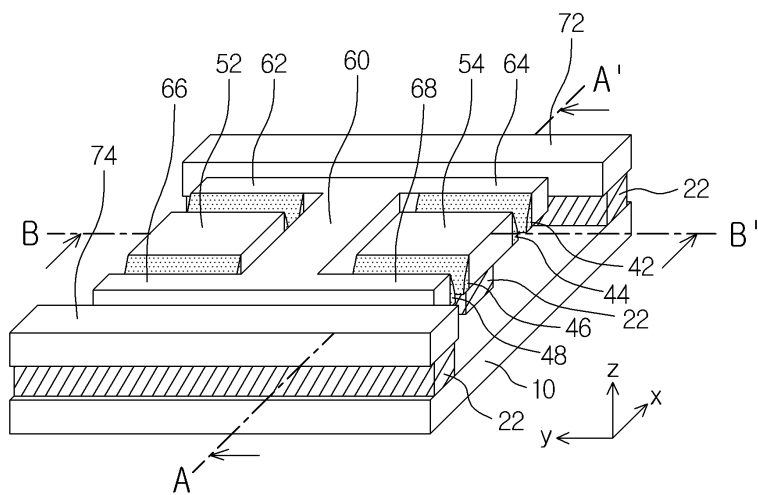
도면8



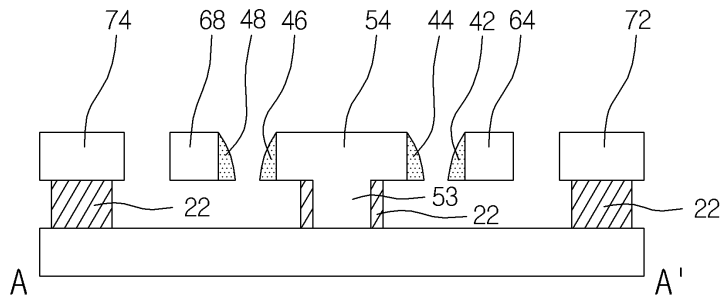
도면9



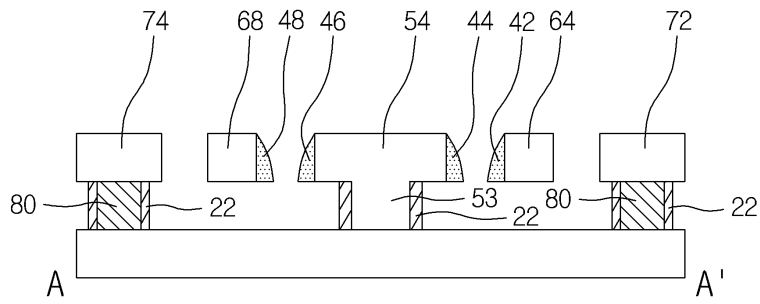
도면10



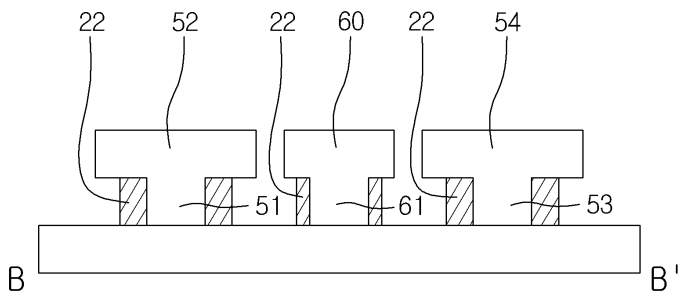
도면11a



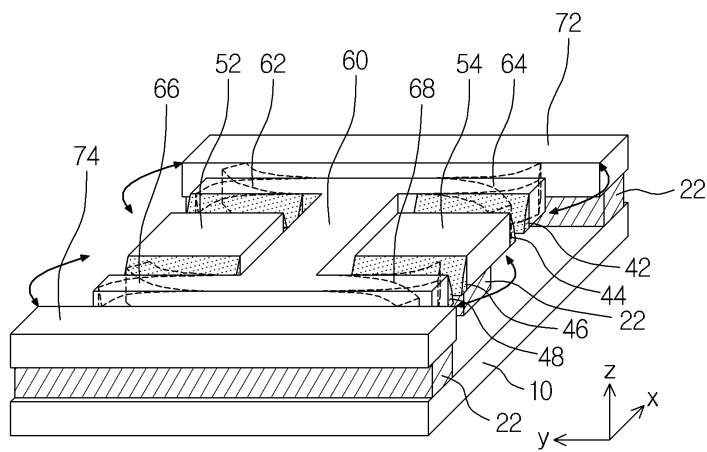
도면11b



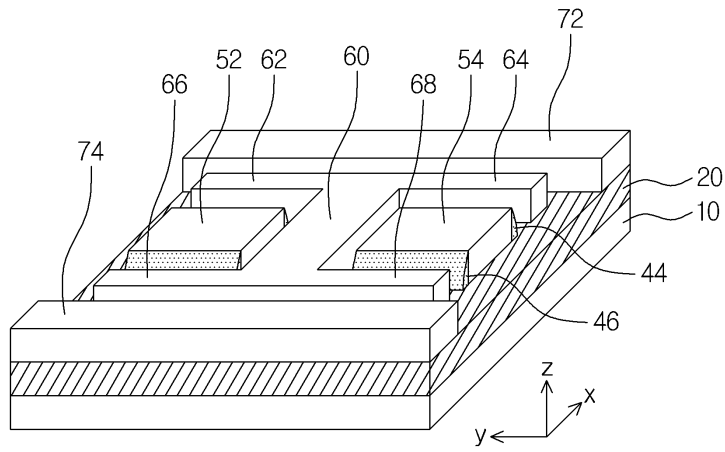
도면12



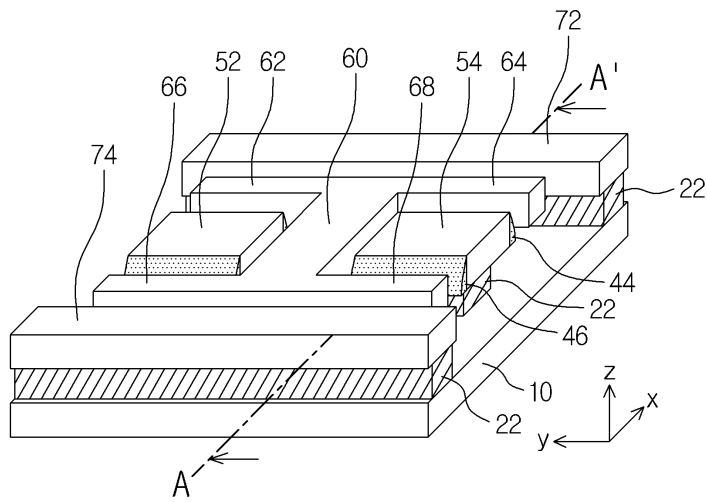
도면13



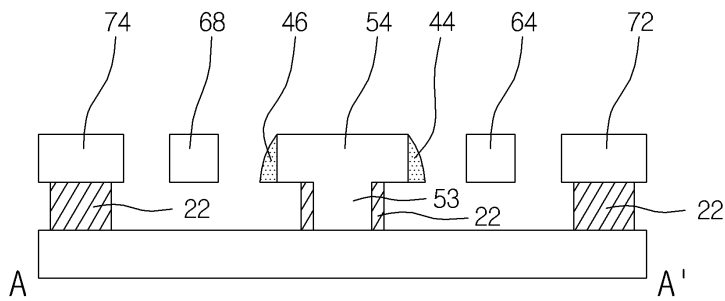
도면14



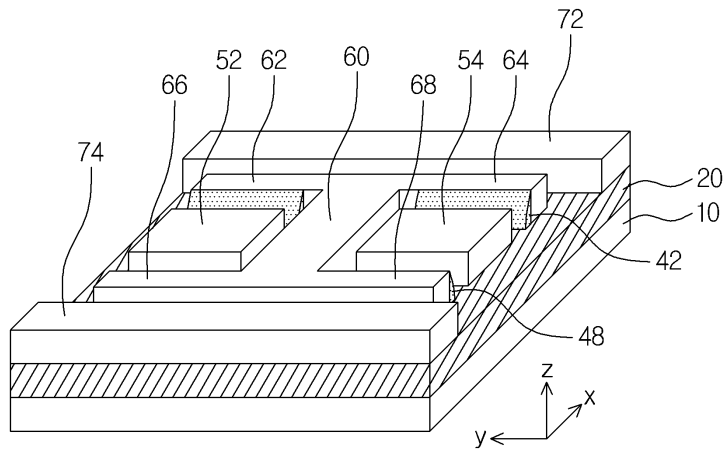
도면15



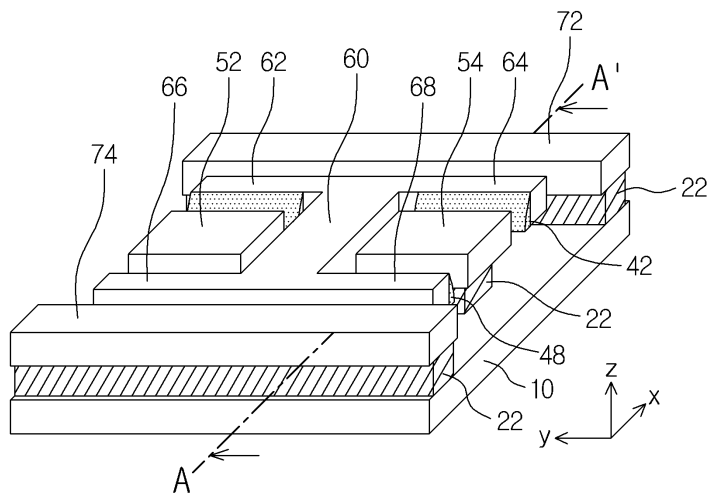
도면16



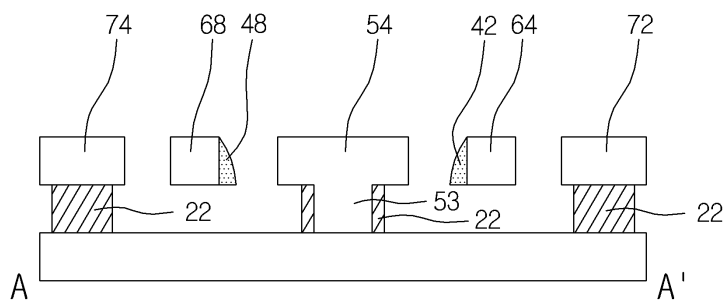
도면17



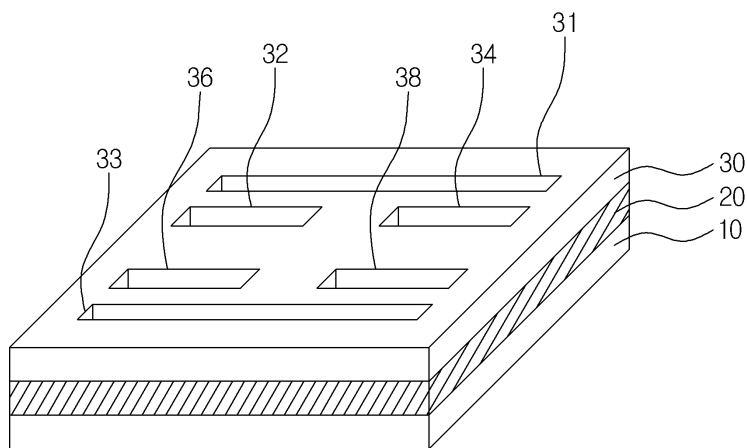
도면18



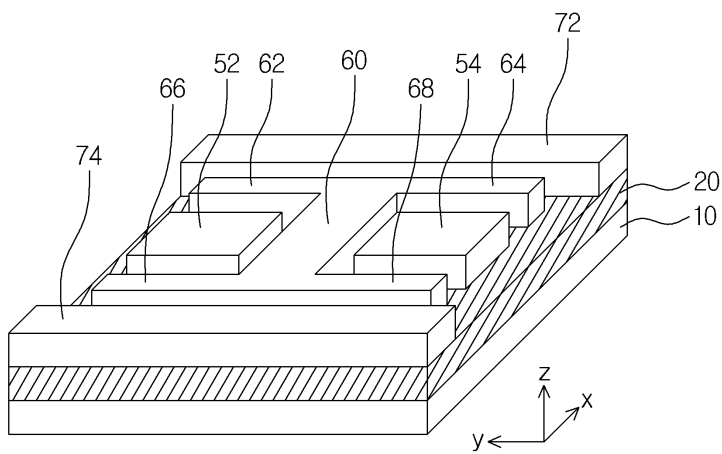
도면19



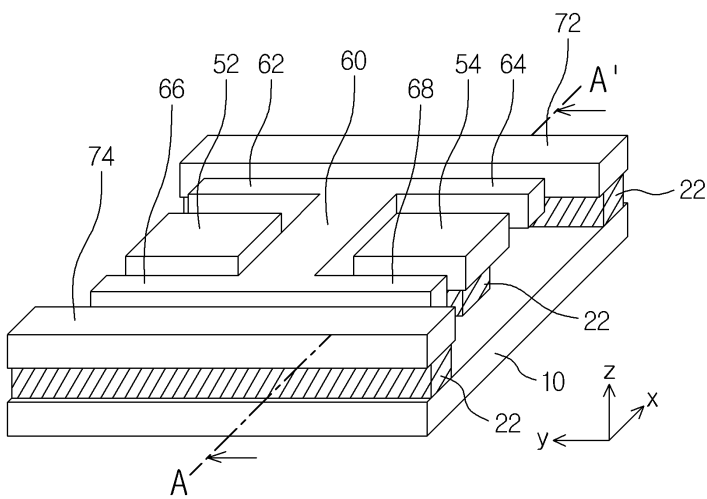
도면20



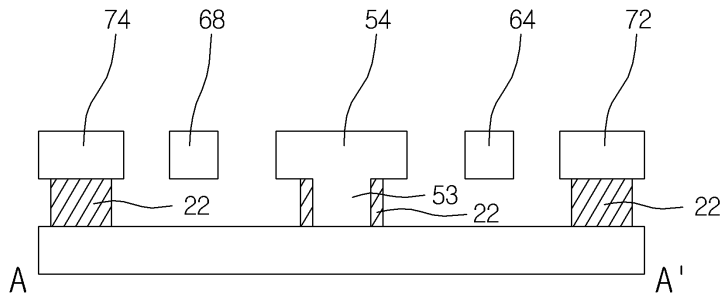
도면21



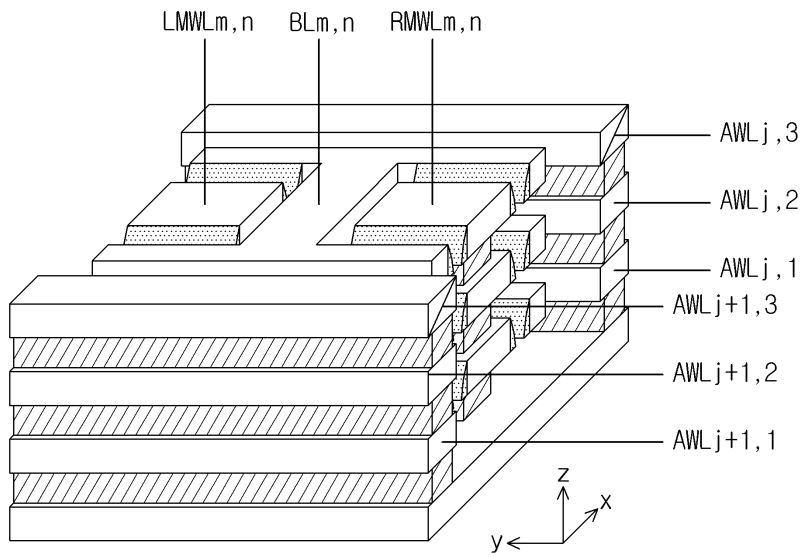
도면22



도면23



도면24



도면25

