

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200810169088.4

H01L 23/495 (2006.01)

H01L 23/31 (2006.01)

H01L 21/48 (2006.01)

H01L 21/50 (2006.01)

[43] 公开日 2009年4月29日

[11] 公开号 CN 101419958A

[22] 申请日 2008.10.20

[21] 申请号 200810169088.4

[30] 优先权

[32] 2007.10.26 [33] JP [31] 2007-278437

[71] 申请人 株式会社瑞萨科技

地址 日本东京

[72] 发明人 大仓康孝 岩崎富生 寺崎健

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 金春实

权利要求书3页 说明书21页 附图12页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明提供一种半导体器件及其制造方法。提供可以防止在半导体器件的引线的表面形成的镀膜上发生的晶须的技术。特别提供在以锡为主材料且不含有铅的镀膜中可以防止发生晶须的技术。在形成于引线表面上的镀膜中，以构成镀膜的锡的面方位中的、特定的面方位与引线的表面平行的方式形成镀膜。具体而言，以锡的(001)面与与引线的表面平行的方式构成镀膜。由此，可以使构成镀膜的锡的线膨胀系数小于构成引线的铜的线膨胀系数。

面方位	α_x	α_y	α_z	xy面内的 α 平均
(001)	15.80	15.80	28.40	15.80
(101)	20.65	13.02	26.25	16.84
(220)	15.80	28.40	15.80	22.10
(211)	20.70	18.02	21.11	19.36
(112)	16.44	16.54	26.96	16.49
(321)	18.66	23.23	17.94	20.95
(420)	15.80	28.40	15.80	22.10
(411)	28.62	18.66	17.56	21.14
(312)	21.61	14.34	23.92	17.98

1. 一种半导体器件，具备：

(a) 半导体芯片；

(b) 多个引线，与上述半导体芯片电连接，并以铜为主要材料；

(c) 镀膜，形成在上述多个引线的每一个的表面上，该镀膜以锡为主要材料且不含有铅；以及

(d) 密封体，密封上述半导体芯片，

其中，上述多个引线的每一个的一部分从上述密封体露出，该半导体器件的特征在于，

上述镀膜的面内方向的线膨胀系数小于上述铜的线膨胀系数。

2. 根据权利要求1所述的半导体器件，其特征在于，

构成上述镀膜的上述锡是包括多个晶粒的多晶体，

在上述多个晶粒中，包含(001)面与上述镀膜的表面平行的晶粒。

3. 根据权利要求2所述的半导体器件，其特征在于，

当将在上述镀膜的体积中(hkl)面与上述镀膜的表面平行的晶粒所占的比例设为 $x(hkl)$ ，将(hkl)面与上述镀膜的表面平行的晶粒的上述镀膜的面内方向上的线膨胀系数的平均值设为 $\alpha(hkl)$ 时，满足 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n) \leq 17.2 \times 10^{-6}$ ，其中， $x(h_1k_1l_1) + x(h_2k_2l_2) + \dots + x(h_nk_nl_n) = 1$ 。

4. 根据权利要求2所述的半导体器件，其特征在于，

在上述多个引线与所述镀膜之间形成有金膜或银膜。

5. 根据权利要求4所述的半导体器件，其特征在于，

上述金膜或银膜是以(001)面与上述镀膜的表面平行的方式形成的。

6. 根据权利要求1所述的半导体器件，其特征在于，

如果通过对上述镀膜使用X射线衍射来分析晶体结构，则通过X

射线衍射得到的强度峰值在晶面间隔的值为 0.16nm 至 0.18nm 之间出现。

7. 根据权利要求 6 所述的半导体器件，其特征在于，在晶面间隔的值为 0.16nm 至 0.18nm 之间出现的强度峰值是最高的峰值。

8. 一种半导体器件，具备：

(a) 半导体芯片；

(b) 多个引线，与上述半导体芯片电连接，并以铜为主材料；

(c) 镀膜，形成在上述多个引线的每一个的表面上，该镀膜以锡为主材料且不含有铅；以及

(d) 密封体，密封上述半导体芯片，

其中，上述多个引线的每一个的一部分从上述密封体露出，该半导体器件的特征在于，

上述镀膜包含面内方向的线膨胀系数小于上述铜的线膨胀系数的膜。

9. 根据权利要求 8 所述的半导体器件，其特征在于，

包含于上述镀膜中且面内方向的线膨胀系数小于上述铜的线膨胀系数的膜与上述多个引线的每一个直接接触。

10. 一种半导体器件的制造方法，其特征在于，具备如下的工序：

(a) 准备以铜为主材料的引线框的工序；

(b) 在形成于上述引线框的多个引线的表面，形成以锡为主材料且不含有铅的镀膜的工序；

(c) 在上述引线框的引片上搭载半导体芯片的工序；

(d) 用金属丝连接上述半导体芯片与形成在上述引线框的上述多个引线的工序；

(e) 密封上述半导体芯片而形成密封体的工序；

(f) 切断上述引线框而使上述密封体单片化的工序，

其中，以上述镀膜的面内方向的线膨胀系数小于构成上述多个引线的上述铜的线膨胀系数的方式形成上述镀膜。

11. 根据权利要求 10 所述的半导体器件的制造方法, 其特征在于,

构成上述镀膜的上述锡是包括多个晶粒的多晶体,

以在上述多个晶粒中包含 (001) 面与上述镀膜的表面平行的晶粒的方式形成上述镀膜。

12. 根据权利要求 11 所述的半导体器件的制造方法, 其特征在于,

形成如下述的上述镀膜: 当将在上述镀膜的体积中 (hkl) 面与上述镀膜的表面平行的晶粒所占的比例设为 $x(hkl)$, 将 (hkl) 面与上述镀膜的表面平行的晶粒的上述镀膜的面内方向上的线膨胀系数的平均值设为 $\alpha(hkl)$ 时, 满足 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n) \leq 17.2 \times 10^{-6}$, 其中, $x(h_1k_1l_1) + x(h_2k_2l_2) + \dots + x(h_nk_nl_n) = 1$ 。

13. 根据权利要求 10 所述的半导体器件的制造方法, 其特征在于,

上述 (b) 工序具有:

(b1) 在形成于上述引线框的上述多个引线的表面上, 形成金膜或银膜的工序;

(b2) 在上述 (b1) 工序后, 在上述金膜上形成以锡为主材料且不含有铅的上述镀膜的工序。

14. 根据权利要求 13 所述的半导体器件的制造方法, 其特征在于,

在上述 (b1) 工序中, 以 (001) 面与上述镀膜的表面平行这样的条件形成上述金膜或银膜。

半导体器件及其制造方法

技术领域

本发明涉及半导体器件及其制造方法，特别涉及应用于使用以锡为主材料且不含有铅的镀膜的半导体器件及其制造有效的技术。

背景技术

在非专利文献 1 中，记载了针对在以锡为主要成分且不含有铅的镀膜上发生的针状晶体（晶须）的考察。在该考察中，根据在锡的微细结构中发生的应力（应变能量密度），论述了在锡中产生的晶须的生长。其概要如下所述。通过考虑了在 β -Sn 结构的锡中发生的弹性的各向异性、由于热膨胀引起的各向异性以及可塑性的有限元法（FEM: finite element method），而确立了模型。而且，为了生成在由铜构成的引线框上涂层的锡的晶粒（grain）的几何学图案，而使用了 Voronoi 图形。通过使用针对样本（样品）的 X 射线衍射测量法，对模型（有限元法）中的锡的晶粒（grain）分配晶体方位。该模型在热循环测试下被应用于镀锡后的封装的引线。然后，对各个晶粒（grain）计算应变能量密度（SED: strain energy density）。其结果，观测到有计算出的应变能量密度越高的样本产生越长的晶须的倾向，并且，晶须的发生密度越大。因此，在对镀锡膜上发生的晶须进行研究时，通过使用 X 射线衍射测量法来测量锡镀膜的晶体结构并将其测量结果与 FEM 模型结合来进行分析的技术成为重要的指标。

非专利文献 1: IEEE TRANSACTIONS ON ELECTRONICS PACKAGING MANUFACTURING, pp265 - pp273, VOL.29, NO.4, OCTOBER 2006

作为半导体器件的一个方式，有在引片（tab）上搭载半导体芯片并将搭载在引片上的半导体芯片与多个引线利用金属丝电连接的

技术。并且，该半导体器件设为将半导体芯片用密封体进行树脂密封，并使多个引线的每一个的一部分从密封体露出的结构。具有这样的结构的半导体器件是使用从密封体露出的引线将半导体器件安装在安装基板上的。

半导体器件的引线和安装基板的端子例如用焊锡连接。此时，引线通常以铜为主要材料，因此为了提高引线 with 焊锡的润湿性、防止引线的腐蚀或氧化，通常在引线的表面形成镀膜。从实现该目的、且削减成本的观点出发，在镀膜中使用以锡为主材料的膜。

但是，在以锡为主材料的镀膜中，存在形成被称为晶须的针状晶体的问题。即，呈现具有几十 μm 至几百 μm 的长度的晶须从镀膜的表面突出的结构。如果产生这样的晶须，则发生相邻的引线由于形成在镀膜的晶须而被电连接的状况。其意味着相邻的引线由于晶须而被电连接，从而在半导体器件中发生短路故障。因此，在以锡为主材料的镀膜中，必须抑制发生晶须。

发生晶须的机理是因为在镀膜内产生的压缩应力。即，可以认为，如果对镀膜施加压缩应力，则由于无法承受压缩应力的镀膜的一部分突出而产生晶须。公知由于三种原因而发生成为该晶须的发生原因的压缩应力。

第一原因在于，在镀膜内形成构成引线的铜和构成镀膜的锡的化合物，由于该化合物引起的体积膨胀，而产生压缩应力。第二原因在于，由于对镀膜从外部施加荷重而产生压缩应力。进而，第三原因在于，由于镀膜（锡）的线膨胀系数大于引线（铜）的线膨胀系数，所以如果施加高温和低温反复的热负荷，则在高温时发生压缩应力。

由于因以上这样的原因而发生的压缩应力，导致在镀膜中发生晶须。在以往技术中，为了防止在以锡为主材料的镀膜中发生晶须，在镀膜中导入铅元素。虽然详细的机理不清楚，但通过对以锡为主材料的镀膜添加铅，可以抑制在镀膜中发生晶须。

但是，由于铅流出到外部环境是有害的，所以近年来不断发展各种产品的无铅化，而在半导体器件中也要求无铅化。因此，虽然在以

往为了抑制发生晶须而对以锡为主材料的镀膜添加了铅，但近年来倾向于不对镀膜添加铅。随着这样的无铅倾向化，在以锡为主要成分的镀膜中再次显现出发生晶须的问题。特别是近年来随着半导体器件（例如 QFP（Quad Flat Package））的小型化和集成化，相邻的引线间的间距变窄，因此在镀膜中发生的晶须开始成为重要的问题。

发明内容

本发明的目的在于，提供一种可以防止在半导体器件的引线的表面形成的镀膜上发生的晶须的技术。特别是提供一种在以锡为主材料且不含铅的镀膜中可以防止发生晶须的技术。

本发明的上述以及其他目的和新的特征将通过本说明书的记述和附图而明确。

如果简单说明本申请公开的发明中的代表性的发明的概要，则如下所述。

代表性的实施方式的半导体器件，具备：（a）半导体芯片；（b）以铜为主材料的多个引线，与上述半导体芯片电连接；（c）形成在上述多个引线的表面、并以锡为主材料且不含有铅的镀膜；（d）以及密封体，密封上述半导体芯片。并且，上述多个引线的每一个的一部分从上述密封体露出的半导体器件，其特征在于，上述镀膜的面内方向的线膨胀系数小于上述铜的线膨胀系数。

因此，镀膜的表面内的线膨胀系数小于铜（引线）的线膨胀系数，所以即使施加高温和低温重复的热负荷，也可以抑制压缩应力在高温下对镀膜的表面发生作用。即，因为镀膜的表面内的线膨胀系数小于铜的线膨胀系数，所以镀膜被以铜为主材料的引线拉伸。即，在镀膜上拉伸应力发生作用而并非压缩应力，所以可以防止由于压缩应力而发生晶须。

另外，代表性的实施方式的半导体器件的制造方法包括如下工序：（a）准备以铜为主材料的引线框的工序；（b）在形成于上述引线框的多个引线的表面上，形成以锡为主材料且不含有铅的镀膜的工

序；(c)在上述引线框的引片上搭载半导体芯片的工序。并且包括：
(d)用金属丝连接上述半导体芯片与形成于上述引线框的上述多个引线的工序；(e)密封上述半导体芯片而形成密封体的工序；(f)切断上述引线框而使上述密封体单片化的工序。在此，其特征在于，以上述镀膜的面内方向的线膨胀系数小于构成上述多个引线的上述铜的线膨胀系数的方式形成上述镀膜。

由此，在高温时拉伸应力对镀膜发生作用而并非压缩应力，所以可以防止由于压缩应力而发生晶须。

如果简单说明通过本申请公开的发明中的代表性的发明得到的效果，则如下所述。

由于镀膜的表面内的线膨胀系数小于铜的线膨胀系数，所以可以防止由于压缩应力而发生晶须。

附图说明

图1是表示本发明的实施方式1中的半导体器件的外观的图。

图2是表示在图1的A-A线处切断的剖面的剖面图。

图3是放大了形成于图2所示的半导体器件上的引线的一部分的剖面图。

图4是用于说明面方位的图。

图5是表示(001)面的图。

图6是表示(110)面的图。

图7是表示锡的晶体结构(β -Sn结构)的图。

图8是说明锡的线膨胀系数根据面方位而不同的表。

图9是表示在引线上形成的单晶体结构的镀膜的剖面图。

图10是表示在引线上形成的多晶体结构的镀膜的剖面图。

图11是表示在引线和镀膜之间形成金膜的例子的剖面图。

图12是表示构成(001)面的金原子的排列的图。

图13是表示构成(001)面的锡原子的排列的图。

图14是表示金膜和镀膜的界面上的金原子和锡原子的排列的

图。

图 15 是表示实施方式 1 中的半导体器件的制造工序的图，是说明划片（dicing）的图。

图 16 是表示接着图 15 的半导体器件的制造工序的图，是表示在引线框上搭载半导体芯片的工序的图。

图 17 是表示接着图 16 的半导体器件的制造工序的图，是表示用金属丝电连接半导体芯片与引线的工序的图。

图 18 是表示接着图 17 的半导体器件的制造工序的图，是表示用树脂密封半导体芯片的工序的图。

图 19 是表示实施方式 1 中的半导体器件的外观的图。

图 20 是表示对粉末状态的锡晶体进行了 X 射线衍射测量的结果的图，是表示晶面间隔与 X 射线衍射相对强度之间的关系关系的图。

图 21 是表示对构成镀膜的锡晶体进行了 X 射线衍射测量的结果的图，是表示晶面间隔与 X 射线衍射相对强度之间的关系关系的图。

图 22 是表示实施方式 2 中的引线上形成的镀膜的结构的剖面图。

图 23 是表示实施方式 2 中的引线上形成的镀膜的结构的剖面图。

（标号说明）

- 1 半导体器件
- 2 树脂
- 3 引线
 - 3a 外引线
 - 3b 内引线
- 4 引片
- 5 半导体芯片
 - 5a 键合焊盘
- 6 金属丝
- 10 镀膜
- 11 金膜
- 12 金原子

- 13 锡原子
- 15 镀膜
- 20 半导体晶片
- 20a 半导体芯片
- 21 刀具
- 22 引线框
- 23 金属丝
- 24 树脂
- 25 半导体器件
- 26 引线
 - a 晶轴
 - b 晶轴
 - c 晶轴
 - L 间隔
 - P 间隔

具体实施方式

在以下的实施方式中，为便于说明，在需要时分割为多个部分或实施方式进行说明，但除了特别明示的情况以外，它们并不是相互没有关系的，而是一方是另一方的一部分或全部的变形例、细节、补充说明等的关系。

另外，在以下的实施方式中，在提及要素的数量等（包含个数、数值、量、范围等）时，除了特别明示的情况和在原理上明显被限定为特定的数量的情况等以外，并不限于该特定的数量，可以是特定的数量以上，也可以是特定的数量以下。

在以下的实施方式中，其结构要素（包含要素步骤等）除了特别明示的情况和在原理上明显可以认为是必须的情况等以外，当然也不一定是必须的。

同样，在以下的实施方式中，在提及结构要素等的形状、位置关

系等时，除了特别明示的情况和在原理上明显可以认为并非那样的情况等以外，包含在实质上与其形状等近似或类似的情况等。其对于上述数值和范围也是同样的。

另外，在用于说明实施方式的全部附图中，对同一部件在原则上附加同一符号，而省略其重复的说明。此外，为了易于理解附图，有时对平面图也附加阴影线。

(实施方式1)

图1是表示本实施方式1中的半导体器件的外观的立体图。本实施方式1中的半导体器件的封装方式为QFP(Quad Flat Package)。如图1所示，本实施方式1中的半导体器件1由呈直方体形状的树脂(密封体)2覆盖，引线3从该树脂2的四个侧面突出。引线3具有弯曲成L字型的结构。

图2是表示在图1的A-A线处切断的剖面的剖面图。如图2所示，引线3由从树脂2的侧面突出的外引线3a和在树脂2的内部形成的内引线3b构成。在由左右的内引线3b所夹的(由多个内引线3b所包围的)中央部，形成有引片4，在该引片4上配置有半导体芯片5。在半导体芯片5中，形成有MISFET(Metal Insulator Semiconductor Field Effect Transistor, 金属绝缘体半导体场效应晶体管)等电路元件和布线，在最上层形成有键合焊盘5a。键合焊盘5a上方与金属丝6连接，该金属丝6与内引线3b连接。

图3是放大了图2的区域B的图。即，图3是放大了从树脂2露出的引线3(外引线3a)的剖面图。如图3所示，在引线3的表面(也包含背面)，形成有镀膜10。引线3以铜为主要材料而构成，镀膜10由以锡为主要材料且不含有铅的膜形成。这样，在引线3上形成有镀膜10，在引线3的表面形成镀膜10的理由例如如下所述。

图1所示的半导体器件1被安装在安装基板上，此时形成在安装基板上的端子和形成在半导体器件1上的引线3被电连接。在该端子与引线3的电连接中，使用焊锡。因此，可以将由铜构成的引线3用焊锡直接与端子连接，但为了提高引线3对焊锡的润湿性，而在引线

3 的表面形成镀膜 10。通过这样在引线 3 的表面形成镀膜 10，引线 3 与焊锡之间的润湿性提高，可以提高经由焊锡的引线 3 与安装基板上的端子的连接可靠性。在镀膜 10 中，使用与焊锡的润湿性良好的以锡为主材料的膜。此外，通过在引线 3 的表面形成镀膜 10，可以实现防止引线 3 腐蚀和氧化。

半导体器件 1 根据工作环境被暴露于比室温高温的状态和比常温低温的状态的热循环中。即，对半导体器件 1 施加热负荷。在此，在引线 3 的表面形成有镀膜 10，但引线 3 以铜为主要成分，另一方面镀膜 10 以锡为主要材料。因此，由于铜与锡的线膨胀系数不同，当对半导体器件 1 施加热循环时，应力对铜与锡发生作用。例如，铜的线膨胀系数为 $17.2 \times 10^{-6} \text{K}^{-1}$ ，一般的锡的线膨胀系数为 $24.3 \times 10^{-6} \text{K}^{-1}$ 。这样，一般的锡的线膨胀系数大于铜的线膨胀系数。例如，当半导体器件 1 被置于高温状态下时，与构成引线 3 的铜的膨胀相比，构成镀膜 10 的锡的膨胀更大。因此，对镀膜 10 来说，要比引线 3 膨胀得更厉害，但引线 3 的铜的膨胀却不能达到相应程度，因此，在镀膜 10 上，由于来自引线 3 的限制而产生压缩应力。这样，因为锡的一般的线膨胀系数大于铜的线膨胀系数，所以在高温时，压缩应力对镀膜 10 发生作用。进而，由于有在该高温状态下构成晶体的原子因热扩散而易于扩散的倾向，所以当压缩应力施加到镀膜 10 上时，易于在镀膜 10 上形成针状晶体（晶须）。即，晶须从镀膜 10 突出。该晶须的长度例如为几十 μm 至几百 μm 。

在半导体器件 1 上，多个引线 3 从树脂 2 露出，但随着半导体器件 1 的小型化和高集成化，相邻的引线 3 间的距离越来越窄。因此，当在形成于引线 3 的表面的镀膜 10 上形成晶须时，相邻的引线 3 由于晶须而被电连接，导致在半导体器件 1 中发生短路故障。因此，需要防止由于高温时的压缩应力而发生晶须。在热循环的低温时，镀膜 10 和引线 3 收缩，但由于构成镀膜 10 的锡的线膨胀系数大于构成引线 3 的铜的线膨胀系数，所以镀膜 10 比引线 3 收缩得厉害。因此，在镀膜 10 上，拉伸应力发生作用。即，在热循环的低温时，压缩应

力不对镀膜 10 发生作用，因此晶须的发生不会成为问题。由于以上原因，可知需要防止在热循环的高温时在镀膜 10 上发生晶须。

作为以往技术，为了抑制发生晶须，在以锡为主材料的镀膜中添加铅。虽然详细的机理不清楚，但通过使镀膜含有铅，可以防止在镀膜上发生晶须。

但是，近年来，由于铅流出到外部环境是有害的，所以不断发展各种产品的无铅化，而在半导体器件中也要求无铅化。因此，虽然在以往为了抑制发生晶须而对以锡为主材料的镀膜添加了铅，但近年来倾向于不对镀膜添加铅。随着这样的无铅倾向化，再次显现出在以锡为主要成分的镀膜中发生晶须的问题。

因此，在本实施方式 1 中，着眼于以下所示的方面而防止在以锡为主成分且不含铅的镀膜 10 上产生的晶须。对该方面进行说明。首先，晶须的发生原因在于，在热循环的高温时在镀膜 10 上发生的压缩应力。而且，该压缩应力是由于镀膜 10 的线膨胀系数大于引线 3 的线膨胀系数大而产生的。因此，在本实施方式 1 中，构成为使镀膜 10 的线膨胀系数小于引线 3 的线膨胀系数。由此，在热循环的高温时，引线 3 的膨胀比镀膜 10 的膨胀大，在镀膜 10 上拉伸应力发生作用而并非压缩应力。因此，在镀膜 10 上压缩应力不发生作用，所以可以防止发生由于高温时的压缩应力而形成于镀膜 10 上的晶须。

在此，成为疑问的是，镀膜 10 的主材料为锡，引线 3 的主材料为铜。即，一般的锡的线膨胀系数大于铜的线膨胀系数。尽管如此，可否使以锡为主材料的镀膜 10 的线膨胀系数小于以铜为主材料的引线 3 的线膨胀系数成为问题。锡的晶体结构有 α -Sn 结构和 β -Sn 结构这 2 种。 α -Sn 结构是在低温下的晶体结构，在室温附近的半导体器件 1 的工作温度范围内，锡的晶体结构为 β -Sn 结构。在该 β -Sn 结构中，具有线膨胀系数根据面方位而不同这样的特征。在本实施方式 1 中，着眼于在锡的晶体结构中线膨胀系数根据面方位而不同这样的各向异性。即，由锡构成的一般的镀膜是多晶体结构，在镀膜 10 中包含多个晶粒 (grain)。形成于镀膜中的各个晶粒朝向各种面方位。

即，一般的镀膜 10 由朝向各种面方位的晶粒形成。换言之，构成镀膜 10 的各个晶粒并不是处于一致为某一个面方位的状态（单晶体）。因此，朝向各种面方位的晶粒的每一个具有不同的线膨胀系数，由这些晶粒构成的镀膜的线膨胀系数是将各个晶粒的线膨胀系数平均后的值。即，一般的镀膜 10 以由均等地含有朝向各种面方位的晶粒的膜形成为前提， $24.3 \times 10^{-6} \text{K}^{-1}$ 这样的锡的线膨胀系数是将均等地含有的面方位不同的晶粒的每一个的线膨胀系数平均后的值。因此，在锡的晶体中，值根据与表面平行的方向的面方位而不同。在本实施方式 1 中，着眼于在与镀膜 10 的表面平行的方向的面方位具有特定的面方位时变得小于铜的线膨胀系数这一点。

首先，在说明锡的晶体结构之前说明面方位的概念。存在原子的晶面的位置和方向由其晶面上的不在一条直线上的三个点确定。通过以晶格常数 a_1 、 a_2 、 a_3 为单位附加该三个点的坐标，可以确定晶面。该晶面可以根据按照以下所示的规则确定的指数（index）来表示面的方向。即，以晶格常数 a_1 、 a_2 、 a_3 为单位表示晶面切割晶轴的长度。然后，求出以晶格常数 a_1 、 a_2 、 a_3 为单位表示的数的倒数，并简化为成相同比例的三个整数。将其结果用括号括起来而设为 (hkl) ，以该 (hkl) 为晶面的面指数。由此， (hkl) 表示晶面。

具体说明用 (hkl) 确定的晶面的一个例子。图 4 是表示某个晶面的图。在图 4 中，该面与晶轴 a 在 $3a_1$ 相交。同样地与晶轴 b 在 $2a_2$ 相交，与晶轴 c 在 $2a_3$ 相交。因此，当以晶格常数 a_1 、 a_2 、 a_3 表示该晶面切割晶轴的长度时，成为 $(3, 2, 2)$ 。该数的组的倒数为 $(1/3, 1/2, 1/2)$ 。因此，具有与该倒数的组相同的比的最小的整数的组成为 $(2, 3, 3)$ 。因此，该晶面的指数成为 (233) 。

进而，说明由 (hkl) 确定的晶面的例子。图 5 示出立方晶格的 (001) 面。即，用斜线所示的晶面与晶轴 a 不相交，因此可以称与晶轴 a 在 ∞a_1 相交。同样，由于与晶轴 b 不相交，因此可以称与晶轴 b 在 ∞a_2 相交，与晶轴 c 在 $1a_3$ 相交。因此，当以晶格常数 a_1 、 a_2 、 a_3 表示该晶面切割晶轴的长度时，成为 $(\infty, \infty, 1)$ 。该数的组的倒数

为 $(1/\infty (=0), 1/\infty (=0), 1)$ 。因此，具有与该倒数的组相同的比的最小的整数的组为 $(0, 0, 1)$ 。因此，该晶面的指数成为 (001) 。

图 6 示出立方晶格的 (110) 面。即，用斜线所示的晶面可以称与晶轴 a 在 $1a_1$ 相交。同样，与晶轴 b 在 $1a_2$ 相交，与晶轴 c 不相交，因此可以称与晶轴 c 在 ∞a_3 相交。因此，当以晶格常数 a_1 、 a_2 、 a_3 表示该晶面切割晶轴的长度时，成为 $(1, 1, \infty)$ 。该数的组的倒数成为 $(1, 1, 1/\infty (=0))$ 。因此，具有与该倒数的组相同的比的最小的整数的组为 $(1, 1, 0)$ 。因此，该晶面指数成为 (110) 。

可知，如以上那样可以用通过整数的组得到的指数 (hkl) 来表示晶面。接下来，说明锡的晶体结构。图 7 是表示锡的 β -Sn 结构的图。如图 7 所示， β -Sn 结构是复杂的结构。而且，晶轴 a 方向的晶格常数和晶轴 b 方向的晶格常数为 5.832\AA ，晶轴 c 方向的晶格常数为 3.181\AA 。在图 7 所示的晶体结构中，例如，作为 (hkl) 面，存在 (001) 、 (101) 、 (220) 、 (211) 、 (112) 、 (321) 、 (420) 、 (411) 、 (312) 等各种面方位。在这样具有多个不同的面方位的 β -Sn 结构中，晶轴方向的线膨胀系数在各个面方位上不同。

在图 8 中示出其例子。图 8 中的线膨胀系数 α_x 、 α_y 、 α_z 分别表示 x 轴方向、 y 轴方向、 z 轴方向上的线膨胀系数。在此， xyz 坐标系是与通过晶轴 a 、 b 、 c 得到的坐标系不同的坐标系。即，通过晶轴 a 、 b 、 c 得到的坐标系是确定晶面的面方位的坐标系，而 xyz 坐标系是使 xy 平面与引线 3 的表面相对应的坐标系。

图 8 是表示在各个面方位上的晶轴方向的线膨胀系数（单位 $\times 10^{-6}\text{K}^{-1}$ ）的表。例如，当面方位 (001) 与 xy 面平行的晶体结构时， x 轴方向的线膨胀系数 α_x 为 $15.80 (\times 10^{-6}\text{K}^{-1})$ ， y 轴方向的线膨胀系数 α_y 为 $15.80 (\times 10^{-6}\text{K}^{-1})$ 。另外， z 轴方向的线膨胀系数 α_z 为 $28.40 (\times 10^{-6}\text{K}^{-1})$ 。因此，可知在 xy 面内的线膨胀系数的平均值 $\alpha (= (\alpha_1 + \alpha_2) / 2)$ 为 $15.80 (\times 10^{-6}\text{K}^{-1})$ ，小于铜的线膨胀系数 $17.2 (\times 10^{-6}\text{K}^{-1})$ 。因此，通过使锡的 (001) 面与引线 3 的表面平行而形成锡，可以使镀膜 10 的面内方向 (xy 平面) 的线膨胀系数小于构成引线 3

的铜的线膨胀系数。即,通过用将与引线3的表面平行的面设为(001)面的锡的单晶体构成镀膜10,可以使镀膜10的面内方向的线膨胀系数小于引线3的面内方向的线膨胀系数。由此,即使在对形成了镀膜10的引线3施加高温的热负荷的状态下,压缩应力也不对镀膜10发生作用,而可以防止在镀膜10上发生晶须。

与其相对,当面方位(220)与xy平面平行的晶体结构时,x轴方向的线膨胀系数 α_x 为 $15.80(\times 10^{-6}\text{K}^{-1})$,y轴方向的线膨胀系数 α_y 为 $28.40(\times 10^{-6}\text{K}^{-1})$ 。另外,z轴方向的线膨胀系数 α_z 为 $15.80(\times 10^{-6}\text{K}^{-1})$ 。因此,可知在xy面内的线膨胀系数的平均值 α 为 $22.10(\times 10^{-6}\text{K}^{-1})$,大于铜的线膨胀系数 $17.2(\times 10^{-6}\text{K}^{-1})$ 。因此,如果使锡的(220)面与引线3的表面平行而形成锡,无法使镀膜10的面内方向(xy平面)的线膨胀系数小于构成引线3的铜的线膨胀系数。

这样可知根据与引线3的表面平行的面方位,镀膜10的面内方向(xy平面)的线膨胀系数成为不同的数值。因此,根据图8所示的表,通过用使面方位(001)、(101)、(112)等与引线3的表面平行的晶体结构形成镀膜10,可以使镀膜10的面内方向的线膨胀系数小于引线3的线膨胀系数。特别是在(001)面与引线3的表面平行这样的晶体结构中,镀膜10的面内方向(xy平面)的线膨胀系数最小,因此可知从使镀膜10的面内方向的线膨胀系数小于引线3的线膨胀系数的观点出发是优选的晶体结构。

如果总结上述内容,则如下所述。图9是表示引线3的剖面的剖面图。如图9所示,在引线3的表面形成有镀膜10。此时,在取以引线3的表面为xy面的坐标系时,通过将与该xy平面平行的锡的面方位设为特定的面方位,而使镀膜10的面内方向的线膨胀系数小于引线3的线膨胀系数,其为本实施方式1的特征之一。铜的晶体结构由于不像锡的晶体结构那样存在线膨胀系数的各向异性,所以以铜为主材料的引线3的线膨胀系数为 $17.2 \times 10^{-6}\text{K}^{-1}$ 。与其相对,构成镀膜10的锡存在线膨胀系数的各向异性。因此,例如通过将xy面平行的锡的面方位设为(001)面,锡的镀膜10的面内方向上的线膨胀系数

成为 $15.80 (\times 10^{-6} \text{K}^{-1})$ ，因此可以使镀膜 10 的面内方向的线膨胀系数小于引线 3 的线膨胀系数。即，作为构成镀膜 10 的晶体结构，设为与引线 3 的表面 (xy 面) 平行的锡的面方位为 (001) 面的单晶体，由此可以使镀膜 10 的面内方向的线膨胀系数小于引线 3 的线膨胀系数。在此，对与引线 3 的表面 (xy 面) 平行的锡的面方位为 (001) 面的单晶体进行了说明，但即使在与引线 3 的表面 (xy 面) 平行的锡的面方位为 (101) 面或 (112) 面那样 xy 方向的线膨胀系数小于铜的线膨胀系数的单晶体中，也可以得到同样的效果。

以上，例如，对由与引线 3 的表面 (xy 面) 平行的锡的面方位为 (001) 面的单晶体构成镀膜 10 的例子进行了说明，但在由锡的多晶体构成镀膜 10 而并非由单晶体构成的情况下，也可以在一定条件下，使镀膜 10 的面内方向的线膨胀系数小于引线 3 的线膨胀系数。

图 10 示出由锡的多晶体构成的镀膜 10 的例子。在该情况下，如图 10 所示，由与引线 3 的表面 (xy 面) 平行的锡的面方位成为 (001)、(101)、(220)、(211)、(312) 等的晶粒形成镀膜 10。此时，当将在镀膜 10 的体积中 (hkl) 面与镀膜 10 的表面平行的晶粒所占的比例设为 $x(hkl)$ ，将镀膜 10 的面内方向 (xy 面) 的线膨胀系数的平均值设为 $\alpha(hkl)$ 时，镀膜 10 的整体的线膨胀系数可以估计为 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n)$ 。因此，通过以满足不等式 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n) \leq 17.2 \times 10^{-6}$ (铜的线膨胀率) 的方式形成镀膜 10，镀膜 10 的面内方向的线膨胀系数小于铜的线膨胀系数。其中，在上述不等式中，满足 $x(h_1k_1l_1) + x(h_2k_2l_2) + \dots + x(h_nk_nl_n) = 1$ 。

因此，通过由满足上述不等式的多晶体形成镀膜 10，在高温时不会在镀膜 10 上产生压缩应力，所以可以防止在镀膜 10 上发生晶须。特别是在 (001) 面与镀膜 10 的表面平行的晶粒中，在镀膜 10 的表面内的线膨胀系数 (平均值) 最小，所以可知具有该结构的晶粒是在满足上述不等式的条件下效果最佳的晶粒。由此，通过以在镀膜 10

内存在尽可能多的(001)面、(112)面或(101)面与镀膜10的表面平行的晶粒的方式形成镀膜10,可以形成满足上述不等式的条件的镀膜10。

接下来,说明以使镀膜10的(001)面与引线3的面内方向平行的方式形成镀膜10的方法。如图11所示,在引线3的表面,首先利用电镀法形成金膜11。然后,在金膜11上用电解镀敷法形成以锡为主材料的镀膜10。通过这样在以锡为主材料的镀膜10与引线3之间形成金膜11,可以形成为镀膜10的(001)面与引线3的面内方向平行。

以下,说明通过在金膜11上形成镀膜10而可以形成为镀膜10的(001)面与引线3的面内方向平行的机理。图12是表示在引线3的表面上形成的金原子12的平面图。如图12所示,在引线3的表面利用电镀法形成由金原子12构成的金膜。此时,金膜被形成为(001)面与引线3的表面平行。即,在图12中,配置有构成金膜的(001)面的金原子12。这样,为了以(001)面与引线3的表面平行的方式形成金膜,可以在形成金膜的电镀法中,通过调整电流值、温度以及镀敷液的组成等来实现。例如,通过在中间过电压(intermediate overvoltage)的条件下利用电镀法形成金膜,可以以(001)面与引线3的表面平行的方式形成金原子12。该方法的细节例如记载于参考文献(Journal of Electroanalytical Chemistry,第9卷,第70页,1965年)。

在图12中,构成金膜的(001)面的金原子12的晶格常数为 4.0785\AA ,图12所示的间隔L的距离为 5.768\AA 。接下来,在该金膜上形成锡原子。图13是表示以锡为主材料的镀膜的(001)面中的锡原子13的排列的图。(001)面内的锡原子13的晶格常数为 5.832\AA 。因此,图12所示的间隔L(5.768\AA)和图13所示的锡原子13的晶格常数(5.832\AA)具有大致相等的值,所以易于在金膜的(001)面上生长锡的(001)面。即,在金膜的(001)面与锡的(001)面的界面上,金原子12与锡原子13如图14所示那样排列。

如图 14 所示，在金膜上形成以锡为主材料的镀膜时，以构成 (001) 面的方式排列有金原子 12，以恰好嵌入该金原子 12 未填满的空间的方式配置锡原子 13。此时，锡原子 13 被配置在未配置金原子 12 的空间，该空间的间隔 L 与锡的 (001) 面的晶格常数大致相等。因此，很自然地，锡原子 13 在金膜上以 (001) 面与引线 3 的表面平行的方式生长。即，成为在具有 (001) 面的金膜上锡的 (001) 面易于生长的状况。当这样以金膜的 (001) 面与引线 3 的表面平行的方式形成金膜时，根据金原子的排列结构和锡的 (001) 面的晶格常数的关系，发现在金膜上易于形成锡的 (001) 面这一点，其是本实施方式 1 的特征之一。由此，可以隔着金膜在引线 3 上形成锡的 (001) 面与引线 3 的表面平行的镀膜。

在本实施方式 1 中，说明了在以锡为主材料的镀膜与引线之间形成金膜的例子，但除了金膜以外也可以形成银膜。即，银膜的 (001) 面也具有与金膜的 (001) 面同等的结构，晶格间隔也相近。因此，在银膜上形成以锡为主材料的镀膜时，在未配置银原子的空间配置锡原子。此时，空间的间隔与锡的 (001) 面的晶格常数大致相等这一点与金膜的情况相同。因此，自然可以在银膜上以 (001) 面与引线 3 的表面平行的方式使锡原子 13 生长。

另外，金膜不必以覆盖整个引线的方式形成，也可以局部形成在引线上。其原因为，为了以锡的 (001) 面与引线的表面平行的方式形成而使用金膜。即，当以锡为主成分的镀膜由与引线的表面平行的面方位不同的多个晶粒构成时（多晶体的情况），在形成有 (001) 面与引线的表面平行的晶粒的区域上形成金膜即可。

此外，在镀膜完成后实施加热处理，而即使构成金膜的金原子由于扩散到构成引线的铜或构成镀膜的锡的内部而消失也不会造成问题。其原因为，金膜是为了以锡的 (001) 面与引线的表面平行的方式形成而使用的膜，即使金膜消失，在镀膜完成后，也维持锡的 (001) 面与引线的表面平行的状态。因此，在完成后的半导体器件中，尽管在引线上形成过金膜，但也有时会呈现在引线上不存在金膜而直接形

成有以锡为主材料的镀膜的结构。

接下来,说明本实施方式1的半导体器件的制造方法。作为本实施方式1的封装方式对QFP进行了说明,但在以下所示的制造方法中对作为与QFP相同的表面安装型的封装方式的SOP(Small Outline Package,小外型封装)进行说明。封装方式无论是QFP还是SOP,基本的制造工序是相同的。

首先,在图15中,准备半导体晶片20。半导体晶片20被划分为多个芯片区域,在多个芯片区域的每一个中形成有LSI(Large Scale Integration Circuit,大规模集成电路)。LSI是利用所谓的晶片工艺(前工序)形成的。

接下来,利用刀具21切断半导体晶片20。即,通过将半导体晶片20以芯片区域为单位切断,取得半导体芯片。另一方面,准备用于搭载半导体芯片的引线框。该引线框22例如以铜为主材料。接下来,在形成于引线框的引线的表面形成镀膜。通过该镀敷工序具体体现本实施方式1中的技术思想。例如,如上所述,在引线的表面首先利用电镀法形成金膜。然后,在金膜上利用电镀法形成以锡为主材料的镀膜。通过这样在以锡为主材料的镀膜与引线之间形成金膜,可以形成为镀膜的(001)面与引线的面内方向平行。利用该镀敷方法,镀膜可以由(001)面与引线的面内方向平行的单晶体状态的锡、或满足上述不等式 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n) \leq 17.2 \times 10^{-6}$ (铜的线膨胀率) 的多晶体状态的锡形成。

然后,如图16所示,在镀敷处理后的形成有引线图案的引线框22的引片上搭载半导体芯片20a。半导体芯片20a利用芯片焊接机(die bonder)而搭载在形成于引线框22的引片上。

接下来,如图17所示,利用金属丝23将搭载在引片上的半导体芯片20a上形成的焊盘(未图示)与在引线框22上形成的多个引线(内引线)连接。金属丝23通过使用毛细管(capillary)而连接焊盘与引线。

然后,如图 18 所示,利用树脂 24 密封包含被搭载在引线框 22 上的半导体芯片 20a 和内引线的区域。利用树脂 24 的密封是为了保护半导体芯片 20a 免受外力的冲击或水分浸入而进行的。

接下来,从引线框 22 对利用树脂 24 密封后的密封体单片化。由此,可以获得图 19 所示的半导体器件 25。半导体器件 25 由利用树脂 24 的密封体和从该密封体突出的引线(外引线)26 构成。而且,在从密封体突出的引线 26 的表面上形成有镀膜(未图示)。

根据本实施方式 1,可以使在引线 26 的表面形成的镀膜(锡)的面内方向的线膨胀系数小于引线 26(铜)的线膨胀系数。因此,即使在对形成了镀膜的引线 26 施加高温的热负荷的状态下,压缩应力也不对镀膜发生作用,而可以防止在镀膜上发生晶须。另一方面,当使镀膜(锡)的面内方向的线膨胀系数小于引线 26(铜)的线膨胀系数时,在施加了低温的热负荷的情况下,压缩应力对镀膜发生作用。但是,因为在低温时不易发生原子的扩散,所以不发生由压缩应力引起的晶须。即,低温时的压缩应力不会成为发生晶须的问题。

由此,根据本实施方式 1 的半导体器件 25,可以防止在形成于引线 26 的表面的镀膜上发生晶须。在发生晶须的情况下,当相邻的引线 26 间的间隔 P 变窄时,在相邻的引线 26 经由晶须而被电连接的半导体器件 25 中发生短路故障。与其相对,在本实施方式 1 中,在形成于引线 26 的表面的镀膜上不发生晶须,所以可以使相邻的引线 26 间的间隔 P 变窄。例如,可以将相邻的引线 26 间的间隔 P 设为 0.5mm 以下,而可以实现半导体器件 25 的多管脚化或小型化。这样,可以制造出本实施方式 1 中的半导体器件 25。

本实施方式 1 的特征之一在于,使以锡为主材料的镀膜的面内方向上的线膨胀系数小于构成引线的铜的线膨胀系数。作为实际具体体现该结构的一个方法,通过将镀膜的面内方向平行的锡的面方位设为特定的面方位来实现。例如,在由锡的多晶体形成镀膜的情况下,需要以满足上述不等式 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n) \leq 17.2 \times 10^{-6}$ (铜的线膨胀率) 的方式形

成各个晶粒。在这样由锡的多晶体形成镀膜的情况下，关于是否使用本实施方式1的结构，需要某些确认方法。以下，说明对成为验证对象的镀膜是否真正满足上述不等式进行确认的方法。

在晶体结构的分析中，一般使用X射线衍射测量。X射线衍射测量是指，当向晶体入射X射线时，通过规则配置的各个原子，X射线被衍射，呈现出由于该衍射现象而使从晶体出射的X射线的强度在某个位置处被加强并在另外某个位置处被减弱这样的强弱。通过观测该强弱可以分析晶体结构。

图20是对随机存在多个面方位的粉末状态的锡晶体进行X射线衍射测量而得到的结果。在图20中，横轴表示晶面间隔，纵轴表示X射线衍射相对强度。如图20所示，在X射线衍射相对强度中，检测出由多个峰值构成的光谱。通过研究检测出该光谱的晶面间隔，可知该光谱表示哪个面方位。在粉末状态的锡晶体中，以同等地含有面方位不同的晶粒为前提。因此，在图20中，各个光谱的大小不同，但其并不表示含有更多的具有某个面方位的晶粒。即，被检测出的光谱的大小根据面方位而不同。例如，可知(200)面的光谱强度存在变大的倾向，(001)面的光谱强度存在变小的倾向。具体而言，当以(200)面的强度为100来表示晶面(面方位)的X射线衍射相对强度时，(101)面的强度为90，(220)面的强度为34，(211)面的强度为74，(001)面的强度为17，(112)面的强度为23，(400)面的强度为13，(321)面的强度为20，(420)面的强度为15，(411)面的强度为15，(312)面的强度为20。

接下来，图21示出对实际形成于引线上的镀膜进行了X射线衍射测量而得到的结果。如图21所示，例如，示出在该镀膜中，作为与引线的表面平行的面方位检测出(211)面、(001)面、(411)面、(312)面这四个。但是，无法称图21所示的各个X射线衍射相对强度表示具有各个面方位的晶粒的比例。因为，即使以相同比例含有不同的面方位的晶粒，也如图20所说明的那样，X射线衍射相对强度也针对每个面方位而不同。因此，根据图21所示的测量结果，

为了计算面方位不同的晶粒的比例，需要用图 20 所示的测量结果来进行定量化。

根据图 21 的测量结果，当以 (001) 面的强度为 100 时，(211) 面的强度成为 7.4，(001) 面的强度成为 100，(411) 面的强度成为 15，(312) 面的强度成为 20。当将这些数据除以图 20 所示的粉末状态的锡的测量结果时，(211) 面的强度成为 $7.4/74=0.1$ ，(001) 面的强度成为 $100/17=5.88$ ，(411) 面的强度成为 $15/15=1$ ，(312) 面的强度成为 $20/20=1$ 。该除法后得到的值表示镀膜所含的不同的面方位的晶粒的比例。进而将四个面方位上的 X 射线衍射相对强度归一化而使其总计成为 1。即，通过除以作为其总计的 $7.98(0.1+5.88+1+1)$ ，可以求出不等式中的 $x(hkl)$ 。具体而言， $x(211)$ 成为 0.0125， $x(001)$ 成为 0.737， $x(411)$ 成为 0.125， $x(312)$ 成为 0.125。然后，通过使用图 8 所示的值，计算出 $x(211) \times \alpha(211) + x(001) \times \alpha(001) + x(411) \times \alpha(411) + x(312) \times \alpha(312) = 16.9 \times 10^{-6}$ ，可知该值小于铜的线膨胀率 17.2×10^{-6} 。通过如上所述利用 X 射线衍射相对强度的测量结果，可以确认成为验证对象的镀膜是否真正满足上述不等式。从上述的例子可知，与引线的表面平行的面方位包含较多的 (001) 面的镀膜具有减小镀膜的表面内的线膨胀系数的效果。为了验证与引线的表面平行的面方位是否包含较多的 (001) 面，可以根据 X 射线衍射相对强度的峰值变得更大来判别。特别是当 (001) 面的 X 射线衍射相对强度的峰值最高时，减小镀膜表面内的线膨胀系数的效果变得显著。

由于晶体结构的应变，与 (001) 面对应的 X 射线衍射相对强度出现的位置产生少许偏移，但呈现于晶面间隔 0.16nm 至 0.18nm 之间。

(实施方式 2)

在本实施方式 2 中，对将形成于引线表面上的镀膜设为多层结构的例子进行说明。图 22 是表示在本实施方式 2 中的半导体器件中形成于引线 3 上的镀膜的结构剖面图。在图 22 中，在引线 3 的表面上形成有金膜 11，在该金膜 11 上形成有以锡为主材料的镀膜 10。该

镀膜 10 是第一层的镀膜，在镀膜 10 上，进而形成有以锡为主材料的镀膜 15。这样，在本实施方式 2 中，在金膜 11 上形成有由镀膜 10 和镀膜 15 构成的多层膜。

此时，金膜 11 具有将形成于金膜 11 上的镀膜 10 的晶面（面方位）控制在特定方向的功能。具体而言，如上述实施方式 1 中所述，与引线 3 的表面平行地形成金膜 11 的（001）面，在该金膜 11 上形成的镀膜 10 被形成为锡的（001）面与引线 3 的表面平行。

因此，可以使镀膜 10 的面内方向的线膨胀系数小于引线 3 的线膨胀系数。即，作为构成镀膜 10 的晶体结构，设为与引线 3 的表面平行的锡的面方位为（001）面的单晶体，由此可以使镀膜 10 的面内方向的线膨胀系数小于引线 3 的线膨胀系数。

此外，也可以由锡的多晶体构成镀膜 10 而并非由锡的单晶体构成。具体而言，与上述实施方式 1 同样地，当将在镀膜 10 的体积中（hkl）面与镀膜 10 的表面平行的晶粒所占的比例设为 $x(hkl)$ ，将镀膜 10 的面内方向（xy 面）上的线膨胀系数的平均值设为 $\alpha(hkl)$ 时，镀膜 10 的整体的线膨胀系数可以估计成 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n)$ 。此处，通过以满足不等式 $x(h_1k_1l_1) \times \alpha(h_1k_1l_1) + x(h_2k_2l_2) \times \alpha(h_2k_2l_2) + \dots + x(h_nk_nl_n) \times \alpha(h_nk_nl_n) \leq 17.2 \times 10^{-6}$ （铜的线膨胀率）的方式形成镀膜 10，可以使镀膜 10 的面内方向的线膨胀系数小于铜的线膨胀系数。

接下来，形成在镀膜 10 上的镀膜 15 可以取与镀膜 10 相同的结构，也可以取不同的结构。但是，镀膜 15 也优选为面内方向的线膨胀系数小于铜的线膨胀系数。其原因为，在镀膜 15 中，例如当镀膜 15 的面内方向的线膨胀率大于铜的线膨胀率时，在镀膜 15 上发生压缩应力，而成为发生晶须的原因。因此，镀膜 15 虽然无需设为与镀膜 10 相同的结构，但优选为采用满足上述不等式的结构，而使镀膜 15 的面内方向的线膨胀系数小于铜的线膨胀系数。具体而言，镀膜 15 也可以由与引线 3 的表面平行的锡的面方位为（001）面、（101）面、（112）面等的单晶体构成，或由含有较多的与镀膜 15 的表面平

行的面方位为(001)面、(101)面、(112)面等的晶粒的多晶体构成。

另外，与上述实施方式1同样地，金膜11不必以覆盖整个引线的方式形成，也可以局部形成在引线上。其原因为，为了以锡的(001)面与引线的表面平行的方式形成而使用金膜11。即，当以锡为主成分的镀膜由与引线的表面平行的面方位不同的多个晶粒构成时(多晶体的情况)，在形成有(001)面与引线的表面成为平行的晶粒的区域形成金膜11即可。

另外，在镀膜完成后实施加热处理，而即使构成金膜11的金原子由于在构成引线3的铜或构成镀膜10的锡的内部扩散而消失也不会造成问题。其原因为，金膜11是为了以锡的(001)面与引线3的表面平行的方式形成而使用的膜，即使金膜11消失，在镀膜10完成后，也维持锡的(001)面与引线3的表面成为平行的状态。因此，如图23所示，尽管在引线3上形成过金膜11，但也有时会呈现在引线3上不存在金膜11而直接形成有以锡为主材料的镀膜10的结构。

以上，根据实施方式具体说明了本发明人完成的发明，但本发明不限于上述实施方式，当然可以在不脱离其主旨的范围内进行各种变更。

(产业上的可利用性)

本发明可以在制造半导体器件的制造业广泛利用。

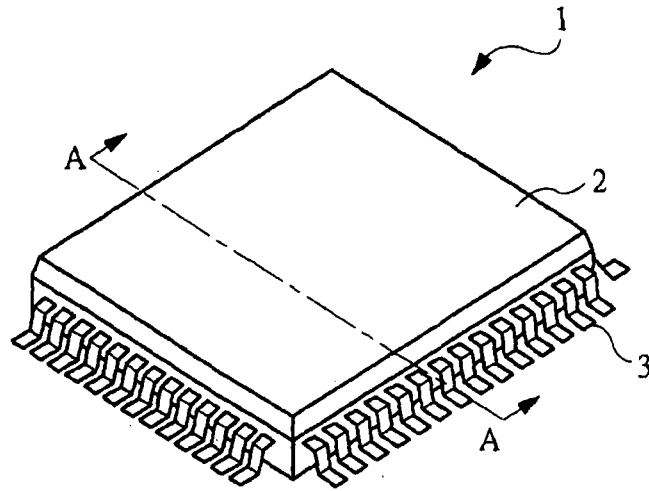


图1

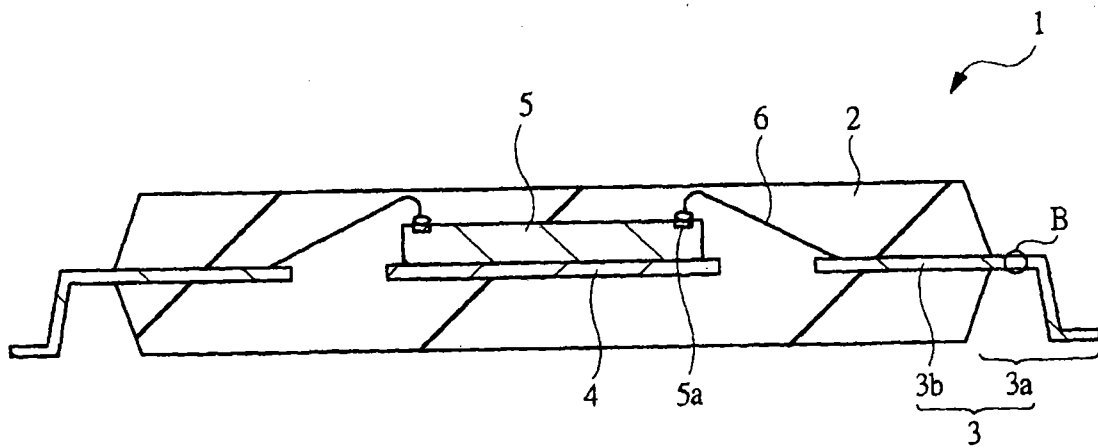


图2

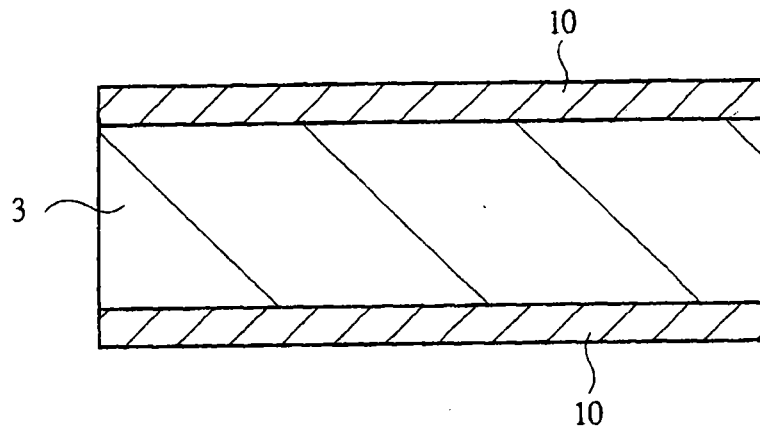


图 3

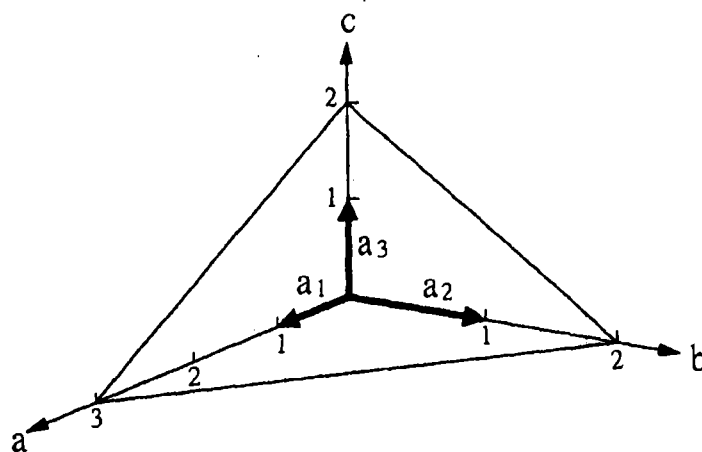


图 4

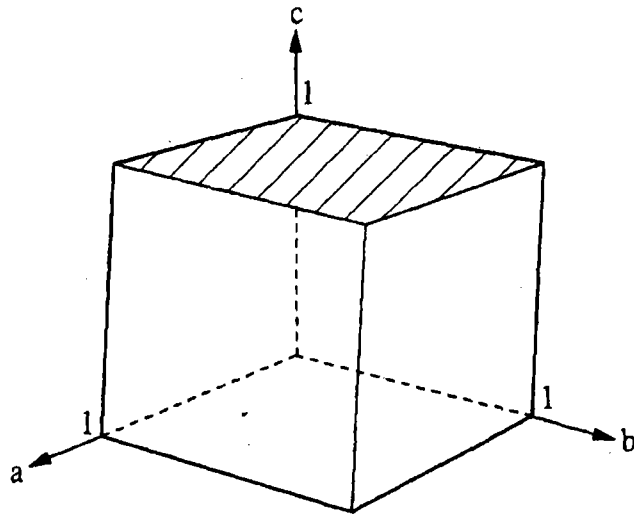


图5

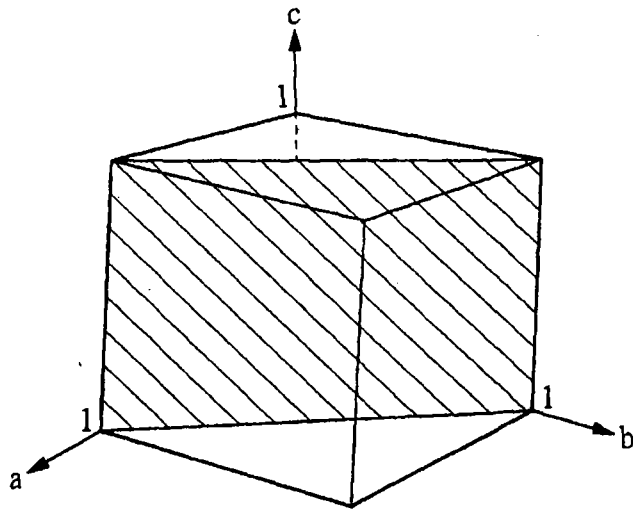


图6

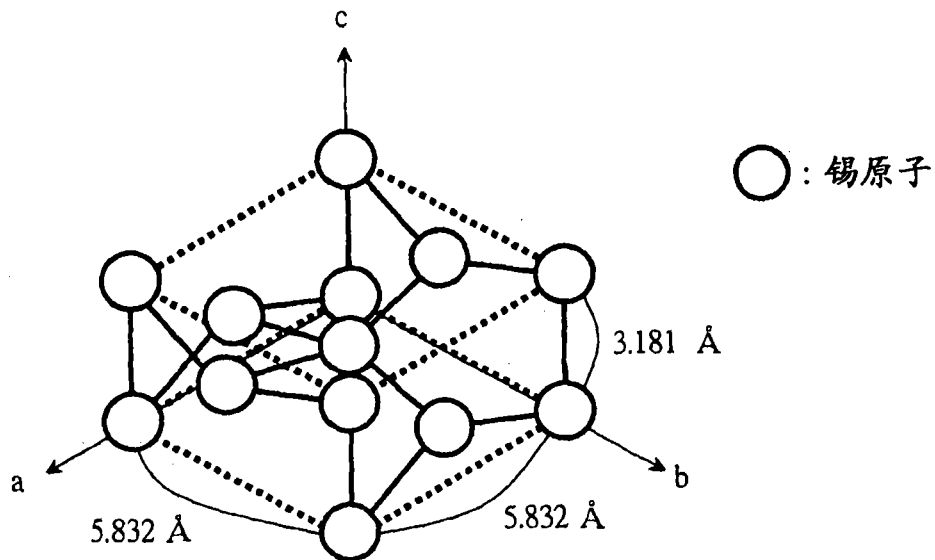


图 7

面方位	α_x	α_y	α_z	xy面内的 α 平均
(001)	15.80	15.80	28.40	15.80
(101)	20.66	13.02	26.25	16.84
(220)	15.80	28.40	15.80	22.10
(211)	20.70	18.02	21.11	19.36
(112)	16.44	16.54	26.96	16.49
(321)	18.66	23.23	17.94	20.95
(420)	15.80	28.40	15.80	22.10
(411)	28.62	18.66	17.56	21.14
(312)	21.61	14.34	23.92	17.98

图 8

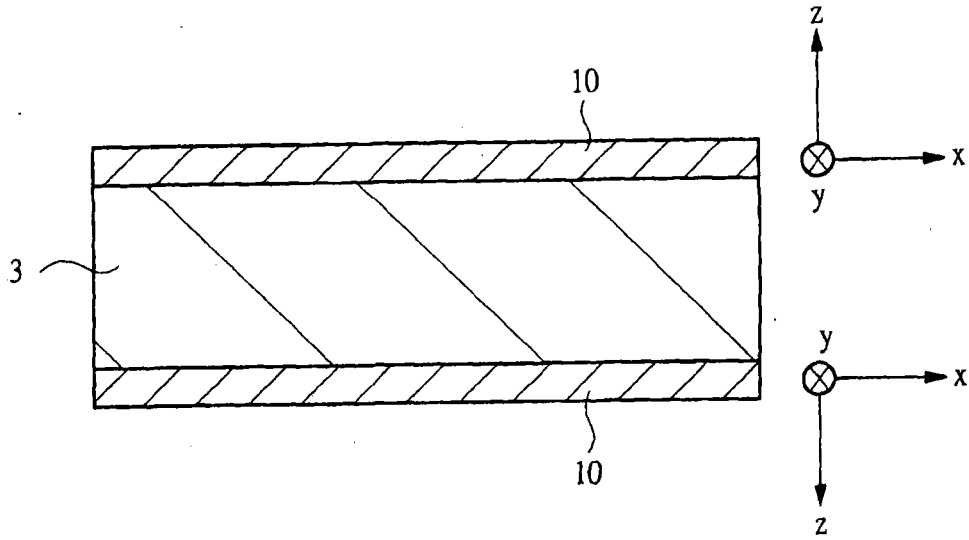


图9

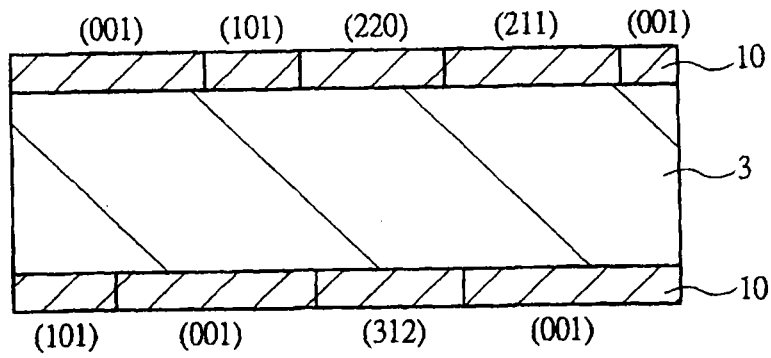


图10

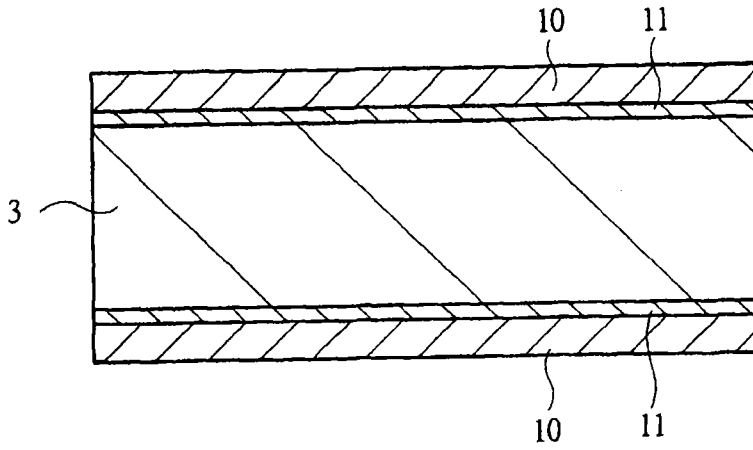
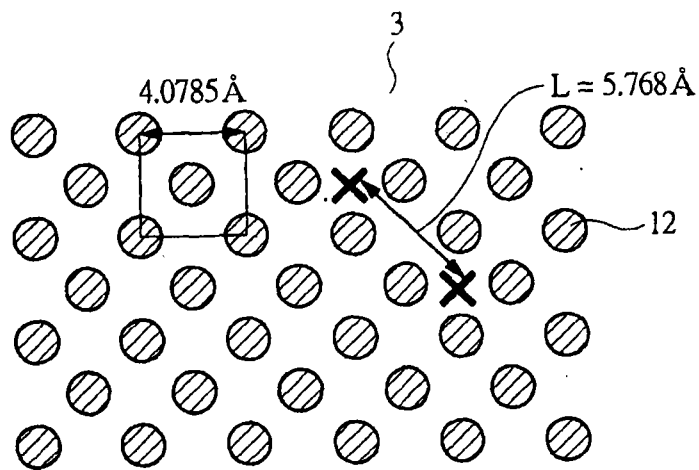
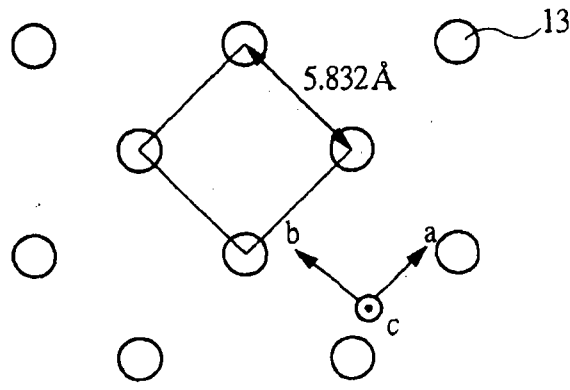


图 11



(001)面上的金原子排列

图 12



(001)面上的锡原子排列

图13

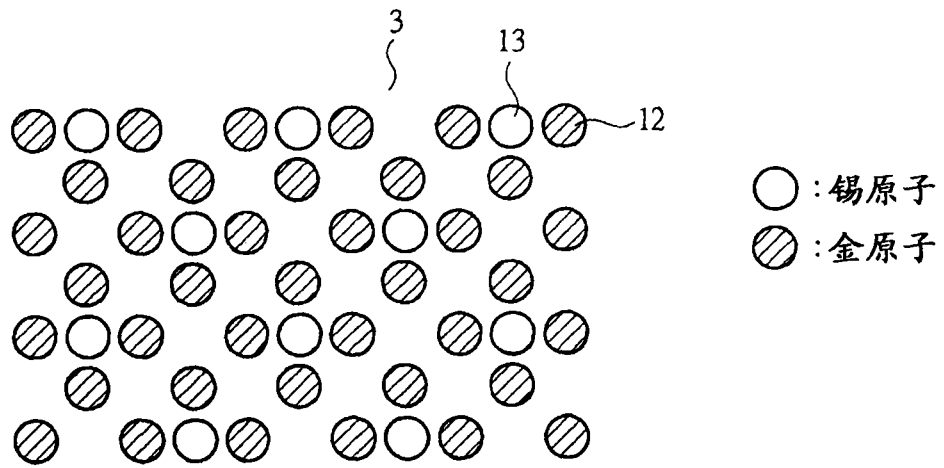


图14

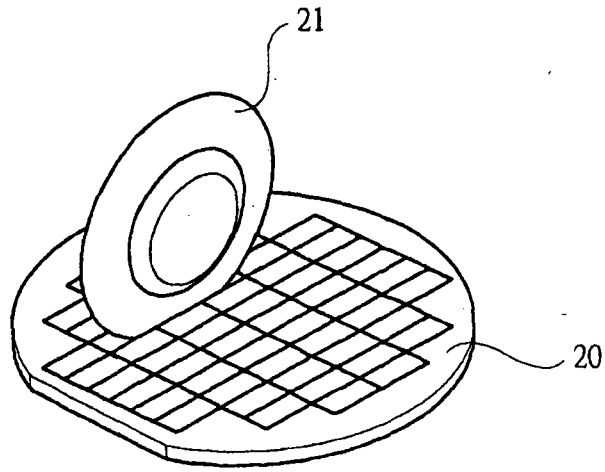


图 15

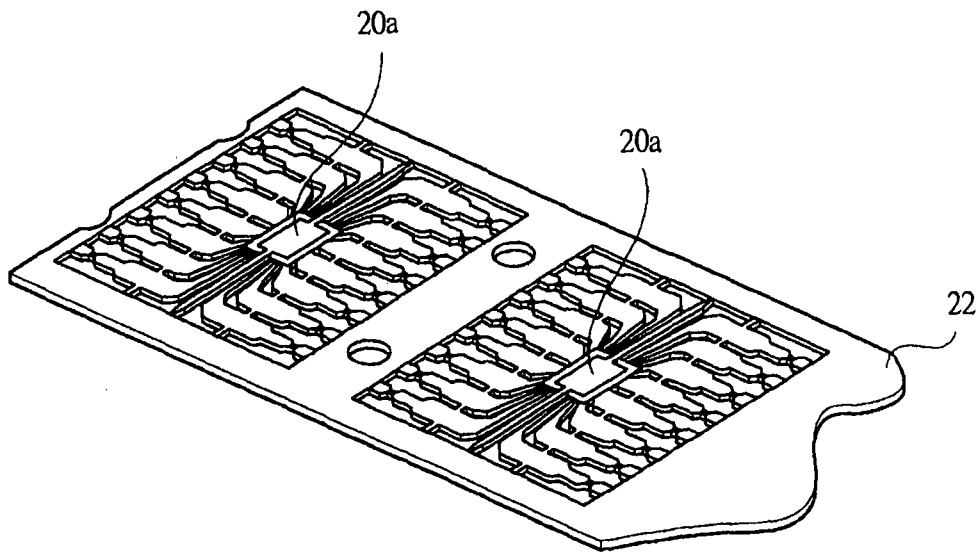


图 16

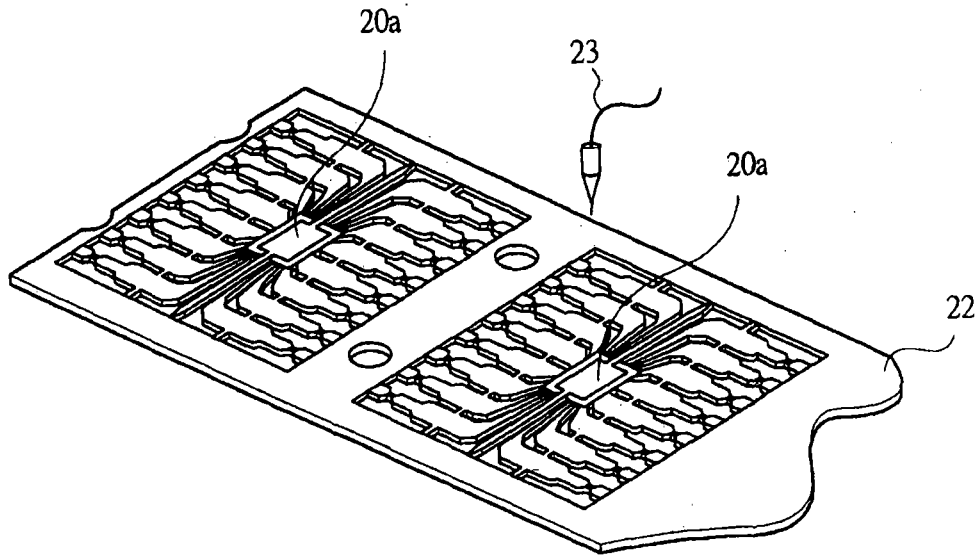


图17

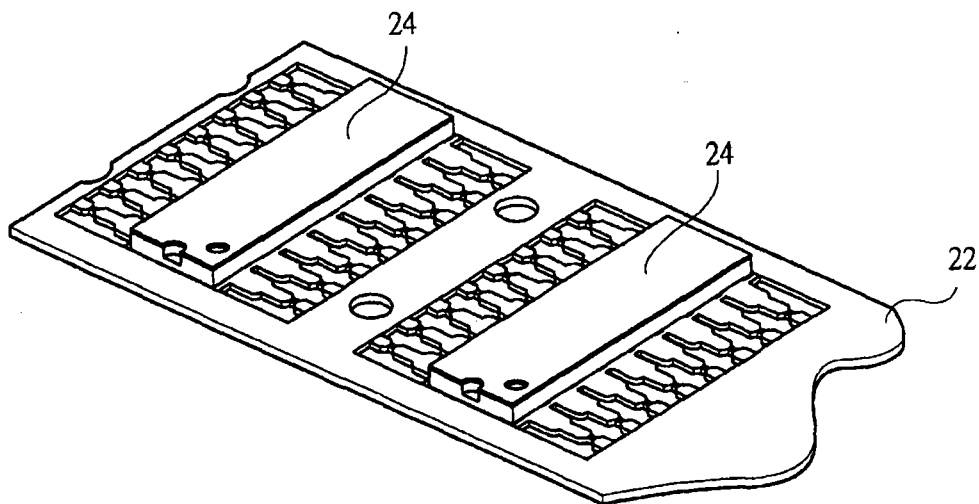


图18

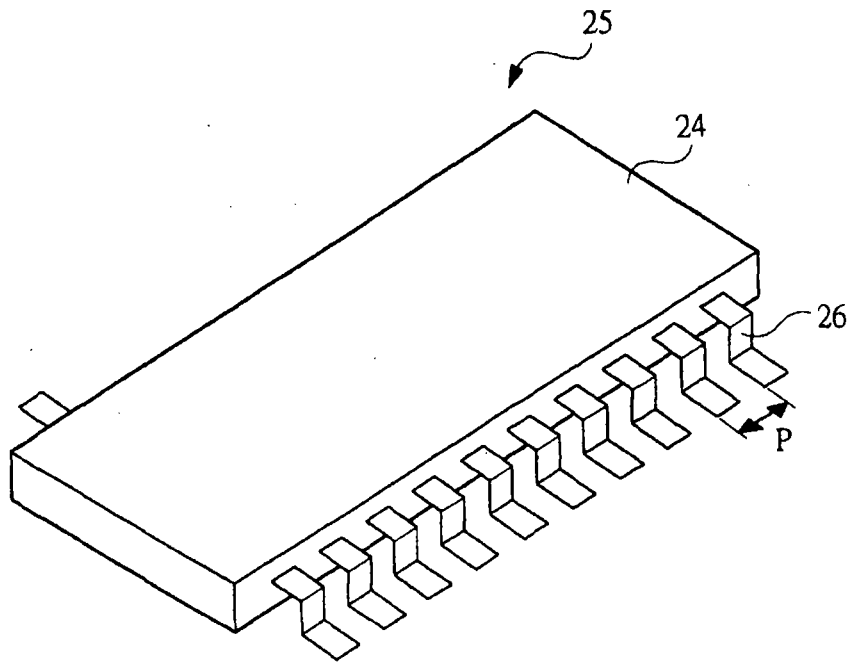


图19

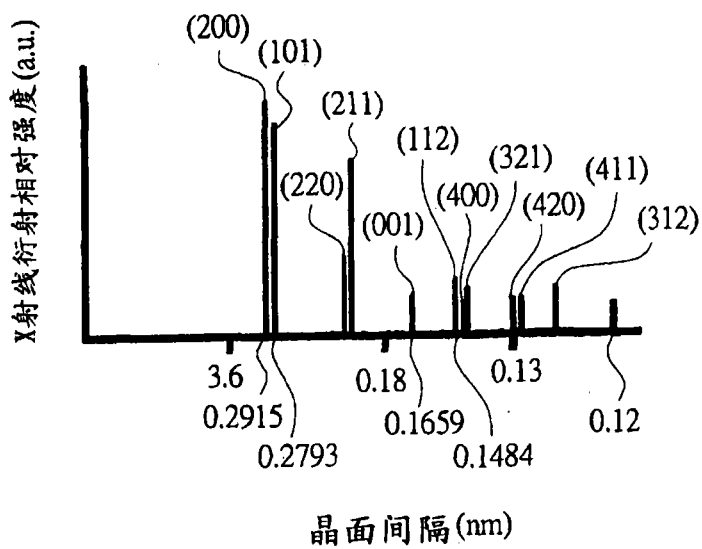


图 20

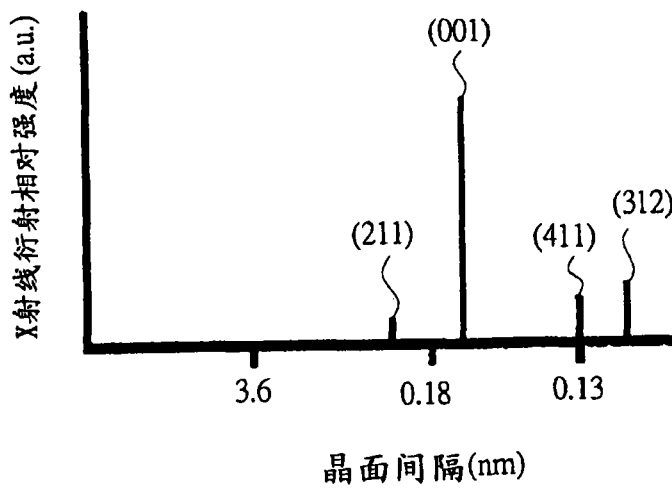


图 21

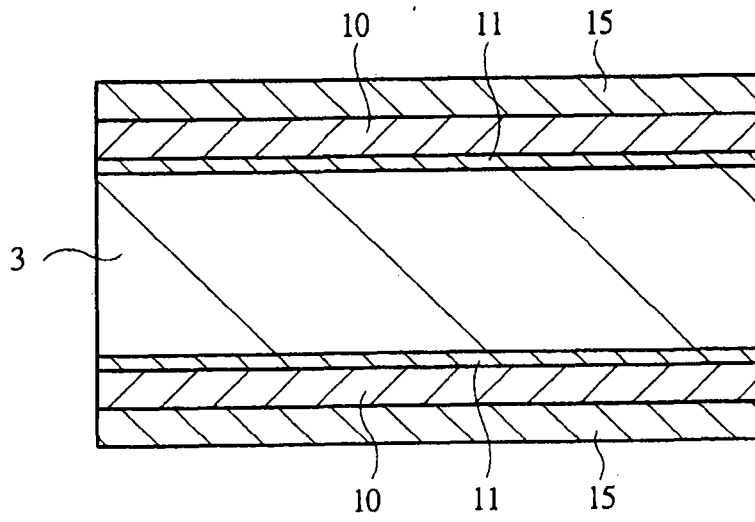


图22

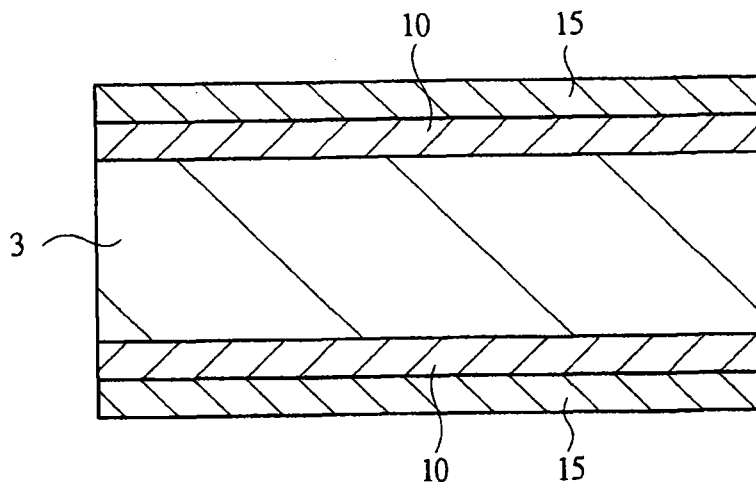


图23