



(12) 发明专利申请

(10) 申请公布号 CN 103594507 A

(43) 申请公布日 2014. 02. 19

(21) 申请号 201310350393. 4

(22) 申请日 2013. 08. 13

(30) 优先权数据

13/584, 442 2012. 08. 13 US

(71) 申请人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫

(72) 发明人 O. 赫贝尔伦 C. 奥斯特迈尔

G. 普雷希特尔

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 马丽娜 刘春元

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 29/10(2006. 01)

H01L 21/335(2006. 01)

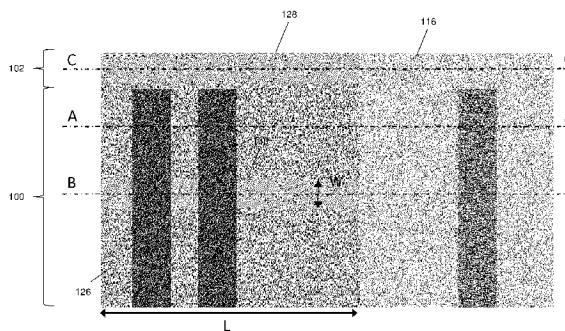
权利要求书3页 说明书6页 附图12页

(54) 发明名称

高击穿电压 III 族氮化物器件

(57) 摘要

本发明涉及高击穿电压 III 族氮化物器件。一种半导体器件包括在衬底上具有复合半导体材料的半导体本体。复合半导体材料具有沟道区域。源极区域延伸到复合半导体材料。漏极区域也延伸到复合半导体材料并且通过沟道区域与源极区域间隔开。绝缘区域被掩埋在半导体器件的有源区域中的衬底和复合半导体材料之间的半导体本体中。有源区域包括器件的源极,漏极和沟道区域。绝缘区域在源极区域和漏极区域之间的沟道区域的长度上是不连续的。



1. 一种半导体器件,包括:
半导体本体,其包括在衬底上的复合半导体材料,所述复合半导体材料具有沟道区域;
源极区域,其延伸到所述复合半导体材料;
漏极区域,其延伸到所述复合半导体材料并且通过所述沟道区域与所述源极区域间隔开;和
绝缘区域,其掩埋在所述半导体器件的有源区域中的衬底和所述复合半导体材料之间的半导体本体中,所述有源区域包括所述源极,所述漏极和所述沟道区域,所述绝缘区域在所述源极区域和所述漏极区域之间的沟道区域的长度上是不连续的。
2. 权利要求 1 的半导体器件,其中所述绝缘区域包括用绝缘材料加衬里的中空腔体。
3. 权利要求 2 的半导体器件,其中所述中空腔体部分地形成在所述复合半导体材料中并且部分地形成在所述衬底中。
4. 权利要求 2 的半导体器件,其中所述中空腔体完全形成在所述复合半导体材料下面的所述衬底中。
5. 权利要求 2 的半导体器件,其中所述中空腔体被填充有气体。
6. 权利要求 1 的半导体器件,其中所述绝缘区域包括被填充有绝缘材料的腔体。
7. 权利要求 6 的半导体器件,其中所述腔体被部分地形成在所述复合半导体材料中并且被部分地形成在所述衬底中。
8. 权利要求 6 的半导体器件,其中所述腔体被完全地形成在所述复合半导体材料下面的所述衬底中。
9. 权利要求 1 的半导体器件,其中所述复合半导体材料包括在 GaN 层上的 GaN 合金层,所述沟道区域是设置在 GaN 层中接近与所述 GaN 合金层的界面的二维电子气,并且所述绝缘区域被设置在所述 GaN 合金层和所述二维电子气下面。
10. 权利要求 1 的半导体器件,进一步包括:
从所述复合半导体材料的主表面延伸到所述有源区域外部的半导体本体的区域中的绝缘区域的沟槽;和
设置在所述沟槽中的绝缘材料。
11. 权利要求 10 的半导体器件,其中所述沟槽在所述绝缘区域的长度上垂直于所述源极和所述漏极延伸。
12. 权利要求 1 的半导体器件,进一步包括从所述漏极或者源极区域穿过所述复合半导体材料延伸到所述衬底的背离所述复合半导体材料的一侧的导电插塞。
13. 一种半导体器件,包括:
半导体衬底;
复合半导体外延材料,其生长在所述半导体衬底上,所述复合半导体外延材料具有沟道区域和比所述半导体衬底更高的能量带隙;
第一掺杂区域,其延伸到所述复合半导体外延材料;
第二掺杂区域,其延伸到所述复合半导体外延材料并且通过所述沟道区域与所述第一掺杂区域间隔开;和
绝缘区域,其设置在所述复合半导体外延材料和所述衬底之间的沟道区域的下面,并

且在与所述复合半导体外延材料的主表面平行的方向上横向延伸,所述绝缘区域在所述第一和第二掺杂区域之间的沟道区域的长度上是不连续的。

14. 一种制作半导体器件的方法,包括:

在衬底上形成包括复合半导体材料的半导体本体,所述复合半导体材料具有沟道区域;

形成延伸到所述复合半导体材料的源极区域;

形成延伸到所述复合半导体材料并且通过所述沟道区域与所述源极区域间隔开的漏极区域;以及

形成掩埋在半导体器件的有源区域中的所述衬底和所述复合半导体材料之间的所述半导体本体中的绝缘区域,所述有源区域包括所述源极,所述漏极和所述沟道区域,所述绝缘区域在所述源极区域和所述漏极区域之间的沟道区域的长度上是不连续的。

15. 权利要求 14 的方法,其中形成所述绝缘区域包括:

在所述沟道区域下面的半导体本体中形成腔体;并且

用绝缘材料给所述腔体加衬里,使得所述腔体具有中空区域。

16. 权利要求 15 的方法,进一步包括用气体填充所述腔体的中空区域。

17. 权利要求 15 的方法,其中在所述半导体本体中形成腔体并且用绝缘材料给所述腔体加衬里使得所述腔体具有中空区域包括:

将在垂直于所述半导体本体的第一主表面的垂直方向上延伸的沟槽蚀刻到所述半导体本体中,所述沟槽具有侧壁和底部;

在所述沟槽中设置蚀刻剂,以在平行于所述半导体本体的第一主表面的横向方向上蚀刻所述腔体到所述半导体本体中;以及

在所述腔体被完全填充有所述绝缘材料之前,用绝缘材料给所述腔体加衬里,其封闭所述沟槽。

18. 权利要求 15 的方法,其中所述沟槽穿过所述复合半导体材料延伸到所述衬底,所述方法进一步包括保护沟槽侧壁的上部不受蚀刻剂影响,使得所述腔体在所述沟槽侧壁的被保护的上部下面被部分地形成在所述复合半导体材料中并且被部分地形成在所述衬底中。

19. 权利要求 15 的方法,其中所述沟槽穿过所述复合半导体材料延伸到所述衬底并且所述蚀刻剂被选择成仅侵蚀所述衬底,使得所述腔体被完全地形成在所述复合半导体材料下面的衬底中。

20. 权利要求 14 的方法,其中形成所述绝缘区域包括:

在所述沟道区域下面的半导体本体中形成腔体;以及

用绝缘材料填充所述腔体。

21. 权利要求 20 的方法,其中在半导体本体中形成腔体和用绝缘材料填充所述腔体包括:

将在垂直于所述半导体本体的第一主表面的垂直方向上延伸的沟槽蚀刻到所述半导体本体中,所述沟槽具有侧壁和底部;

在所述沟槽中设置所述蚀刻剂,以在平行于所述半导体本体的第一主表面的横向方向上蚀刻所述腔体到所述半导体本体中;以及

在所述沟槽被所述绝缘材料封闭之前,用所述绝缘材料填充整个腔体。

22. 权利要求 21 的方法,其中所述沟槽穿过所述复合半导体材料延伸到所述衬底,所述方法进一步包括保护沟槽侧壁的上部不受蚀刻剂影响,使得所述腔体在所述沟槽侧壁的被保护的上部下面被部分地形成在所述复合半导体材料中并且被部分地形成在所述衬底中。

23. 权利要求 21 的方法,其中所述沟槽穿过所述复合半导体材料延伸到所述衬底并且所述蚀刻剂被选择成仅侵蚀所述衬底,使得所述腔体被完全地形成在所述复合半导体材料下面的衬底中。

24. 权利要求 14 的方法,进一步包括:

形成从所述半导体本体的第一主表面延伸到所述有源区域外部的所述半导体本体的区域中的半导体本体中的沟槽;以及

用绝缘材料填充所述沟槽。

25. 权利要求 24 的方法,其中形成所述沟槽包括在所述半导体本体中蚀刻所述沟槽,使得所述沟槽在所述绝缘区域的长度上垂直于所述源极和所述漏极延伸,所述绝缘区域的长度平行于所述源极和所述漏极延伸。

26. 权利要求 24 的方法,其中所述沟槽从所述衬底的背离所述复合半导体材料的一侧被蚀刻到所述衬底中。

高击穿电压 III 族氮化物器件

技术领域

[0001] 本申请涉及 III 族氮化物器件,并且更具体地涉及高击穿电压 III 族氮化物器件。

背景技术

[0002] 由于氮化镓(GaN)的 3.4eV 的高能量带隙,基于氮化镓(GaN)的高电子迁移率晶体管(HEMT)很适合作为高击穿电压器件。这意味着较小器件长度可以经受住相对更大的阻断电压,导致较低导通电阻和电容。由于外延加工广泛用来制作多层 HEMT 结构,大多数的常规 HEMT 是具有可选插塞连接的横向源极-漏极器件,所述插塞连接延伸穿过 III 族氮化物外延叠层以便实现准垂直器件。这种结构的 III 族氮化物外延叠层的厚度必须经受住与源极-漏极延伸的横向阻断电压相同的阻断电压。

[0003] 传统 HEMT 器件的电压等级可以通过变化外延厚度被调整。这种方法需要长的和昂贵的 GaN 层沉积,其在高温加工期间造成显著的晶片弯曲。因此,在任何后外延(post-epitaxial)加工中只能应用有限的温度预算,潜在地消除 n+ 源极/漏极区域注入/活化的可能性。

[0004] 可以去除在横向 GaN HEMT 下面的衬底以提高器件的击穿电压鲁棒性。然而,由于最终器件厚度只有几微米,对于大功率器件来说实现衬底的去除相当困难。另外,优选大体上平坦的器件背侧以提供与引线框的良好热连接,所述引线框防止了在漂移区域下面使用深沟槽。

发明内容

[0005] 根据此处描述的实施例,通过用绝缘区域替代部分外延层和/或下面的衬底,III 族氮化物器件的外延厚度被减小,而不会不利地影响器件的击穿电压。

[0006] 根据半导体器件的实施例,该半导体器件包括在衬底上包含复合半导体材料的半导体本体。复合半导体材料具有沟道区域。源极区域延伸到复合半导体材料。漏极区域也延伸到复合半导体材料并且通过沟道区域与源极区域间隔开。绝缘区域被掩埋在半导体器件的有源区域中的衬底和复合半导体材料之间的半导体本体中。有源区域包括半导体器件的源极,漏极和沟道区域。绝缘区域在源极区域和漏极区域之间的沟道区域的长度上是不连续的。

[0007] 根据半导体器件的另一实施例,该半导体器件包括半导体衬底和生长在半导体衬底上的复合半导体外延材料。复合半导体外延材料具有沟道区域和比半导体衬底更高的能量带隙。第一掺杂区域延伸到复合半导体外延材料。第二掺杂区域也延伸到复合半导体外延材料并且通过沟道区域与第一掺杂区域间隔开。绝缘区域被设置在复合半导体外延材料和衬底之间的沟道区域下面,并且在与半导体衬底的主表面平行的方向上横向延伸。绝缘区域在第一和第二掺杂区域之间的沟道区域的长度上是不连续的。

[0008] 根据制造半导体器件的方法的实施例,该方法包括:在衬底上形成包含复合半导体材料的半导体本体,复合半导体材料具有沟道区域;形成延伸到复合半导体材料的源极

区域；形成延伸到复合半导体材料并且通过沟道区域与源极区域间隔开的漏极区域；以及形成掩埋在半导体器件的有源区域中的衬底和复合半导体材料之间的半导体本体中的绝缘区域，有源区域包括源极，漏极和沟道区域。绝缘区域在源极区域和漏极区域之间的沟道区域的长度上是不连续的。

[0009] 在阅读下面的详细描述时，并且在阅览附图时，本领域技术人员将认识到另外的特征和优点。

附图说明

[0010] 在附图中的部件不必要成比例，而是将重点放在说明本发明的原理上。而且，在附图中，相似的参考数字表示相应的部分。在附图中：

图 1 示出高击穿电压复合半导体器件的自顶向下的视图，其中在器件的不同部分中不同层被去除。

[0011] 图 2 和 3 示出根据不同实施例的沿着标注为‘A-A’线的复合半导体器件的截面图。

[0012] 图 4 示出根据实施例的沿着标注为‘B-B’线的复合半导体器件的截面图。

[0013] 图 5 示出根据实施例的沿着标注为‘C-C’线的复合半导体器件的截面图。

[0014] 图 6 示出高击穿电压复合半导体器件的另一实施例的截面图。

[0015] 图 7 示出高击穿电压复合半导体器件的又一实施例的截面图。

[0016] 图 8A 到 8E 示出在制造工艺的不同阶段期间半导体本体的截面图。

[0017] 图 9 示出在不同制造工艺期间半导体本体的截面图。

具体实施方式

[0018] 接下来描述的是例如异质结构场效应晶体管(HFET)的复合半导体器件的实施例，该异质结构场效应晶体管具有不会不利地影响器件的击穿电压的减小的外延厚度。术语 HFET 也通常被称作 HEMT (高电子迁移率晶体管), MODFET (调制掺杂 FET) 或者 MESFET (金属半导体场效应晶体管)。术语复合半导体器件, HFET, HEMT, MESFET 和 MODFET 在此可互换地用来指代并入两种具有不同带隙的材料之间的结(即异质结)作为沟道的器件。例如, GaAs 可以与 AlGaAs 结合, GaN 可以与 AlGaN 结合, InGaAs 可以与 InAlAs 结合, GaN 可以与 InGaN 结合等。而且, 晶体管可以具有 AlInN/AlN/GaN 阻挡 / 间隔 / 缓冲层结构。如此处使用的术语复合半导体器件还可以指代使用例如外延 SiC 的单个外延复合半导体外延制作的晶体管。

[0019] 在每种情况下, 通过用绝缘区域来代替部分外延(缩写为 epi)和 / 或下面的衬底, 在不会不利地影响器件的击穿电压的情况下, 复合半导体器件的外延厚度被减小。这样做降低了器件的总成本, 并且降低了由于可能由厚的外延引起的高温工艺的复杂性。对于准垂直器件结构, 可以使用高度导电的衬底, 其通常将会需要相对较厚的外延层以便经受住与在横向设计中相同的阻断电压。这里描述的技术也最小化了由于使用例如氧化硅, 氮化硅, 金刚石等的低 k 材料(相对于外延的介电常数)而产生的寄生电容。

[0020] 图 1 示出复合半导体器件的自顶向下的视图, 其中在器件的不同部分中不同层被去除。图 2 和 3 示出沿着在图 1 中在半导体器件的有源区域 100 中标注为‘A-A’的线的半导体器件的替代实施例的截面图。图 4 示出沿着在图 1 中在半导体器件的有源区域 100 中

标注为‘B-B’的线的半导体器件的截面图。图 5 示出沿着在图 1 中在半导体器件的无源区域 102（例如器件边缘或者在器件的所谓的指状物（平行有源区域）之间）中标注为‘C-C’的线的半导体器件的截面图。

[0021] 半导体器件包括包含复合半导体材料 106（例如生长在衬底 108 上的外延（缩写为 epi）层或者外延层的叠层）的半导体本体 104。复合半导体材料在图 2-5 中被示作 III 族氮化物外延层的叠层，例如在一个或者多个过渡层 110 上的 GaN 缓冲层 112 和在 GaN 缓冲层 112 上的 GaN 合金阻挡层 114，例如 AlGaN, InAlN, AlN 或者 InAlGaN。然而，复合半导体材料 106 可以是例如 SiC 的单个外延层。在每种情况下，衬底 108 可以是掺杂的或者未掺杂的硅或者复合半导体晶片并且钝化层 116 可被提供在半导体本体 104 上。沟道区域 118 形成在复合半导体材料 106 中，例如对于 GaN 技术在与上覆的 GaN 合金阻挡层 114 的界面附近的 GaN 缓冲层 112 中。

[0022] 利用 GaN 技术，极化电荷和应变效应的存在导致二维电荷运载气体的实现，其是以非常高的载流子密度和载流子迁移率为特征的二维电子或者空穴反型层。这样的二维电荷运载气体，例如 2DEG（二维电子气）或者 2DHG（二维空穴气），形成了器件的沟道区域 118。薄的（例如 1-2nm）AlN 层可被提供在 GaN 缓冲层 112 和 GaN 合金阻挡层 114 之间以最小化合金散射并且增强 2DEG 迁移率。也可以使用具有二维电子气或者空穴气的其它复合半导体技术。在每种情况下，极化电荷导致器件的沟道区域 118 的形成。如在本领域中熟知的，可以使用 III-V 族半导体材料的其它组合以便在复合半导体材料 106 中形成 2DEG 或者 2DHG 沟道区域 118。通常，在带不连续性是器件构思的原因的情况下，可以使用任何异质结构。例如，在 AlGaAs 系统的情况下没有压电效应，但是涉及布置用于限制沟道区域 118 的量子阱的限制构思是可能的。

[0023] 复合半导体器件进一步包括延伸到在一端处与沟道区域 118 接触的复合半导体材料 106 的源极区域 (S)。漏极区域 (D) 延伸到在另一端处与沟道区域 118 的接触的复合半导体材料 106，并且通过沟道区域 118 与源极区域间隔开。源极和漏极可以由复合半导体材料 106 的掺杂限定的区域形成。栅极 (G) 被提供在复合半导体材料 106 上或者被提供在复合半导体材料 106 中，用于控制沟道区域 118。

[0024] 器件可以是横向器件，因为源极，漏极和栅极在半导体本体 104 的相同侧被接触（例如，如在图 2 中所示的），并且电流通常在源极和漏极之间沿横向方向流动。可替代地，器件可以是准垂直器件，因为源极和漏极在半导体本体的相对侧被接触并且电流部分地在源极和漏极之间沿横向方向流动且部分地在源极和漏极之间沿垂直方向流动。例如，如在图 3 中示出的，导电插塞 120 可以从漏极穿过复合半导体材料 106 延伸到衬底 108 的背离复合半导体材料 106 的一侧 109。可替代地，导电插塞 120 可以被提供在源极侧。在每种情况下，如本领域中熟知的，器件可以是常开型或者常关型。

[0025] 复合半导体器件还包括掩埋在器件 100 的有源区域中和 / 或在无源区域 102 中（有源区域包括源极，漏极和沟道区域 118）的衬底 108 和复合半导体材料 106 之间的半导体本体 104 中的绝缘区域 122。对于基于 GaN 的技术，如在图 2-5 中所示，绝缘区域 122 被设置在 GaN 合金阻挡层 114 的下面。通常，绝缘区域 122 被设置在沟道区域 118 的下面。绝缘区域 122 可被设置在器件的源极侧或者被设置在漏极侧，但不是从一侧连续地延伸到另一侧。也就是说，绝缘区域 122 在源极和漏极之间的沟道的长度 ($L_{channel}$) 上是不连续的。

如此,对于例如如在图 2 中示出的绝缘区域 122 被部分地设置在复合半导体材料 106 中的实施例,复合半导体材料 106 在绝缘区域 122 上面较薄并且其它地方较厚。另外,如果绝缘区域 122 被完全地设置在下面的衬底 108 中(例如如在图 6 中示出的,其在本文后面被更详细地描述),复合半导体材料 106 可以在绝缘区域 122 上和其它地方具有相同的厚度。绝缘区域 122 在与半导体衬底 108 的主表面 109 平行的方向上横向延伸。

[0026] 在每种情况下,通过用绝缘区域 122 代替部分复合半导体材料 106 和 / 或下面的衬底 108,在没有不利地影响器件的击穿电压的情况下,复合半导体材料 106 的厚度可以被减小。与传统的具有相同外延厚度的器件相比,这样做提高了器件的击穿电压能力,或者提供了与具有更厚外延的传统器件相同的击穿电压能力。

[0027] 在一个实施例中,绝缘区域 122 包括填充有绝缘材料 126 (例如氧化硅,氮化硅,金刚石,或者任何其它合适的具有比周围半导体材料的介电常数更低的介电常数的绝缘材料)的腔体 124。腔体 124 具有由用来形成腔体 124 的蚀刻工艺确定的高度(h)。被设置在腔体 124 中的绝缘材料 126 可以是单个均匀结构或者包括不同材料的叠层。如在图 2-5 中所示,腔体 124 可以被部分地形成在复合半导体材料 106 中并且被部分地形成在衬底 108 中。可替代地,如在图 6 中所示,腔体 124 可以被完全地形成在复合半导体材料 106 下面的衬底 108 中。

[0028] 在每种情况下,沟槽 128 可以被形成在器件的无源区域 102 中,其从复合半导体材料 106 的主表面 107 延伸到对应于将随后形成腔体 124 的顶部的地方的深度(d)。沟槽 128 被用来使用绝缘材料 126 来填充后面形成的腔体 124 以形成绝缘区域 122,绝缘区域 122 被掩埋在器件的有源区域 100 中的衬底 108 和复合半导体材料 106 之间的半导体本体 104 中,如在图 1 和图 5 中示出的。这个沟槽 128 在绝缘区域 122 的长度(L)上垂直于源极和漏极延伸,使得腔体 124 可以用绝缘材料 126 完全填充。如在图 1 和 4 中示出的,也可在有源器件区域 100 中形成附加的沟槽 130。根据这些实施例,沟槽 128,130 均具有足以共同地确保腔体 124 用绝缘材料 126 完全填充的宽度(w)。例如,至少在无源区域 102 中的沟槽 128 的宽度(w)可以是与下面的腔体 124 的填充高度(h)大约相同的宽度。因此,使用具有高达 20 的纵横比的标准 LPCVD (低压化学汽相沉积)工艺的填充工艺可以在没有明显面积代价(area penalty)的情况下产生合理的腔体填充。

[0029] 对于 GaN 技术,沟道 128,130 被用来通过干法和湿法蚀刻到沟道区域 118 下面来选择性地去除部分 GaN 合金阻挡层 114 和 / 或 GaN 缓冲层 112。得到的腔体 124 可以被填充有由 ALD (原子层沉积)或者 LPCVD 沉积的低 k 介电材料 126,例如氧化硅,氮化硅,金刚石等。得到的绝缘区域 122 通过除了复合半导体材料 106 以外的其他材料减小了在源极和漏极之间的阻塞距离。绝缘区域 122 的厚度或者高度(h)可以被调整到器件的电压等级。相比于在没有绝缘区域 122 的情况下 GaN 缓冲层 112 的阻塞能力,在沟道区域 118 下面的蚀刻不足的最大深度取决于最大器件电压。另外,绝缘区域 122 的深度被保持在绝缘区域 122 下面的材料的稳定性限制。绝缘区域 122 减小了器件的源极到漏极电容和栅极到漏极电容并且因此改善了器件性能。

[0030] 图 7 示出复合半导体器件的另一实施例的截面图,其中腔体 124 没有被完全地填充有绝缘材料 126。根据这个实施例,在用来形成腔体 124 的器件有源区域 100 中的沟槽 130 并不是宽得足以确保腔体 124 被完全地填充有绝缘材料 126(例如在 ALD 或者 LPCVD 期

间)。而是,腔体用绝缘材料 126 加衬里并且腔体 124 上方的沟槽 130 填有绝缘材料 126 以封闭腔体 124。腔体 124 的其余部分是中空的并且被填充有例如 SF₆ 的气体以完成绝缘区域 122。根据该实施例,具有中空区域 127 的绝缘区域 122 具有甚至更低的介电常数 k,进一步降低了衬底接触的寄生电容。如果形成电弧不是问题,可以使用空气而不是 SF₆ 来填充中空区域 127。具有中空区域 127 的腔体 124 可以被部分地形成在复合半导体材料 106 中并且被部分地形成在衬底 108 中(如在图 7 中示出的),或者被完全地形成在复合半导体材料 106 下面的衬底 108 中。

[0031] 对于被完全填充和被部分填充的腔体 124 两者,低 k 缓冲结构的实现可以使用在任何高温工艺(例如注入的 Si 活化和栅极氧化物致密化)之后加工和执行的的标准硅技术。如果注入被用来在损伤注入物之后降低热预算,可以在任何缓冲隔离之前执行在腔体 124 中的绝缘材料 126 的沉积。

[0032] 图 8A 至 8E 示出根据实施例的在不同工艺步骤期间的半导体本体 104 的截面图。图 8A 示出在沟槽 200 沿垂直于半导体本体 104 的第一主表面 107 的垂直方向被蚀刻到半导体本体 104 中之后的半导体本体 104。根据该实施例,沟槽 200 通过复合半导体材料 106 延伸到衬底 108。

[0033] 图 8B 示出在沟槽侧壁的上部例如通过局部侧壁钝化 202 被保护起来之后的半导体本体 106。局部侧壁钝化 202 在随后的蚀刻期间保护 GaN 缓冲层 112 的上部。可以通过氧化预沉积的硅层形成局部侧壁钝化 202。可以在氧化工艺之前通过利用 SiN 填充沟槽 200 的下部来防止沟槽侧壁的下部氧化, SiN 在氧化之后被去除。

[0034] 图 8C 示出在蚀刻剂被设置在沟槽 200 中以及在与半导体本体 104 的第一主表面 107 平行的横向方向上将腔体 124 的上部 204 蚀刻到半导体本体 104 中之后的半导体本体 104。保护沟槽侧壁的上部钝化部分不受蚀刻剂影响,使得腔体 124 的上部 204 被形成在 GaN 缓冲层 112 中的沟槽侧壁的被保护部分和任何可能存在的过渡层 110 的下面。在使用热磷酸来蚀刻 III 族氮化物层的情况下,横向蚀刻速率比垂直蚀刻速率快得多,其将侵蚀层 112。热磷酸不会侵蚀 GaN 缓冲层 112 的(垂直)c 平面,允许 III 族氮化物缓冲蚀刻的精确控制。

[0035] 图 8D 示出在腔体 124 的下部 206 被形成在衬底 108 中之后的半导体本体 104。腔体 124 的下部 206 可以通过选择性地蚀刻衬底 108 被形成。复合半导体材料 106 可以由例如氧化硅或者氮化硅的稳定的钝化层保护。该步骤之后,衬底 108 可以被湿法化学蚀刻以实现最终的绝缘区域厚度或者高度(h)。该步骤也可以在没有上部 GaN 叠层 112 的先前选择性蚀刻的情况下被实现。根据该实施例,腔体 124 被部分地形成在复合半导体材料 106 中并且被部分地形成在衬底 108 中。

[0036] 可替代地,如在图 6 中示出的,腔体 124 可以被完全地形成在衬底 108 中。在一个实施例中,腔体 124 可以通过形成穿过复合半导体材料 106 延伸到衬底 108 的沟槽 200 来被完全地形成在衬底 108 中。然后在沟槽 200 中设置蚀刻剂,蚀刻剂被选择成仅侵蚀衬底 108,使得腔体 124 被完全地形成在衬底 108 中。在这种情况下,如果蚀刻溶液被选择成不侵蚀复合半导体材料 106,则不需要沟槽侧壁的局部钝化。

[0037] 图 8E 示出在腔体 124 被填充有绝缘材料 126 (例如氧化硅,氮化硅,金刚石等)之后的半导体本体 104。绝缘材料 126 可以通过 ALD 或者 LPCVD 被沉积。可替代地,腔体 124 可以通过 CVD 金刚石处理被填充,其产生从 GaN 缓冲层 112 的更好的热传导和更高的击穿

强度。在每种情况下,如本文前面描述的,为了使用绝缘材料 126 填充腔体 124,在器件的无源区域 102 和 / 或在器件的有源区域 100 中形成沟槽 200。例如,沟槽 200 在平行于源极和漏极延伸的绝缘区域 122 的长度上垂直于源极和漏极延伸。

[0038] 如本文先前描述的,较小沟槽 200 替代地可被用来形成腔体 124,其在整个腔体 124 被填充有绝缘材料 126 之前在绝缘材料 126 的沉积期间封闭。根据该替代实施例,腔体 124 用绝缘材料 126 加衬里并且中空区域 127 保持,其填充有气体,例如空气或者 SF₆,如本文前面描述的和在图 7 中示出的。在每种情况下,通过干法蚀刻和 / 或 CMP(化学机械抛光)从钝化层 116(如果存在的话)或半导体本体 104 的顶侧 107 去除绝缘材料 126。

[0039] 图 9 示出根据另一实施例的在不同工艺期间的半导体本体 104 的截面图。根据该实施例,从衬底 108 的背离复合半导体材料 106 的一侧 109 将用来在半导体本体 104 中形成腔体 124 的沟槽 300 蚀刻到衬底 108 中。形成在衬底 108 中的沟槽 300 的侧壁被钝化 302,用以防御被设置在沟槽 300 中的蚀刻剂。蚀刻剂去除部分衬底 108 以完全地在衬底 108 中形成腔体 124。如本文前面描述的,腔体 124 然后被部分地或者完全地填充有绝缘材料 126,以在器件的源极或者漏极侧的衬底 108 和复合半导体材料 106 之间形成绝缘区域 122。

[0040] 空间相对术语例如“之下”,“下面”,“下部”,“上方”,“上部”等等,被用于方便描述以解释一个元件相对于第二元件的定位。除了与在附图中描述的那些取向不同的取向之外,这些术语旨在包括器件的不同取向。进一步地,例如“第一”,“第二”等等的术语也被用来描述不同的元件、区域、部分等并且也不旨在是限制性的。贯穿整个描述,相似术语指代相似元件。

[0041] 如本文使用的,术语“具有”,“含有”,“包括”,“包含”等等是开放性的术语,其表明声称的元件或者特征的存在,但不排除另外的元件或者特征。冠词“一”,“一个”和“该”旨在包括复数以及单数,除非上下文明确地另外表明。

[0042] 在记住上面的变化和应用范围的情况下,应该理解本发明不被前述描述限制,也不被附图限制。而是,本发明仅被下面的权利要求和其法律等价物限制。

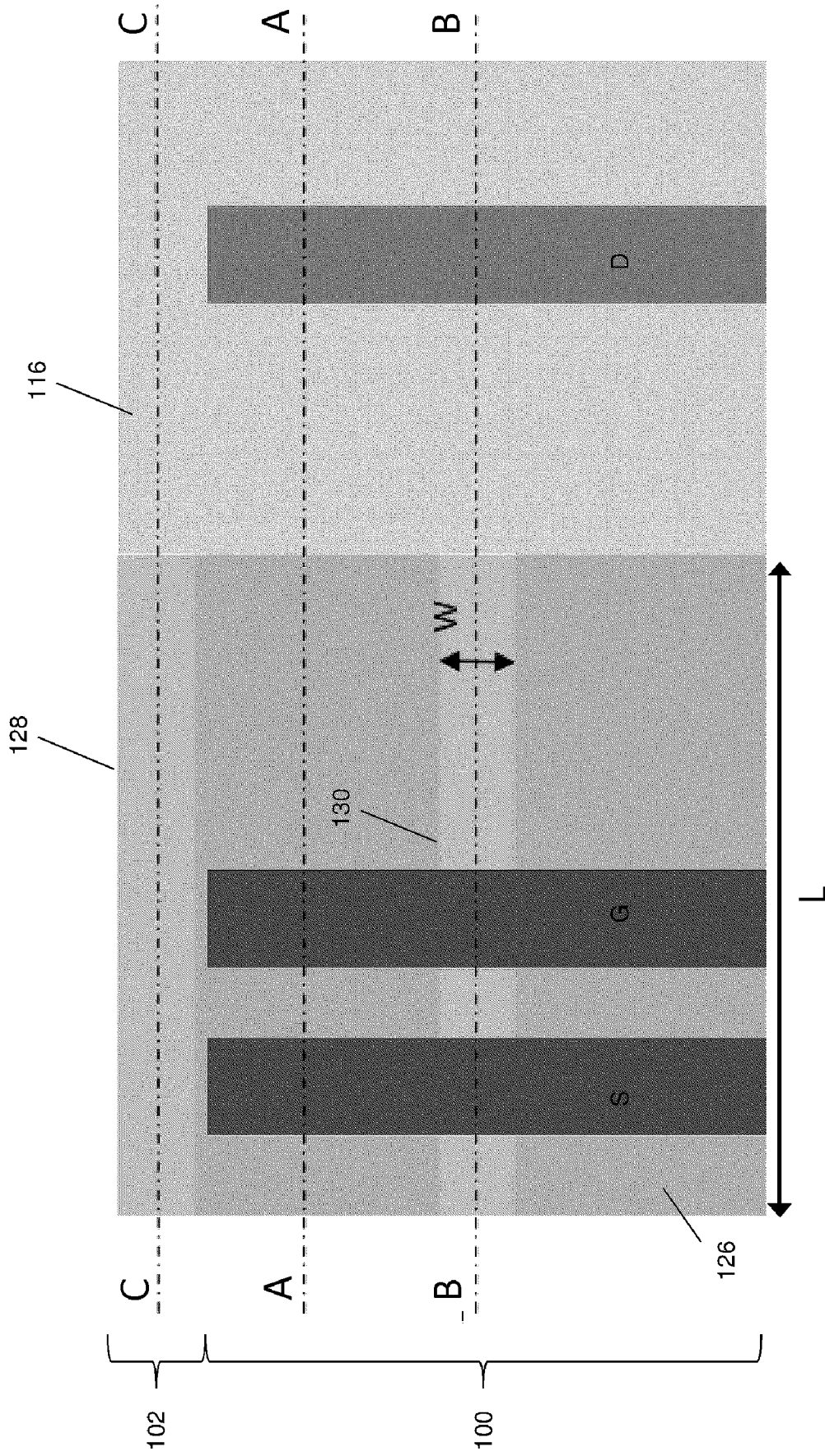


图 1

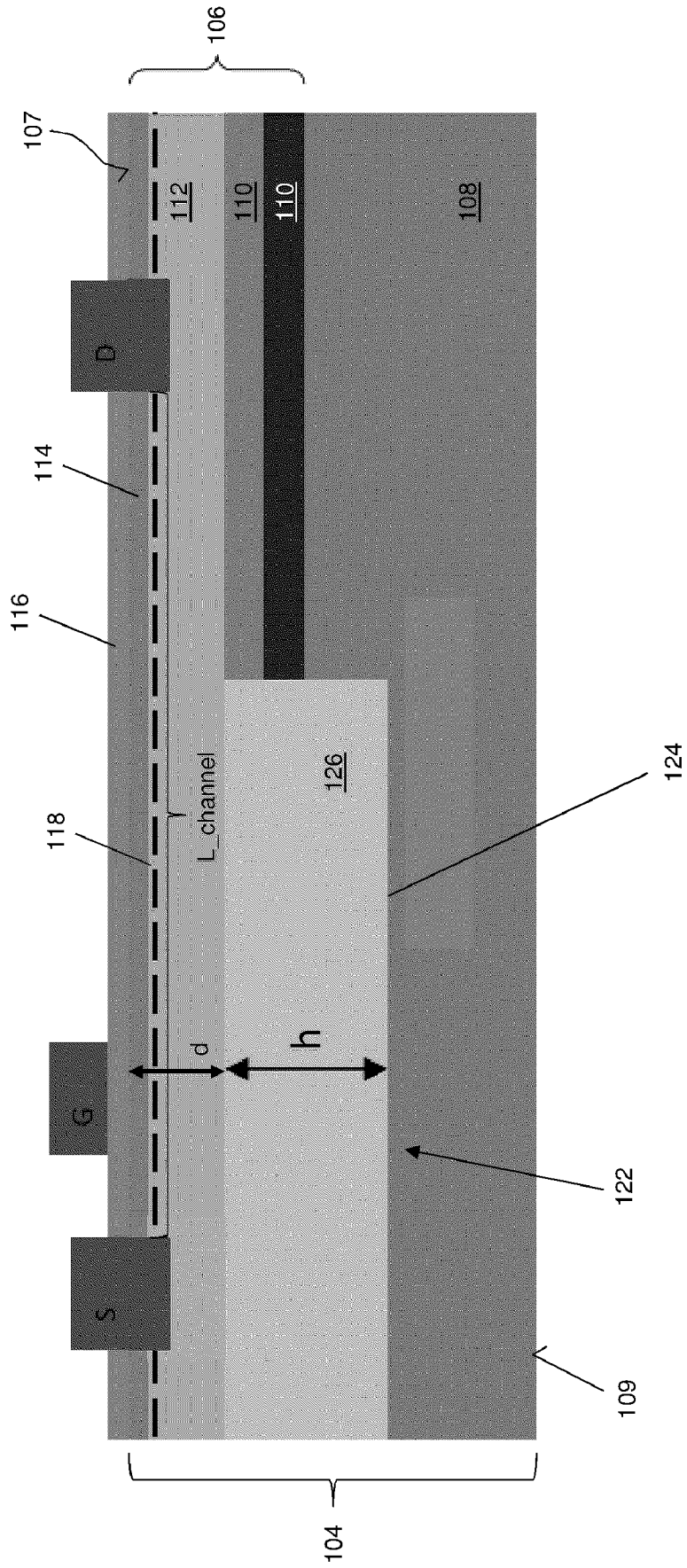


图 2

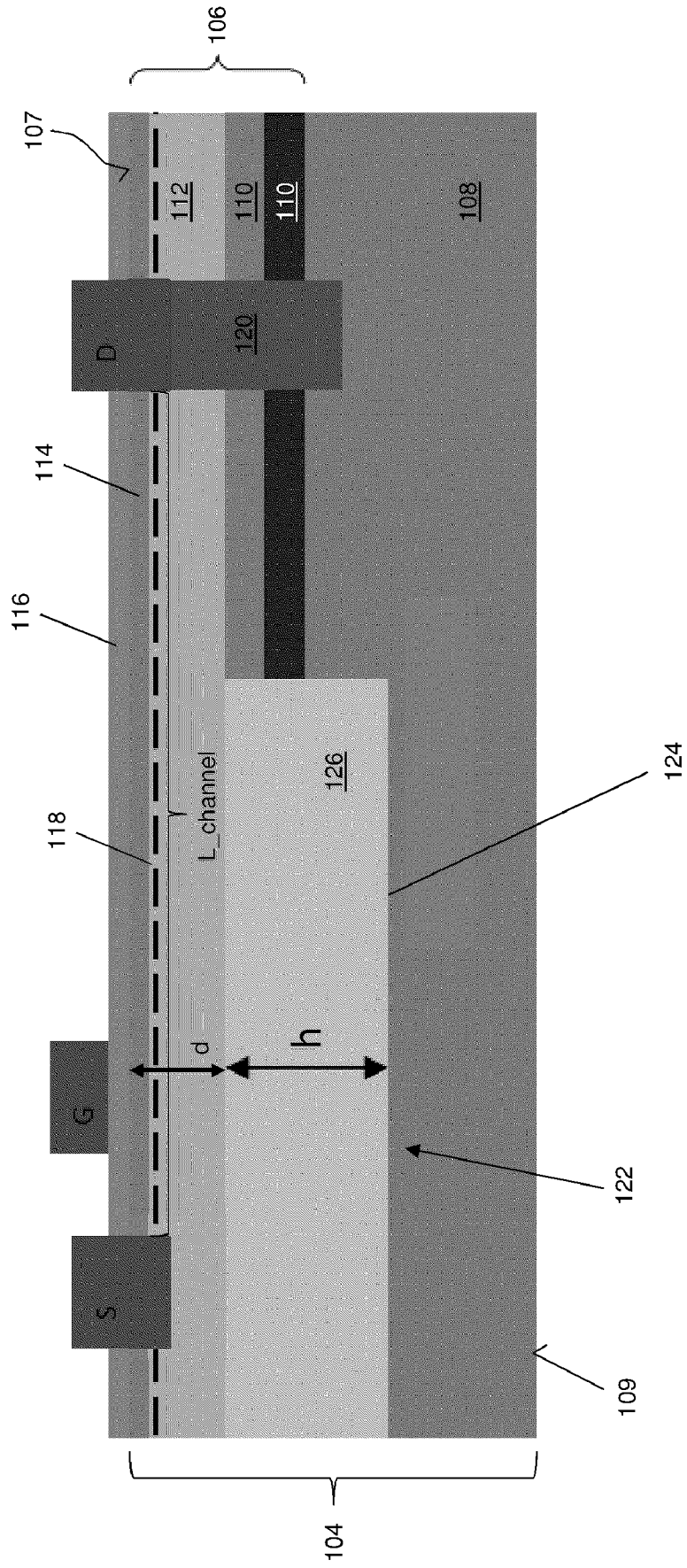


图 3

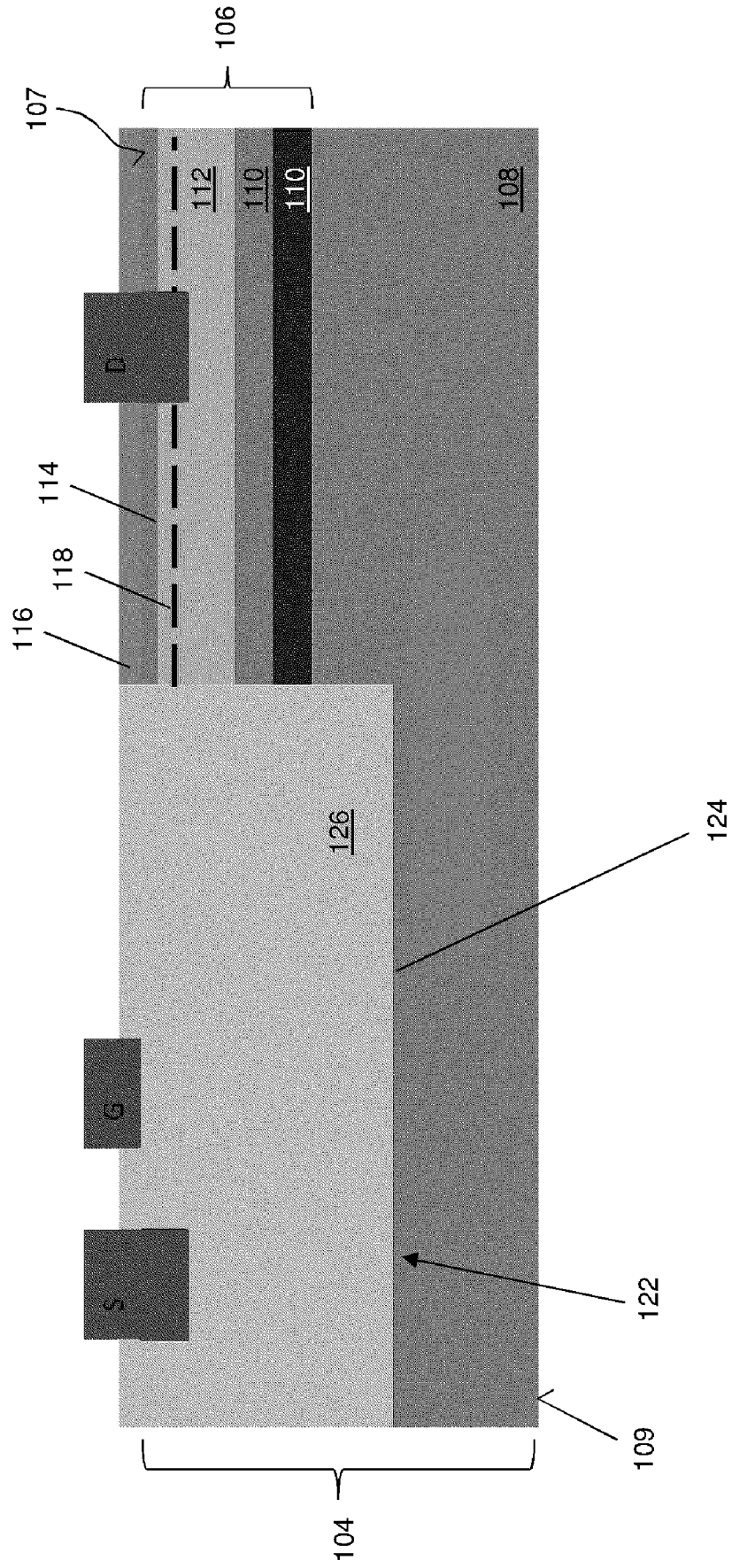


图 4

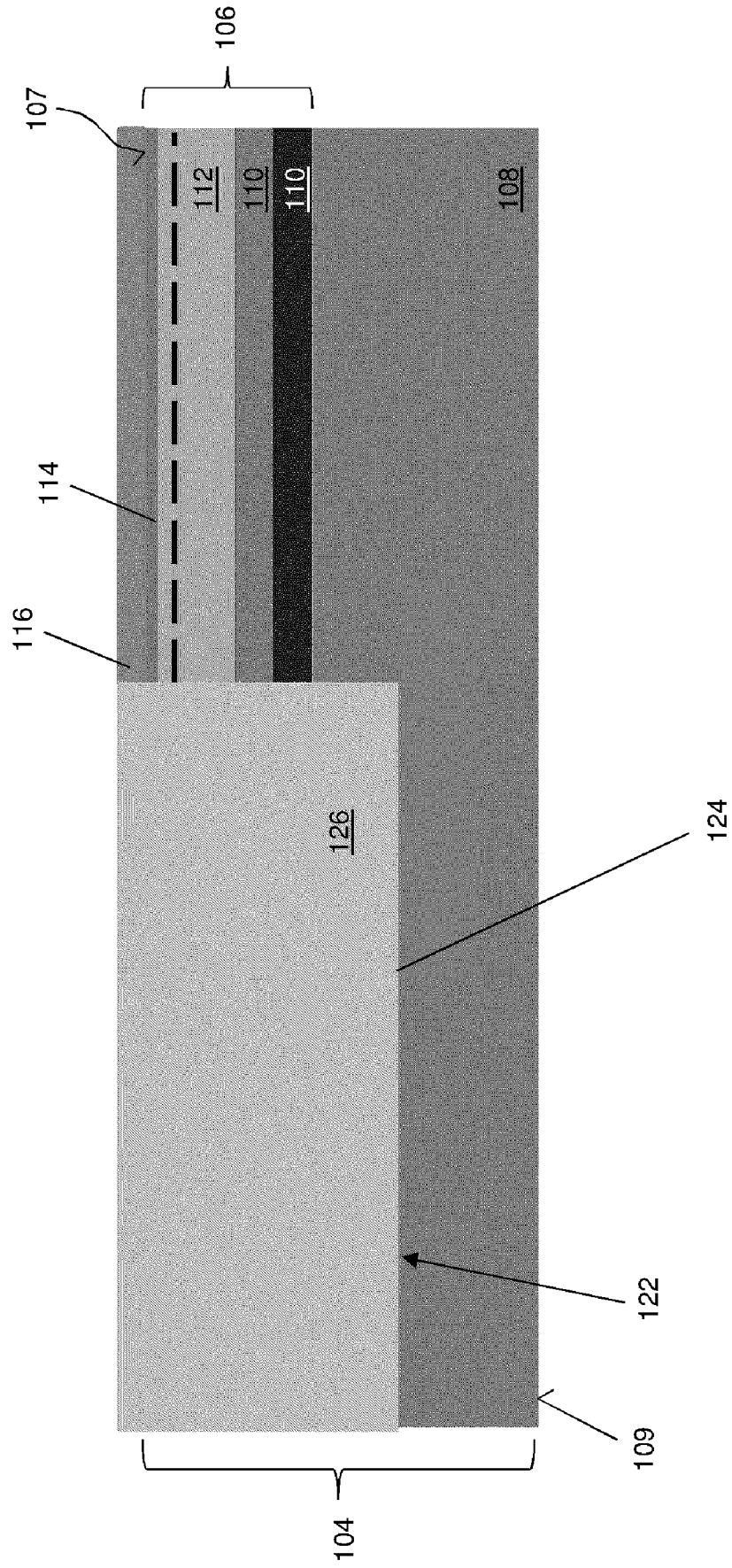


图 5

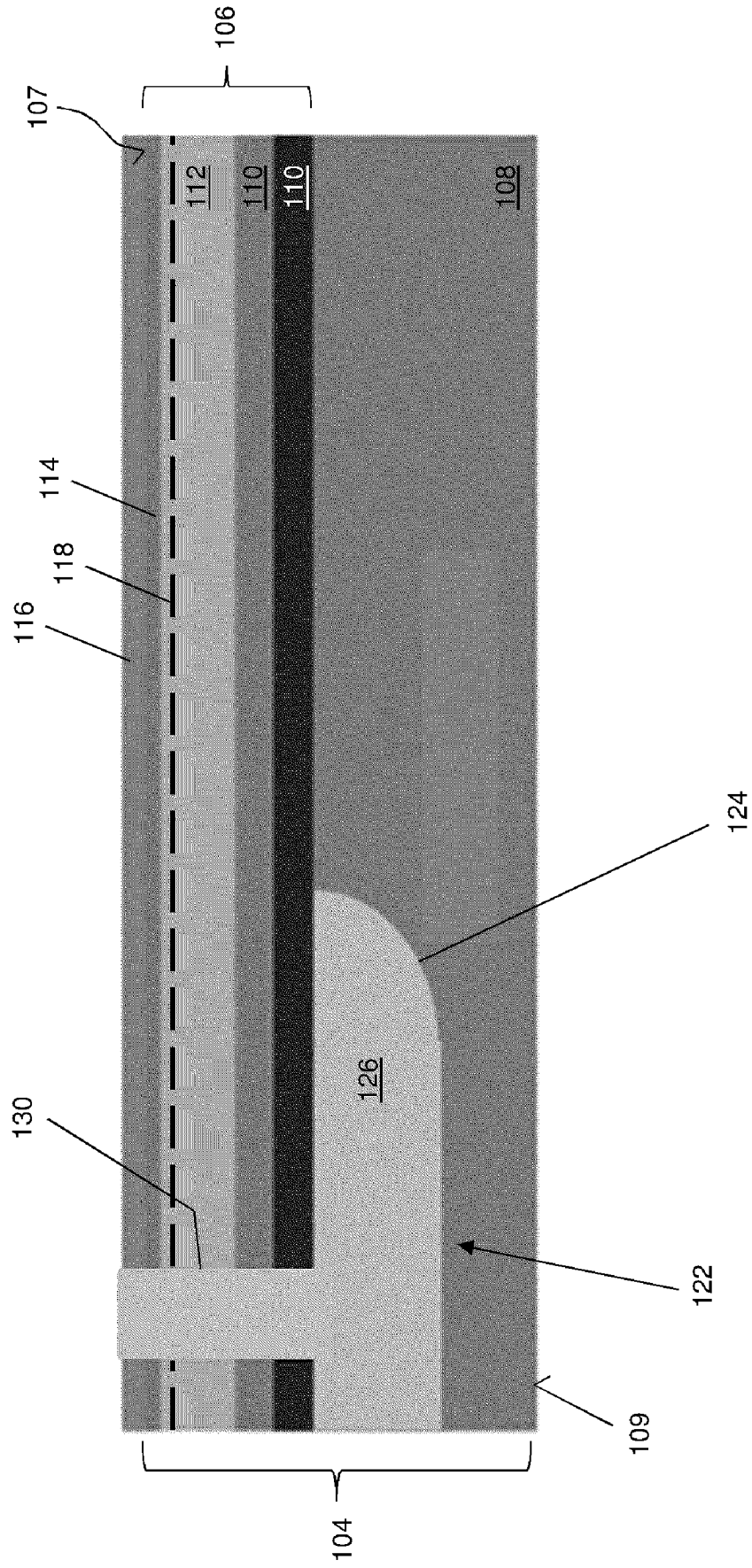


图 6

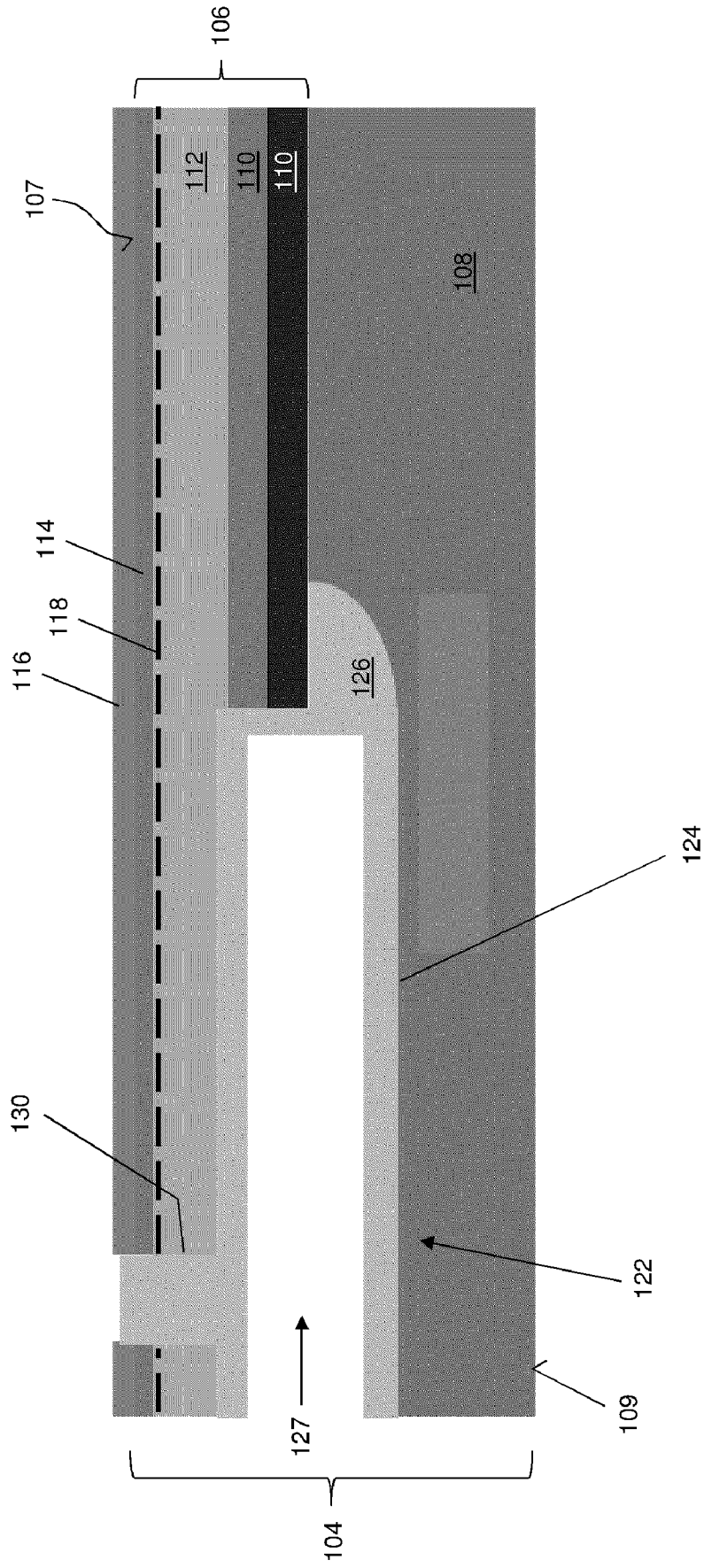


图 7

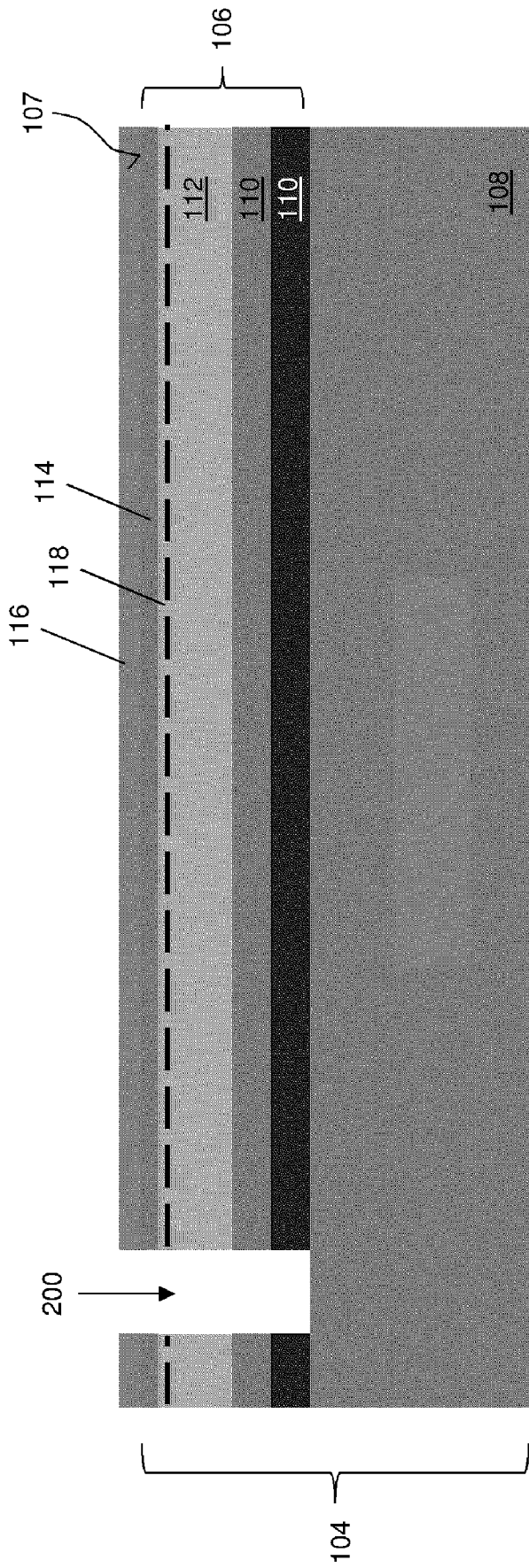


图 8A

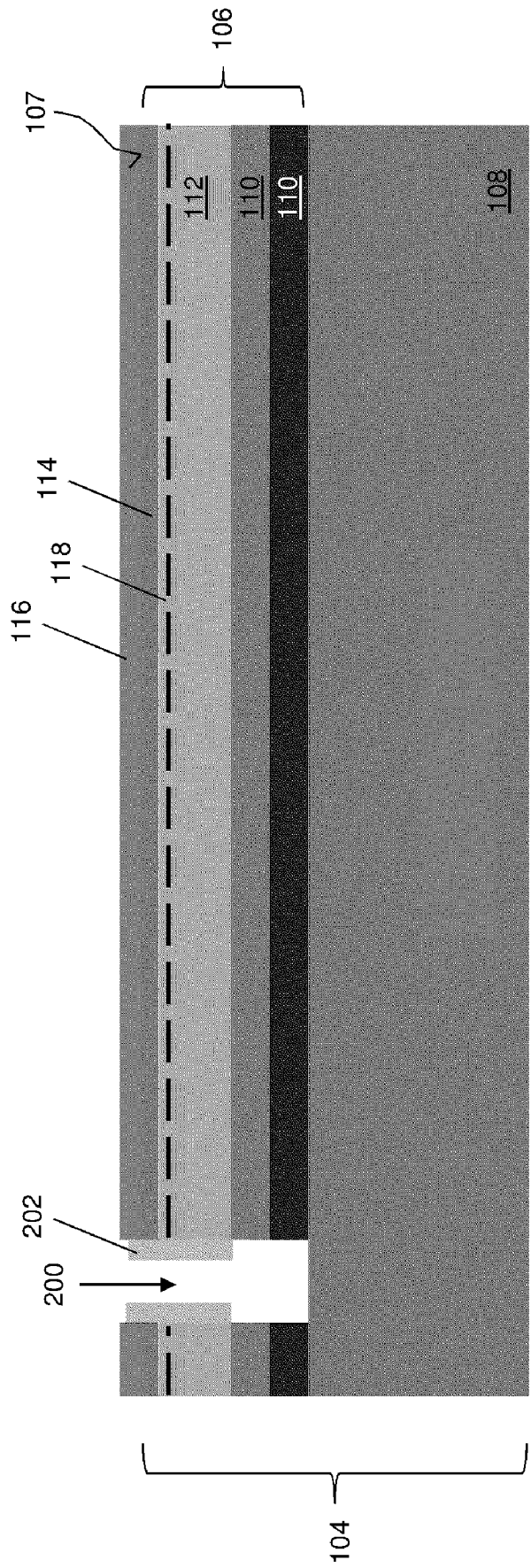


图 8B

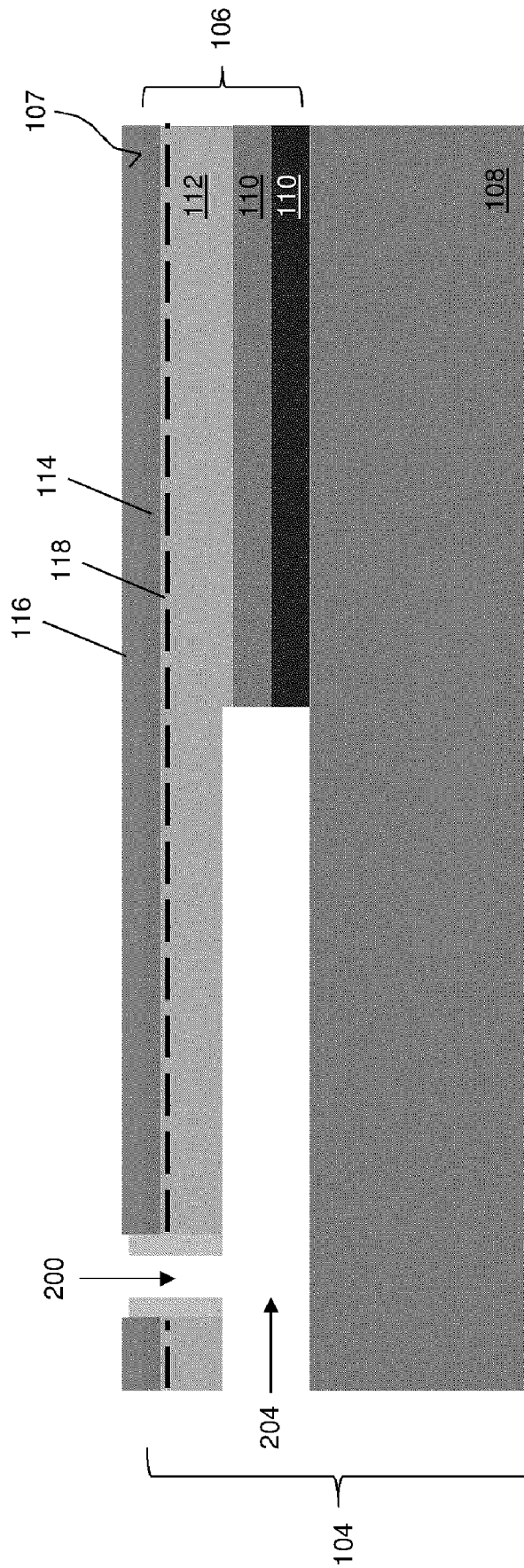


图 8C

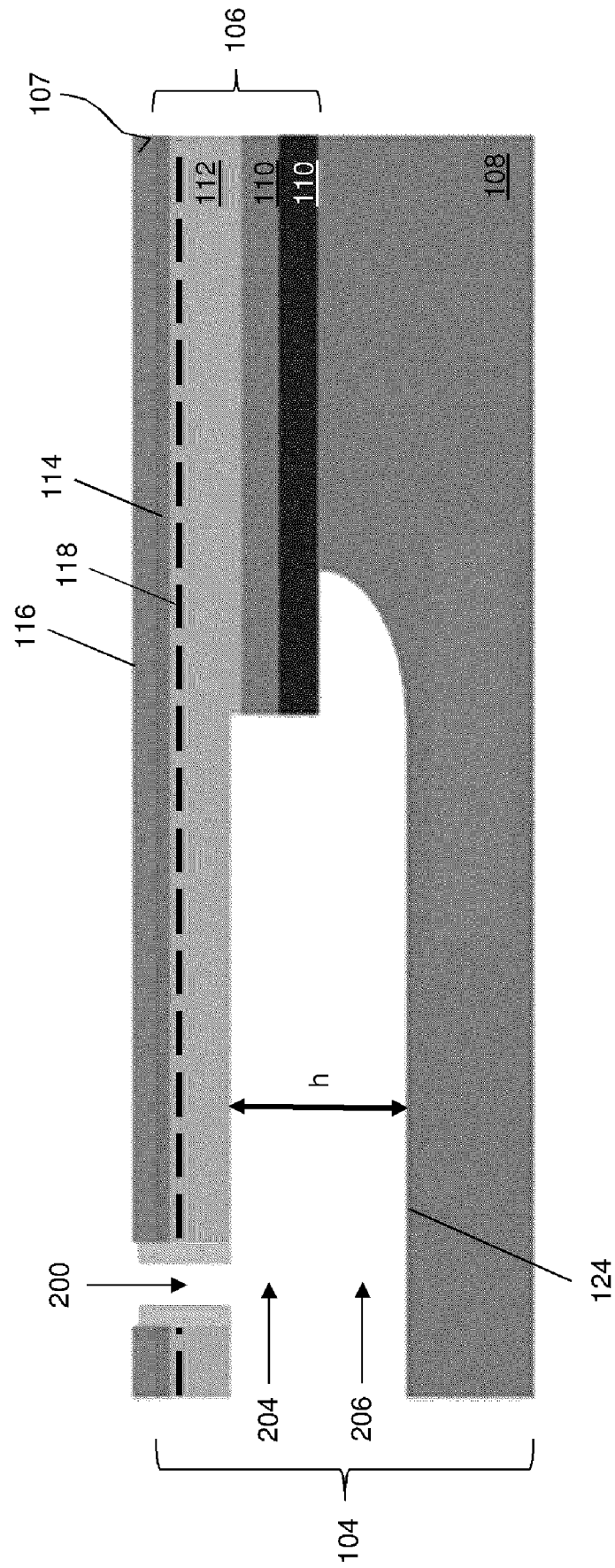


图 8D

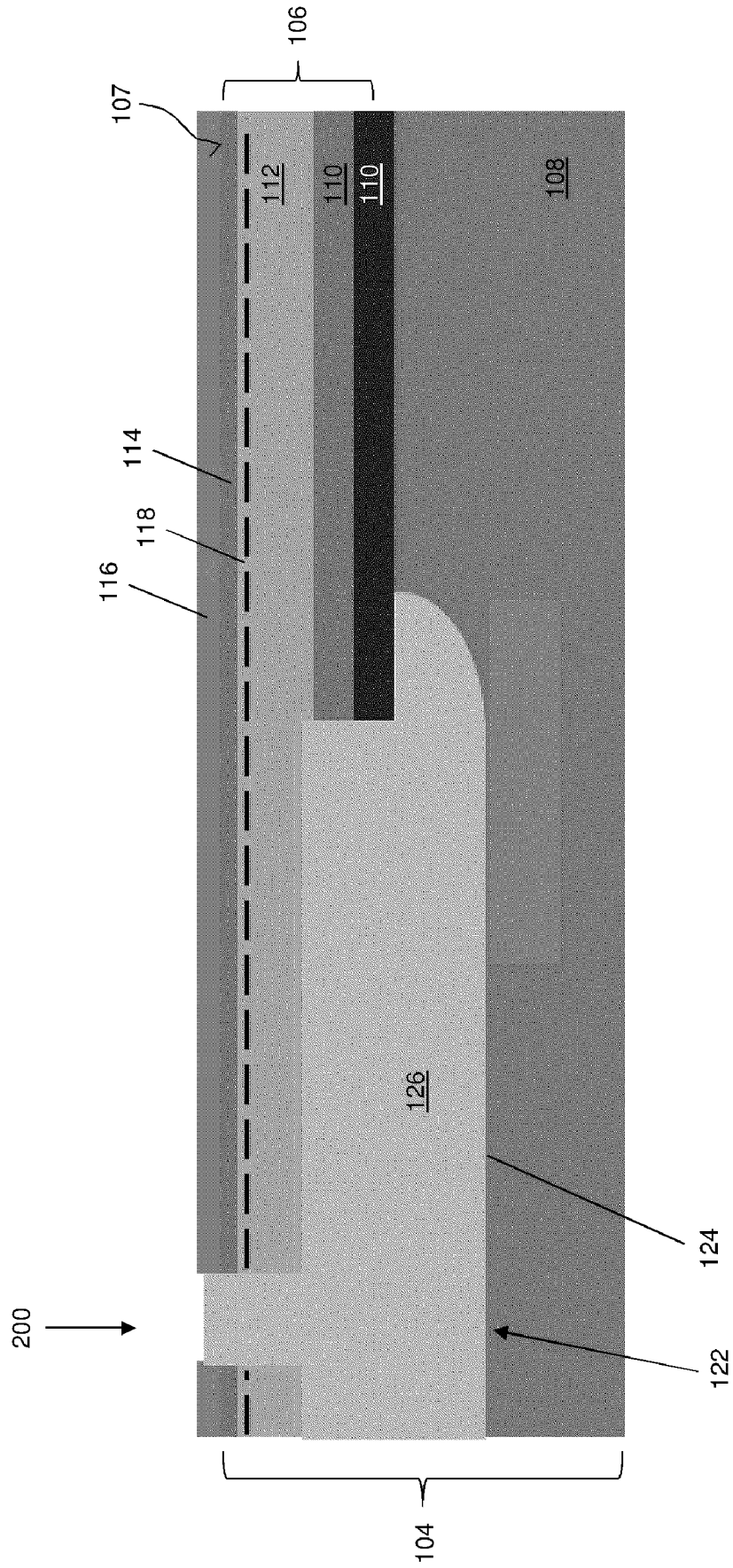


图 8E

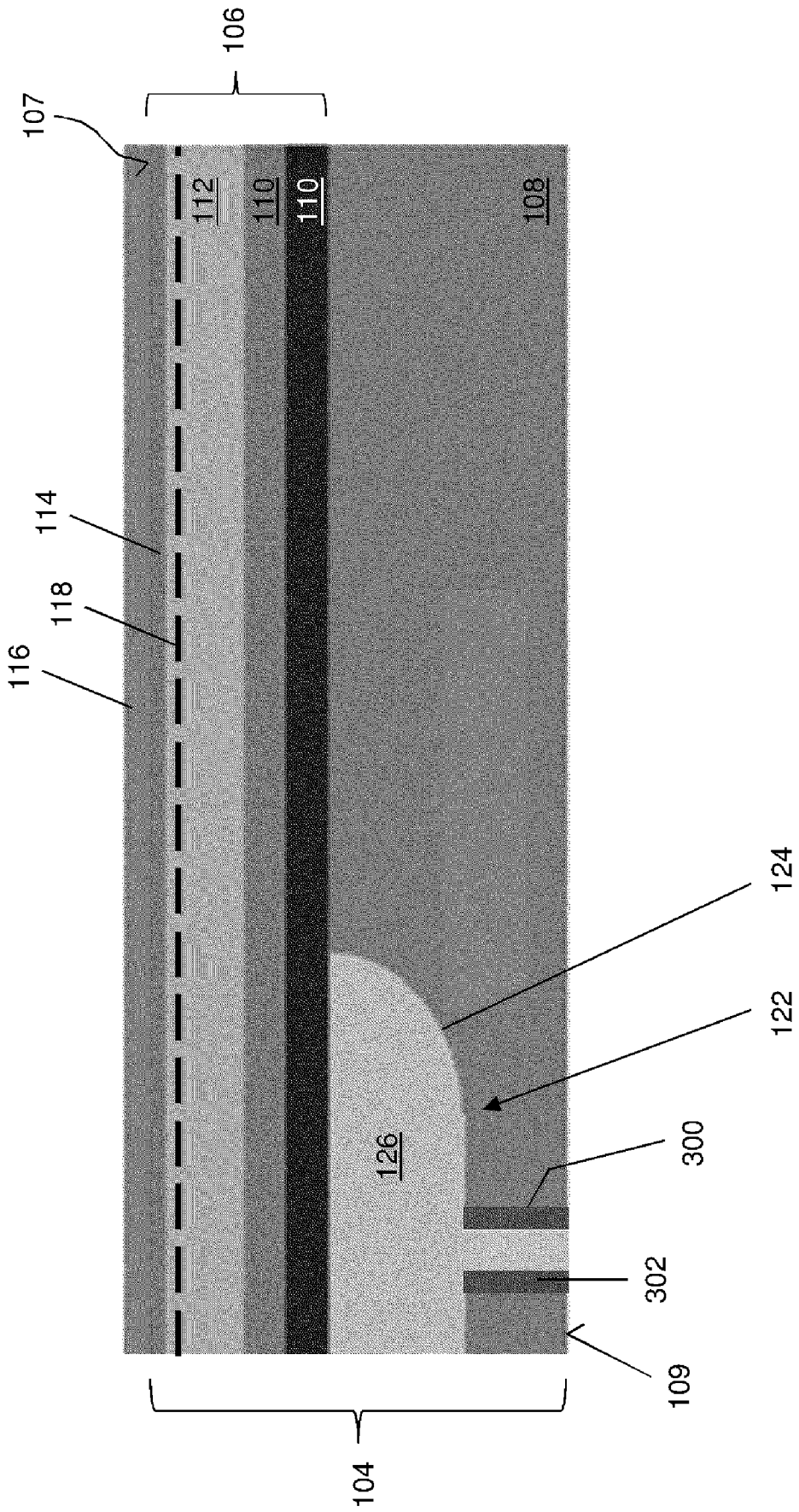


图 9