

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5881734号
(P5881734)

(45) 発行日 平成28年3月9日(2016.3.9)

(24) 登録日 平成28年2月12日(2016.2.12)

(51) Int. Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 B
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 14 (全 19 頁)

(21) 出願番号	特願2013-546103 (P2013-546103)	(73) 特許権者	504142411
(86) (22) 出願日	平成23年4月1日(2011.4.1)		テッセラ, インコーポレイテッド
(65) 公表番号	特表2014-500630 (P2014-500630A)		アメリカ合衆国 カリフォルニア州 95
(43) 公表日	平成26年1月9日(2014.1.9)		134, サン・ノゼ, オーチャード・
(86) 国際出願番号	PCT/US2011/030871		パークウェイ 3025
(87) 国際公開番号	W02012/087364	(74) 代理人	100099623
(87) 国際公開日	平成24年6月28日(2012.6.28)		弁理士 奥山 尚一
審査請求日	平成26年3月27日(2014.3.27)	(74) 代理人	100096769
(31) 優先権主張番号	61/424,906		弁理士 有原 幸一
(32) 優先日	平成22年12月20日(2010.12.20)	(74) 代理人	100107319
(33) 優先権主張国	米国 (US)		弁理士 松島 鉄男
		(74) 代理人	100114591
			弁理士 河村 英文
		(74) 代理人	100125380
			弁理士 中村 綾子

最終頁に続く

(54) 【発明の名称】 同時のウェハ結合及び相互接続接合

(57) 【特許請求の範囲】

【請求項1】

主面と、該主面において露出している誘電体層及び少なくとも1つのボンドパッドと、を有する超小型電子素子であって、複数の能動回路素子を含む超小型電子素子と、

熱膨張係数が10ppm/未満である第2の素子であって、主面と、該第2の素子の該主面において露出している誘電体層と、を有する第2の素子と、

前記超小型電子素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる第1の金属層であって、該第1の金属層において、前記少なくとも1つのボンドパッドと前記誘電体層との間にギャップが形成されている、第1の金属層と、

前記第2の素子の前記誘電体層の上に重なる第2の金属層と、
を備え、

前記誘電体層の上に重なる前記第1の金属層及び前記第2の金属層の第1の部分は、前記超小型電子素子を前記第2の素子と機械的にかつ電氣的に接続するように、合わせて接合されており、

前記素子のうちの少なくとも1つにおける前記誘電体層は、いかなる寸法公差も吸収するように圧縮可能である、

超小型電子アセンブリ。

【請求項2】

前記第2の素子は、該第2の素子の前記主面において露出している少なくとも1つのボンドパッドを有し、前記第2の金属層は、前記第2の素子の前記少なくとも1つのボンド

パッドに重なり、前記少なくとも1つのボンダパッドに重なり且つ前記第1の部分から分離している前記第1の金属層及び前記第2の金属層の第2の部分は、合わせて接合されている、請求項1に記載の超小型電子アセンブリ。

【請求項3】

前記ギャップは、前記超小型電子素子の前記少なくとも1つのボンダパッド及び前記誘電体層の上に重なる前記第1の金属層の上面の共平面性における全変動の和を補償するのに十分な逃げ容積を提供するのに十分大きい、請求項1に記載の超小型電子アセンブリ。

【請求項4】

前記第2の素子は、複数の能動回路素子を含む超小型電子素子である、請求項2に記載の超小型電子アセンブリ。

10

【請求項5】

前記素子のうちの少なくとも1つは、前記少なくとも1つのボンダパッドと電氣的に接続されたシリコン貫通ビアを備え、該シリコン貫通ビアは、当該素子の前記主面から該主面から離れている当該素子の第2の面に向かって延在する、請求項4に記載の超小型電子アセンブリ。

【請求項6】

シリコン貫通ビアが、前記超小型電子素子及び前記第2の素子を通して延在し、かつ前記超小型電子素子のボンダパッド及び前記第2の素子のボンダパッドに電氣的に接続される、請求項5に記載の超小型電子アセンブリ。

【請求項7】

20

前記素子の各々の上の前記少なくとも1つのボンダパッドは、複数の列状に配置されたボンダパッドのレイを含む、請求項4に記載の超小型電子アセンブリ。

【請求項8】

前記素子の各々の上の前記少なくとも1つのボンダパッドは、当該素子の周辺部に隣接して配置された複数のボンダパッドを含み、前記誘電体層は、前記主面の中心領域の上に重なる、請求項4に記載の超小型電子アセンブリ。

【請求項9】

前記第2の金属層において、前記少なくとも1つのボンダパッドと前記誘電体層との間にギャップが形成されている、請求項4に記載の超小型電子アセンブリ。

【請求項10】

30

前記超小型電子素子の前記主面の上方の前記少なくとも1つのボンダパッドの高さは、前記超小型電子素子の前記主面の上方の前記誘電体層の高さと異なる、請求項1に記載の超小型電子アセンブリ。

【請求項11】

前記金属層のうちの少なくとも1つは、錫、はんだ、インジウム、金、及びそれらの任意の組合せからなる群から選択されたリフロー金属を含む、請求項1に記載の超小型電子アセンブリ。

【請求項12】

前記第1の金属層及び前記第2の金属層は、前記素子のそれぞれの前記主面の上に直接重なっていない、請求項1に記載の超小型電子アセンブリ。

40

【請求項13】

請求項1に記載の超小型電子アセンブリと、該超小型電子アセンブリに電氣的に接続された1つ又は複数の他の電子コンポーネントと、を備えるシステム。

【請求項14】

ハウジングを更に備え、前記超小型電子アセンブリ及び前記他の電子コンポーネントは、前記ハウジングに実装されている、請求項13に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

50

本出願は、2010年12月20日に出願された米国仮特許出願第61/424,906号の出願日の利益を主張するものであり、この米国仮特許出願の開示は、参照することにより本明細書の一部をなすものとする。

【0002】

本発明は、ウェハ結合、特に、ウェハを合わせて結合することに関し、接合は、こうしたウェハを同時に電氣的に相互接続することを伴うことができる。

【背景技術】

【0003】

種々の用途において、互いに電氣的に相互接続されて上下に積層された半導体チップ等、複数の超小型電子素子を含む超小型電子アセンブリを同時に作製するために、ウェハレベルパッケージング技法を使用することができる。場合によっては、ウェハレベルパッケージング技法を使用して、パッケージング層として誘電体素子又は半導体素子が実装された、半導体チップ等、能動回路素子を有する超小型電子素子を含む超小型電子アセンブリを作製することができる。こうした技法は、通常、超小型電子デバイスウェハ、すなわち能動回路素子を有するデバイスウェハを、そのデバイスウェハとサイズ及び形状が同じである別のデバイスウェハ又はパッケージング層（例えばカバーウェハ又は他のウェハ）とすることができる別の素子と接合する必要がある。

【0004】

こうしたウェハレベル処理の難題のうちの1つは、ウェハ間で十分に平面の接触面を達成し、それぞれのウェハ上のコンタクト間で信頼性の高い電氣的相互接続を行うことである。これに関する更なる改善が望ましい。

【0005】

チップのいかなる物理的構成においても、サイズは重要な考慮事項である。チップのより小型の物理的構成に対する要求は、携帯型電子デバイスの急速な発展により、更に強くなってきている。単に例として、一般に「スマートフォン」と呼ばれるデバイスは、携帯電話の機能と、強力なデータプロセッサやメモリ、並びに、全地球測位システム受信器、電子カメラ、ローカルエリアネットワーク接続等の補助デバイスとを、高解像度ディスプレイ及び関連する画像処理チップとともに一体化している。こうしたデバイスは、完全なインターネット接続、最大解像度の映像を含むエンターテイメント、ナビゲーション、電子銀行等の機能を、全てポケットサイズのデバイスで提供することができる。複雑な携帯型デバイスでは、多数のチップを小さい空間に詰め込む必要がある。さらに、チップのうちの幾つかは、一般に「I/O」と呼ばれる多くの入出力接続を有している。これらのI/Oを、他のチップのI/Oと相互接続しなければならない。相互接続は、短くあるべきであり、信号伝播遅延を最小限にするために低インピーダンスであるべきである。相互接続を形成するコンポーネントは、アセンブリのサイズを大幅に増大させるべきではない。同様の必要性は、例えばインターネット検索エンジンで使用されるもののようなデータサーバにおける用途等の、他の用途でも発生する。例えば、複雑なチップ間に多数の短い低インピーダンス相互接続を提供する構造により、検索エンジンの帯域幅を増大させ、その電力消費量を低減することができる。

【発明の概要】

【0006】

本発明の第1の態様は、超小型電子アセンブリを形成する方法であって、主面と、該主面において露出している誘電体層及び少なくとも1つのボンドパッドと、を有する超小型電子素子を準備するステップであって、該超小型電子素子は複数の能動回路素子を含む、ステップと、熱膨張係数が10ppm/°C未満である第2の素子を準備するステップであって、該第2の素子は、主面と該主面において露出している誘電体層とを有する、ステップと、前記超小型電子素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる第1の金属層を堆積させるステップと、前記第2の素子の前記誘電体層の上に重なる第2の金属層を堆積させるステップと、前記第1の金属層を前記第2の金属層に接合するステップと、を含む、超小型電子アセンブリを形成する方法である。

【 0 0 0 7 】

この第1の態様の或る特定の実施の形態によれば、前記堆積させるステップは、各々、銅又はアルミニウムのうちの少なくとも一方を含む第1段を、前記超小型電子素子又は前記第2の素子のうちの少なくとも一方の上に堆積させるステップを含むことができる。前記超小型電子素子はチップとすることができ、前記第2の素子は、前記チップの面積と実質的に同じ面積を有することができる。前記第1の金属層を堆積させるステップは、前記超小型電子素子の実質的に前記主面全体の上に金属を堆積させるステップを含むことができ、前記方法は、前記金属が前記超小型電子素子の前記主面の上方の所定の高さまで延在するように、該金属の一部を除去するステップを更に含むことができる。前記方法は、前記少なくとも1つのボンドパッドと前記誘電体層との間のギャップにおいて、前記超小型電子素子の前記主面の上に直接重なる前記金属を除去するステップを更に含むことができる。前記ギャップは、前記超小型電子素子上の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる前記第1の金属層の上面の共平面性の全変動と、前記第2の素子の上の前記誘電体層と該第2の素子の前記主面において露出している少なくとも1つのボンドパッドとの上に重なる前記第2の金属層の上面の共平面性の全変動との和を補償するのに十分な逃げ容積を提供するのに十分大きくすることができる。

10

【 0 0 0 8 】

前記接合するステップは、前記第1の金属層及び前記第2の金属層のうちの少なくとも一方を、約50と約300との間の温度まで加熱するステップを含むことができる。前記第1の金属層及び前記第2の金属層のうちの少なくとも一方は、発熱性でありかつ加熱により熱的に活性化される少なくとも一部分を含むことができ、前記接合するステップは、前記発熱性金属層の前記少なくとも一部分を加熱してこうした層を熱的に活性化するステップを含むことができる。前記第2の素子は、複数の能動回路素子を含む超小型電子素子とすることができ、前記主面において露出している少なくとも1つのボンドパッドを備えることができる。前記素子のうちの少なくとも1つは、前記少なくとも1つのボンドパッドと電気的に接続された、かつこうした素子の前記主面から該主面から離れている該素子の第2の面に向かって延在する、シリコン貫通ビア、を備えることができる。シリコン貫通ビアは、前記超小型電子素子及び前記第2の素子を通して延在することができ、前記超小型電子素子のボンドパッド及び前記第2の素子のボンドパッドに電気的に接続されることができる。前記接合するステップは、前記超小型電子素子の前記少なくとも1つのボンドパッドを、前記第2の素子の前記少なくとも1つのボンドパッドと並置するステップと、前記第1の金属層及び前記第2の金属層を接合温度まで加熱するステップとを含むことができる。前記素子の各々の上の前記少なくとも1つのボンドパッドは、複数の列で位置合せされた複数のボンドパッドを含むことができる。前記素子の各々の上の前記少なくとも1つのボンドパッドは、それぞれの主面の周辺部に隣接して位置合せされた複数のボンドパッドを含むことができ、前記誘電体層は、前記主面の中心領域の上に重なることができる。

20

30

【 0 0 0 9 】

前記素子のうちの少なくとも1つにおける前記誘電体層は、いかなる寸法公差も吸収するように圧縮可能にすることができる。前記超小型電子素子の前記主面の上方の前記少なくとも1つのボンドパッドの高さは、該超小型電子素子の該主面の上方の前記誘電体層の高さと異なることができる。前記堆積させるステップのうちの少なくとも1つは、リフロー金属を堆積させるステップを含むことができ、前記接合するステップは、前記リフロー金属を、該リフロー金属を溶融させる温度まで加熱するステップを含むことができる。前記リフロー金属は、錫、はんだ、インジウム、金、及びそれらの任意の組合せからなる群から選択することができる。前記堆積させるステップは、銅を堆積させるステップを含むことができ、前記接合するステップは、前記超小型電子素子の上に重なる前記銅及び前記第2の素子の上に重なる前記銅が合わせて融解するように、前記素子の間に熱及び圧力を加えるステップを含むことができる。前記方法は、前記素子のうちの少なくとも1つの上に重なる前記銅の上に金の層を堆積させるステップを更に含むことができ、前記結合する

40

50

ステップは、前記金を、該金が前記銅内に拡散する温度まで加熱するステップを含むことができる。前記第1の金属層及び前記第2の金属層を堆積させるステップは、卑金属と該卑金属の上に重なる金の層とを堆積させるステップを含むことができ、前記結合するステップは、前記第1の金属層及び前記第2の金属層が合わせて融解するまで前記素子に熱及び圧力を加えるステップを含むことができる。

【0010】

本発明の第2の態様は、超小型電子アセンブリであって、主面と、該主面において露出している誘電体層及び少なくとも1つのボンドパッドと、を有する超小型電子素子であって、複数の能動回路素子を含む超小型電子素子と、熱膨張係数が10ppm/未満である第2の素子であって、主面と、該第2の素子の該主面において露出している少なくとも1つのボンドパッド及び誘電体層と、を有する第2の素子と、前記超小型電子素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる第1の金属層であって、該第1の金属層の前記少なくとも1つのボンドパッドと前記誘電体層との間にギャップが形成されている、第1の金属層と、前記第2の素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる第2の金属層と、を具備し、前記誘電体の上に重なる前記第1の金属層及び前記第2の金属層の第1の部分は合わせて接合され、前記少なくとも1つのボンドパッドの上に重なりかつ前記第1の部分とは別個である、前記第1の金属層及び前記第2の金属層の第2の部分は、前記超小型電子素子を前記第2の素子と機械的にかつ電氣的に接続するように、合わせて接合されている、超小型電子アセンブリである。

【0011】

この第2の態様の或る特定の実施の形態によれば、前記超小型電子素子はチップとすることができ、前記第2の素子は、該チップの面積と実質的に同じ面積とすることができる。前記ギャップは、前記超小型電子素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる前記第1の金属層の上面の共平面性の全変動と、前記第2の素子の上の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる前記第2の金属層の上面の共平面性の全変動との和を補償するのに十分な逃げ容積を提供するのに十分大きくすることができる。前記第1の金属層及び前記第2の金属層のうちの少なくとも一方は、発熱性でありかつ加熱により熱的に活性化される少なくとも一部分を含むことができる。

【0012】

前記第2の素子は、複数の能動回路素子を含む超小型電子素子とすることができる。前記素子のうちの少なくとも1つは、前記少なくとも1つのボンドパッドと電氣的に接続された、かつこうした素子の前記主面から該主面から離れている前記素子の第2の面に向かって延在する、シリコン貫通ビア、を備えることができる。シリコン貫通ビアは、前記超小型電子素子及び前記第2の素子を通して延在することができ、かつ前記超小型電子素子のボンドパッド及び前記第2の素子のボンドパッドに電氣的に接続されることができる。前記素子の各々の上の前記少なくとも1つのボンドパッドは、複数の列状に配置されたボンドパッドのアレイを含むことができる。前記素子の各々の上の前記少なくとも1つのボンドパッドは、こうした素子の周辺部に隣接して配置された複数のボンドパッドを含むことができ、前記誘電体層は、前記主面の中心領域の上に重なることができる。前記第2の金属層の前記少なくとも1つのボンドパッドと前記誘電体層との間にギャップを形成することができる。

【0013】

前記素子のうちの少なくとも1つにおける前記誘電体層は、いかなる寸法公差も吸収するように圧縮可能にすることができる。前記超小型電子素子の前記主面の上方の前記少なくとも1つのボンドパッドの高さは、前記超小型電子素子の前記主面の上方の前記誘電体層の高さと異なることができる。前記金属層のうちの少なくとも1つは、錫、はんだ、インジウム、金、及びそれらの任意の組合せからなる群から選択されたリフロー金属を含むことができる。前記第1の金属層及び前記第2の金属層の各々は、前記リフロー金属によって濡れ性である金属の層を含むことができ、前記リフロー金属は該濡れ性金属層の上に重なる。前記第1の金属層及び前記第2の金属層は銅を含むことができる。前記アセンブ

10

20

30

40

50

りは、前記第1の金属層及び前記第2の金属層のうちの少なくとも一方の上に重なる金の層を更に具備することができる。前記第1の金属層及び前記第2の金属層は、前記素子のそれぞれの前記主面の上に直接重なっていてもよい。

【0014】

本発明の第3の態様は、超小型電子アセンブリであって、主面と、該主面において露出している誘電体層とを有する超小型電子素子と、主面と、該主面において露出している誘電体層とを有する第2の素子と、を具備し、第1のウェハ及び第2のウェハの前記主面は、前記誘電体層の間に複数の金属素子が配置されて、互いに直面し、該金属素子は、前記超小型電子素子から電氣的に絶縁されており、前記金属素子は前記第1のウェハ及び前記第2のウェハを互いに接合する、超小型電子アセンブリである。

10

【0015】

この第3の態様の或る特定の実施の形態によれば、前記第2の素子は、熱膨張係数が10ppm/未満である。前記超小型電子素子は、複数の能動回路素子を含むことができる。前記第2の素子は、複数の能動回路素子を含む超小型電子素子とすることができ、前記主面において露出している少なくとも1つのボンドパッドを含むことができる。前記超小型電子素子はチップとすることができ、前記第2の素子は、該チップの面積と実質的に同じ面積とすることができ、各素子において、前記主面に沿って各金属素子と前記誘電体層の隣接部分との間にギャップを形成することができ、該ギャップは、前記超小型電子素子の前記主面の上に重なる前記金属素子及び前記誘電体層の上面の共平面性の全変動と、前記第2の素子の前記主面の上に重なる前記金属層及び前記誘電体層の上面の共平面性の全変動との和を補償するのに十分な逃げ容積を提供するのに十分大きくすることができる。前記素子のうちの少なくとも1つにおける前記誘電体層は、いかなる寸法公差も吸収するように圧縮可能にすることができる。

20

【0016】

本発明の第4の態様は、上述した構造体と、該構造体に電氣的に接続された1つ又は複数の他の電子コンポーネントとを具備するシステムである。この第4の態様の或る特定の実施の形態によれば、前記システムは、ハウジングを更に具備し、前記構造体及び前記他の電子コンポーネントは前記ハウジングに実装されている。

【0017】

本発明の更なる態様は、他の電子デバイスとともに、本発明の上述した態様による超小型電子構造体、本発明の上述した態様による複合チップ、又は両方を組み込んだシステムを提供する。例えば、本システムを、携帯型ハウジングとすることができ、単一ハウジング内に配置することができる。本発明のこの態様の好ましい実施の形態によるシステムを、同等の従来のシステムよりも小型にすることができる。

30

【図面の簡単な説明】

【0018】

【図1】本発明の第1の実施形態による超小型電子素子の断面図である。

【図2】図1に示す素子の一部の拡大図である。

【図3】図1に示す素子の上面図である。

【図4】上に薄い金属層が配置されている、図1に示す素子の断面図である。

40

【図5】図4に示す素子の一部の拡大図である。

【図4A】本発明の別の実施形態による素子の断面図である。

【図5A】上に薄い金属層が配置されている、図4Aに示す素子の一部の断面図である。

【図6】図4に示す素子の上面図である。

【図7】上にリフロー可能な金属層が配置されている、図4に示す素子の断面図である。

【図8】図7に示す素子の一部の拡大図である。

【図9】図7に示す素子の上面図である。

【図10】本発明の一実施形態による2つの素子のアセンブリの断面図である。

【図11】本発明の一実施形態による2つの素子のアセンブリの断面図である。

【図12】シリコン貫通ビアを有する本発明によるアセンブリの断面図である。

50

【図13】シリコン貫通ビアを有する本発明によるアセンブリの断面図である。

【図14】本発明の別の実施形態による2つの素子のアセンブリの断面図である。

【図15】本発明の別の実施形態による2つの素子のアセンブリの断面図である。

【図16】本発明の一実施形態によるシステムの概略図である。

【発明を実施するための形態】

【0019】

(詳細な説明)

本発明の一実施形態によれば、図1～図3は、主面102と、主面から離れている第2の面104と、を有する超小型電子素子100、例えば能動回路素子を具現化するデバイスウェハを示す。主面102において、誘電体層120及び少なくとも1つのボンドパッド110が露出している。誘電体層120は、主面102の上方でボンドパッド110に関するあらゆる寸法公差を吸収するように圧縮可能とすることができる材料からなることが好ましい。或る特定の実施形態では、図2により明確に示すように、主面102の上方のボンドパッド110のうちの少なくとも1つの高さは、主面102の上方の誘電体層120の高さとは異なる。

10

【0020】

超小型電子素子100を、複数の能動回路素子を有するウェハ若しくは半導体チップか、又は複数の半導体チップを含むウェハの一部とすることができる。別の例では、超小型電子素子100を、アレイで配置されかつ同時に処理するように合わせて保持される、複数の能動チップを備えた、再構成ウェハ又はパネルとすることができる。図3に、ダイシングレーン112において合わせて取り付けられた4つの半導体チップ111を含むウェハの一部をより明確に示す。ボンドパッド110を、例えば1つ又は複数の列で配置されることを含むアレイで配置することができる。例えば、ボンドパッド110を、各チップの周辺部125に沿ってダイシングレーンに隣接する列で配置することができる。或る特定の実施形態では、誘電体層120を、主面102の中心領域の上に重なるように周辺ボンドパッド内に配置することができる。

20

【0021】

図4～図6は、ボンドパッド110及び誘電体層120の上に重なる金属層130を有する超小型電子素子100を示す。金属層130を比較的薄くすることができる。図7～図9に示すように、リフロー可能な金属層150等の接合金属を、金属層130の上に重なるように堆積させることができる。金属層150は、リフロー可能である場合、錫、はんだ、インジウム、金又はそれらの任意の組合せを含むことができる。金属層150がリフロー可能金属である場合、下にある金属層130を、リフロー可能な金属によって濡れ性とすることができる。特定の例では、濡れ性金属層130としては、銅若しくは銅合金、アルミニウム若しくはアルミニウム合金又はそれらの組合せを挙げることができる。こうした1つ又は複数の層は、金属層130の基礎構造を形成することができる。こうした金属層130は、基礎構造の上に重なるニッケルの層を更に含むことができる。別の例では、金属層130は、こうしたニッケルの層と、ニッケル層の上に重なる金の層とを含むことができる。

30

【0022】

金属層150は、主面102の上に直接重ならなくてもよく、ギャップ140は、金属層150においてボンドパッド110と誘電体層120との間に存在することができる。ギャップ140は、ボンドパッド110及び誘電体層120の各隣接する対に存在することができる。各個々のボンドパッド110及び誘電体層を、主面102の上で分離することができる。

40

【0023】

図10及び図11は、超小型電子素子100が、別の素子200と組み立てられて、通常、ウェハレベルアセンブリ300、あるいは、別の能動チップ又は他の素子と結合され、かつ電氣的に相互接続される1つ又は複数の能動チップを含む他のアセンブリ300、を形成する。素子200を、能動回路素子を有する超小型電子素子100と実質的に同様

50

とすることができ、又は受動回路素子若しくは受動回路素子を有するウェハとすることができる。素子200は、通常、半導体材料から作製され、通常、能動回路素子、例えばトランジスタ、ダイオード等を具現化する半導体デバイスウェハである。しかしながら、特定の実施形態では、素子200を、受動半導体ウェハ又は本質的にブランクな半導体ウェハ、又はガラス若しくはセラミック材料、若しくはCTEが10ppm/未満である他の材料のベースを備えることができる他の素子とすることができる。素子200を、熱膨張係数が10ppm/未満である素子等、図4A及び図5Aに示すようなものとする
 ことができる。素子200は、主面202と、主面202から離れている第2面204と、主面202において露出している誘電体層220とを有している。図10及び図11に示すもの
 のような或る特定の実施形態では、素子200は、複数の能動回路素子を含む超小型電子素子
 とすることができ、少なくとも1つのボンドパッド210を備えることができる。薄い金属層230が、
 図5Aに示すように誘電体層220の上に重なり、図10に示すようにボンドパッド210の上にも重なる。
 リフロー可能な金属層250が、金属層230の上に重なるように堆積する。金属層230及び250を、
 超小型電子素子又はウェハ100の金属130、150に対して上述したようなものとする
 ことができる。金属層250のボンドパッド210と誘電体層220との間に、又は受動素子の場合は、
 誘電体層220の隣接する部分の間に、ギャップ240が存在することができる。

10

【0024】

アセンブリ300を形成する際、素子100及び200が提供され、少なくとも素子100が能動超小型電子素子である。金属層150及び250が、それぞれの素子の上に堆積される。このステップを、種々の方法で行うことができる。例えば、金属を、任意のボンドパッド110、210及び/又は誘電体層120、220を覆って、実質的にそれぞれの素子100、200の主面102、104全体の上に堆積させることができる。そして、金属が主面102、104の上方の所定の高さまで延在するように、金属の一部を除去することができる。そして、ボンドパッド110、210と誘電体層120、220との間のギャップ140、240において、主面102、104の上に直接重なっている金属を除去することができる。さらに、それぞれの金属層150、250を堆積させる各ステップは、例えば銅又はアルミニウムを含むことができる金属を含む第1の段を堆積させることを含むことができる。

20

【0025】

接合する前に、図10に示すように、素子100のボンドパッド110が、素子200のボンドパッド210と並置される。合わせて、ボンドパッド110及び210は、誘電体層120、220の間のそれぞれの主面102、202の上に最終的に配置される、複数の電氣的に絶縁された金属素子を含むことができる。誘電体材料の上方の金属層130、230（又は絶縁された金属素子）を、それぞれの素子100、200内の内部素子から電氣的に絶縁することができる、又は代替的に、電源若しくはグラウンドに接続するために使用可能とすることができる。図11に示すように、その後、リフロー金属をそれらが合わせて溶融し溶解する温度まで加熱すること等により、金属層150が金属層250に接合され、素子100及び200は、互いに接合されてアセンブリ300を形成する。一実施形態では、金属層150、250の少なくとも一方が、約50と300との間の温度まで加熱される。例えば、はんだ、錫、インジウム若しくは金、又はそれらの組合せの金属層の接合を、通常、300未満の温度で行うことができる。金属層150及び250のうちの少なくとも一方は、発熱性でありかつ加熱により熱的に活性化される少なくとも一部分を含むことができ、接合するステップは、発熱性金属層の少なくとも一部を加熱してこうした層を熱的に活性化することを含むことができる。圧縮可能な誘電体層120、220のうちの少なくとも1つにより、あらゆる寸法公差が考慮されかつ吸収されることが好ましい。

30

40

【0026】

ギャップ140及び240を、それぞれのボンドパッド110及び210並びに誘電体層120及び220の上に重なる金属層150及び250の上面の共平面性の全変動の和

50

を補償するのに十分な逃げ容積 (relief volume) を提供するのに十分大きくすることができる。図 11 に見ることができるように、接合された金属層 150 及び 250 の或る特定の部分は、領域 152 に見られるように、ギャップ 140、240 内に膨れ出ることができる。代替的に、こうした接合された金属層の一部は、領域 154 において示すように、ギャップ 140、240 に隣接する凹状面を有するように見えることができる。接合された金属層 150 及び 250 の一部が、156 において見られるように、本質的に直線状かつ垂直な縁を有することも可能である。したがって、素子 100 及び 200 の接合は、素子 100 及び 200 に関連する任意の寸法の差異によりギャップ 140、240 内にあふれ出る可能性がある一方で電氣的に接続することができる、リフロー可能な金属層 150 及び 250 によって支援される。

10

【0027】

アセンブリ 300 の変形では、金属層 150 及び 250 は、リフロー可能な金属の代りに銅を含むことができ、場合によっては、一方又は両方の金属層 130、230 を省略することができる。こうした層を接合することは、銅層が合わせて溶解するように素子 100、200 間に熱及び圧力を加えることを含む。金の層を金属層 150 及び 250 のうちの少なくとも一方の上に重ねることができ、それらを、金属層 150、250 間の接合接触面において金が銅内に拡散する温度まで加熱することができる。

【0028】

別の実施形態では、金属層 150、250 を堆積させるステップは、卑金属及び卑金属の上に重なる金の層を堆積させることを含む。そして、金属層 150、250 が合わせて溶解するまで、素子に熱及び圧力が加えられる。

20

【0029】

一実施形態では、素子 100 及び 200 を合わせて結合した後、アセンブリ 300 を、ダイシングレーン (1つのこうしたダイシングレーンを線 301 によって示す) に沿って、個々の超小型電子アセンブリ又はユニットに切断することができる。通常、各ユニットは、能動チップ、すなわち能動回路素子を具現化するチップと、別の能動チップを含む場合も含まない場合もある素子 200 の対応する部分とを備えている。アセンブリ 300 を、図 12 に示すように、素子 100 及び 200 の少なくとも一方が、ボンドパッドに電氣的に接続されかつこうした素子の厚さを通して延在する貫通ビア 302 を備えるように、更に構成することができる。例えば、貫通ビア 302 は、素子 100 を通して延在し、素子 100 に、ボンドパッド 110 に電氣的に接続される導電性素子を提供する。同様に、導電性貫通ビア 302 は、素子 200 を通して延在し、導電性貫通ビア 302 をボンドパッド 210 に電氣的に接続することができる。図 13 に示すように、導電性貫通ビア 303 が、素子 100 及び 200 の両方を通して延在し、導電性貫通ビア 303 を、素子 100 のボンドパッド 110 及び素子 200 のボンドパッド 210 に電氣的に接続することができる。

30

【0030】

導電性貫通ビアを作製するさまざまな方法が存在し、それらを、例えば、米国仮特許出願第 61/419,033 号及び同第 61/419,037 号、米国特許出願公開第 2008/0246136 号、又は米国特許出願第 12/842,717 号及び同第 12/842,651 号に記載されているもののようなものとすることができ、それらの開示内容は参照することにより本明細書の一部をなすものとする。

40

【0031】

或る特定の実施形態では、素子 100 及び 200 を接合する前には、金属層 150、250 の一方のみが存在する。この構成を図 14 に示し、そこでは、素子 1100 は、金属層 1130 の上に重なる金属層 1150 を含み、素子 1200 は、その最上層として金属層 1230 のみを含み、その上には他の金属層は重なっていない。

【0032】

図 15 に示す別の実施形態では、素子 2200 を、ボンドパッドが露出していない、インターポーザ、カバーウェハ、又はブランクウェハとすることができる。素子 2100、

50

2200は各々、それぞれ誘電体層2120、2220と、それぞれ誘電体層2120、2220の上に重なる金属層2130、2230とを備えている。素子2100の主面2102の上に重なるボンドパッド2110は、素子2200の主面2202の露出部分に隣接している。ボンドパッド2110の上には重ならず誘電体層2120、2220の上のみ重なることができる金属層2130、2230を、接合されたりリフロー可能な金属層2150、2250を介して電氣的に相互接続することができる。

【0033】

上述した処理により、それぞれのウェハ又は素子の上の金属層130(図11)又は金属層2130(図15)を、互いから、かつそれらが設けられているウェハ又は素子から、ウェハ又は素子を結合する前及び後の両方において電氣的に絶縁することができる。代替的に、ウェハ又は素子の上の金属層130又は230の幾つか又は全てを、電源又はグラウンドに接続するために使用可能とすることができる。例えば、ウェハ上の金属層130又は230は、こうしたウェハのチップに対してグラウンド接続を提供する同じウェハのグラウンドボンドパッドの上に延在するか又はそれに電氣的に接続することができる。更に別の例では、ウェハ上の金属層130又は230は、こうしたウェハのチップに電源接続を提供する同じウェハの電源ボンドパッドの上に延在するか又はそれに電氣的に接続することができる。更に別の例では、各超小型電子アセンブリの金属層130、230の幾つかの部分は、グラウンドボンドパッド上に延在するか又はそれに電氣的に接続することができ、各超小型電子アセンブリの金属層130、230の他の部分は、電源ボンドパッドの上に延在するか又はそれに電氣的に接続することができる。これらの場合、両ウェハの各チップの金属層、例えば金属層130、230と、各アセンブリにおけるそれらの間のリフロー可能な金属150(図11)とは、チップが組み込まれている超小型電子アセンブリのグラウンド端子に又は電源端子に接続するために利用することができる。

【0034】

上述した実施形態のうちの1つ又は複数による上記で説明した処理により、本明細書に提供する技法は、概して、結合接触面における非平面性を補償することができる。一例では、結合又はリフロー可能な金属層150、250は、それぞれのウェハの金属層130、230及びボンドパッド110、210の上に1ミクロン(μm)の厚さを有することができる。こうした実施形態では、金属層150(例えば図11)の公称接合厚さは2ミクロン(μm)である。本明細書に提供する技法は、0.5ミクロン(μm)を超える程度までウェハの寸法全体を横切る結合接触面の平面性の全変動を補償することができる。別の例では、接合又はリフロー可能な金属層150、250が適切な厚さを有する場合、本明細書における技法は、3ミクロン(μm)等の更に大きい非平面性を補償することができる。

【0035】

上述した構造体は、並外れた3次元相互接続機能を提供する。これらの機能をあらゆるタイプのチップで使用することができる。単に例として、チップの以下の組合せを、上述したような構造体に含めることができる。すなわち、(i)プロセッサ及びプロセッサとともに使用されるメモリ、(ii)同じタイプの複数のメモリチップ、(iii)DRAM及びSRAM等の異なるタイプの複数のメモリチップ、(iv)画像センサ及びセンサからの画像を処理するために使用される画像プロセッサ、(v)特定用途向け集積回路(「ASIC」)及びメモリである。上述した構造体を、別の電子システムの構成で利用することができる。例えば、本発明の更なる実施形態によるシステム900は、他の電子コンポーネント908及び910とともに上述したような構造体906を含む。説明した例では、コンポーネント908は半導体チップであり、コンポーネント910が表示画面であるが、他のあらゆるコンポーネントを使用することができる。当然ながら、例示を明確にするために図16には2つの追加のコンポーネントのみを示すが、本システムは、あらゆる数のこうしたコンポーネントを含むことができる。上述した構造体906を、例えば、上記で論考したような複合チップ又は複数のチップを組み込んだ構造体とすることができる。更なる変形形態では、両方を提供することができ、あらゆる数のこうした構造体を

10

20

30

40

50

使用することができる。構造体 906 並びにコンポーネント 908 及び 910 は、破線で概略的に示す共通ハウジング 901 内に取り付けられ、必要に応じて互いに電氣的に相互接続されて所望の回路を形成する。図示する例示的なシステムでは、システムは、可撓性印刷回路基板等の回路パネル 902 を含み、回路パネルは、コンポーネントを互いに相互接続する多数の導体 904 を含み、それらのうちの 1 つのみを図 16 に示す。しかしながら、これは単に例示的なものであり、電気接続をもたらすあらゆる適当な構造を使用することができる。ハウジング 901 は、例えば携帯電話又は携帯情報端末における使用可能なタイプの携帯型ハウジングとして示されており、画面 910 は、ハウジングの表面において露出している。構造体 908 が、撮像チップ等の感光素子を含む場合、光を構造体に誘導するために、レンズ 911 又は他の光学デバイスもまた提供することができる。この場合もまた、図 16 に示す簡略化システムは単に例示的なものであり、上述した構造体を用いて、デスクトップコンピュータ、ルータ等、一般に固定構造体とみなされるシステムを含む他のシステムを作製することができる。

【0036】

上記で検討した特徴のこれらの変形形態及び組み合わせ、並びに他の変形形態及び組み合わせは、本発明から逸脱することなく利用することができるので、実施形態の上述した説明は、本発明を限定するものではなく、説明するものとみなされるべきである。

【0037】

本発明は特定の実施形態を参照しながら本明細書において説明されてきたが、これらの実施形態は本発明の原理及び応用形態を例示するにすぎないことは理解されたい。それゆえ、添付の特許請求の範囲によって規定されるような本発明の趣旨及び範囲から逸脱することなく、例示的な実施形態に数多くの変更を加えることができること、及び他の構成を考案することができることを理解されたい。

【産業上の利用可能性】

【0038】

本発明は、限定はしないが、超小型電子アセンブリ及び超小型電子アセンブリを製造する方法を含む、広範な産業上の利用可能性を有する。

なお、出願当初の特許請求の範囲は以下の通りである。

(請求項 1)

超小型電子アセンブリを形成する方法であって、
主面と、該主面において露出している誘電体層及び少なくとも 1 つのボンドパッドと、
を有する超小型電子素子を準備するステップであって、該超小型電子素子は複数の能動回路素子を含む、ステップと、

熱膨張係数が 10 ppm / 未満である第 2 の素子を準備するステップであって、該第 2 の素子は、主面と、該主面において露出している誘電体層と、を有する、ステップと、
前記超小型電子素子の前記少なくとも 1 つのボンドパッド及び前記誘電体層の上に重なる第 1 の金属層を堆積させるステップと、

前記第 2 の素子の前記誘電体層の上に重なる第 2 の金属層を堆積させるステップと、
前記第 1 の金属層を前記第 2 の金属層に接合するステップと、
を含む、方法。

(請求項 2)

前記堆積させるステップは、それぞれ、銅又はアルミニウムのうちの少なくとも一方を含む第 1 段を、前記超小型電子素子又は前記第 2 の素子のうちの少なくとも一方の上に堆積させることを含む、請求項 1 に記載の方法。

(請求項 3)

前記超小型電子素子はチップであり、前記第 2 の素子は、前記チップの面積と実質的に同じ面積を有する、請求項 1 に記載の方法。

(請求項 4)

前記第 1 の金属層を堆積させるステップは、前記超小型電子素子の実質的に前記主面全体の上に金属を堆積させることを含む、前記方法は、前記金属が前記超小型電子素子の前

10

20

30

40

50

記主面の上方の所定の高さまで延在するように、該金属の一部を除去するステップを更に含む、請求項 1 に記載の方法。

(請求項 5)

前記少なくとも 1 つのボンダパッドと前記誘電体層との間のギャップにおいて、前記超小型電子素子の前記主面の上に直接重なる前記金属を除去するステップを更に含む、請求項 4 に記載の方法。

(請求項 6)

前記ギャップは、前記超小型電子素子上の前記少なくとも 1 つのボンダパッド及び前記誘電体層の上に重なる第 1 の金属層の上面の共平面性における全変動と、前記第 2 の素子の上の前記誘電体層と該第 2 の素子の前記主面において露出している少なくとも 1 つのボンダパッドとの上に重なる前記第 2 の金属層の上面の共平面性における全変動との和を補償するのに十分な逃げ容積を提供するのに十分大きい、請求項 5 に記載の方法。

10

(請求項 7)

前記接合するステップは、前記第 1 の金属層及び前記第 2 の金属層のうちの少なくとも一方を、約 50 と約 300 との間の温度まで加熱するステップを含む、請求項 1 に記載の方法。

(請求項 8)

前記第 1 の金属層及び前記第 2 の金属層のうちの少なくとも一方は、発熱性でありかつ加熱により熱的に活性化される少なくとも一部分を含み、前記接合するステップは、前記発熱性金属層の前記少なくとも一部分を加熱して当該層を熱的に活性化するステップを含む、請求項 1 に記載の方法。

20

(請求項 9)

前記第 2 の素子は、複数の能動回路素子を含む超小型電子素子であり、前記主面において露出している少なくとも 1 つのボンダパッドを備える、請求項 1 に記載の方法。

(請求項 10)

前記素子のうちの少なくとも 1 つは、前記少なくとも 1 つのボンダパッドと電氣的に接続されたシリコン貫通ビアを備え、該シリコン貫通ビアは、当該素子の前記主面から該主面から離れている当該素子の第 2 の面に向かって延在する、請求項 9 に記載の方法。

(請求項 11)

シリコン貫通ビアが、前記超小型電子素子及び前記第 2 の素子を通して延在し、前記超小型電子素子のボンダパッド及び前記第 2 の素子のボンダパッドに電氣的に接続される、請求項 10 に記載の方法。

30

(請求項 12)

前記接合するステップは、前記超小型電子素子の前記少なくとも 1 つのボンダパッドを、前記第 2 の素子の前記少なくとも 1 つのボンダパッドと並置するステップと、前記第 1 の金属層及び前記第 2 の金属層を接合温度まで加熱するステップと、を含む、請求項 9 に記載の方法。

(請求項 13)

前記素子の各々の上の前記少なくとも 1 つのボンダパッドは、複数の列で位置合せされた複数のボンダパッドを含む、請求項 9 に記載の方法。

40

(請求項 14)

前記素子の各々の上の前記少なくとも 1 つのボンダパッドは、それぞれの主面の周辺部に隣接して位置合せされた複数のボンダパッドを含み、前記誘電体層は、前記主面の中心領域の上に重なる、請求項 9 に記載の方法。

(請求項 15)

前記素子のうちの少なくとも 1 つにおける前記誘電体層は、いかなる寸法公差も吸収するように圧縮可能である、請求項 1 に記載の方法。

(請求項 16)

前記超小型電子素子の前記主面の上方の前記少なくとも 1 つのボンダパッドの高さは、該超小型電子素子の該主面の上方の前記誘電体層の高さと異なる、請求項 1 に記載の方法

50

。

(請求項 17)

前記堆積させるステップのうちの少なくとも1つは、リフロー金属を堆積させることを含み、前記接合するステップは、前記リフロー金属を、該リフロー金属を溶融させる温度まで加熱するステップを含む、請求項 1 に記載の方法。

(請求項 18)

前記リフロー金属は、錫、はんだ、インジウム、金、及びそれらの任意の組合せからなる群から選択される、請求項 17 に記載の方法。

(請求項 19)

前記堆積させるステップは、銅を堆積させることを含み、前記接合するステップは、前記超小型電子素子の上に重なる前記銅及び前記第 2 の素子の上に重なる前記銅が合わせて融解するように、前記素子の間に熱及び圧力を加えるステップを含む、請求項 1 に記載の方法。

10

(請求項 20)

前記素子のうちの少なくとも1つの上に重なる前記銅の上に金の層を堆積させるステップを更に含み、前記結合するステップは、前記金を、該金が前記銅内に拡散する温度まで加熱するステップを含む、請求項 19 に記載の方法。

(請求項 21)

前記第 1 の金属層及び前記第 2 の金属層を堆積させるステップは、卑金属と該卑金属の上に重なる金の層とを堆積させることを含み、前記結合するステップは、前記第 1 の金属層及び前記第 2 の金属層が合わせて融解するまで前記素子に熱及び圧力を加えるステップを含む、請求項 1 に記載の方法。

20

(請求項 22)

主面と、該主面において露出している誘電体層及び少なくとも1つのボンドパッドと、を有する超小型電子素子であって、複数の能動回路素子を含む超小型電子素子と、

熱膨張係数が 10 ppm / 未満である第 2 の素子であって、主面と、該第 2 の素子の該主面において露出している誘電体層及び少なくとも1つのボンドパッドと、を有する第 2 の素子と、

前記超小型電子素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる第 1 の金属層であって、該第 1 の金属層の前記少なくとも1つのボンドパッドと前記誘電体層との間にギャップが形成されている、第 1 の金属層と、

30

前記第 2 の素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる第 2 の金属層と、

を具備し、

前記誘電体の上に重なる前記第 1 の金属層及び前記第 2 の金属層の第 1 の部分は合わせて接合され、前記少なくとも1つのボンドパッドの上に重なりかつ前記第 1 の部分とは分離されている、前記第 1 の金属層及び前記第 2 の金属層の第 2 の部分は、前記超小型電子素子を前記第 2 の素子と機械的にかつ電氣的に接続するように、合わせて接合されている、超小型電子アセンブリ。

(請求項 23)

前記超小型電子素子はチップであり、前記第 2 の素子は、該チップの面積と実質的に同じ面積を有している、請求項 22 に記載のアセンブリ。

40

(請求項 24)

前記ギャップは、前記超小型電子素子の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる前記第 1 の金属層の上面の共平面性における全変動と、前記第 2 の素子の上の前記少なくとも1つのボンドパッド及び前記誘電体層の上に重なる前記第 2 の金属層の上面の共平面性における全変動との和を補償するのに十分な逃げ容積を提供するのに十分大きい、請求項 22 に記載のアセンブリ。

(請求項 25)

前記第 1 の金属層及び前記第 2 の金属層のうちの少なくとも一方は、発熱性でありかつ

50

加熱により熱的に活性化される少なくとも一部分を含む、請求項 2 2 に記載のアセンブリ。

(請求項 2 6)

前記第 2 の素子は、複数の能動回路素子を含む超小型電子素子である、請求項 2 2 に記載のアセンブリ。

(請求項 2 7)

前記素子のうちの少なくとも 1 つは、前記少なくとも 1 つのボンドパッドと電氣的に接続されたシリコン貫通ビアを備え、該シリコン貫通ビアは、当該素子の前記主面から該主面から離れている当該素子の第 2 の面に向かって延在する、請求項 2 6 に記載のアセンブリ。

10

(請求項 2 8)

シリコン貫通ビアが、前記超小型電子素子及び前記第 2 の素子を通して延在し、かつ前記超小型電子素子のボンドパッド及び前記第 2 の素子のボンドパッドに電氣的に接続される、請求項 2 7 に記載のアセンブリ。

(請求項 2 9)

前記素子の各々の上の前記少なくとも 1 つのボンドパッドは、複数の列状に配置されたボンドパッドのアレイを含む、請求項 2 6 に記載のアセンブリ。

(請求項 3 0)

前記素子の各々の上の前記少なくとも 1 つのボンドパッドは、当該素子の周辺部に隣接して配置された複数のボンドパッドを含み、前記誘電体層は、前記主面の中心領域の上に重なる、請求項 2 6 に記載のアセンブリ。

20

(請求項 3 1)

前記第 2 の金属層の前記少なくとも 1 つのボンドパッドと前記誘電体層との間にギャップが形成されている、請求項 2 6 に記載のアセンブリ。

(請求項 3 2)

前記素子のうちの少なくとも 1 つにおける前記誘電体層は、いかなる寸法公差も吸収するように圧縮可能である、請求項 2 2 に記載のアセンブリ。

(請求項 3 3)

前記超小型電子素子の前記主面の上方の前記少なくとも 1 つのボンドパッドの高さは、前記超小型電子素子の前記主面の上方の前記誘電体層の高さと異なる、請求項 2 2 に記載のアセンブリ。

30

(請求項 3 4)

前記金属層のうちの少なくとも 1 つは、錫、はんだ、インジウム、金、及びそれらの任意の組合せからなる群から選択されたリフロー金属を含む、請求項 2 2 に記載のアセンブリ。

(請求項 3 5)

前記第 1 の金属層及び前記第 2 の金属層の各々は、前記リフロー金属によって濡れ性である金属の層を含み、前記リフロー金属は該濡れ性金属層の上に重なる、請求項 3 4 に記載のアセンブリ。

(請求項 3 6)

前記第 1 の金属層及び前記第 2 の金属層は銅を含む、請求項 2 2 に記載のアセンブリ。

40

(請求項 3 7)

前記第 1 の金属層及び前記第 2 の金属層のうちの少なくとも一方の上に重なる金の層を更に具備する、請求項 3 6 に記載のアセンブリ。

(請求項 3 8)

前記第 1 の金属層及び前記第 2 の金属層は、前記素子のそれぞれの前記主面の上に直接重なっていない、請求項 2 2 に記載のアセンブリ。

(請求項 3 9)

請求項 2 2 に記載のアセンブリと、該アセンブリに電氣的に接続された 1 つ又は複数の他の電子コンポーネントと、を具備するシステム。

50

(請求項 40)

ハウジングを更に具備し、前記アセンブリ及び前記他の電子コンポーネントは前記ハウジングに実装されている、請求項 39 に記載のシステム。

(請求項 41)

主面と、該主面において露出している誘電体層と、を有する超小型電子素子と、
主面と、該主面において露出している誘電体層と、を有する第 2 の素子と、
を具備し、

第 1 のウェハ及び第 2 のウェハの前記主面は、前記誘電体層の間に配置された複数の金属素子と互いに直面し、該金属素子は、前記超小型電子素子から電氣的に絶縁されており、

前記金属素子は前記第 1 のウェハ及び前記第 2 のウェハを互いに接合する、超小型電子アセンブリ。

(請求項 42)

前記第 2 の素子は、熱膨張係数が 10 ppm / 未満である、請求項 41 に記載のアセンブリ。

(請求項 43)

前記超小型電子素子は、複数の能動回路素子を含む、請求項 41 に記載のアセンブリ。

(請求項 44)

前記第 2 の素子は、複数の能動回路素子を含む超小型電子素子であり、前記主面において露出している少なくとも 1 つのボンドパッドを含む、請求項 43 に記載のアセンブリ。

(請求項 45)

前記超小型電子素子はチップであり、前記第 2 の素子は、該チップの面積と実質的に同じ面積を有している、請求項 41 に記載のアセンブリ。

(請求項 46)

各素子において、前記主面に沿って各金属素子と前記誘電体層の隣接部分との間にギャップが形成されており、該ギャップは、前記超小型電子素子の前記主面の上に重なる前記金属素子及び前記誘電体層の上面の共平面性における全変動と、前記第 2 の素子の前記主面の上に重なる前記金属素子及び前記誘電体層の上面の共平面性における全変動との和を補償するのに十分な逃げ容積を提供するのに十分大きい、請求項 41 に記載のアセンブリ。

(請求項 47)

前記素子のうちの少なくとも 1 つにおける前記誘電体層は、いかなる寸法公差も吸収するように圧縮可能である、請求項 41 に記載のアセンブリ。

(請求項 48)

請求項 41 に記載のアセンブリと、該アセンブリに電氣的に接続された 1 つ又は複数の他の電子コンポーネントと、を具備するシステム。

(請求項 49)

ハウジングを更に具備し、前記アセンブリ及び前記他の電子コンポーネントは前記ハウジングに実装されている、請求項 48 に記載のシステム。

10

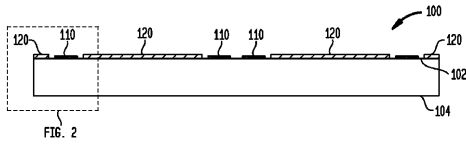
20

30

40

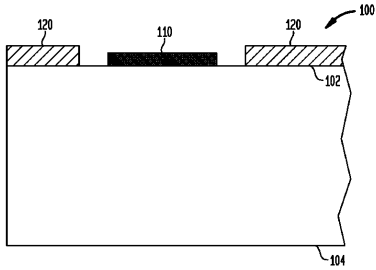
【 図 1 】

FIG. 1



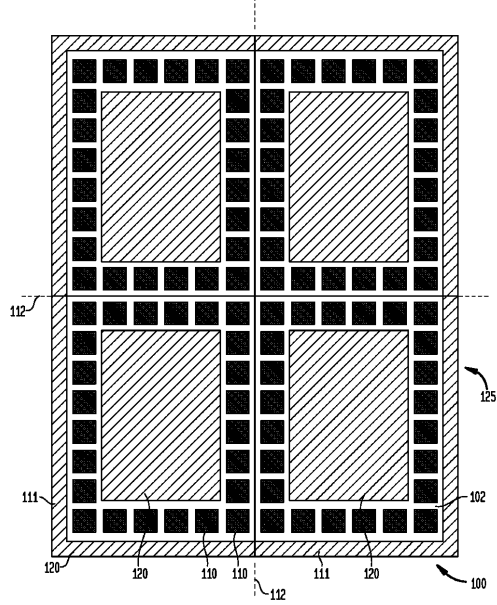
【 図 2 】

FIG. 2



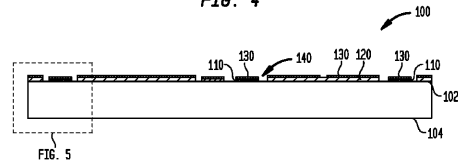
【 図 3 】

FIG. 3



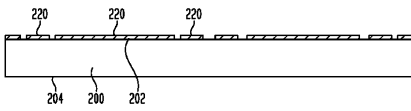
【 図 4 】

FIG. 4



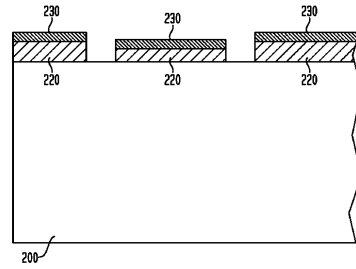
【 図 4 A 】

FIG. 4A



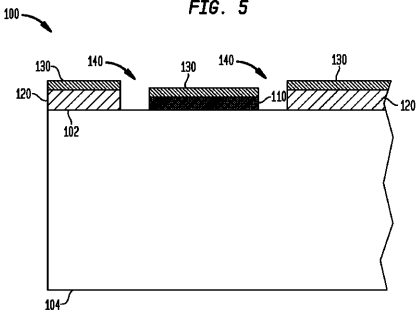
【 図 5 A 】

FIG. 5A



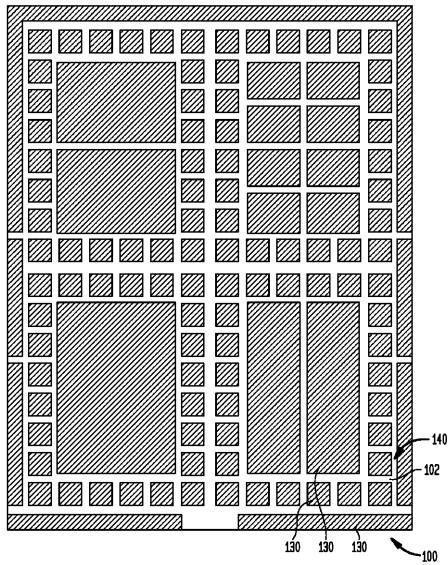
【 図 5 】

FIG. 5



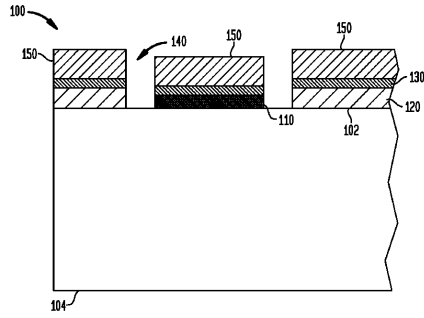
【 図 6 】

FIG. 6



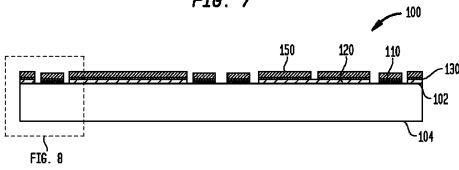
【 図 8 】

FIG. 8



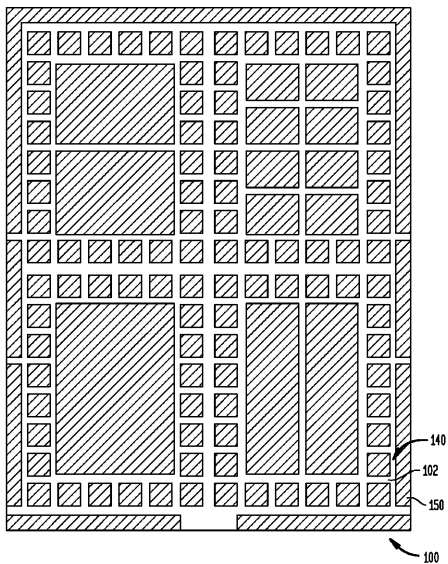
【 図 7 】

FIG. 7



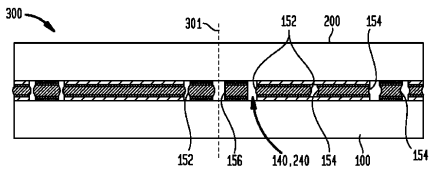
【 図 9 】

FIG. 9



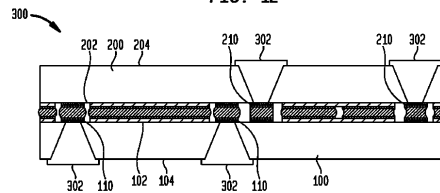
【 図 11 】

FIG. 11



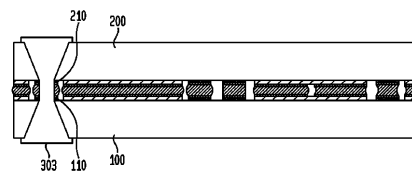
【 図 12 】

FIG. 12



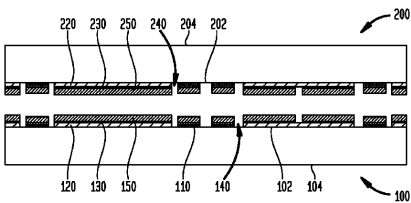
【 図 13 】

FIG. 13



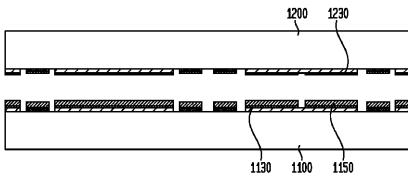
【 図 10 】

FIG. 10



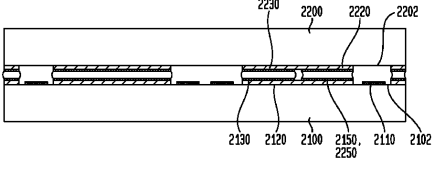
【 14 】

FIG. 14



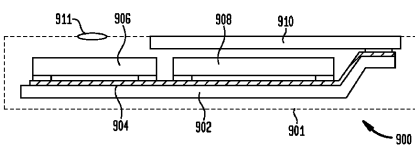
【 15 】

FIG. 15



【 16 】

FIG. 16



フロントページの続き

- (74)代理人 100142996
弁理士 森本 聡二
- (74)代理人 100154298
弁理士 角田 恭子
- (74)代理人 100166268
弁理士 田中 祐
- (74)代理人 100170379
弁理士 徳本 浩一
- (74)代理人 100161001
弁理士 渡辺 篤司
- (74)代理人 100179154
弁理士 児玉 真衣
- (74)代理人 100180231
弁理士 水島 亜希子
- (74)代理人 100184424
弁理士 増屋 徹
- (72)発明者 オガネシアン, ヴァーゲ
アメリカ合衆国カリフォルニア州 9 4 0 8 6 , サニーヴェイル, ペリウィンクル・テラス 8 8 9
- (72)発明者 ハーバ, ベルガセム
アメリカ合衆国カリフォルニア州 9 5 1 3 4 , サン・ノゼ, オーチャード・パークウェイ 3 0 2
5 , テッセラ, インコーポレイテッド内
- (72)発明者 モハメッド, イリヤス
アメリカ合衆国カリフォルニア州 9 5 1 3 4 , サン・ノゼ, オーチャード・パークウェイ 3 0 2
5 , テッセラ, インコーポレイテッド内
- (72)発明者 サヴァリア, ピーユーシュ
アメリカ合衆国カリフォルニア州 9 5 1 3 4 , サン・ノゼ, オーチャード・パークウェイ 3 0 2
5 , テッセラ, インコーポレイテッド内
- (72)発明者 ミッチェル, クレイグ
アメリカ合衆国カリフォルニア州 9 5 1 3 4 , サン・ノゼ, オーチャード・パークウェイ 3 0 2
5 , テッセラ, インコーポレイテッド内

審査官 小山 和俊

- (56)参考文献 特開 2 0 0 0 - 2 4 3 7 8 5 (J P , A)
特開 2 0 1 0 - 2 0 6 1 9 2 (J P , A)
特開 2 0 0 0 - 0 7 7 4 7 1 (J P , A)
特開 2 0 0 7 - 2 0 1 5 1 2 (J P , A)
特開 2 0 0 0 - 2 5 2 4 0 9 (J P , A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 5 / 0 6 5
H 0 1 L 2 5 / 0 7
H 0 1 L 2 5 / 1 8