

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6697372号
(P6697372)

(45) 発行日 令和2年5月20日(2020.5.20)

(24) 登録日 令和2年4月28日(2020.4.28)

(51) Int.Cl. F I
 H O 1 L 21/3065 (2006.01) H O 1 L 21/302 I O 1 G
 H O 5 H 1/46 (2006.01) H O 5 H 1/46 M

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2016-226298 (P2016-226298)	(73) 特許権者	318010018 キオクシア株式会社 東京都港区芝浦三丁目1番21号
(22) 出願日	平成28年11月21日(2016.11.21)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(65) 公開番号	特開2018-85389 (P2018-85389A)	(72) 発明者	成宮 香織 東京都港区芝浦一丁目1番1号 株式会社 東芝内
(43) 公開日	平成30年5月31日(2018.5.31)	(72) 発明者	林 久貴 東京都港区芝浦一丁目1番1号 株式会社 東芝内
審査請求日	平成31年3月14日(2019.3.14)	(72) 発明者	菊谷 圭介 東京都港区芝浦一丁目1番1号 株式会社 東芝内

最終頁に続く

(54) 【発明の名称】 ドライエッチング方法及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電性部材、前記第1導電性部材上に設けられた第1絶縁膜、前記第1絶縁膜上に設けられた第2導電性部材、及び、前記第2導電性部材上に設けられた第2絶縁膜を含む被加工材を、イオン種を用いてバイアス電力を断続的に印加しながら前記第2絶縁膜をエッチングすることにより、前記第2導電性部材を露出させる第1工程と、

前記第1工程の前に、イオン種を用いてバイアス電力を印加しながら前記第2導電性部材を露出させないように前記第2絶縁膜をエッチングする第2工程と、
 を備え、

前記第1工程において、前記バイアス電力を連続して印加する時間を50マイクロ秒以下とし、前記バイアス電力のデューティ比を50%以下とし、

前記第2工程において、前記バイアス電力は継続的に印加するか、前記第1工程よりも高いデューティ比で断続的に印加するドライエッチング方法。

【請求項2】

第1導電性部材、前記第1導電性部材上に設けられた第1絶縁膜、前記第1絶縁膜上に設けられた第2導電性部材、及び、前記第2導電性部材上に設けられた第2絶縁膜を含む被加工材を、イオン種を用いてバイアス電力を断続的に印加しながら前記第2絶縁膜をエッチングすることにより、前記第2導電性部材を露出させる第1工程と、

前記第1工程の前に、イオン種を用いてバイアス電力を印加しながら前記第2導電性部材を露出させないように前記第2絶縁膜をエッチングする第2工程と、

10

20

前記第 2 工程の後、前記第 1 工程の前に、バイアス電力を印加しない第 3 工程と、
を備え、

前記第 1 工程において、前記バイアス電力を連続して印加する時間を 50 マイクロ秒以下とし、前記バイアス電力のデューティ比を 50 % 以下とするドライエッチング方法。

【請求項 3】

前記第 1 工程において、前記バイアス電力を連続して印加しない時間を 50 マイクロ秒以上とする請求項 1 または 2 に記載のドライエッチング方法。

【請求項 4】

前記第 1 工程において、第 1 周波数の第 1 交流電力、前記第 1 周波数よりも低い第 2 周波数の第 2 交流電力、及び、前記第 2 周波数よりも低い第 3 周波数のパルス信号を前記被加工材に印加し、前記バイアス電力は前記第 2 交流電力及び前記パルス信号の重畳波である請求項 1 ~ 3 のいずれか 1 つに記載のドライエッチング方法。

【請求項 5】

第 1 導電性部材、前記第 1 導電性部材上に設けられた第 1 絶縁膜、前記第 1 絶縁膜上に設けられた第 2 導電性部材、及び、前記第 2 導電性部材上に設けられた第 2 絶縁膜を含む被加工材を、イオン種を用いてバイアス電力を断続的に印加しながら前記第 2 絶縁膜をエッチングすることにより、前記第 2 導電性部材を露出させる第 1 工程と、

前記第 1 工程の前に、イオン種を用いてバイアス電力を印加しながら前記第 2 導電性部材を露出させないように前記第 2 絶縁膜をエッチングする第 2 工程と、

を備え、

前記第 1 工程において、前記バイアス電力を連続して印加する時間を 50 マイクロ秒以下とし、前記バイアス電力のデューティ比を 50 % 以下とし、

前記第 2 工程において、前記バイアス電力は継続的に印加するか、前記第 1 工程よりも高いデューティ比で断続的に印加する半導体装置の製造方法。

【請求項 6】

第 1 導電性部材、前記第 1 導電性部材上に設けられた第 1 絶縁膜、前記第 1 絶縁膜上に設けられた第 2 導電性部材、及び、前記第 2 導電性部材上に設けられた第 2 絶縁膜を含む被加工材を、イオン種を用いてバイアス電力を断続的に印加しながら前記第 2 絶縁膜をエッチングすることにより、前記第 2 導電性部材を露出させる第 1 工程と、

前記第 1 工程の前に、イオン種を用いてバイアス電力を印加しながら前記第 2 導電性部材を露出させないように前記第 2 絶縁膜をエッチングする第 2 工程と、

前記第 2 工程の後、前記第 1 工程の前に、バイアス電力を印加しない第 3 工程と、
を備え、

前記第 1 工程において、前記バイアス電力を連続して印加する時間を 50 マイクロ秒以下とし、前記バイアス電力のデューティ比を 50 % 以下とする半導体装置の製造方法。

【請求項 7】

シリコン酸化層及びシリコン窒化層を交互に積層させることにより、前記第 2 絶縁膜を形成する工程をさらに備えた請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 工程において、前記バイアス電力を連続して印加しない時間を 50 マイクロ秒以上とする請求項 5 ~ 7 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 9】

前記第 1 工程において、第 1 周波数の第 1 交流電力、前記第 1 周波数よりも低い第 2 周波数の第 2 交流電力、及び、前記第 2 周波数よりも低い第 3 周波数のパルス信号を前記被加工材に印加し、前記バイアス電力は前記第 2 交流電力及び前記パルス信号の重畳波である請求項 5 ~ 8 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 10】

前記第 2 導電性部材は前記被加工材の表面に露出しておらず、かつ、前記第 1 導電性部材から電氣的に絶縁されている請求項 5 ~ 9 のいずれか 1 つに記載の半導体装置の製造方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、ドライエッチング方法及び半導体装置の製造方法に関する。

【背景技術】

【0002】

従来より、半導体記憶装置においては、回路を微細化することに大容量化を図ってきた。しかしながら、微細化技術は限界を迎えつつあるため、より一層の大容量化を図るために、積層型の半導体記憶装置が提案されている。積層型の半導体記憶装置は、半導体基板上に2種類の膜を交互に積層させて積層体を形成した後、ドライエッチングにより積層体にホールを形成し、ホール内にチャネルとなる半導体部材を形成することにより、製造される。このため、大容量の積層型の半導体記憶装置を製造するためには、アスペクト比が高いホールを安定して形成する技術が必要となる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2014-187231号公報

【特許文献2】特開2000-091325号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

実施形態の目的は、アスペクト比が高い開口部を安定して形成することができるドライエッチング方法及び半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係るドライエッチング方法は、第1導電性部材、前記第1導電性部材上に設けられた第1絶縁膜、前記第1絶縁膜上に設けられた第2導電性部材、及び、前記第2導電性部材上に設けられた第2絶縁膜を含む被加工材を、イオン種を用いてバイアス電力を断続的に印加しながら前記第2絶縁膜をエッチングすることにより、前記第2導電性部材を露出させる第1工程と、前記第1工程の前に、イオン種を用いてバイアス電力を印加しながら前記第2導電性部材を露出させないように前記第2絶縁膜をエッチングする第2工程と、を備える。前記第1工程において、前記バイアス電力を連続して印加する時間を50マイクロ秒以下とし、前記バイアス電力のデューティ比を50%以下とする。前記第2工程において、前記バイアス電力は継続的に印加するか、前記第1工程よりも高いデューティ比で断続的に印加する。

30

【0006】

実施形態に係る半導体装置の製造方法は、第1導電性部材、前記第1導電性部材上に設けられた第1絶縁膜、前記第1絶縁膜上に設けられた第2導電性部材、及び、前記第2導電性部材上に設けられた第2絶縁膜を含む被加工材を、イオン種を用いてバイアス電力を断続的に印加しながら前記第2絶縁膜をエッチングすることにより、前記第2導電性部材を露出させる第1工程と、前記第1工程の前に、イオン種を用いてバイアス電力を印加しながら前記第2導電性部材を露出させないように前記第2絶縁膜をエッチングする第2工程と、を備える。前記第1工程において、前記バイアス電力を連続して印加する時間を50マイクロ秒以下とし、前記バイアス電力のデューティ比を50%以下とする。前記第2工程において、前記バイアス電力は継続的に印加するか、前記第1工程よりも高いデューティ比で断続的に印加する。

40

【図面の簡単な説明】

【0007】

【図1】第1の実施形態において使用するドライエッチング装置を示す図である。

【図2】(a)~(c)は、横軸に時間を取り、縦軸に各電力及び信号の値をとって、第

50

1の実施形態に係るドライエッチング方法を示すタイミングチャートである。

【図3】第1の実施形態に係る半導体装置の製造方法を示す平面図である。

【図4】第1の実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】第1の実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】第1の実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】第1の実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】第1の実施形態に係る半導体装置の製造方法を示す断面図である。

【図9】第1の実施形態に係る半導体装置の柱状部材を示す断面図である。

【図10】第1の実施形態に係る半導体装置の柱状部材を示す断面図である。

【図11】横軸に時間を取り、縦軸に各電力及び信号の値をとって、第2の実施形態に係るドライエッチング方法を示すタイミングチャートである。

10

【図12】第2の実施形態に係る半導体装置の製造方法を示す断面図である。

【図13】横軸に時間を取り、縦軸に各電位をとって、試験例1におけるサンプル各部の電位変化を示すグラフ図である。

【図14】横軸に時間を取り、縦軸に電位差 V_{sb} の絶対値をとって、試験例1におけるオン期間 T_{on} 及びオフ期間 T_{off} の電位差 V_{sb} の変化を示すグラフ図である。

【発明を実施するための形態】

【0008】

(第1の実施形態)

以下、第1の実施形態について説明する。

20

先ず、本実施形態において使用するドライエッチング装置について説明する。

図1は、本実施形態において使用するドライエッチング装置を示す図である。

なお、図1は、実際の装置よりも大幅に簡略化して描かれている。

【0009】

図1に示すように、本実施形態において使用するドライエッチング装置100においては、チャンバー101及び電源部102が設けられている。チャンバー101においては、チャンパー本体110が設けられており、チャンパー本体110には、ガス導入管111及びガス排出管112が取り付けられている。ガス導入管111及びガス排出管112はチャンパー本体110内に連通されている。ガス排出管112には、ポンプ113が接続されている。チャンパー本体110内には、ガス導入管111を介して各種のガスが導入される。また、ポンプ113が駆動することにより、ガス排出管112を介して、チャンパー本体110内からガスが排出される。

30

【0010】

チャンパー本体110内には、電極114及び対向電極115が相互に対向して配置されている。電極114と対向電極115との間には、電源部102から電力が供給される。電極114上には、被加工材であるウェーハ70が載置される。対向電極115はガス導入管111に接続されており、対向電極115に設けられた複数の吹出口(図示せず)を介して、ガスが導入される。

【0011】

電源部102においては、高周波(HF: High Frequency)電源121、整合器122、低周波(LF: Low Frequency)電源123、整合器124、パルス発生器125、スイッチ126が設けられている。高周波電源121の一端は接地されており、他端は整合器122の一端に接続されている。整合器122の他端は電極114に接続されている。低周波電源123の一端は接地されており、他端は整合器124の一端に接続されている。整合器124の他端はスイッチ126の第1の入力端子に接続されている。パルス発生器125はスイッチ126の第2の入力端子に接続されている。スイッチ126の出力端子は、電極114に接続されている。

40

【0012】

高周波電源121は、周波数が例えば40MHz以上、例えば60MHzの交流電力PHを出力する。低周波電源123は、周波数が例えば20MHz以下、例えば2MHzの

50

交流電力 P L を出力する。交流電力 P L には、対向電極 1 1 5 の電位に対して相対的に負の直流成分が含まれる。パルス発生器 1 2 5 は、オンとオフが交互に繰り返されるパルス信号 S P を出力する。パルス発生器 1 2 5 は、パルス信号 S P の周波数及びデューティ比を任意に制御することができる。なお、デューティ比とは、1 周期の時間に対するオン時間の比率である。パルス信号 S P の周波数は例えば 1 M H z 以下、例えば 5 k H z である。スイッチ 1 2 6 には、交流電力 P L 及びパルス信号 S P が入力され、パルス信号 S P の値がオンのときは交流電力 P L を出力し、パルス信号 S P の値がオフのときは何も出力しない。整合器 1 2 2 は、高周波電源 1 2 1 に交流電力 P L が回り込まないようなハイパスフィルタであり、整合器 1 2 4 は、低周波電源 1 2 3 に交流電力 P H が回り込まないようなローパスフィルタである。交流電力 P H、交流電力 P L 及びパルス信号 S P は重畳波 W S となり、電極 1 1 4 に印加される。交流電力 P H 及び交流電力 P L は、R F (Radio Frequency) 電力を構成する。また、交流電力 P L 及びパルス信号 S P は、バイアス電力を構成する。

10

【 0 0 1 3 】

次に、本実施形態に係る半導体装置の製造方法について説明する。

本実施形態に係る半導体装置の製造方法は、例えば、積層型の半導体記憶装置の製造方法であり、本実施形態に係るドライエッチング方法を含んでいる。

図 2 (a) ~ (c) は、横軸に時間を取り、縦軸に各電力及び信号の値をとって、本実施形態に係るドライエッチング方法を示すタイミングチャートであり、(a) は交流電力 P H、交流電力 P L 及びパルス信号 S P の各波形を示し、(b) は第 2 ステップにおける重畳波 W S の波形を示し、(c) は (b) の一部拡大図である。

20

図 3 は、本実施形態に係る半導体装置の製造方法を示す平面図である。

図 4 ~ 図 8 は、本実施形態に係る半導体装置の製造方法を示す断面図である。

図 4 は、図 3 に示す A - A ' 線による断面図である。

図 9 及び図 1 0 は、本実施形態に係る半導体装置の柱状部材を示す断面図である。

図 9 は図 8 の領域 B を示す。

図 1 0 は、図 9 に示す断面に対して直交した断面を示す。

なお、図 4 ~ 図 8 は、半導体装置の中間構造体を模式的に示す図であり、図を見やすくするために、各構成要素は実際よりも少なく、且つ、大きく描かれている。

【 0 0 1 4 】

まず、図 3 に示すように、シリコンウェーハ 1 0 を準備する。シリコンウェーハ 1 0 には格子状のダイシングライン D L が設定されており、ダイシングライン D L によって囲まれた矩形の領域が、ダイシング後にチップ T p となる領域である。チップ T p 毎に、半導体装置が形成される。

30

【 0 0 1 5 】

図 4 に示すように、シリコンウェーハ 1 0 上に、例えばシリコン酸化物 (S i O) からなる絶縁膜 1 1 を形成する。次に、絶縁膜 1 1 上に、例えばポリシリコン (S i) 及び金属材料からなる導電部材 1 2 を形成する。次に、シリコン酸化層 1 3 及びシリコン窒化層 1 4 を交互に形成することにより、積層体 1 5 を形成する。次に、積層体 1 5 の端部を階段状に加工する。次に、例えば、シリコン酸化物を堆積させることにより、層間絶縁膜 1 6 を形成する。次に、積層体 1 5 及び層間絶縁膜 1 6 の上面に対して、C M P (Chemical Mechanical Polishing : 化学的機械的研磨) 等の平坦化处理を施す。

40

【 0 0 1 6 】

次に、シリコンウェーハ 1 0 のダイシングライン D L (図 3 参照) を含む領域に格子状のトレンチを形成し、トレンチ内を例えばシリコン酸化物によって埋め込むことにより、絶縁部材 1 7 を形成する。これにより、導電部材 1 2 はチップ T p 毎に分断される。なお、導電部材 1 2 は、各チップ T p 内において、複数のブロック毎に分断されてもよい。次に、積層体 1 5 上及び層間絶縁膜 1 6 上に、レジストパターン 1 9 を形成する。レジストパターン 1 9 には、ホール状の開口部 1 9 a を形成する。シリコンウェーハ 1 0 からレジストパターン 1 9 までの積層体を、ウェーハ 7 0 という。上述の如く、導電部材 1 2 は絶

50

縁部材 17 によって分断されているため、導電部材 12 における各チップ T p 内に配置された部分は、ウェーハ 70 の外面に露出しておらず、外面から絶縁されている。

【 0017 】

次に、図 1 に示すように、ウェーハ 70 をドライエッチング装置 100 の電極 114 上に載置する。そして、ポンプ 113 を駆動させることにより、ガス排出管 112 を介して、チャンパー本体 110 内の大気を排出すると共に、ガス導入管 111 を介して、チャンパー本体 110 内に、フッ素を含むガス、例えば、 CF_4 、 CH_2F_2 、 C_4F_6 、 C_4F_8 、 SF_6 、又は、 NF_3 等のガスと、酸素ガス (O_2) と、希ガス、例えば、アルゴンガス (Ar) との混合ガスを導入する。フッ素を含むガスとしては、例えば、オクタフルオロシクロブタンガス (C_4F_8) を導入する。

10

【 0018 】

この状態で、ドライエッチング装置 100 の電源部 102 を駆動して、電極 114 に電力を供給する。そして、図 2 (a) ~ (c) に示す第 1 ステップを実行する。具体的には、高周波電源 121 から交流電力 PH を出力し、低周波電源 123 から交流電力 PL を出力する。また、パルス発生器 125 からは常にオンの信号を出力する。換言すれば、任意の周波数でデューティ比が 100% のパルス信号 SP を出力する。これにより、交流電力 PH、交流電力 PL 及びパルス信号 SP が重畳された重畳波 WS が電極 114 に印加される。この結果、エッチングガスが陽イオンと電子に電離して、チャンパー本体 110 内にプラズマ 200 が形成される。そして、プラズマ 200 中の陽イオンが、バイアス電力によってウェーハ 70 に向けて加速され、ウェーハ 70 をエッチングする。表 1 に、第 1 ステップにおける条件例を示す。

20

【 0019 】

【表 1】

圧力		20 mT
交流電力 PH	周波数	60 MHz
	電力	2000 W
交流電力 PL	周波数	2 MHz
	電力	17000 W
パルス信号 SP	周波数	—
	デューティ比	100%
ガス流量	C_4F_8	120 sccm
	O_2	100 sccm
	Ar	60 sccm
処理時間		70 sec

30

【 0020 】

これにより、図 5 に示すように、レジストパターン 19 をマスクとして、積層体 15 がエッチングされる。この結果、積層体 15 にメモリホール MH が形成される。このとき、シリコンウェーハ 10 は、電極 114 により負に帯電し、シリコンウェーハ 10 の電位 V_s は負となる。また、ウェーハ 70 の表面の電位は、シリコンウェーハ 10 の電位 V_s と等しくなる。なお、図 5 ~ 図 7 においては、陽イオンを「+」を円で囲んだ記号で表し、電子を「-」を円で囲んだ記号で表している。

40

【 0021 】

一方、バイアス電力により、メモリホール MH 内には、プラズマ 200 中の陽イオンが略垂直に引き込まれる。このとき、プラズマ 200 中の電子も無秩序な運動によりメモリホール MH 内に進入するが、電子の進入量は陽イオンの進入量よりも少ない。このため、エッチングの進行に伴い、メモリホール MH の底面は正に帯電し、メモリホール MH の底面の電位 V_b は、電位 V_s に対して正となる。この結果、シリコンウェーハ 10 の電位 V

50

sとメモリホールMHの底面の電位 V_b との電位差 V_{sb} の絶対値 $|V_{sb}|$ は、放電時間に依存して増加する。

【0022】

そこで、本実施形態においては、積層体15におけるメモリホールMHの直下域に配置されたシリコン酸化層13及びシリコン窒化層14を残して第1ステップを終了する。そのため、電位差 V_{sb} によって絶縁膜11の絶縁破壊が生じない。すなわち、第1ステップにおいては、メモリホールMHは積層体15を貫通せず、導電部材12には到達しない。但し、第1ステップによって、メモリホールMHの大部分、例えば、積層体15の厚さの半分以上を占める部分を形成する。このため、第1ステップの条件はエッチングレート及び加工形状を重視して決定する。

10

【0023】

次に、図2(a)~(c)に示す第2ステップを実行する。第2ステップにおいては、第1ステップとは異なり、パルス信号SPの周波数を例えば5kHzとし、デューティ比を例えば25%とする。これにより、パルス信号SPの値がオンであるオン期間 T_{on} の長さは50 μ sec(マイクロ秒)となり、パルス信号SPの値がオフであるオフ期間 T_{off} の長さは150 μ secとなる。そして、交流電力PH、交流電力PL及びパルス信号SPが重畳された重畳波WSが電極114に印加される。なお、図2においては、図示の便宜上、交流電力PLの周期とパルス信号SPの周期がほぼ同じに描かれているが、実際には、交流電力PLの周波数は例えば2MHzであり、パルス信号SPの周期は例えば5kHzであるため、パルス信号SPの周期は交流電力PLの周期の例えば400倍である。後述する図11についても同様である。表2に、第2ステップにおける条件例を示す。

20

【0024】

【表2】

圧力		20mT
交流電力PH	周波数	60MHz
	電力	2000W
交流電力PL	周波数	2MHz
	電力	17000W
パルス信号SP	周波数	5kHz
	デューティ比	25%
ガス流量	C_4F_8	120sccm
	O_2	100sccm
	Ar	60sccm
処理時間		90sec

30

【0025】

オン期間 T_{on} には、バイアス電力が印加されるため、陽イオンがメモリホールMH内に引き込まれてエッチングが進行すると共に、メモリホールMHの底面に正電荷が蓄積する。一方、オフ期間 T_{off} には、バイアス電力がゼロとなるため、陽イオンがメモリホールMH内に引き込まれなくなる。このため、エッチングはほとんど進行しなくなるが、図6に示すように、メモリホールMH内に蓄積された正電荷がメモリホールMHの外部の負電荷と結合して対消滅し、メモリホールMHの底面における正電荷が減少する。従って、オン期間 T_{on} とオフ期間 T_{off} とを繰り返すことにより、メモリホールMHの底面における正電荷の蓄積を抑制し、電位差 V_{sb} の絶対値の増大を抑制しつつ、エッチングを進行させることができる。

40

【0026】

この結果、図7に示すように、積層体15におけるメモリホールMHの直下域に配置さ

50

れた部分において絶縁破壊を生じさせることなく、メモリホールMHを導電部材12まで到達させることができる。このとき、メモリホールMHの底面に蓄積された正電荷が導電部材12に流入し、導電部材12が正に帯電する。一方、シリコンウェーハ10は負に帯電している。従って、絶縁膜11には電圧が印加されるが、上述の第2ステップにおいて、メモリホールMHの底面の正電荷が低減されているため、絶縁膜11に印加される電圧も軽減され、絶縁膜11が絶縁破壊することも抑制できる。積層体15及び絶縁膜11の絶縁破壊をより確実に防止するためには、オン期間Tonを50 μ sec以下とし、オフ期間Toffを50 μ sec以上とし、パルス信号SPのデューティ比を50%以下とすることが好ましい。メモリホールMHが導電部材12に確実に到達した時点で、第2ステップを停止し、エッチングを終了する。メモリホールMHの直径は例えば150nm(ナノメートル)以下であり、アスペクト比は5より大きい。

10

【0027】

第2ステップにおいては、パルス信号SPのデューティ比が低すぎると、オン期間Tonが短くなるため、エッチング速度が低下して加工が進まないか、又は、メモリホールMHの側面が垂直面から傾斜して加工形状が劣化する。一方、デューティ比が高すぎると、オフ期間Toffが短くなるため、電位差Vsbが大きくなり、絶縁破壊が生じる可能性が増加する。このため、パルス信号SPのデューティ比は、エッチング特性の確保と電位差Vsbの緩和が両立する範囲内で設定する。

【0028】

次に、図8に示すように、ドライエッチング装置100からウェーハ70を取り出す。そして、メモリホールMH内に柱状部材20を形成する。以下、この工程及び柱状部材20の構造について、詳細に説明する。

20

【0029】

図9及び図10に示すように、メモリホールMHの底面において、導電部材12を起点としてシリコンをエピタキシャル成長させて、エピタキシャルシリコン部材(図示せず)を形成する。次に、メモリホールMHの内面上にシリコン酸化層33を形成する。次に、シリコン窒化物(SiN)を堆積させて電荷蓄積膜32を形成する。次に、シリコン酸化層、シリコン窒化物及びシリコン酸化層をこの順に堆積させて、シリコン酸化層31c、シリコン窒化層31b及びシリコン酸化層31aを形成することにより、トンネル絶縁膜31を形成する。

30

【0030】

次に、シリコンを堆積させてカバーシリコン層(図示せず)を形成し、RIEを施して、カバーシリコン層、トンネル絶縁膜31、電荷蓄積膜32及びシリコン酸化層33を除去して、エピタキシャルシリコン部材を露出させる。次に、シリコンを堆積させて、ボディシリコン層を形成する。ボディシリコン層はエピタキシャルシリコン部材及びトンネル絶縁膜31に接する。カバーシリコン層及びボディシリコン層により、シリコンピラー30が形成される。次に、シリコン酸化層を堆積させることにより、コア部材29を形成する。コア部材29により、メモリホールMHが埋め込まれる。このようにして、柱状部材20が形成される。

【0031】

次に、図8に示すように、積層体15にスリット(図示せず)を形成する。スリットは積層体15を貫通する。次に、例えば熱リン酸を用いたウェットエッチングを施すことにより、スリットを介してシリコン窒化層14(図7参照)を除去する。これにより、シリコン酸化層13間にスペースが形成される。

40

【0032】

次に、図9及び図10に示すように、スリットを介してアルミニウム酸化層を堆積させて、スペースの内面上にアルミニウム酸化層34を形成する。シリコン酸化層33及びアルミニウム酸化層34により、ブロック絶縁膜35が構成される。トンネル絶縁膜31、電荷蓄積膜32及びブロック絶縁膜35により、メモリ膜36が形成される。

【0033】

50

次に、スリットを介してチタン窒化物及びチタンを堆積させることにより、アルミニウム酸化層34上にバリアメタル層39を形成する。次に、スリットを介してスペース内にタングステンを堆積させて、本体部38を形成する。次に、エッチングを施すことにより、スリット内からタングステン、チタン、チタン窒化物及びアルミニウム窒化物を除去し、スペース内のみ残留させる。これにより、スペース内に、本体部38及びバリアメタル層39を含む電極膜40が形成される。このようにして、シリコン窒化層14が電極膜40に置換される。次に、図3に示すように、ダイシングラインDLに沿ってウェーハ70を切断し、複数のチップTpに分断する。このようにして、本実施形態に係る半導体装置1が製造される。

【0034】

次に、本実施形態の効果について説明する。

本実施形態においては、メモリホールMHを形成するためのドライエッチングを、第1ステップと第2ステップに分けて実行している。具体的には、エッチングの開始時からメモリホールMHが積層体15を貫通する直前まで第1ステップを実行し、その後、エッチングの終了まで第2ステップを実行する。

【0035】

そして、第1ステップの条件は、エッチングレート及び加工形状を重視して決定されている。具体的には、パルス信号SPの値は常にオンとし、交流電力PLを連続的に印加する。これにより、積層体15のエッチングを精度良く効率的に実施することができる。また、第2ステップの条件は、電位差 V_{sb} の緩和を考慮して決定されているため、積層体15及び絶縁膜11の絶縁破壊を抑制しつつ、エッチングを終端させることができる。この結果、アスペクト比が高いメモリホールMHを安定して形成することができる。

【0036】

これに対して、仮に、第1ステップのみでメモリホールMHを形成すると、メモリホールMHの底面に正電荷が蓄積されていき、電位差 V_{sb} の絶対値は、放電時間に応じて増加する。この結果、メモリホールMHが導電部材12に到達する直前において、絶縁膜11にアーキングが発生し、絶縁破壊される可能性がある。

【0037】

仮に、第1ステップのみでメモリホールMHを形成すると、メモリホールMHの底面に正電荷が蓄積されていき、電位差 V_{sb} の絶対値は、放電時間に応じて増加する。この結果、メモリホールMHが導電部材12に到達したときに、メモリホールMHの底面に蓄積された正電荷が導電部材12に注入され、シリコンウェーハ10と導電部材12との間に電圧が発生し、絶縁膜11に電界が印加される。これにより、絶縁膜11にアーキングが発生し、絶縁破壊される可能性がある。

【0038】

メモリホールMHの底面又は導電部材12に大量の正電荷が蓄積された状態でアーキングが発生すると、絶縁破壊された部分に大電流が流れ、大きなジュール熱が発生する。これにより、電流経路の温度がシリコン窒化物の融点(約1600)を超えると、電流経路の周辺の構造体が溶解する。この結果、単なる絶縁破壊よりも大きな部分が破壊されてしまう。

【0039】

なお、本実施形態における第1ステップ及び第2ステップの条件は、上述の表1及び表2に記載した例には限定されない。例えば、第1ステップにおいて、パルス信号SPのデューティ比を100%未満とし、交流電力PLが印加されない期間を設けてもよい。但し、この場合、第1ステップにおけるパルス信号SPのデューティ比は第2ステップにおけるパルス信号SPのデューティ比よりも高くし、例えば、50%以上とする。

【0040】

(第2の実施形態)

次に、第2の実施形態について説明する。

図11は、横軸に時間を取り、縦軸に各電力及び信号の値をとって、本実施形態に係る

10

20

30

40

50

ドライエッチング方法を示すタイミングチャートである。

【 0 0 4 1 】

図 1 1 に示すように、本実施形態に係る半導体装置の製造方法においては、前述の第 1 の実施形態と比較して、第 1 ステップと第 2 ステップとの間に、第 3 ステップが設けられている点が異なっている。すなわち、本実施形態に係るドライエッチングは、第 1 ステップ、第 3 ステップ、第 2 ステップの順に実行する。本実施形態における第 1 ステップ及び第 2 ステップの内容は、それぞれ、第 1 の実施形態の第 1 ステップ及び第 2 ステップの内容と同じである。表 3 に、第 3 ステップにおける条件例を示す。

【 0 0 4 2 】

【表 3】

圧力		2 0 m T
交流電力 P H	周波数	6 0 M H z
	電力	2 5 0 0 W
交流電力 P L	周波数	2 M H z
	電力	0 W
パルス信号 S P	周波数	—
	デューティ比	—
ガス流量	C ₄ F ₈	0 s c c m
	O ₂	0 s c c m
	A r	2 0 0 s c c m
処理時間		1 0 s e c

【 0 0 4 3 】

図 1 1 及び表 3 に示すように、第 1 ステップが終了した後、C₄F₈ ガス及び O₂ ガスの供給を停止し、アルゴンガス (A r) の流量を 6 0 s c c m から 2 0 0 s c c m に増加させる。また、低周波電源 1 2 3 が交流電力 P L (2 M H z) の出力を停止し、高周波電源 1 2 1 が交流電力 P H (6 0 M H z) の出力を 2 0 0 0 W から 2 5 0 0 W に増加させる。これにより、第 3 ステップが開始される。

【 0 0 4 4 】

第 3 ステップにおいては、交流電力 P L を停止するため、パルス信号 S P の値によらず、電極 1 1 4 に交流電力 P L は供給されなくなる。従って、パルス信号 S P の周波数及びデューティ比は任意である。なお、低周波電源 1 2 3 が交流電力 P L を出力したまま、パルス発生器 1 2 5 がパルス信号 S P の値を常にオフ、すなわち、任意の周波数でデューティ比を 0 % としてもよい。一方、交流電力 P H を供給し続けることにより、プラズマ 2 0 0 は維持される。しかし、交流電力 P L を停止することにより、バイアス電力は印加されなくなり、陽イオンがメモリホール M H 内に引き込まれなくなる。

【 0 0 4 5 】

これにより、図 1 2 に示すように、第 1 ステップにおいてメモリホール M H の底面に蓄積された正電荷が、メモリホール M H 外の負電荷と結合して対消滅する。この結果、電位差 V_{s b} の絶対値が減少する。このとき、C₄F₈ ガス及び O₂ ガスの供給を停止することにより、チャンパー本体 1 1 0 内がアルゴンガスに置換される。この結果、C₄F₈ ガス及び O₂ ガスのラジカル種による等方性エッチングを抑制できる。このようにして、第 1 ステップにおいてメモリホール M H の底面に蓄積された正電荷の少なくとも一部を、第 3 ステップにおいて消滅させる。

【 0 0 4 6 】

この状態で、第 2 ステップに移行する。すなわち、図 1 1 及び表 2 に示すように、C₄F₈ ガス及び O₂ ガスの供給を再開すると共に、アルゴンガスの流量を 2 0 0 s c c m から 6 0 s c c m に減少させる。これにより、プラズマ 2 0 0 中において反応性の陽イオン

10

20

30

40

50

が増加する。また、交流電力 P_L (2 MHz) の出力を再開し、交流電力 P_H (60 MHz) の出力を2500 Wから2000 Wに減少させる。そして、周波数が5 kHz、デューティ比が25%のパルス信号 SP を出力する。これにより、第2ステップが進行し、メモリホール MH の残部が形成される。

【0047】

次に、本実施形態の効果について説明する。

本実施形態においては、第1ステップの後に第3ステップを実行することにより、第1ステップにおいてメモリホール MH の底面に蓄積された正電荷を消失させ、電位差 V_{sb} の絶対値を低減する。その後、第2ステップを実行する。これにより、第2ステップにおけるアーキングの発生をより効果的に抑制することができる。また、交流電力 P_H を増加させることにより、電位差 V_{sb} の緩和をより一層促進することができる。

10

本実施形態における上記以外の方法は、前述の第1の実施形態と同様である。

【0048】

なお、前述の各実施形態においては、積層型の半導体記憶装置1の製造プロセスにおいて、メモリホールを形成する際に、上述のドライエッチング方法を適用する例を示したが、これには限定されない。例えば、半導体記憶装置1の製造プロセスにおいて、層間絶縁膜16に電極膜40に接続するためのコンタクトホールを形成する際に、上述のドライエッチング方法を適用してもよい。また、積層体15にスリットを形成する際に、各実施形態に係るドライエッチング方法を適用してもよい。または、積層型の半導体記憶装置以外の半導体装置の製造プロセスにおいて、ホール又はスリットを形成する際に、各実施形態に係るドライエッチング方法を適用してもよい。

20

【0049】

より一般的には、第1導電性部材、第1絶縁膜、第2導電性部材及び第2絶縁膜がこの順に積層された構造体であって、第2導電性部材が構造体の表面に露出していない構造体において、第2絶縁膜から第2導電性部材にかけて、イオン種を用いて、ホール又はスリット等の開口部を形成する場合に、前述の各実施形態を適用すれば、第2絶縁膜及び第1絶縁膜におけるアーキングを抑制することができる。また、エッチングの対象となる構造体には、第2導電性部材の電荷を逃がす避雷針のような構造を設ける場合もあるが、このような構造体についても、前述の各実施形態を適用することができる。但し、前述の各実施形態は、このような構造が設けられていない構造体をエッチングする場合に、特に有効である。

30

【0050】

仮に、第2ステップを実行せず、第1ステップのみでホール又はスリットを形成しようとすると、ホールの直径又はスリットの幅が150 nm以下であり、アスペクト比が5よりも大きい場合に、アーキングの発生が顕著となる。このため、このような加工において、前述の各実施形態の効果が特に大きい。

【0051】

また、前述の各実施形態においては、スイッチ126を用いて、第2ステップのオン期間 T_{on} では交流電力 P_L を出力し、オフ期間 T_{off} では交流電力 P_L を出力しない例を示したが、これには限定されない。例えば、スイッチ126の代わりにフィルタ等の出力変調器を設け、オフ期間 T_{off} には微弱な交流電力 P_L を出力してもよい。オフ期間 T_{off} における交流電力 P_L の出力が、オン期間 T_{on} における交流電力 P_L の出力に対して十分に小さければ、交流電力 P_L を遮断した場合と実質的に同等な効果を得ることができる。

40

【0052】

(試験例1)

次に、試験例について説明する。

図13は、横軸に時間を取り、縦軸に各電位をとって、本試験例におけるサンプル各部の電位変化を示すグラフ図である。

図14は、横軸に時間を取り、縦軸に電位差 V_{sb} の絶対値をとって、本試験例にお

50

けるオン期間 T_{on} 及びオフ期間 T_{off} の電位差 V_{sb} の変化を示すグラフ図である。

【0053】

本試験例においては、前述の第1の実施形態のウェーハ70と同様なサンプルを作製し、第2ステップと同様なエッチングを行い、シリコンウェーハ10の表面の電位 V_s 、及び、メモリホールMHの底面の電位 V_b を測定した。

【0054】

その結果、図13に示すように、初期状態における電位 V_s 及び電位 V_b は共に0Vであり、従って、電位差 V_{sb} も0Vであった。その後、バイアス電力がオンとなるオン期間 T_{on} が進行すると、電位 V_s 及び電位 V_b が共に負となり、その絶対値が増加した。このとき、電位 V_s の絶対値の増加率は電位 V_b の絶対値の増加率よりも大きくなり、従って、電位差 V_{sb} の絶対値も増加した。次に、バイアス電力がオフとなるオフ期間 T_{off} になると、電位 V_s 及び電位 V_b の値は負のまま、その絶対値が減少した。このとき、電位 V_s の絶対値の減少率は電位 V_b の絶対値の減少率よりも大きく、電位 V_s と電位 V_b はほぼ等しくなった。従って、電位差 V_{sb} の絶対値は減少し、0に収束した。なお、図13に実線で示すように、オン期間 T_{on} を続行すると、電位 V_s は一定値に収束し、電位 V_b の絶対値の減少に伴って、電位差 V_{sb} の絶対値は増加した。

【0055】

また、オン期間 T_{on} を $50 \mu\text{sec}$ よりも長くすると、アーキングが発生した。第2ステップにおいて、バイアス電力を印加し続けると、1枚のウェーハ70に数百ないし数千ヶ所のアーキングが発生した。このため、オン期間 T_{on} は $50 \mu\text{sec}$ 以下とすることが好ましい。

【0056】

図14に示すように、オン期間 T_{on} を $50 \mu\text{sec}$ とし、その後、オフ期間 T_{off} を進行させると、オフ期間 T_{off} が $50 \mu\text{sec}$ 経過した時点で、 V_{sb} がほぼ0となった。このため、オフ期間 T_{off} は $50 \mu\text{sec}$ 以上とすることが好ましい。

【0057】

(試験例2)

次に、試験例2について説明する。

本試験例においては、プラズマシミュレーションを行い、バイアス電力がオンの場合と、バイアス電力がオフの場合において、メモリホールMHの底面及びメモリホールMHの開口部付近について、陽イオンのフラックス及び電子のフラックスを算出した。その結果、バイアス電力がオンのとき、メモリホールMHの底面においては、陽イオンのフラックスが電子のフラックスより多く、開口部付近においては、底面と比較して、陽イオンのフラックスと電子のフラックスとの差が小さかった。このため、メモリホールMHの底面における陽イオンの蓄積に起因して、底面と開口部付近との間で電位差が発生することが、また、メモリホールMHの開口部付近とシリコンウェーハ10とは、ウェーハ70の外表面を介して導通されているため、電位差 V_{sb} が生じることが確認された。

【0058】

以上説明した実施形態によれば、アスペクト比が高い開口部を安定して形成することができるドライエッチング方法及び半導体装置の製造方法を実現することができる。

【0059】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。

【符号の説明】

【0060】

10

20

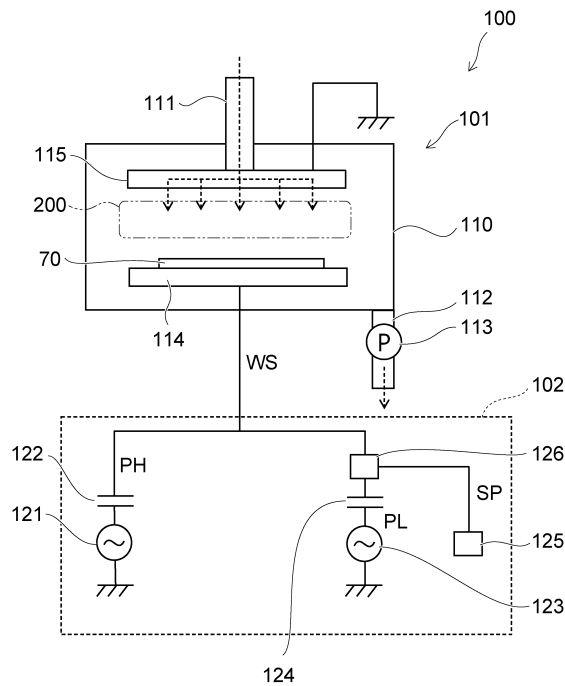
30

40

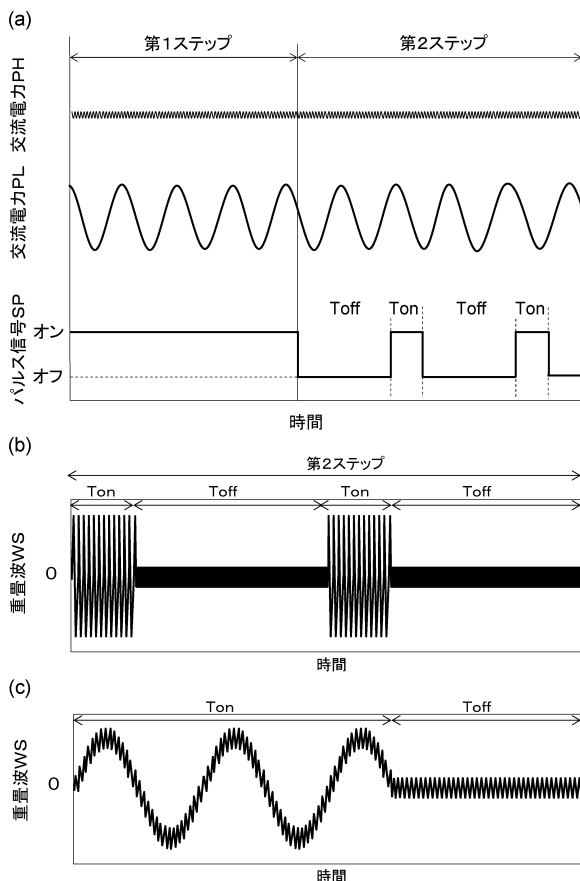
50

1 : 半導体装置、10 : シリコンウェーハ、11 : 絶縁膜、12 : 導電部材、13 : シリコン酸化層、14 : シリコン窒化層、15 : 積層体、16 : 層間絶縁膜、17 : 絶縁部材、19 : レジストパターン、19a : 開口部、20 : 柱状部材、29 : コア部材、30 : シリコンピラー、31 : トンネル絶縁膜、31a : シリコン酸化層、31b : シリコン窒化層、31c : シリコン酸化層、32 : 電荷蓄積膜、33 : シリコン酸化層、34 : アルミニウム酸化層、35 : ブロック絶縁膜、36 : メモリ膜、38 : 本体部、39 : バリアメタル層、40 : 電極膜、70 : ウェーハ、100 : ドライエッチング装置、101 : チャンバー、102 : 電源部、110 : チャンバー本体、111 : ガス導入管、112 : ガス排出管、113 : ポンプ、114 : 電極、115 : 対向電極、121 : 高周波電源、122 : 整合器、123 : 低周波電源、124 : 整合器、125 : パルス発生器、126 : スイッチ、DL : ダイシングライン、MH : メモリホール、PH : 交流電力、PL : 交流電力、SP : パルス信号、Toff : オフ期間、Ton : オン期間、Tp : チップ、Vb : メモリホール底面の電位、Vs : シリコンウェーハの電位、WS : 重畳波、Vs b : 電位差

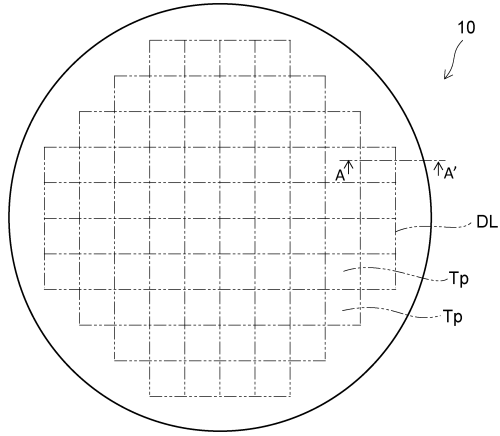
【図1】



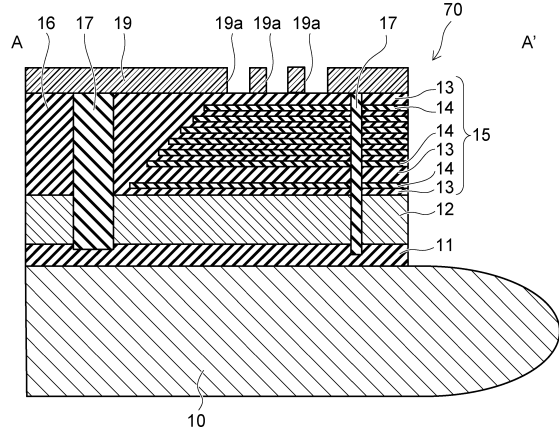
【図2】



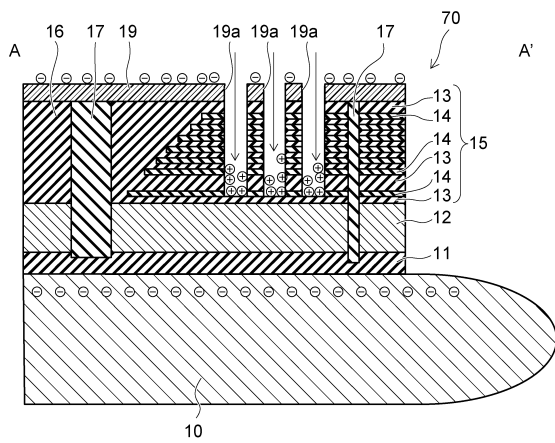
【図3】



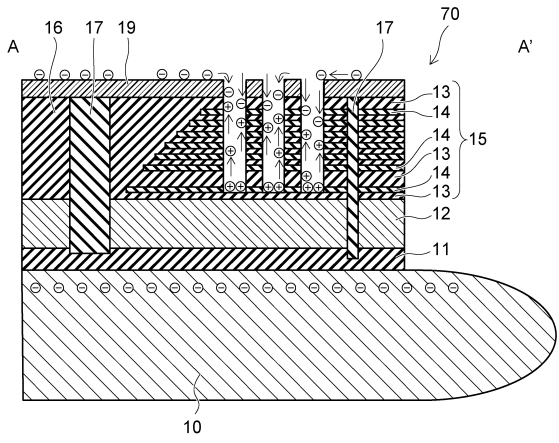
【図4】



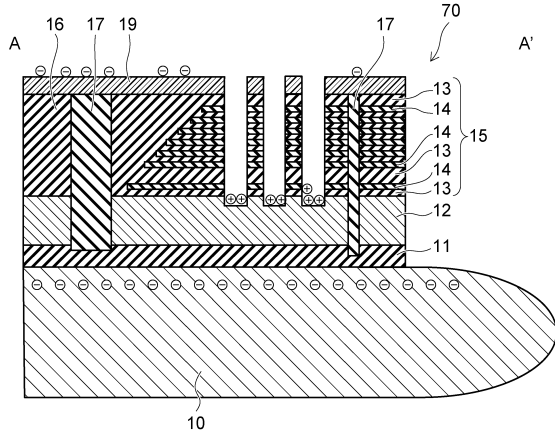
【図5】



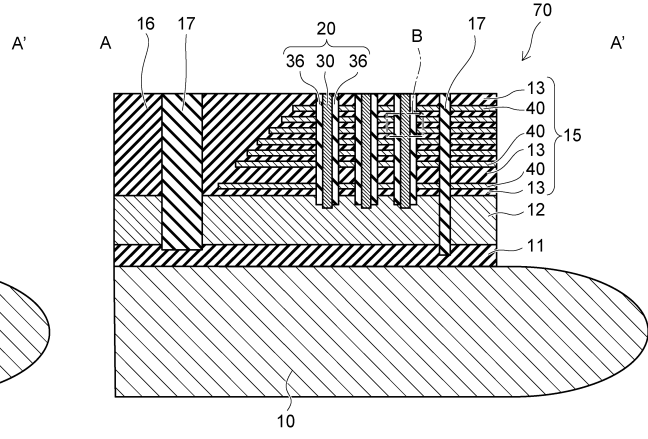
【図6】



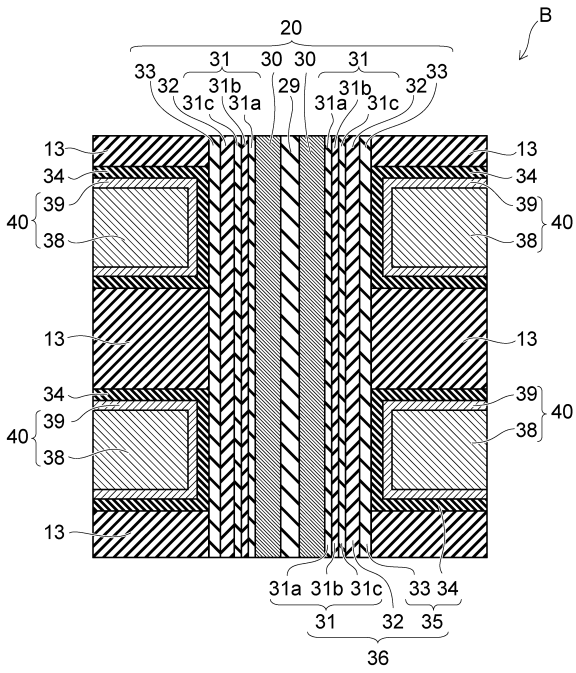
【図 7】



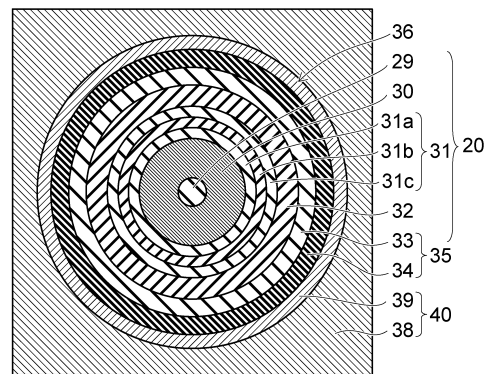
【図 8】



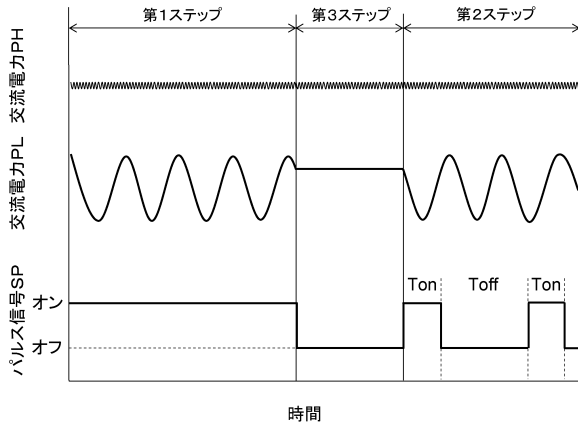
【図 9】



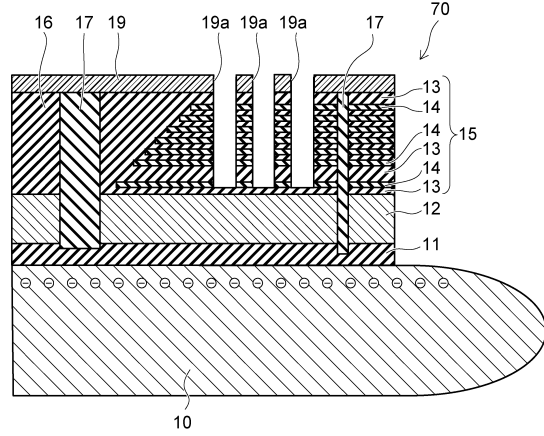
【図 10】



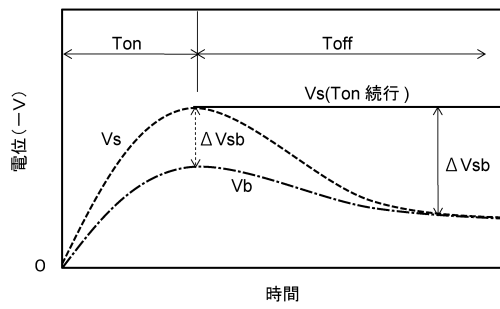
【図11】



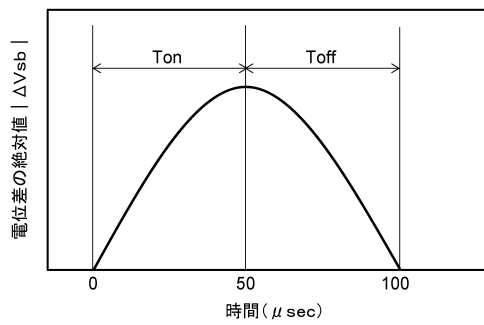
【図12】



【図13】



【図14】



フロントページの続き

- (72)発明者 宇井 明生
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 佐藤 陽介
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 鈴木 智之

- (56)参考文献 特開2016-119338(JP,A)
特開平04-097523(JP,A)
特開平08-130205(JP,A)
特開2000-091325(JP,A)
特開2014-017406(JP,A)
特開2014-216331(JP,A)
特表2012-523134(JP,A)
国際公開第2013/118660(WO,A1)
韓国公開特許第10-2013-0027935(KR,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|---------|
| H01L | 21/3065 |
| H05H | 1/46 |