(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/108

(11) 공개번호 특1997-0077676
(43) 공개일자 1997년12월12일

(21) 출원번호 특1997-0022168
(22) 출원일자 1997년05월30일
(30) 우선권주장 60/018,767 1996년05월31일 미국(US)
(71) 출원인 텍사스 인스트루먼츠 인코포레이티드 윌리엄 비. 켐플러
미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500
(72) 발명자 멕키 제프
미합중국 76051 텍사스주 그래이프바인 라구나 비스타 웨이 1517
맥어낼리 피터 에스.
미합중국 75070 텍사스주 메키니 스톤포인트 2723
그랜쇼 대리어스 엘.
미합중국 75075 텍사스주 플라노 웨스트 파크 블러바드 3300
테일러 켈리 제이.
미합중국 75075 텍사스주 플라노 에지필드 11137
앤더슨 더크 엔.
미합중국 75075 텍사스주 플라노 메이플 리프 2117
(74) 대리인 장수길, 주성민

심사청구 : 없음

(54) 고밀도 메모리 응용을 위한 주름형 크라운 캐패시터 구조물

요약

고밀도 적용용 캐패시터 및 캐패시터를 형성하는 방법이 기술된다. 폴리실리콘 베이스층(116)이 피착되어 있다. 그 다음, 에치 선택도가 다른 제1물질(130) 및 제2물질(132)의 교호층이 피착되어 있다. 교호층(130, 132)는 패턴화되어 이방성 에치된다. 그 다음, 선택 에치는 제1물질층(130)이 제2물질층(132)을 언더컷하기 위해 제1물질층(130)을 방사상으로 에치하는데 사용된다. 그 다음, 폴리실리콘의 등각층(136)은 언더컷 영역(138)에 포함하는 구조물 위에 피착된다. 그 다음, 교호층은 제거되어 캐패시터의 저장 노드로서 작용하도록 증가된 표면 영역을 갖는 폴리실리콘의 등각층(136)을 남긴다.

대표도

도3

명세서

[발명의 명칭]

고밀도 메모리 응용을 위한 주름형 크라운 캐패시터 구조물

[도면의 간단한 설명]

제3도는 본 발명의 제1실시예에 따른 캐패시터의 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

캐패시터를 형성하는 방법에 있어서, 제1에치 선택도를 갖는 제1막을 피착하는 단계; 상기 제1막 위에 제2에이 선택도를 갖는 제2막을 피착하는 단계; 다수의 제2막층과 교대로 배치된 다수의 제1막층을 형성하기 위해 상기 제1막을 피착하는 상기 단계와 상기 제2막을 피착하는 상기 단계를 적어도 한번 반복하는 단계; 상기 다수의 제1 및 제2막층을 패터닝하고 에칭하는 단계; 다수의 제1막층이 상기 다수의 제2막층으로부터 언더컷되는 다수의 언더컷 영역을 형성하기 위해 상기 제1에치 선택도가 상기 제2에치 선

택도보다 작은, 상기 다수의 제1 및 제2막층을 선택적으로 에칭하는 단계; 상기 언더컷 영역에 포함하는 상기 다수의 제1 및 제2막층 위에 도전성 물질의 등각층(conformal layer)을 피착하는 단계; 상기 도전성 물질의 등각층을 에치백하는 단계; 상기 도전성 물질의 등각층을 제거하지 않고 상기 다수의 제1 및 제2막층을 선택적으로 제거하는 단계; 상기 도전성 물질의 등각층 위에 캐패시터 유전체를 형성하는 단계; 및 상기 캐패시터 유전체 위에 상부 노드를 형성하는 단계를 포함하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 2

제1항에 있어서, 상기 제2막은 TEOS(tetraethoxysilane-derived silicon oxides)를 포함하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 3

제1항에 있어서, 상기 제1막은 포스포실리게이트 글라스(PSG : phospho silicate glass)를 포함하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 4

제1항에 있어서, 상기 제1막은 SACVD 산화물을 포함하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 5

제1항에 있어서, 상기 도전성 물질의 등각층은 상기 제1막의 1/2 두께보다 더 두꺼운 두께로 피착된 것을 특징으로 하는 캐패시터 형성 방법.

청구항 6

제1항에 있어서, 상기 도전성 물질의 등각층은 상기 제1막의 1/2 두께보다 얇은 두께로 피착된 것을 특징으로 하는 캐패시터 형성 방법.

청구항 7

제1항에 있어서, 접촉부 영역을 형성하는 단계; 및 상기 제1막을 피착하는 단계 전에 상기 접촉부 영역 내 및 주위에 도전성 물질의 베이스층을 피착하는 단계를 더 포함하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 8

제7항에 있어서, 상기 패터닝 및 에칭단계는 상기 접촉부 영역 위를 덮는 영역을 마스크하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 9

제7항에 있어서, 상기 패터닝 및 에칭단계는 상기 접촉부 영역 위를 덮는 영역을 노출하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 10

제1항에 있어서, 상기 도전성 물질의 등각층을 피착하는 상기 단계 후에 상기 도전성 물질의 등각층위에 러기드(rugged) 폴리실리콘층을 피착하는 단계를 더 포함하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 11

제1항에 있어서, 상기 도전성 물질은 폴리실리콘인 것을 특징으로 하는 캐패시터 형성 방법.

청구항 12

고밀도 적용용 캐패시터를 형성하는 방법에 있어서, 접촉부 영역을 형성하는 단계; 상기 접촉부 영역 내 및 주위에 폴리실리콘의 제1층을 피착하는 단계; 상기 제1폴리실리콘층 위에 적어도 5 : 1인 에치 선택도가 다른 다수의 제1 및 제2물질 교호층을 피착하는 단계; 제1영역을 노출시키기 위해 상기 다수의 교호층을 패터닝하는 단계; 상기 폴리실리콘의 제1층을 노출시키기 위해 상기 제1영역 내의 상기 다수의 교호층을 이방성 에칭하는 단계; 상기 제1물질을 포함하는 상기 다수의 교호층 중 하나를 상기 제2물질을 포함하는 상기 다수의 교호층 중 하나로부터 언더컷하기 위해 상기 다수의 교호층을 선택적으로 및 방사상으로 에칭하는 단계; 상기 다수의 교호층 위에 폴리실리콘의 제2층을 피착하는 단계; 상기 다수의 교호층의 상부면을 노출시키기 위해 상기 폴리실리콘의 제2층을 에치백하는 단계; 상기 폴리실리콘의 제2층을 제거하지 않고 상기 다수의 교호층을 선택적으로 제거하는 단계; 상기 폴리실리콘의 제2층 위에 캐패시터 유전체를 형성하는 단계; 및 상기 캐패시터 유전체 위에 도전성 상부 노드를 형성하는 단계를 포함하는 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 13

제12항에 있어서, 상기 제2물질은 TEOS(tetraethoxysilane-derived silicon oxides)를 포함하는 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 14

제12항에 있어서, 상기 제1물질은 포스포실리게이트 글라스(PSG : phospho silicate glass)를 포함하는

것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 15

제12항에 있어서, 상기 제1물질은 SACVD 산화물을 포함하는 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 16

제12항에 있어서, 상기 폴리실리콘의 제2층은 상기 제1물질을 포함하는 상기 다수의 교호층 중 한 층의 1/2 두께보다 두껍게 피착된 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 17

제12항에 있어서, 상기 폴리실리콘의 제2층은 상기 제1물질을 포함하는 상기 다수의 교호층 중 한 층의 1/2 두께보다 얇게 피착된 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 18

제12항에 있어서, 상기 폴리실리콘의 제2층의 에치백을 형성하는 단계전에 상기 폴리실리콘의 제2층 위에 러기드(rugged) 폴리실리콘층을 피착하는 단계를 더 포함하는 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 19

제12항에 있어서, 다수의 제1 및 제2물질층의 교호층을 피착하는 상기 단계전에 저장 패턴을 사용하여 상기 폴리실리콘의 제1층을 패터닝하고 에칭하는 단계를 더 포함하는 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

청구항 20

제12항에 있어서, 상기 다수의 교호층을 패터닝하는 상기 단계는 하드 마스크를 형성하는 단계; 및 서브리소그래픽 홀 패턴을 형성하기 위해 상기 하드 마스크 위에 측벽을 형성하는 단계를 포함하는 것을 특징으로 하는 고밀도 적용용 캐패시터 형성 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면3

