

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-516669  
(P2004-516669A)

(43) 公表日 平成16年6月3日(2004.6.3)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 6 V	2 H O 9 2
GO 2 F 1/1368	GO 2 F 1/1368	5 F 1 1 0
HO 1 L 21/336	HO 1 L 29/78 6 1 6 L	

審査請求 未請求 予備審査請求 未請求 (全 35 頁)

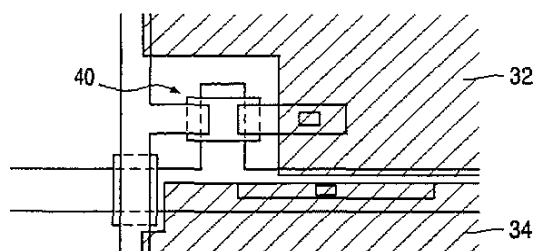
<p>(21) 出願番号 特願2002-551918 (P2002-551918)</p> <p>(86) (22) 出願日 平成13年12月6日 (2001.12.6)</p> <p>(85) 翻訳文提出日 平成14年8月21日 (2002.8.21)</p> <p>(86) 国際出願番号 PCT/IB2001/002365</p> <p>(87) 国際公開番号 W02002/050917</p> <p>(87) 国際公開日 平成14年6月27日 (2002.6.27)</p> <p>(31) 優先権主張番号 0031220.7</p> <p>(32) 優先日 平成12年12月21日 (2000.12.21)</p> <p>(33) 優先権主張国 英国 (GB)</p> <p>(31) 優先権主張番号 0104338.9</p> <p>(32) 優先日 平成13年2月22日 (2001.2.22)</p> <p>(33) 優先権主張国 英国 (GB)</p> <p>(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR</p>	<p>(71) 出願人 590000248                  コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ                  Koninklijke Philips Electronics N. V.                  オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1                  Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands</p> <p>(74) 代理人 100072051                  弁理士 杉村 興作</p>
--	---

最終頁に続く

(54) 【発明の名称】 薄膜フィルムトランジスタ

(57) 【要約】

絶縁ゲート薄膜フィルムトランジスタが、ゲート電極及びソース電極(20)及びドレイン電極(24)を具えている。これらのソース及びドレイン電極は横方向に離間して、ゲート絶縁層及びアモルファスシリコン層によってゲート電極(12)から縦方向に分離されている。前記アモルファスシリコン層(16)の領域が、前記トランジスタのチャンネルを規定する前記ソース電極と前記ドレイン電極との間の横方向の空間と縦に並んで、前記アモルファスシリコン層の領域が100nm未満の厚さを有して、この領域をリン原子で $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子/cm<sup>3</sup> にドーピングする。このことは移動度の増加を可能にして、これにより、シリコン層の厚さの低減を許容することができる。この厚さの低減は、層の感光性を、ブラックマスク層の必要性を回避するために十分なくらいに低下させることを可能にする。



## 【特許請求の範囲】

## 【請求項 1】

ゲート電極及びソース電極及びドレイン電極を具備した絶縁ゲート薄膜フィルムトランジスタであって、前記ソース電極とドレイン電極とが横方向に離間して、これらの両電極がゲート絶縁層及びアモルファスシリコン層によって前記ゲート電極から縦方向に分離されて、前記アモルファスシリコン層の領域が、前記トランジスタのチャンネルを規定する前記ソース電極と前記ドレイン電極との間の横方向の空間と縦に並んでいる絶縁ゲート薄膜フィルムトランジスタにおいて、前記アモルファスシリコン層の領域が100nm未満の厚さを有して、前記アモルファスシリコン層を、n型ドーパント原子で $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子/cm<sup>3</sup>のドーピング密度にドーピングしたことを特徴とする絶縁ゲート薄膜フィルムトランジスタ。

10

## 【請求項 2】

前記ドーパントの原子がリンを具備していることを特徴とする請求項1に記載のトランジスタ。

## 【請求項 3】

前記アモルファスシリコン層の領域の厚さが40nm～80nmであることを特徴とする請求項1または2に記載のトランジスタ。

## 【請求項 4】

前記アモルファスシリコン層の領域の厚さが40nm～60nmであることを特徴とする請求項3に記載のトランジスタ。

20

## 【請求項 5】

前記ドーピング密度が $5 \times 10^{16} \sim 1.5 \times 10^{17}$  原子/cm<sup>3</sup>であることを特徴とする請求項1～4のいずれかに記載のトランジスタ。

## 【請求項 6】

前記シリコン層が、少なくとも下部の真性層及び上部のn型層を具備して、前記n型層を、前記ソース電極と前記ドレイン電極との間の横方向の空間と縦に並んだ前記アモルファスシリコン層の領域から除去したことを特徴とするアクティブプレート。

## 【請求項 7】

液晶ディスプレイ用のアクティブプレートであって、このアクティブプレートが、画素トランジスタ用のゲート導体を規定し、そして行導体も規定する、絶縁基板上的ゲート導体層と；

30

前記ゲート導体層上のゲート絶縁層と、

前記ゲート導体の上方にあるトランジスタ本体領域を規定する、前記ゲート絶縁層上のシリコン層と、

前記画素トランジスタ用のソース導体及びドレイン導体を規定し、かつ列導体も規定する、前記シリコン層上のソース導体層及びドレイン導体層とを具備して、前記列導体の各々を、関連するトランジスタのソース及びドレインの一方に接続して、

前記アクティブプレートがさらに、画素電極を規定する画素電極層を具備して、前記画素電極が、前記関連するトランジスタのソース及びドレインの他方に接触しているアクティブプレートにおいて、

40

前記トランジスタ本体領域が100nm未満の厚さを有して、前記トランジスタ本体領域を、n型ドーパント原子で $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子/cm<sup>3</sup>のドーピング密度にドーピングしたことを特徴とする液晶ディスプレイ用のアクティブプレート。

## 【請求項 8】

前記ドーパント原子がリンを具備していることを特徴とする請求項7に記載のアクティブプレート。

## 【請求項 9】

前記シリコン層が、少なくとも下部の真性層及び上部のn型層を具備して、前記n型層を、前記シリコン層の前記トランジスタ本体領域を規定する部分から除去したことを特徴とす

50

る請求項 7 または 8 に記載のアクティブプレート。

【請求項 10】

前記画素電極の各々が、行導体及び列導体によって区切られた画素空間を占めて、前記画素電極が前記行導体及び列導体に部分的にオーバーラップしていることを特徴とする請求項 7、8 または 9 に記載のアクティブプレート。

【請求項 11】

請求項 7 ~ 10 のいずれかに記載のアクティブプレートと、パッシブプレートと、前記アクティブプレートと前記パッシブプレートとの間に挟んだ液晶材料の層とを具えていることを特徴とするアクティブマトリクス液晶ディスプレイ。

【請求項 12】

液晶ディスプレイ用のアクティブプレートを形成する方法において、この方法が、絶縁基板上にゲート導体層を堆積させてパターン化するステップと、前記パターン化したゲート導体層上にゲート絶縁層を堆積させるステップと、前記ゲート絶縁層上にシリコン層を堆積させるステップとを具えて、この堆積を、n型ドーパント原子及びシリコンを含むガスを含んだ化合物を少なくとも具えたガスからのプラズマ堆積で構成して、前記シリコンを含むガスの体積に対する前記化合物の体積の比率を、前記シリコン層内の前記n型ドーパント原子のドーピング密度が  $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子/cm<sup>3</sup> になるように選択して、前記方法がさらに、前記シリコン層上にソース導体層及びドレイン導体層を堆積させてパターン化するステップと、前記トランジスタのソース及びドレインの一方に接触する画素電極層を形成するステップとを具えていることを特徴とするアクティブプレートの形成方法。

10

20

【請求項 13】

前記ドーパント原子を含む化合物がホスフィンを具えて、前記シリコンを含むガスがシランを具えて、シランの体積に対するホスフィンの体積の比率が  $1 \times 10^{-6} \sim 6 \times 10^{-5}$  の範囲内にあることを特徴とする請求項 12 に記載の方法。

【請求項 14】

前記シリコン層を 100 nm 未満の厚さまで堆積させることを特徴とする請求項 13 に記載の方法。

30

【請求項 15】

前記シリコン層を 40 nm ~ 80 nm の厚さまで堆積させることを特徴とする請求項 14 に記載の方法。

【請求項 16】

前記シリコン層を、真性層である第 1 層及び n<sup>+</sup> 型層である第 2 層の少なくとも 2 つの層として堆積させて、前記トランジスタのチャンネルを規定する層の領域から前記 n<sup>+</sup> 型層を除去して、前記トランジスタチャンネルの厚さを 100 nm 未満にすることを特徴とする請求項 12 に記載の方法。

【請求項 17】

前記シリコン層を、低堆積速度のアンダーピング層、高堆積速度のマイクロドーピング層、及び高度にドーピングした接触層として堆積させることを特徴とする請求項 16 に記載の方法。

40

【請求項 18】

前記トランジスタのチャンネルの厚さを 40 nm ~ 80 nm にすることを特徴とする請求項 16 に記載の方法。

【請求項 19】

前記パターン化したソース及びドレイン層と前記画素電極層との間にパッシベーション層を設けて、該パッシベーション層内にスルーホールを設けて、前記画素電極層と前記トランジスタのソース及びドレインの一方との間の接触を可能にすることを特徴とする請求項 12 ~ 18 のいずれかに記載の方法。

50

## 【請求項 20】

前記ゲート導体層が行導体を規定して、前記ソース導体層及びドレイン導体層が列導体を規定して、前記画素電極層が画素電極を規定して、前記画素電極の各々が、行導体及び列導体によって区切られた画素空間を占め、かつ前記行導体及び列導体に部分的にオーバーラップしていることを特徴とする請求項 12 ~ 19 のいずれかに記載の方法。

## 【発明の詳細な説明】

## 【0001】

(技術分野)

本発明は薄膜フィルムトランジスタに関するものであり、特にアクティブマトリクス液晶ディスプレイのアクティブプレートに使用するトランジスタに関するものである。本発明は、アクティブプレートそのもの、及びディスプレイにも関するものである。

10

## 【0002】

(従来技術)

液晶ディスプレイは通常、アクティブプレート及びパッシブプレートを具えて、これらの間に液晶材料を挟んでいる。アクティブプレートは、トランジスタスイッチングデバイスのアレイを具え、通常、1つのトランジスタがディスプレイの各画素に関連する。各画素もアクティブプレート上の画素電極に関連し、この画素電極に、個々の画素の明るさを制御するための信号を供給する。これらのトランジスタは通常、アモルファスシリコン薄膜フィルムトランジスタで構成される。

## 【0003】

20

アクティブプレートの大きな領域は少なくとも部分的に透明であり、ディスプレイは通常バックライトによって照射するので、このことが必要である。主に、不透明の行導体及び列導体で覆われる領域が、このプレートの唯一不透明な部分である。前記画素電極が透明領域を覆わなければ、画素電極によって調整されない液晶材料の領域が存在するが、この領域はバックライトからの光を受けない。このことは、ディスプレイのコントラストを低下させる。アクティブプレートのこれらの領域を遮蔽するために、そしてトランジスタの動作特性が光に依存するので、これに加えてトランジスタを遮蔽するために、通常、ブラックマスク層を設ける。

## 【0004】

従来は、ブラックマスク層がアクティブマトリクスセルのパッシブプレート上に位置している。しかしこの場合には、セルの結合(カップリング)精度が貧弱であることの結果として、ブラックマスク層と画素電極とのオーバーラップ(重複)を大きくする必要があり、このオーバーラップは表示画素の開口部を減少させて、このことがディスプレイの電力効率を低下させる。このことは特に、携帯製品のような電池駆動の装置にとって不所望である。

30

## 【0005】

アクティブプレートの層を用いて必要なマスク機能を提供することが提案されている。例えば、1つの提案は、行導体と列導体とがオーバーラップするように画素電極を規定して、これにより、行及び列導体と画素電極との間にギャップ(隙間)が存在しないようにすることであり、さもなければ画素電極を遮蔽する必要がある。このことは、画素電極と行及び列導体との間に、厚い低誘電率の絶縁体を必要とする。この種のディスプレイは、電界遮蔽画素(Field Shielded Pixel)設計として知られている。画素電極が行及び列導体上に重なるオーバーラップは、遮蔽を必要とするあらゆるギャップをなくすが、トランジスタの感光性を考えれば、まだ光がトランジスタに到達することを防止しなければならない。従って、有機ブラック層も設けて、トランジスタ領域を覆ってトランジスタ内の光誘起の漏れを防止する。このため、ブラックマスクをパッシブプレートから除去することは、過去には、アクティブプレートのための特別なマスクステップ(工程)という犠牲を払っていた。

40

## 【0006】

液晶ディスプレイを製造するコストの多くはアクティブプレートを製造するコストから生

50

じ、このことはプロセスに用いるマスクステップ数に依存する。トランジスタの感光性を小さくしてブラックマスクの必要性を回避することができれば、マスク数の低減が達成される。

【0007】

トランジスタの感光性は、トランジスタの本体を規定する前記アモルファスシリコン層の厚さの関数であることが知られている。液晶ディスプレイに使用するトランジスタのごく普通の設計は、ボトム・ゲート・バック・チャンネル・エッチ（BCE）トランジスタである。前記アモルファスシリコン層は、トランジスタのチャンネルを規定する下部の真性部分、及び電子注入を提供し、かつソース・ドレインの界面におけるホールの注入を防止する上部のn型ドーピング部分を具えている。トランジスタのチャンネル領域は真性である必要があるため、上部のn型ドーピング部分をソースとドレインとの間から除去する。従来は、シリコン層の真性部分の厚さは少なくとも150nmであり、n型ドーピング部分の厚さはおよそ30nmである。n型層をチャンネルから除去するためのいわゆるバックチャンネルエッチングの後には、トランジスタ本体を規定する真性アモルファスシリコン層の残りの厚さは通常少なくとも100nmである。

10

【0008】

薄膜フィルムトランジスタの動作は、いわゆるバンドベンディング（帯域曲がり）に依存し、これによって導通レベルが半導体のフェルミレベルに向かう。アクティブマトリクスディスプレイの用途に適したトランジスタの寸法については、およそ100nmの厚さの真性アモルファスシリコンが、トランジスタの動作特性が適切であるための材料中に生じるバンドベンディングが十分であるための最小許容の厚さであることが判明している。アモルファスシリコン層の厚さが低減されるので、チャンネル層の最上部（「バックチャンネル」領域）における界面準位がフェルミレベルのピン止めをもたらす。このことは、エッチングによるシリコン層のn型部分の除去中のプラズマ破壊によって生じる欠陥状態が高密度であることの結果である。下部のシリコンの厚さが、デバイスの移動度の劣化及びより高いしきい値電圧をもたらす、従ってより貧弱なスイッチング特性をもたらす。不都合なことに、必要なシリコンの厚さがいろいろなレベルの感光性を生じさせて、これは光の遮蔽が必要であることを意味する。

20

【0009】

（発明の開示）

本発明の第1の要点によれば、ゲート電極及びソース電極及びドレイン電極とを具えた絶縁ゲート薄膜フィルムトランジスタが提供され、前記ソース電極とドレイン電極とが横方向に離間して、これらの両電極がゲート絶縁層及びアモルファスシリコン層によって前記ゲート電極から縦方向に分離されて、前記アモルファスシリコン層の領域が、前記トランジスタのチャンネルを規定する前記ソース電極と前記ドレイン電極との間の横方向の空間と縦に並んで、前記アモルファスシリコン層の領域が100nm未満の厚さを有し、かつこの領域を、n型ドーパント原子で $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子/cm<sup>3</sup>のドーピング密度にドーピングする。

30

【0010】

ここで「縦方向」とは、基板に垂直な方向（即ち積層の方向）を意味し、「横方向」とは、基板にほぼ平行な方向（即ち薄膜フィルム層の平面内）を意味する。

40

【0011】

本発明は、移動度の増加を可能にして、これにより、シリコン層の厚さの低減を許容可能にする。この厚さの低減は、層の感光性を、ブラックマスク層の必要性を回避するのに十分なくらいに低減することを可能にする。前記n型ドーパントは蛍光体を具えていることが好ましい。

【0012】

前記アモルファスシリコン層の領域は40nm～80nmであることが好ましく、40nm～60nmであることがより好ましい。前記ドーピング密度は、 $5 \times 10^{16} \sim 1.5 \times 10^{17}$  原子/cm<sup>3</sup>とすることができる。

50

## 【0013】

前記シリコン層は、下部の真性層及び上部のn型層を具備することができ、ここで、前記n型層を、前記ソース電極と前記ドレイン電極との間の横方向の空間と縦に並んだ前記アモルファスシリコン層の領域から除去する。これによりBCE構造が規定される。

## 【0014】

本発明の第2の好適例によれば、アクティブマトリクスディスプレイ用のアクティブプレートが提供され、このアクティブプレートが、

画素トランジスタ用のゲート導体を規定し、そして行導体も規定する絶縁基板上的ゲート導体層と、

前記ゲート導体層上のゲート絶縁層と、

前記ゲート導体の上方にあるトランジスタ本体領域を規定する、前記ゲート絶縁層上のシリコン層と、

前記画素トランジスタ用のソース導体及びドレイン導体を規定し、かつ列導体も規定する、前記シリコン層上のソース及びドレイン導体層とを具備して、前記列導体の各々を、関連するトランジスタのソース及びドレインの一方に接続して、

前記アクティブプレートがさらに、画素電極を規定する画素電極層を具備して、前記画素電極が、前記関連するトランジスタのソース及びドレインの他方に接触して、

前記トランジスタ本体領域が100nm未満の厚さを有して、前記トランジスタ本体領域を、n型ドーパント原子で $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子/cm<sup>3</sup>のドーピング密度にドーピングする。

## 【0015】

前記画素電極の各々が、行及び列導体によって区切られた画素空間を占めて、これらの画素電極がこれらの行及び列導体に部分的にオーバーラップしている。このことは、前記画素電極と前記行及び列導体との間のあらゆるブラックマスク層の必要性を回避して、前記薄膜シリコン層が、ブラックマスク層によってトランジスタを遮蔽する必要性を回避する。

## 【0016】

本発明はアクティブマトリクス液晶ディスプレイも提供し、このアクティブマトリクス液晶ディスプレイは、本発明のアクティブプレートと、パッシブプレートと、これらのアクティブプレートとパッシブプレートとの間に挟んだ液晶材料とを具備している。

## 【0017】

本発明の第3の要点によれば、液晶ディスプレイ用のアクティブプレートを形成する方法が提供され、この方法が、

絶縁基板の上にゲート導体層を堆積させてパターン化するステップと、

前記パターン化したゲート導体層上にゲート絶縁層を堆積させるステップと、

前記ゲート絶縁層上にシリコン層を堆積させるステップとを具備して、この堆積を、n型ドーパント原子及びシリコンを含むガスを含んだ化合物を少なくとも具備したガスからのプラズマ堆積で構成し、前記シリコンを含むガスの体積に対する前記化合物の体積の比率を、前記シリコン層内の前記n型ドーパント原子のドーピング密度が $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子/cm<sup>3</sup>になるように選択して、

前記方法がさらに、前記シリコン層上にソース導体層及びドレイン導体層を堆積させてパターン化するステップと、

前記トランジスタのソース及びドレインの一方に接触する画素電極層を形成するステップとを具備している。

## 【0018】

前記ドーパント原子を含む化合物がホスフィンを具備して、前記シリコンを含むガスがシランを具備して、シランの体積に対するホスフィンの体積の比率が $1 \times 10^{-6} \sim 6 \times 10^{-5}$ の範囲内にあることが好ましい。

## 【0019】

前記ゲート導体層が行導体を規定して、前記ソース及びドレイン導体層が画素電極を規定して、各画素電極が、行導体及び列導体によって区切られた画素空間を占め、かつこれら

10

20

30

40

50

の行導体及び列導体に部分的にオーバーラップしていることが好ましい。

【0020】

(発明を実施するための最良の形態)

以下、本発明の実施例について図面を参照して詳細に説明する。

なお、図面は図式的なものであり、一定寸法比で描いたものではない。これらの図面の一部の相対寸法及び比率は、明確にするために、そして描画の都合上、拡大あるいは縮小してある。

【0021】

図1に、電界遮蔽の画素設計を用いた既知のアクティブプレートを製造するための主要なプロセスステップ(工程段階)を示す。

10

【0022】

図1Aにパターン化したゲート導体層10を示し、これは、関連する行導体14に接続したトランジスタのゲート12を規定する。ゲート導体層10は、例えばクロム(クロミウム)のような透明材料を具えている。図1Aに示すレイアウト(配置)を達成するためのパターン化は、ウェットエッチングの技法を用いて達成される。ゲート導体層10の上にゲート絶縁層を、基板全体にわたって設ける。このゲート絶縁層は、例えばチッ化シリコンの単一層とするか、さもなければ多層構造にすることができる。例えば水素ラジカル処理したアモルファスシリコンのようなシリコン層を前記絶縁層上に、基板前体にわたって堆積させる。ドーピングした $n^+$ シリコン接触層も、前記アモルファスシリコン層上に堆積させる。これにより、図1Aに示す構造が完成し、ここには前記ゲート絶縁層及び前記シリコン層は示していない。

20

【0023】

前記シリコン層は、3層構造の薄いアンドーピング(非ドーピング)層を下部に具えることができる。

【0024】

前記アモルファスシリコンはPECVDプロセス、即ちプラズマからの堆積によって堆積させる。

【0025】

トランジスタの本体16、並びに絶縁層18を規定すべく半導体層をパターン化して、行導体と列導体との交差部における容量結合を低減する。図1Bにパターン化した半導体層16、18を示す。

30

【0026】

ソース及びドレイン導体層をシリコン層上に堆積させてパターン化して、これにより、列導体22に接続したトランジスタのソース20、及びドレイン領域24を規定する。図1Cに示すように、領域18は、行導体14と列導体22との交差部における絶縁を行う。前記ソース及びドレイン導体層は、キャパシタの上部接点26も規定する。これは、行導体14、前記ゲート絶縁層、及び上部接点26によって規定される画素電荷蓄積キャパシタである。

【0027】

図には示していないが、BCEトランジスタも、トランジスタのチャンネルの上部からシリコン層の $n^+$ でドーピングした部分を除去する必要がある、このことは、ソース電極とドレイン電極との間のシリコン層を部分的にエッチングすることによって達成される。上記 $n^+$ のエッチングは、ソース、ドレインの金属をエッチングした直後に行う、というのは、この時点ですべての不所望な $n^+$ のシリコンが現われるからである。

40

【0028】

図1Dに示すように、上記の構造全体の上にパッシベーション層を堆積させて、スルーホール(通し孔)28、30を設けて、このパッシベーション層を通してドレイン24及びキャパシタの上部接点26に接触することを可能にする。このパッシベーション層は、低い誘電率及び大きい厚さを有し、例えば比誘電率2.3及び厚さ $2\mu\text{m}$ であり、そしてスピノンポリマー層を具えることができる。最後に、画素電極32、34を前記パッシベ

50

ーション層上に堆積させて、各画素電極がスルーホール28、30を通して関連するスイッチングトランジスタのドレイン24、及び画素電荷蓄積キャパシタの上部接点26への接触を行う。

【0029】

画素電極が行及び列導体にオーバーラップして、このことは、前記パッシベーション層の電気特性の結果として可能である。このことは、前記画素電極と前記行及び列導体との間のあらゆる空間に遮蔽を設ける必要性を回避する。

【0030】

図2に、図1に示す画素を作り上げる電氣的構成要素を示す。行導体14をTFT40のゲートに接続して、図1を参照して説明したように、列電極22をソースに結合する。画素上に設けた液晶材料が、トランジスタ40のドレインと共通接地面44との間に広がる液晶セル42を有効に規定する。画素蓄積キャパシタ46を、トランジスタ40のドレインと、隣接行の画素に関連する行導体14aとの間に接続する。

10

【0031】

図1を参照して説明したプロセスでは、行及び列電極を用いて画素のマスキングを行う。特に、画素電極32及び34の行及び列導体上へのオーバーラップが、遮蔽を必要とするあらゆるギャップをなくす。しかし、トランジスタの感光性を考えれば、まだ光がトランジスタに到達することを防止しなければならない。従って、誘起ブラック層も設けて、トランジスタ領域を覆ってトランジスタ内の光誘起の漏れを防止する。このプロセスは、パッシブプレートからブラックマスクを除くことを可能にするが、アクティブプレート用の特別なマスクステップを必要とする。この追加的なステップは図1には示していないが、マスクをアクティブプレートの前記パッシベーション層の下に設けるか、さもなければ、画素電極を形成した後にマスクを設けるかのいずれかを行うことができる。

20

【0032】

この方法はブラックマスク層をアクティブプレート上のみで設けることを可能にし、そしてより正確な整列を可能にするが、マスクのステップが増加することの結果として、ディスプレイの生産コストが増加する。

【0033】

図3に、トランジスタの簡略化した断面図を示す。ゲート電極12は100~200nmの厚さを有して、ゲート絶縁体13(例えば厚さ200nm~400nmのSiN)及びアモルファスシリコン層16によってソース及びドレイン電極20、24から分離されて、アモルファスシリコン層16は、下部の真性部分16a及び上部のn<sup>+</sup>型部分16bを有する。パッシベーション層17は構造全体の上に位置する。図に示すように、n<sup>+</sup>型部分16bを前記トランジスタのチャンネル領域から除去する。

30

【0034】

従来は、シリコン層16のチャンネル領域の厚さtは100nm以上である。例えば、真性部分16aが150nm~300nmの厚さを有して、n<sup>+</sup>の部分がおよそ30nmの厚さを有する。

【0035】

厚さtを低減してデバイスの感光性を低減することが望ましいが、上述したように、このことは性能の劣化を生じさせる。また、層が厚くなるほど、ソース及びドレイン電極とトランジスタのチャンネル(これは実際にはシリコン層のゲートに最寄の部分であり、即ち下部の層16a)との間の寄生抵抗が大きくなる。

40

【0036】

厚さtを低減することは、これに比例する以上に感光性を低下させる、というのは、エッチング中のプラズマ損傷が前記チャンネル領域の最上部(例えば最上部の30nm)の感光性を低下させて、前記ゲート絶縁体と前記シリコン層との界面が、前記チャンネルの下部における感光性を低下させるからである。感光性は表面再結合に支配され、このため、層が薄くなるほど、横方向の電界がかかるうじてキャリアを分離する前にキャリアが非常に迅速に再結合する。従って、層16の中心の「純粋な」部分がデバイスの感光性に最も寄

50



与する。層 16 の厚さを低減することは、主に層 16 のこの部分の厚さを低減することである。

【0037】

本発明は、半導体層の、例えばリンによる n 型ドーピングが厚さの大幅な低減を可能にするという認識にもとづくものであり、ドーピングが移動度の低下を補償する。

【0038】

図 4 に、ドーピングが、5 ~ 6  $\mu\text{m}$  のチャンネル長を有する T F T のトランジスタ特性に及ぼす影響を示し、この T F T は実際に、アクティブマトリクス液晶ディスプレイに用いる。チャンネル領域内のアモルファスシリコン層の厚さは 50 nm である。このチャンネル長がトランジスタの移動度に影響し、短いチャンネル長については、前記寄生抵抗がデバイスの移動度を定める度合いが大きくなる。図 4 に、ソース - ドレイン電流をゲート - ソース電圧の関数として ( 図式的に ) 示す。これは、トランジスタのオン及びオフ特性を表わす。

10

【0039】

プロット 40 はアンドーピングのシリコン層についての特性を表わす。オフ特性は満足なものであるが、デバイスの移動度は、液晶ディスプレイの用途に要求される駆動電流のために十分なオン状態を生じさせることができない。プロット 42 は本発明のドーピングの効果を示す。オフ特性に悪影響することなしに、オン特性が、アクティブマトリクスディスプレイの用途に用いるのに十分な程度に改善されている。

【0040】

低レベルのドーピングが要求され、そしてプロット 44 で示すように、ドーピング濃度が高すぎる場合には、トランジスタのオフ状態において大きな漏れ電流が存在する。

20

【0041】

ドーピングの最適レベルは要求されるスイッチング特性、トランジスタのチャンネル長、及び感光性を低減してブラックマスク層の必要性を回避するために必要なシリコンの厚さに依存する。さらに、堆積速度が増加するにつれて、最適なドーピングレベルが増加する。

【0042】

ドーピングは、アモルファスシリコンのプラズマ堆積中に達成される。特に、ホスフィン (  $\text{PH}_3$  ) をプラズマガスとしてシラン (  $\text{SiH}_4$  ) に加える。シランの体積に対するホスフィンの体積の比率は、 $1 \times 10^{-6} \sim 6 \times 10^{-5}$  の範囲内にあるべきことが判明している。

30

【0043】

通常、前記アモルファスシリコンが約  $5 \times 10^{22}$  原子 /  $\text{cm}^3$  の密度を有し、堆積させた層内のリン原子数が  $2.5 \times 10^{16} \sim 1.5 \times 10^{18}$  原子 /  $\text{cm}^3$  の範囲内にあるべきであり、さらに、 $5 \times 10^{16} \sim 1.5 \times 10^{17}$  原子 /  $\text{cm}^3$  の範囲内にあることが好ましい。これらの範囲は、改善されたオン特性を提供し、かつ現在の堆積速度についてはオフ特性の劣化が限定的である。特に、しきい値 ( スレッショルド ) 電圧が低下して、移動度及びサブスレッショルドの傾斜が改善される。

【0044】

本発明は、アモルファスシリコン層の厚さを 100 nm 以下、好適には 40 nm ~ 80 nm に低減することを可能にする。

40

【0045】

上述した例では、アモルファスシリコン層 16 が下部の真性部分 16 a 及び上部の  $n^+$  型部分 16 b を有する。前記アモルファスシリコン層を次の 3 層、即ち低堆積速度のアンドーピング層、高堆積速度のマイクロドーピング層、及び高度にドーピングした接触層に堆積させることも可能である。低い堆積速度は最良の界面を提供するが、マイクロドーピングに対する感受性がかなり高く、従って最良にアンドーピングにされる。高堆積速度の材料のマイクロドーピングが主な効果をもたらし、高い堆積速度が材料のドーピングに対する感受性を小さくして、レベルをより制御しやすくする。

50

## 【0046】

トランジスタのアクティブプレートは、図1を参照して一般的に説明した慣例の技法を用いて作製することができる。本発明はブラックマスクをなくすことを可能にし、そしてより薄いアモルファスシリコン層を堆積させることを可能にする。このことは、堆積装置における処理能力も向上させるか、あるいは、より高品質の材料を堆積させることを可能にする、というのは、堆積速度の増加によって性能が大幅に劣化するからである。

## 【0047】

図5に、液晶ディスプレイの完成品の構造を示す。液晶材料の層60をアクティブプレート62の上に設けて、これは上述した構造を具えている。さらなる基板64が前記液晶材料の層の上方に存在する。このさらなる基板64の一方の面上に、カラーフィルタ66の構成及び(図2に示す)共通電極44を規定するプレート(平板)を設けることができる。基板64の反対側には、偏光板68も設ける。

10

## 【0048】

本発明は特にトランジスタ基板に関するものであるので、液晶ディスプレイの動作及び構造は当業者にとって明らかであり、これ以上詳細に説明しない。

## 【0049】

上述した例では、蓄積キャパシタは隣接行の導体を用いて規定する。その代わりに、蓄積キャパシタの線を別個に設けることができる。

## 【0050】

上述した層に追加的な層を設けることができ、そして当業者にとって明らかな種々の代替法が存在する。本願では、特別な処理パラメータ及び材料について詳細に記述していない、というのは本発明は既知の個々の処理及び材料に依存しているからである。これらのステップ、及び可能な代替法の範囲は、当業者にとって明らかである。

20

## 【0051】

本発明は、BCEトランジスタの設計を参照して詳細に説明してきた。本発明は、エッチ・ストップ・トランジスタ、あるいは他のいずれのアモルファスシリコン薄膜フィルムトランジスタの技術に適用することもできる。さらに、本発明のトランジスタはアクティブマトリクス液晶ディスプレイの製造において特に有用であるが、本発明のトランジスタは、例えば撮像(イメージング)アレイ、医用X線撮像アレイ、または指紋センサのような、小面積のトランジスタのアレイが必要な他の分野にも同等に応用することができる。

30

## 【0052】

上述した特定の例では、チャンネルの導電性を増加させるためのn型ドーパントとしてリンを用いている。しかし、例えばチッ素、ヒ素、及びアンチモンのような他のn型ドーパントも用いることができる。従って半導体層の堆積は、n型ドーパント原子及び例えばシランのようなシリコンを含むガスを含んだ化合物を少なくとも具えたガスからのプラズマ堆積で構成することができる。前記ドーパント原子を含む化合物はホスフィンで構成することができる、そして前記シリコンを含むガスはシランで構成することができる。シランの体積に対するホスフィンの体積は、 $1 \times 10^{-6} \sim 1 \times 10^{-5}$ の範囲にすることができる。

40

## 【0053】

シランは廉価であり、かつ直ちに入手可能なので、これを使用することができるが、クロロシランまたはジシランのような他のシリコンを含む化合物も使用することができる。

## 【図面の簡単な説明】

【図1】アクティブマトリクス液晶ディスプレイ用のアクティブプレートを生産する既知の方法を示す図である。

【図2】ディスプレイの1画素の電氣的等価回路を示す図である。

【図3】慣例の方法あるいは本発明による方法による寸法にすることが可能なトランジスタの簡略化した断面図である。

【図4】トランジスタのスイッチング特性をドーピングレベルの関数として図式的に示す図である。

50

【図5】液晶ディスプレイの完成品の構造を示す図である。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
27 June 2002 (27.06.2002)

PCT

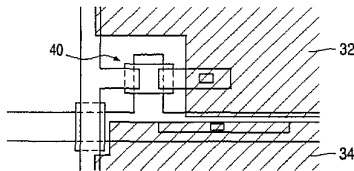
(10) International Publication Number  
**WO 02/50917 A1**

- (51) International Patent Classification: **H01L 29/786**, 21/336
- (72) Inventors: **DEANE, Steven, C.**; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). **FRENCH, Ian, D.**; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/IB01/02365
- (74) Agent: **SHARROCK, Daniel, J.**, INTERNATIONAAL OCTROOIBUREAU B.V., Prof Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (22) International Filing Date: 6 December 2001 (06.12.2001)
- (25) Filing Language: English
- (81) Designated States (*national*): CN, JP, KR.
- (26) Publication Language: English
- (84) Designated States (*regional*): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (30) Priority Data: 0051220.7 21 December 2000 (21.12.2000) GB  
0104338.9 22 February 2001 (22.02.2001) GB
- Published:**  
— with international search report
- (71) Applicant: **KONINKLIJKE PHILIPS ELECTRONICS N.V.** [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*



(54) Title: THIN FILM TRANSISTORS



(57) Abstract: An insulated-gate thin film transistor comprises a gate electrode and source (20) and drain (24) electrodes. The source and drain electrodes are laterally spaced apart, and are vertically separated from the gate electrode (12) by a gate insulator layer and an amorphous silicon layer. A region of the amorphous silicon layer (16) is vertically aligned with the lateral spacing between the source and drain electrodes defining the transistor channel, and the region of the amorphous silicon layer has a thickness of less than 100nm, and is doped with phosphorus atoms with a doping density of between  $2.5 \times 10^{16}$  and  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ . This enables the mobility to be increased so that the thickness reduction of the silicon layer can be tolerated. This thickness reduction enables the photosensitivity of the layer to be reduced sufficiently to avoid the need for a black mask layer.

WO 02/50917 A1

WO 02/50917

PCT/IB01/02365

1

## DESCRIPTION

**THIN FILM TRANSISTORS**

5 This invention relates to thin film transistors, and particularly to transistors for use in the active plate of active matrix liquid crystal displays. The invention also relates to the active plate itself and to the display.

10 A liquid crystal display typically comprises an active plate and a passive plate between which liquid crystal material is sandwiched. The active plate comprises an array of transistor switching devices, typically with one transistor associated with each pixel of the display. Each pixel is also associated with a pixel electrode on the active plate to which a signal is applied for controlling the brightness of the individual pixel. The transistors typically comprise  
15 amorphous silicon thin film transistors.

A large area of the active plate is at least partially transparent, and this is required because the display is typically illuminated by a back light. Mainly, the areas covered by the opaque row and column conductors are the only opaque parts of the plate. If the pixel electrode does not cover the transparent  
20 area, then there will be an area of liquid crystal material not modulated by the pixel electrode but which does receive light from the back light. This reduces the contrast of the display. A black mask layer is typically provided for shielding these areas of the active plate, and additionally to shield the transistors as their operating characteristics are light-dependent.

25 Conventionally, the black mask layer is located on the passive plate of the active matrix cell. However, the overlap between the black mask layer and the pixel electrodes needs to be large in this case as a result of poor cell coupling accuracy. This overlap reduces the aperture of the display pixels, which reduces the power efficiency of the display. This is particularly  
30 undesirable for battery operated devices, such as portable products.

It has been proposed to use layers of the active plate to provide the required masking function. For example, one proposal is to define the pixel

electrodes to overlap the row and column conductors, so that there is no gap between the row and column conductors and the pixel electrodes, which would otherwise need to be shielded. This requires a thick low dielectric constant insulator between the pixel electrodes and the row and columns. This type of display is known as a Field Shielded Pixel (FSP) design. Although the overlap of the pixel electrodes over the row and column conductors eliminates any gap which requires shielding, light must still be prevented from reaching the transistor in view of the photosensitivity of the transistor. Therefore, an organic black layer is also provided to cover the transistor region and prevent photo-induced leakage in it. Thus, the removal of the black mask from the passive plate has in the past been at the expense of an extra mask step for the active plate.

The cost of manufacturing a liquid crystal display results largely from the cost of manufacturing the active plate, and this depends upon the number of mask steps used in the process. A reduction in the number of masks could be achieved if the need for the black mask layer could be avoided, by making the transistors less photosensitive.

It is known that the photosensitivity of the transistor is a function of the thickness of the amorphous silicon layer defining the body of the transistor. The most common transistor design for use in liquid crystal displays is the bottom gate back channel etch (BCE) transistor. The amorphous silicon layer comprises a lower intrinsic part which defines the transistor channel, and an upper n-type doped part, which provides electron injection, and prevents hole injection at the source drain interface. The upper n-type doped part is removed from the area between the source and drain, as the channel area of the transistor needs to be intrinsic. Conventionally, the thickness of the intrinsic part of the silicon layer is at least 150nm, and the n-type doped part is around 30nm thick. After the so-called back channel etching, to remove the n-type layer from the channel, the remaining thickness of the intrinsic amorphous silicon layer defining the transistor body is typically at least 100nm.

The operation of the thin film transistor relies upon so-called band bending, by which the conduction level is bent towards the Fermi-level of the

semiconductor. For transistor dimensions suitable for active matrix display applications, intrinsic amorphous silicon thickness of around 100nm has been found to be the minimum acceptable thickness for sufficient band bending to occur in the material for the transistor operating characteristics to be suitable.

5 As the thickness of the amorphous silicon layer is reduced, the interface states at the top of the channel layer (the "back channel" area) lead to Fermi level pinning. This is a result of the high density of defect states resulting from the plasma damage during removal by etching of the n-type part of the silicon layer. A lower silicon thickness results in degraded device mobility and higher

10 threshold voltage, and therefore poorer switching characteristics. Unfortunately, the required silicon thickness results in levels of photosensitivity which means that light shielding is required.

According to a first aspect of the invention, there is provided an

15 insulated-gate thin film transistor comprising a gate electrode and source and drain electrodes, the source and drain electrodes being laterally spaced apart, and both being vertically separated from the gate electrode by a gate insulator layer and an amorphous silicon layer, a region of the amorphous silicon layer vertically aligned with the lateral spacing between the source and drain

20 electrodes defining the transistor channel, wherein the region of the amorphous silicon layer has a thickness of less than 100nm, and is doped with n-type dopant atoms with a doping density of between  $2.5 \times 10^{16}$  and  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ .

By "vertical" is meant in a direction perpendicular to the substrate (i.e. in the direction of stacking of layers), and by "lateral" is meant substantially

25 parallel to the substrate (i.e. in the plane of the thin film layers).

The invention enables the mobility to be increased so that the thickness reduction of the silicon layer can be tolerated. This thickness reduction enables the photosensitivity of the layer to be reduced sufficiently to avoid the

30 need for a black mask layer. The n-type dopant preferably comprises phosphorus.

WO 02/50917

PCT/IB01/02365

4

The thickness of the region of the amorphous silicon layer is preferably between 40nm and 80nm and more preferably between 40nm and 60nm. The doping density may be between  $5 \times 10^{16}$  and  $1.5 \times 10^{17}$  atoms per  $\text{cm}^3$ .

5 The silicon layer may comprise a lower intrinsic layer and an upper n-type layer, and wherein the n-type layer is removed from the region of the amorphous silicon layer vertically aligned with the lateral spacing between the source and drain electrodes. This defines a BCE structure.

According to a second aspect of the invention, there is provided an active plate for a liquid crystal display, comprising:

10 a gate conductor layer over an insulating substrate defining gate conductors for pixel transistors and also defining row conductors;

a gate insulator layer over the gate conductor layer;

a silicon layer over the gate insulator layer and defining a transistor body region overlying the gate conductors;

15 a source and drain conductor layer over the silicon layer defining source and drain conductors for the pixel transistors and also defining column conductors each connected to one of the source and drain of an associated transistor; and

20 a pixel electrode layer defining pixel electrodes which contact the other of the source and drain of the associated transistor, wherein the transistor body region has a thickness of less than 100nm, and is doped with n-type dopant atoms with a doping density of between  $2.5 \times 10^{16}$  and  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ .

25 The pixel electrodes may each occupy a pixel space bordered by row and column conductors, and the pixel electrodes partially overlap those row and column conductors. This avoids the need for a black mask layer for any gap between the pixel electrodes and the rows and columns, and the thin silicon layer avoids the need for a black mask layer to shield the transistor.

30 The invention also provides an active matrix liquid crystal display comprising an active plate of the invention, a passive plate, and a layer of liquid crystal material sandwiched between the active and passive plates.



WO 02/50917

PCT/IB01/02365

5

According to a third aspect of the invention, there is provided a method of forming an active plate for a liquid crystal display, comprising:

depositing and patterning a gate conductor layer over an insulating substrate;

5 depositing a gate insulator layer over the patterned gate conductor layer;

depositing a silicon layer over the gate insulator layer, the deposition comprising plasma deposition from a gas comprising at least a compound including an n-type dopant atom and a gas containing silicon, with the ratio of the volume of the compound to the volume of the gas containing silicon being selected to give a doping density of the n-type dopant atoms in the silicon layer of between  $2.5 \times 10^{16}$  and  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ ;

depositing and patterning a source and drain conductor layer over the silicon layer; and

15 forming a pixel electrode layer for contacting one of the source and drain of the transistor.

The compound including a dopant atom preferably comprises phosphine, and the gas containing silicon preferably comprise silane, with the ratio of the volume of phosphine to the volume of silane in the range  $1 \times 10^{-6}$  to  $6 \times 10^{-5}$ .

20 Preferably, the gate conductor layer defines row conductors and the source and drain conductor layer defines column conductors and the pixel electrode layer defines pixel electrodes which each occupy a pixel space bordered by row and column conductors and which partially overlap those row and column conductors.

An example of the invention will now be described in detail with reference to the accompanying drawings, in which:

30 Figure 1 illustrates a known method of producing an active plate for an active matrix liquid crystal display;

Figure 2 shows the electrical equivalent circuit of one pixel of the display;

WO 02/50917

PCT/IB01/02365

6

Figure 3 shows a simplified cross section of the transistor which may be dimensioned in a conventional manner or in a manner according to the invention;

5 Figure 4 shows schematically the transistor switching characteristics as a function of the doping level; and

Figure 5 shows the structure of a complete liquid crystal display.

10 It should be noted that the figures are diagrammatic and not drawn to scale. Relative dimensions and proportions of parts of these figures have been shown exaggerated or reduced in size, for the sake of clarity and convenience in the drawings.

Figure 1 illustrates the essential process steps for manufacturing a known active plate using a field shielded pixel design.

15 Figure 1A shows a patterned gate conductor layer 10, which defines a transistor gate 12 which is connected to an associated row conductor 14. The gate conductor layer 10 comprises an opaque material, for example chromium. Patterning to achieve the layout shown in Figure 1A is achieved using a wet etching technique. A gate insulator layer is provided over the entire substrate overlying the gate conductor layer 10. This gate insulator layer may be a  
20 single layer of, for example, silicon nitride or else it may comprise a multiple-layer structure. A silicon layer, for example hydrogenated amorphous silicon, is deposited over the gate insulator layer overlying the entire substrate. A doped  $n^+$  silicon contact layer is also deposited over the amorphous silicon layer. This completes the structure shown in Figure A, although the gate  
25 insulator layer and the silicon layer are not shown.

The silicon layer may comprise a three layer structure of a lower thin undoped layer, a thicker middle low doped layer and a thin highly doped top contact layer.

30 The amorphous silicon is deposited by a PECVD process, namely deposition from a plasma.

The semiconductor layer is patterned to define the semiconductor body 16 of the transistor, as well as an insulator layer 18 to reduce capacitive

coupling at the cross-over between row and column conductors. The patterned semiconductor layer 16, 18 is shown in Figure 1B.

5 A source and drain conductor layer is deposited and patterned over the silicon layer which defines a transistor source 20 connected to a column conductor 22, and a drain region 24. As shown in Figure 1C, the region 18 provides insulation at the cross-over of the row 14 and column 22 conductors. The source and drain conductor layer also defines a capacitor top contact 26. This is a pixel charge storage capacitor defined by the row conductor 14, the gate insulator layer and the top contact 26.

10 Although not shown in the Figure, a BCE transistor also requires removal of the  $n^+$  doped part of the silicon layer from above the transistor channel, and this is achieved by partially etching the silicon layer between the source and drain electrodes. The  $n^+$  etch is performed just after the source drain metal etching, as all unwanted  $n^+$  silicon is exposed at this time.

15 As shown in Figure 1D a passivation layer is deposited over the entire structure and through-holes 28, 30 are provided to enable connection through the passivation layer to the drain 24 and to the capacitor top contact 26. The passivation layer has a low dielectric constant and high thickness, for example dielectric constant of 2.3 and thickness  $2\mu\text{m}$ , and may comprise a spin-on polymer layer. Finally, the pixel electrodes 32, 34 are deposited over the  
20 passivation layer with each pixel electrode making contact through the through-holes 28, 30 to a drain 24 of the associated switching transistor and to the top contact 26 of the pixel charged storage capacitor.

25 The pixel electrodes overlap the row and column conductors, and this is possible as a result of the electrical properties of the passivation layer. This avoids the need to provide shielding of any space between the pixel electrodes and the row and column conductors.

30 Figure 2 shows the electrical components which make up the pixels shown in Figure 1. The row conductor 14 is connected to the gate of the TFT 40, and the column electrode 22 is coupled to the source, as explained with reference to Figure 1. The liquid crystal material provided over the pixel effectively defines a liquid crystal cell 42 which extends between the drain of

the transistor 40 and a common ground plane 44. The pixel storage capacitor 46 is connected between the drain of the transistor 40 and the row conductor 14a associated with an adjacent row of pixels.

In the process described with reference to Figure 1, the row and column electrodes are used to provide masking of the pixel. In particular, the overlap of the pixel electrodes 32 and 34 over the row and column conductors eliminates any gap which requires shielding. However, light must still be prevented from reaching the transistor in view of the photosensitivity of the transistor. Therefore, an organic black layer is also provided to cover the transistor region and prevent photo-induced leakage in it. This process allows the removal of the black mask from the passive plate, but requires an extra mask step for the active plate. This additional step is not shown in Figure 1, but the mask may be provided on the active plate either beneath the passivation layer or else after formation of the pixel electrodes.

Although this method enables the black mask layer to be provided only on the active plate, which enables more accurate alignment, it increases the production cost of the display as a result of the increased mask steps.

Figure 3 shows a simplified cross section of the transistor. The gate electrode 12 has a thickness between 100 and 200nm and is separated from the source and drain electrodes 20, 24 by the gate insulator 13 (for example SiN of 200nm to 400nm thickness) and the amorphous silicon layer 16 which has a lower intrinsic part 16a and an upper n<sup>+</sup>-type part 16b. The passivation layer 17 overlies the entire structure. As shown, the n<sup>+</sup>-type part 16b is removed from the channel area of the transistor.

Conventionally, the thickness t of the channel area of the silicon layer 16 is more than 100nm. For example, the intrinsic part 16a has a thickness between 150nm and 300nm, and the n<sup>+</sup> part has a thickness of around 30nm.

It is desirable reduce the thickness t, to reduce the photosensitivity of the device, but this gives rise to degraded performance, as discussed above. Also the thicker the layer, the higher the parasitic resistance between the source and drain electrodes and the channel of the transistor (which is

effectively the part of the silicon layer nearest the gate, namely the lower part of the layer 16a.

Reducing the thickness  $t$  gives rise to a more than linear reduction in photosensitivity, because plasma damage during etching results in lower photosensitivity of the top of the channel area (for example the top 30nm), and the interface between the gate insulator and the silicon layer results in lower photosensitivity in the lower part of the channel. The photosensitivity is dominated by surface recombination, so that as the layer becomes thin, carriers recombine very quickly, before the lateral field has managed to separate them. Therefore, a central "pure" part of the layer 16 contributes most to the photosensitivity of the device. A reduction in thickness of the layer 16 principally reduces the thickness of this part of the layer 16.

The invention is based on the recognition that n-type doping of the semiconductor layer, for example with phosphorus, can enable a significant reduction in thickness, with the doping compensating for the reduction in mobility.

Figure 4 shows the effect of the doping on the transistor characteristics for a TFT with channel length of 5 - 6 $\mu$ m, which is practical for use in active matrix liquid crystal displays. The thickness of the amorphous silicon layer in the region of the channel is 50nm. The channel length affects the mobility of the transistor, and for short channel lengths the parasitic resistances become significant in determining the device mobility. Figure 4 shows (schematically) the source-drain current as a function of the gate-source voltage. This represents the transistor on and off characteristics.

Plot 40 represents the characteristics for an undoped silicon layer. The OFF characteristics are satisfactory, whereas the mobility of the device does not give rise to sufficient turn on for the current driving requirements of liquid crystal display applications. Plot 42 shows the effect of the doping of the invention. Without adversely affecting the OFF characteristics, the ON characteristics are improved sufficiently for the device to be used in active matrix display applications.

A low level of doping is required, and as shown by plot 44, if the doping concentration is too high there is significant leakage current in the OFF state of the transistor.

The optimum level of doping will depend upon the switching characteristics required, the channel length of the transistor, and the required thickness of the silicon layer to reduce the photosensitivity to avoid the need for a black mask layer. Furthermore, the optimum doping level increases as the deposition speed is increased.

The doping is achieved during the plasma deposition of the amorphous silicon. In particular, phosphine ( $\text{PH}_3$ ) is added as a plasma gas to the silane ( $\text{SiH}_4$ ). It has been found that the ratio of the volume of phosphine to the volume of silane should be in the range  $1 \times 10^{-6}$  to  $6 \times 10^{-5}$  in the deposition gas.

Typically, the amorphous silicon has a density of approximately  $5 \times 10^{22}$  atoms per  $\text{cm}^3$ , and the number of phosphorus atoms in the deposited layer should be in the range  $2.5 \times 10^{16}$  to  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ , or even more preferably  $5 \times 10^{16}$  to  $1.5 \times 10^{17}$  atoms per  $\text{cm}^3$ . These ranges provide improved ON characteristics with limited degradation of the OFF characteristics for current deposition rates. In particular, the threshold voltage is reduced, and the mobility and subthreshold slope are improved.

The invention enables the thickness of the amorphous silicon layer to be reduced below 100nm, and preferably to the range 40nm to 80nm.

In the example described above, the amorphous silicon layer 16 has a lower intrinsic part 16a and an upper  $n^+$ -type part 16b. It is also possible to deposit the amorphous silicon as three layers- a low deposition rate undoped layer, a high deposition rate microdoped layer and a highly doped contact layer. The low deposition rate gives the best interface, but is rather sensitive to the microdoping, so is best undoped. Microdoping the high deposition rate material gives the main benefits, and the high deposition rate makes the material less sensitive to doping, making the level easier to control.

The active plate of the transistor can be made using conventional techniques, as described generally with reference to Figure 1. The invention

enables the black mask to be eliminated, and enables a thinner amorphous silicon layer to be deposited. This also increases the throughput in the deposition equipment, or allows higher quality material to be deposited, as performance is generally degraded by increased deposition rate.

5 Figure 5 shows the structure of a complete liquid crystal display. A layer of liquid crystal material 60 is provided over the active plate 62, which comprises the structure described above. A further substrate 64 overlies the layer of liquid crystal material. This further substrate 64 may be provided on one face with an arrangement of colour filters 66 and a plate defining the common electrode 44 (shown in Figure 2). A polarizing plate 68 is also  
10 provided on the opposite side of the substrate 64.

As this invention is concerned specifically with the transistor substrate, the operation and construction of the liquid crystal display will not be described in any further detail as this will be apparent to those skilled in the art.

15 In the example described, a storage capacitor is defined using an adjacent row conductor. Instead, a separate storage capacitor line may be provided.

Additional layers to those described may be provided, and there are various alternatives which will be apparent to those skilled in the art. The  
20 specific processing parameters and materials have not been described in detail in this application, as this invention relies upon known individual processing steps and materials. The steps, and the range of possible alternatives, will be apparent to those skilled in the art.

The invention has been described in detail with reference to BCE  
25 transistor designs. The invention may also be applied to etch stop transistor designs or to any other amorphous silicon thin film transistor technology. Furthermore, although the transistor of the invention will be particularly useful in the manufacture of active matrix liquid crystal displays, it may equally be applied to other fields where arrays of small-area transistors are required, for  
30 example imaging arrays, for example medical X-ray imaging arrays or fingerprint sensors.

In the specific example described above, phosphorus is used as the n-type dopant for increasing the conductivity of the channel. However, other n-type dopants may also be used, for example nitrogen, arsenic and antimony. The deposition of the semiconductor layer may then comprise plasma  
5 deposition from a gas comprising at least a compound including the n-type dopant atom and a silicon containing gas, for example silane. The compound including a dopant atom may comprise phosphine, and the gas containing silicon may comprise silane. The ratio of the volume of phosphine to the volume of silane may be in the range  $1 \times 10^{-6}$  to  $6 \times 10^{-5}$ .

10 Silane can be used as it is cheap and readily available, but other silicon containing compounds may also be used, such as chlorosilane or disilane.



WO 02/50917

PCT/IB01/02365

13

## CLAIMS

1. An insulated-gate thin film transistor comprising a gate electrode  
5 and source and drain electrodes, the source and drain electrodes being  
laterally spaced apart, and both being vertically separated from the gate  
electrode by a gate insulator layer and an amorphous silicon layer, a region of  
the amorphous silicon layer vertically aligned with the lateral spacing between  
the source and drain electrodes defining the transistor channel, wherein the  
10 region of the amorphous silicon layer has a thickness of less than 100nm, and  
is doped with n-type dopant atoms with a doping density of between  $2.5 \times 10^{16}$   
and  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ .
2. A transistor as claimed in claim 1, wherein the dopant atoms  
15 comprise phosphorus.
3. A transistor as claimed in claim 1 or 2, wherein the thickness of  
the region of the amorphous silicon layer is between 40nm and 80nm.
- 20 4. A transistor as claimed in claim 3, wherein the thickness of the  
region of the amorphous silicon layer is between 40nm and 60nm.
5. A transistor as claimed in any preceding claim, wherein the  
doping density is between  $5 \times 10^{16}$  and  $1.5 \times 10^{17}$  atoms per  $\text{cm}^3$ .
- 25 6. A transistor as claimed in any preceding claim, wherein the  
silicon layer comprises at least a lower intrinsic layer and an upper n-type  
layer, and wherein the n-type layer is removed from the region of the  
amorphous silicon layer vertically aligned with the lateral spacing between the  
30 source and drain electrodes.
7. An active plate for a liquid crystal display, comprising:

- a gate conductor layer over an insulating substrate defining gate conductors for pixel transistors and also defining row conductors;
- a gate insulator layer over the gate conductor layer;
- a silicon layer over the gate insulator layer and defining a transistor body region overlying the gate conductors;
- a source and drain conductor layer over the silicon layer defining source and drain conductors for the pixel transistors and also defining column conductors each connected to one of the source and drain of an associated transistor; and
- a pixel electrode layer defining pixel electrodes which contact the other of the source and drain of the associated transistor, wherein the transistor body region has a thickness of less than 100nm, and is doped with n-type dopant atoms with a doping density of between  $2.5 \times 10^{16}$  and  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ .
8. An active plate as claimed in claim 7, wherein the dopant atoms comprise phosphorus.
9. An active plate as claimed in claim 7 or 8, wherein the silicon layer comprises at least a lower intrinsic layer and an upper n-type layer, and wherein the n-type layer is removed from the part of the silicon layer which defines the transistor body region.
10. An active plate as claimed in claim 7, 8 or 9, wherein the pixel electrodes each occupy a pixel space bordered by row and column conductors, and the pixel electrodes partially overlap those row and column conductors.
11. An active matrix liquid crystal display comprising an active plate as claimed in any one of claims 7 to 10, a passive plate, and a layer of liquid crystal material sandwiched between the active and passive plates.

12. A method of forming an active plate for a liquid crystal display, comprising:
- depositing and patterning a gate conductor layer over an insulating substrate;
  - 5 depositing a gate insulator layer over the patterned gate conductor layer;
  - depositing a silicon layer over the gate insulator layer, the deposition comprising plasma deposition from a gas comprising at least a compound including an n-type dopant atom and a gas containing silicon, with the ratio of the volume of the compound to the volume of the gas containing silicon being selected to give a doping density of the n-type dopant atoms in the silicon layer of between  $2.5 \times 10^{16}$  and  $1.5 \times 10^{18}$  atoms per  $\text{cm}^3$ ;
  - 10 depositing and patterning a source and drain conductor layer over the silicon layer; and
  - 15 forming a pixel electrode layer for contacting one of the source and drain of the transistor.
13. A method as claimed in claim 12, wherein the compound including a dopant atom comprises phosphine, and the gas containing silicon comprises silane, and wherein the ratio of the volume of phosphine to the volume of silane is in the range  $1 \times 10^{-6}$  to  $6 \times 10^{-5}$ .
14. A method as claimed in claim 13, wherein the silicon layer is deposited to a thickness of less than 100nm.
- 25 15. A method as claimed in claim 14, wherein the silicon layer is deposited to a thickness of between 40 and 80nm.
16. A method as claimed in claim 12, wherein the silicon layer is deposited as at least two layers, a first intrinsic layer and a second n<sup>+</sup>-type layer, and wherein the n<sup>+</sup>-type layer is removed from the area of the layer
- 30

WO 02/50917

PCT/IB01/02365

16

defining the transistor channel, the thickness of the transistor channel being less than 100nm.

17. A method as claimed in claim 16, wherein the silicon layer is deposited as a low deposition rate undoped layer, a high deposition rate microdoped layer and a highly doped contact layer.

18. A method as claimed in claim 16, wherein the thickness of the transistor channel is between 40 and 80nm.

10

19. A method as claimed in any one of claims 12 to 18, wherein a passivation layer is provided between the patterned source and drain layer and the pixel electrode layer, a through hole being provided in the passivation layer to enable contact between the pixel electrode layer and the one of the source and drain of the transistor.

15

20. A method as claimed in any one of claims 12 to 19, wherein the gate conductor layer defines row conductors and the source and drain conductor layer defines column conductors and wherein the pixel electrode layer defines pixel electrodes which each occupy a pixel space bordered by row and column conductors and which partially overlap those row and column conductors.

20

25

WO 02/50917

PCT/IB01/02365

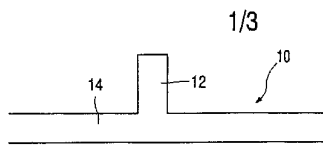


FIG. 1A

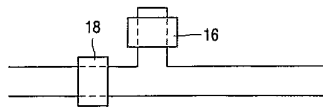


FIG. 1B

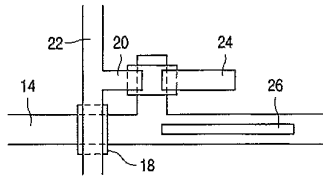


FIG. 1C

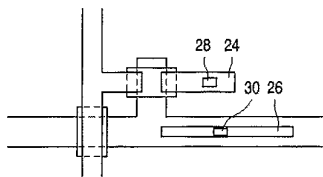


FIG. 1D

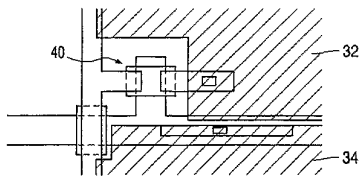


FIG. 1E

2/3

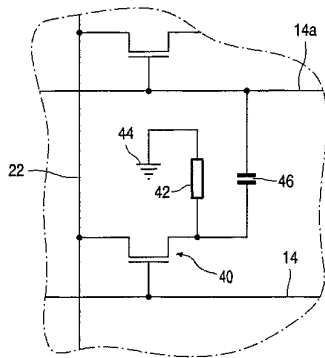


FIG. 2

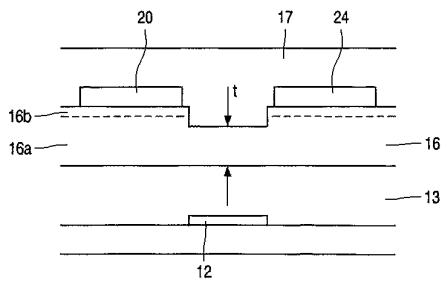


FIG. 3

3/3

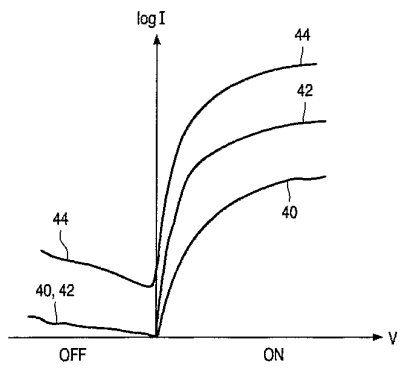


FIG. 4

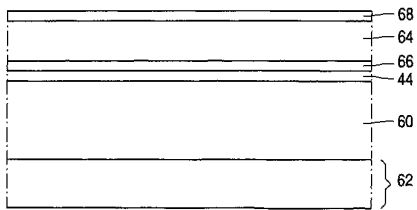


FIG. 5

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 01/02365
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L29/786 H01L21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L 602F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, IBM-TDB, PAJ, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MENG Z ET AL: "APPLICATION OF METAL-INDUCED UNILATERALLY CRYSTALLIZED POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR TECHNOLOGY TO ACTIVE-MATRIX ORGANIC LIGHT-EMITTING DIODE DISPLAYS" INTERNATIONAL ELECTRON DEVICES MEETING 2000. IEDM. TECHNICAL DIGEST. SAN FRANCISCO, CA, DEC. 10 - 13, 2000, NEW YORK, NY: IEEE, US, 10 December 2000 (2000-12-10), pages 611-614, XP000988906 ISBN: 0-7803-6439-2 the whole document --- -/--	1-6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 14 February 2002		Date of mailing of the international search report 21/02/2002
Name and mailing address of the ISA European Patent Office, P. B. 5818 Palantiaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3015		Authorized officer Agne, M

Form PCT/ISA/210 (second sheet) (July 1992)



INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 01/02365
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	POWELL M J: "THE PHYSICS OF AMORPHOUS-SILICON THIN-FILM TRANSISTORS" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, vol. 36, no. 12, 1 December 1989 (1989-12-01), pages 2753-2763, XP00088013 ISSN: 0018-9383 the whole document	1-20
A	LE CONTELLEC M ET AL: "TWO-MASK A-SI:H TFT MATRIX FOR ACTIVE LIQUID CRYSTAL DISPLAYS" OPTOELECTRONICS DEVICES AND TECHNOLOGIES, MITA PRESS, TOKYO, JP, vol. 7, no. 2, 1 December 1992 (1992-12-01), pages 287-299, XP000336431 ISSN: 0912-5434 abstract page 287, last paragraph; figures 1,3 page 290 page 294, last paragraph; figure 10	1-20
X	WO 99 49510 A (RUSSELL STEPHEN D ; SHIMABUKURO RANDY L (US); OFFORD BRUCE W (US)) 30 September 1999 (1999-09-30) page 3, line 21 -page 4, line 4 page 4, line 29 -page 5, line 2; figure 2 page 6, line 4 -page 7, line 25	7,8,10, 11

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT  
Information on patent family members

International Application No  
PCT/IB 01/02365

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9949510 A	30-09-1999	US 6312968 B1	06-11-2001
		AU 3452999 A	18-10-1999
		CN 1299519 T	13-06-2001
		EP 1074047 A1	07-02-2001
		WO 9949510 A1	30-09-1999

---

フロントページの続き

(72)発明者 スティーヴン セー ディーン

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

(72)発明者 イアン デー フレンチ

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

Fターム(参考) 2H092 GA17 GA24 JA28 JA34 JA37 KA05 MA27 NA21

5F110 AA05 BB01 CC08 EE04 FF03 GG02 GG15 GG25 GG32 GG34

GG45 HJ01 HJ04 HJ18 HK02 HL07 NN44 NN73