

295665

申請日期	85 年 6 月 1 日
案號	85106568
類	Int. Cl. 6 H11C 5/4 29/00

(以上各欄由本局填註)

A4

C4

295665

發明專利說明書

一、發明 名稱	中 文	半導體積體電路
	英 文	
二、發明 人 創作	姓 名	(1) 中隋孝雄 (2) 中村健一
	國 籍	(1) 日本 (2) 日本 (1) 日本國神奈川縣海老名市国分寺台二-六-四
	住、居所	(2) 日本國東京都墨田區八広一-一四-九
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 佐藤文夫

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1995 年 4 月 28 日 7-105939 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[產業上之利用領域]

本發明係關於一種半導體積體電路，尤其是，使用於檢測輸入信號之電位的電路，適合於防止因發生基準電位的電源電壓之變動等所產生的誤動作者。

[以往之技術]

半導體積體電路係因電源電壓，溫度等之變動，在動作特性上受某種程度之影響，視情形也發生誤動作。因此，隨著電路動作之複雜化，高速化，增加了供應電源電壓之精度，安定度等要素之重要程度。

第5圖係表示以往型之輸入電位檢測電路的電路構成圖，裝配於半導體積體電路而被使用者。以下，說明表示於第5圖之輸入電位檢測電路的電路動作。

在P通道MOS電晶體101之閘極輸入有成爲基準電位的電源電壓 V_{DD} ，在源極，汲極中之一方輸入有輸入信號 V_{in} 〔「 V_{in} 」係也兼具電位之顯示者〕，另一方經由P通道MOS電晶體101輸出有信號。又，源極，汲極中之輸出信號之一邊係經由電阻102被接地。經由P通道MOS電晶體101被輸出之信號，係經由兩個反相器103，104作爲輸出信號 V_{out} 〔「 V_{out} 」係也兼具電位之顯示者〕被輸出。

輸入信號 V_{in} 之電位高於在基準電位 V_{DD} 加上P通道MOS電晶體101的閾電壓之絕對值 $|V_{tp}|$ 之數值($V_{DD} + |V_{tp}|$)以上時，則P通道MOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

101 係成為導通，而對反相器 103 之輸入係成為「H」電平，結果，輸出信號 V_{out} 係成為「H」電平。相反地，輸入信號 V_{in} 之電位低於 $(V_{DD} + |V_{tp}|)$ 時，則 P 通道 MOS 電晶體 101 係成為斷開，而對於反相器 103 之輸入係成為「L」電平，因此，輸出信號 V_{out} 係成為「L」電平。

作為輸入信號 V_{in} ，係大都使用本來負擔作為位址信號或控制信號之功用的外部輸入信號，該輸入信號 V_{in} 之電位係在一般動作下實行設定在接地電位 V_{SS} 以上，基準電位 V_{DD} 以下之範圍內之數值。

如上所述，將輸入信號 V_{in} 之電位值與 $(V_{DD} + |V_{tp}|)$ 相比較，由 $(V_{DD} + |V_{tp}|)$ 以上或未滿 $(V_{DD} + |V_{tp}|)$ ，輸出信號 V_{out} 之電位係分別成為「H」電平或「L」電平之電位。

藉由利用該輸出信號 V_{out} 之電位變化，成為可將半導體記憶裝置由一般動作狀態移行至其他狀態，亦即可移行至動作測試狀態等。

〔發明欲解決之課題〕

然而，在上述之以往型之輸入電位檢測電路的構成，會發生如以下之問題。

半導體記憶裝置施行一般動作時，則外部輸入信號，亦即第 5 圖的電路輸入信號 V_{in} 之電位，係如上所述採取接地電位 V_{SS} 以上，基準電位 V_{DD} 以下之範圍內的數值。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

此時，輸入信號 V_{in} 之電位與基準電位 V_{DD} 大約相同水準之電位時，則基準電位 V_{DD} 起因於雜訊變動等而變低，當輸入信號 V_{in} 與基準電位 V_{DD} 之電位差大於 P 通道 MOS 電晶體 101 之閾電壓的絕對值 $|V_{tp}|$ ($V_{in} - V_{DD} \geq |V_{tp}|$) 時，則 P 通道 MOS 電晶體 101 係誤動作而成成導通狀態，作為輸出信號 V_{out} 輸入有 'H' 電平之電位的信號。亦即，從一般動作之狀態誤移行至其他之狀態（亦即，動作測試狀態）。

作為對該問題之對策，係也考量增大 P 通道 MOS 電晶體 101 閾電壓之絕對值 $|V_{tp}|$ 之方法，惟在該方法中，將基準電位 V_{DD} 設定在一般或較高水準時，則必須設定移行至上述之其他狀態所用的輸入信號 V_{in} 之電位極高值，因而依電壓應力所產生之電晶體之特性劣化成為問題。

又，也考量減小電阻而防止誤動作之方法，惟此時，會與依上述之其他狀態之增大電流的耗電之增加有關連。

本發明係鑑於上述問題點而創作者，其目的係在於提供一種即使在基準電位 V_{DD} 因雜訊等而變動時也不會誤動作之構成的輸入電位檢測電路。

〔解決課題所用之手段〕

依照本發明，一種半導體積體電路，其特徵為：具備

供應有來自外部之輸入信號的信號輸入端子，及

用於比較並檢測供應於信號輸入端子的輸入信號之電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

位與所定之基準值所設置的第 1 輸入電位檢測電路 1 與第 2 輸入電位檢測電路，及

輸入有來自第 1 輸入電位檢測電路之信號的延遲電路，及

輸入有來自第 2 輸入電位檢測電路之信號與來自延遲電路之信號，而隨著控制第 2 輸入電位檢測電路之控制信號的電位與輸入信號之電位發生輸出信號的閘扣電路，以及

輸出輸出信號的信號輸出端子等。

又，一種半導體積體電路，其特徵為；具備

供應有來自外部之輸入信號的信號輸入端子，及

用於比較並檢測供應於信號輸入端子的輸入信號之電位與所定之基準值所設置的第 1 輸入電位檢測電路，及

用於比較並檢測供應於信號輸入端子的輸入信號之電位與所定之基準值所設置，且輸入有某一特定之控制信號的第 2 輸入電位檢測電路，及

在來自第 1 輸入電位檢測電路之信號給與所定之延遲時間而作為第 1 信號，並將來自藉控制信號所控制之第 2 輸入電位檢測電路的信號作為第 2 信號，且共同動作第 1 信號及第 2 信號俾發生輸出信號的延遲電路，以及

輸出輸出信號的輸出端子等。

又，具備：

供應自來自外部之輸入信號的信號輸入端子，及

連接於信號輸入端子與第 1 輸入電位檢測電路輸出節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

點之間的第1路徑，並在閘極施加有積體電位之電源電壓的第1 P 通道 M O S 電晶體，及

連接於第1輸入電位檢測電路輸出節點與接地電位間的第1電阻元件，及

連接於信號輸入端子與第2輸入電位檢測電路輸出節點之間的第2路徑，並在閘極施加有積體電位之電源電壓的第2 P 通道 M O S 電晶體，及

插入連接於第2 P 通道 M O S 電晶體與第2輸入電位檢測電路輸出節點之間，而閘極以控制信號控制的 N 通道 M O S 電晶體，及

連接於上述第2輸入電位檢測電路輸出節點與接地電位間的第2電阻元件，及

將第1輸入電位檢測輸出節點作為輸入的 C M O S 反相器延遲電路，及

N O R 電位或 N A N D 電位或反相器中之任一種，或由所有之組合所構成，將上述 C M O S 反相器延遲電路之輸出與第2輸入電位檢測輸出節點作為輸入，而隨著輸入信號及所定之控制信號之電位發生輸出信號的延遲門扣電路，以及

輸出輸出信號的信號輸出端子等。

控制信號係晶片啟動信號或由此所衍生的信號者也可以。

控制信號係獨立從外部所輸入的信號者也可以。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

〔作用〕

由於具備第1及第2之兩具輸入電位檢測電路，第1輸入電位檢測電路之輸出係經由延遲電路輸入至閘扣電路，而第2輸入電位檢測電路係藉由控制信號施以控制，其輸出係輸入至相同之閘扣電路的構成，因此，即使基準電位 V_{DD} 起因於雜訊等而變動，或藉與輸入信號之電位的比較發生誤動作，只要輸入至第2輸入電位檢測電路之控制信號不會從某一特定電位變化，而該系統之輸出係也可維持誤動作以前之狀態，又，從某一特定之電位變化控制信號之狀態下藉變化輸入信號也可變化該系統之輸出。

或是，由於作為將來自第1及第2之兩具輸入電位檢測電路之輸出分別輸入至組合延遲電路與閘扣電路之電路。並僅在來自第1輸入電位檢測電路之輸出給與所定之延遲時間，而第2輸入電位檢測電路係藉由控制信號加以控制之構成，因此，同樣地，即使基準電位 V_{DD} 起因於雜訊等而變動，或藉與輸入信號之電位的比較發生誤動作，只要輸入至第2輸入電位檢測電路之控制信號不會從某一特定電位變化，而該系統之輸出係也可維持誤動作以前之狀態，又，從某一特定之電位變化控制信號之狀態下藉變化輸入信號也可變化該系統之輸出。

控制信號係作為隨著晶片啟動信號所發生之信號，可容易地實行電路構成，又，作為獨立且從外部輸入之信號，可將動作成為更安定者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

〔實施例〕

以下，一面參照圖式，一面說明本發明的半導體積體電路之實施例。

第 1 圖係表示本發明之半導體積體電路之第 1 實施例的電路構成圖。

第 1 圖之電路，係由輸入電位檢測主電路 1，及輸入電位檢測副電路 2，及延遲電路 3，及閘扣電路 4 所構成。

輸入電位檢測主電路 1 係在輸入有輸入信號 V_{in} 之信號輸入端子與輸入電位檢測主電路 1 之輸出節點 a 1 之間，連接有在閘極施加有成爲基準電位之電源電壓 V_{DD} 的 P 通道 MOS 電晶體 1 1 與反相器 1 3，反相器 1 3 之輸入節點與接地電位間係藉電阻元件 1 2 相連接。

輸入電位檢測主電路 1 之輸出節點 a 1，係連接於串聯連接之 4 個反相器 3 1，3 2，3 3，3 4 所成的延遲電路 3 之輸入節點。延遲電路 3 之輸出節點係連接於兩個 NOR 電路 4 1，4 2 所成的閘扣電路 4。構成閘扣電路 4 之兩個 NOR 電路 4 1，4 2 均具有一輸入，互相將另一方之輸出作爲輸入之一種。亦即，NOR 電路 4 2 之輸出節點 C 2 係 NOR 電路 4 1 之輸入之一種，而 NOR 電路 4 1 之輸出節點係成爲 NOR 電路 4 2 之輸入之一種。又，在 NOR 電路 4 1 之另一方輸入連接有延遲電路 3 之輸出節點，而在 NOR 電路 4 2 之另一方輸入連接有輸入電位檢測副電路 2 之輸出節點 b 1。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

輸入電位檢測副電路 2 係在輸入有輸入信號 V_{in} 之信號輸入端子與輸入電位檢測副電路 2 之輸出節點 b_1 之間，連接在閘極施加有成爲基準電位之電源電壓 V_{DD} 之 P 通道 MOS 電晶體 21，及在閘極輸入有控制信號 C 之 N 通道 MOS 電晶體 22，及反相器 24，而反相器 24 之輸入節點與接地電位間係藉電阻元件 23 相連接。在輸入於 N 通道 MOS 電晶體 22 之閘極的控制信號 C，一般利用晶片啓動信號，惟只要適合於所謂與輸入信號 V_{in} 共同作用來變化輸出信號，俾切換積體電路之一般動作狀態與測試動作狀態爲目的之信號，也可使用其他任何之信號。輸入電位檢測副電路 2 之輸出節點 b_1 ，係如上所述，連接於 NOR 電路 42 之輸入之一輸入。

第 1 圖之電路的輸出 V_{out} ，係構成門扣電路 4 之 NOR 電路 41 的輸出。

以下，說明第 1 圖之電路的動作。

由於輸入於 N 通道 MOS 電晶體 22 之閘極的控制信號 C 在「L」電平時，N 通道 MOS 電晶體 22 係成爲斷開，因此，不管輸入信號之電位，輸入電位檢測副電路 2 之輸出節點 b_1 的電位係在「H」電平，而門扣電路 4 之內部節點 C2 係成爲「H」電平。因此，第 1 圖之電路係藉由輸入電位檢測主電路 1 之電路動作來決定輸出信號之電位。

亦即，輸入信號 V_{in} 之電位此 ($V_{DD} + |V_{tp}|$) V_{tp} 係 P 通道 MOS 電晶體 11，21 之閾電壓) 高時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

，由於 P 通道 MOS 電晶體 11 係成為導通，而反相器 13 之輸入成為「H」電平，因此輸入電位檢測主電路 1 之輸出節點 a1 的電位係成為「L」電平，而第 1 圖之電路之輸出信號 V_{out} 的電位係成為「H」電平。又，輸入信號 V_{in} 之電位低於 $(V_{DD} + |V_{tp}|)$ 時，由於 P 通道 MOS 電晶體 11 係成為斷開，而反相器 13 之輸入係成為「L」電平，因此輸入電位檢測主電路 1 之輸出節點 a2 的電位係成為「H」電平，第 1 圖之電路之輸出信號 V_{out} 的電位係成為「L」電平。

以下，控制信號 C 在「H」電平時，N 通道 MOS 電晶體 22 係成為導通之狀態。

在該條件之下，輸入信號 V_{in} 之電位比 $(V_{DD} + |V_{tp}|)$ 低時，由於 P 通道 MOS 電晶體 11，21 係均成為斷開之狀態，反相器 13，24 之輸入係均成為「L」電平，輸入電位檢測主電路 1 與輸入電位檢測副電路 2 之各該輸出節點 a1 與 b1 係均成為「H」電平。結果，閘扣電路 4 之內部節點 C2 係成為「L」電平，而第 1 圖之電路之輸出信號 V_{out} 的電位係成為「L」電平。

又，輸入信號 V_{in} 之電位從低於 $(V_{DD} + |V_{tp}|)$ 之狀態變化成高狀態時，則 P 通道 MOS 電晶體 11，21 係均成為導通狀態，而反相器 13，24 之輸入係均成為「H」電平狀態，輸入電位檢測主電路 1 與輸入電位檢測副電路 2 的輸出節點 a1 與 b1 係均成為「L」電平狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

由於從輸入電位檢測主電路1所輸出之信號(節點a1之電位)係經由延遲電路輸入於閘扣電路4,因此,比從輸入電位檢測副電路2所輸出之信號(節點b1之電位)輸入於閘扣電路4的時刻較慢。

因此,在從輸入電位檢測副電路2所輸出之信號(電位“L”電平)輸入於閘扣電路4之時刻,由於第1圖之電路之輸出信號 V_{out} 係仍然為“L”電平(輸入信號 V_{in} 之電位比 $(V_{DD} + |V_{tp}|)$ 低之狀態時的輸出電位),因此,閘扣電路4之內部節點C2係成為“H”電平之狀態。結果,與輸入電位檢測主電路1之輸出信號無相關,第1圖之電路的輸出信號係成為“L”電平。

如上所述,依照第1圖之第一實施例之構成,控制信號C為“H”電平,輸入信號 V_{in} 之電位為固定在比 $(V_{DD} + |V_{tp}|)$ 低之狀態時,則起因於雜訊變動等,基準電位 V_{DD} 變低,輸入信號 V_{in} 與基準電位 V_{DD} 之電位差成為比P通道MOS電晶體11,12之閾值電壓 $|V_{tp}|$ 大 $(V_{in} - V_{DD} \geq |V_{tp}|)$,即使誤導通P通道MOS電晶體11,12,輸出信號 V_{out} 之電位係仍在“L”電平。

亦即,半導體記憶裝置係輸出信號 V_{out} 之電位在“L”電平時,設定在一般動作狀態,在“H”電平時設定在例如動作測試狀態的其他狀態時,即使基準電位 V_{DD} 起因於雜訊等而變動,也可防止半導體記憶裝置誤從一般動作狀態誤動作移行至例如動作測試狀態的其他狀態。

五、發明說明(11)

第 2 圖係表示本發明之半導體積體電路之第二實施例的電路構成圖。

第 2 圖之電路係由輸入電位檢測主電路 5，及輸入電位檢測副電路 6，及延遲閘扣電路 7 所構成。

輸入電位檢測主電路 5 係在輸入有輸入信號 V_{in} 之信號輸入端子與輸入電位檢測主電路 5 之輸出節點 a_2 之間，連接有在閘極施加有成爲基準電位之電源電壓 V_{DD} 的 P 通道 MOS 電晶體 51，輸出節點 a_2 與接地電位間係藉電阻元件 52 相連接。又，輸出節點 a_2 與接地電位間，係用於實行來自輸出節點 a_2 之放電，藉由在閘極輸入有以下所述之所定信號的 N 通道 MOS 電晶體 53 相連接。

輸入電位檢測副電路 6 係在輸入有輸入信號 V_{in} 之信號輸入端子與輸入電位檢測副電路 6 之輸出節點 b_2 之間，連接有在閘極施加有成爲基準電位之電源電壓 V_{DD} 的 P 通道 MOS 電晶體 61，及在閘極輸入有控制信號 C 的 N 通道 MOS 電晶體 62，及反相器 64，而反相器 64 之輸入節點與接地電位間係藉電阻元件 63 相連接。又，輸入電位檢測電路 6 之輸出節點 b_2 係如下所述連接於 NOR 電路 76 之輸入的一輸入。

延遲閘扣電路 7 係裝配 NAND 電路 71，73，75，及 NOR 電路 72，74，76，及反相器 77，78 所構成。NAND 電路 71，73，75，NOR 電路 72，74，76 係均爲二輸入式者。

輸入電位檢測主電路 5 之輸入節點 a_2 係連接在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

N A N D 電路 7 1 之其中一方的輸入；N A N D 電路 7 1 之輸出係連接於 N O R 電路 7 2 之其中一方的輸入；

N A N D 電路 7 3 之輸出係連接於 N O R 電路 7 4 之其中一方的輸入；N O R 電路 7 4 之輸出係連接於 N A N D 電路 7 5 之其中一方的輸入；N A N D 電路 7 5 之輸出係連接於反相器 7 7 之輸入，由這些構成延遲電路部。

輸入電位檢測副電路 6 之輸出節點 b 2 係連接在 N O R 電路 7 6 之其中一方的輸入，而在 N O R 電路 7 6 之另一方的輸入，輸入有反相器 7 7 之輸入。N O R 電路 7 6 之輸出係分別輸入於 N 通道 M O S 電晶體 5 3 之閘極，及 N O R 電路 7 2，7 4 之另一方的輸入。又，N O R 電路 7 6 之輸出係經由反相器 7 8，分別輸入於 N A N D 電路 7 1，7 3，7 5 之另一方的輸入。因此，N A N D 電路 7 5，反相器 7 7，N O R 電路 7 6，反相器 7 8 係迴路狀地連接，俾構成門扣電路部。

第 2 圖之電路的輸出 V_{out} ，係構成延遲門扣電路 7 之反相器 7 7 的輸出。

第 2 圖之第二實施例係與第 1 圖之第一實施例在基本上構成爲同樣者。但是，在輸入電位檢測主電路 5，附加用於實行來自該輸出節點 a 2 之放電的 N 通道 M O S 電晶體 5 3，輸入電位檢測副電路 6 之輸出係分別輸入於延遲門扣電路 7，使延遲門扣電路 7 之輸出成爲第 2 圖之電路的輸出信號 V_{out} 。

又，藉輸入信號及控制信號之電位所決定的輸出信號

五、發明說明 (13)

之電位，係與第 1 圖之第一實施例之情形完全相同。

以下，說明第 2 圖之電路的動作。

控制信號 C 之電位為「L」電平時，由於 N 通道 MOS 電晶體 6 2 係成為斷開，因此，輸入電位檢測副電路 6 之輸出節點 b 2 係與輸入信號 V_{in} 之電位無關地成為「H」電平，而節點 c 2 之電位係成為「L」電平，節點 d 2 之電位係成為「H」電平。因此，第 2 之輸出信號 V_{out} 之電位係藉由輸入電位檢測主電路 5 之輸出節點 a 2 的電位所決定。亦即，輸入信號 V_{in} 之電位比 $(V_{DD} + |V_{tp}|)$ 低時，輸出節點 a 2 之電位係成為「L」電平，而輸出信號 V_{out} 之電位係成為「L」電平。又，輸入信號 V_{in} 之電位比 $(V_{DD} + |V_{tp}|)$ 高時輸出節點 a 2 之電位係成為「H」電平，而輸出信號 V_{out} 之電位係成為「H」電平。

控制信號 C 之電位為「H」電平時，N 通道 MOS 電晶體 6 2 係成為導通。此時，若輸入信號 V_{in} 之電位比 $(V_{DD} + |V_{tp}|)$ 低時，由於輸入電位檢測副電路 6 之輸出節點 b 2 的電位係成為「H」電平，因此節點 c 2 之電位係成為「L」電平，節點 d 2 之電位係成為「H」。由於輸入電位檢測主電路 5 之輸出節點 a 2 的電位係「L」電平，因此輸出信號 V_{out} 之電位係成為「L」電平。

輸入信號 V_{in} 之電位從比 $(V_{DD} + |V_{tp}|)$ 低之電位（此時輸出信號 V_{out} 係「L」電平之電位）變化成高電位時，輸入電位檢測副電路 6 之輸出節點 b 2 係成為

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (14)

“L”電平。輸入電位檢測主電路5之輸出節點a2的電位係成為“H”電平，擬將輸出信號 V_{out} 之電位變化成“H”電平，惟該時刻係比節點b2之電位成為“L”電平之時刻慢，而在節點b2之電位成為“L”電平之時刻，輸出信號 V_{out} 之電位係仍然在“L”電平之狀態。

故，此時，節點c2之電位係成為“H”電平，藉N通道MOS電晶體53成為導通，成為“H”電平之節點a2之電位係成為“L”電平。又，藉節點c2成為“H”電平，節點d2係成為“L”電平。因此，第2圖之電路的輸出信號 V_{out} 係不管輸入電位檢測電路5之檢測狀態，保持在“L”電平之電位。

在第3圖及第4圖，表示依輸入信號 V_{in} 及控制信號C之輸入電位變化所產的輸出信號 V_{out} 之電位狀態。

第3圖係表示輸入信號 V_{in} 及控制信號C之輸入電位變化所產生之輸出信號 V_{out} 之電位狀態的圖式，第4(a)圖係表示第3圖之各期間的輸出信號電位之變化的說明圖，第4(b)圖係表示第3圖之各期間的輸入信號 V_{in} 及控制信號C之輸入信號C之輸入電位變化的圖式。

如上所述，依照第1圖之第一實施例之構成，控制信號C為“H”電平，輸入信號 V_{in} 之電位為固定在比 $(V_{DD} + |V_{tp}|)$ 低之狀態時，則起因於雜訊變動等，基準電位 V_{DD} 變低，輸入信號 V_{in} 與基準電位 V_{DD} 之電位差成為比P通道MOS電晶體11，12之閾值電壓

$|V_{tp}|$ 大 $(V_{in} - V_{DD} \geq |V_{tp}|)$ ，即使誤導通

五、發明說明(15)

P 通道 MOS 電晶體 11, 12, 輸出信號 V_{out} 之電位係仍在「L」電平。

亦即, 半導體記憶裝置係輸出信號 V_{out} 之電位在「L」電平時, 設定在一般動作狀態, 在「H」電平時設定在例如動作測試狀態的其他狀態時, 即使基準電位 V_{DD} 起因於雜訊等而變動, 也可防止半導體記憶裝置誤從一般動作狀態誤動作移行至例如動作測試狀態的其他狀態。

以下, 說明第3圖及第4(a), (b)圖。

在期間①, ②, 輸入信號 V_{in} 之電位從 V_{DD} 變化成 ($V_{DD} + |V_{tp}|$) 以上時, 則控制信號 C 之電位為 V_{ss} 在一定時, 輸出信號電位係從「L」電平向「H」電平變化而控制信號 C 之電位為 V_{DD} 在一定時, 輸出信號電位係保持有「L」電平。亦即輸入信號 V_{in} 之電位為 V_{DD} , 且輸出信號電位保持在「L」電平時, 藉由控制信號 C 之電位狀態, 在輸入信號 V_{in} 之電位有變化時, 來決定輸出信號電位是否有變化。

在期間③, ④, 輸入信號 V_{in} 之電位從 ($V_{DD} + |V_{tp}|$) 以上變化成 V_{DD} 時, 則控制信號 C 之電位為 V_{ss} 在一定時, 輸出信號電位係從「H」電平向「L」電平變化, 而控制信號 C 之電位為 V_{DD} 在一定時, 輸出信號電位係也從「H」電平向「L」電平變化。亦即, 輸入信號 V_{in} 之電位在 ($V_{DD} + |V_{tp}|$) 以上, 且輸出信號電位保持在「H」電平時, 不管控制信號 C 之狀態, 輸入信號 V_{in} 之電位從 ($V_{DD} + |V_{tp}|$) 以上變化成

五、發明說明(16)

V_{DD} 時，輸出信號電位係從「H」電平向「L」電平變化。

在期間⑤，⑥，輸入信號 V_{in} 之電位為 V_{DD} 在一定時，控制信號 C 之電位從 V_{SS} 變化成 V_{DD} 時，輸出信號電位係保持有「L」電平，而控制信號 C 之電位從 V_{DD} 變化成 V_{SS} 時，輸出信號電位係也保持有「L」電平。亦即，輸入信號 V_{in} 之電位為 V_{DD} 在一定時，即使控制信號 C 之電位有變化，輸出信號電位係保持有「H」電平。

在期間⑧，輸入信號 V_{in} 之電位為 $(V_{DD} + |V_{tp}|)$ 以上在一定時，輸出信號電位保持在「L」電平時，控制信號 C 之電位從 V_{DD} 變化成 V_{SS} ，則輸出信號電位係從「L」電平向「H」電平變化。

〔發明之效果〕

如上所述，依照本發明之半導體積體電路的第一構成，控制輸入電位檢測副電路之控制信號變化成所定電位電平的條件下，除了變化輸入於輸入電位檢測主電路及輸入電位檢測副電路之輸入信號之情形以外，由於輸出信號係經常地繼續保持穩定狀態，因此，即使發生基準電位之電源電壓起因於雜訊等而變動，也可防止依照該輸出信號的半導體積體電路之誤動作。

又，依照本發明之半導體積體電路的第二構成，與第一構成同樣地，控制輸入電位檢測副電路之控制信號變化成所定電位電平的條件下，除了變化輸入於輸入電位檢測

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

主電路及輸入電位檢測副電路之輸入信號之情形以外，由於輸出信號係經常地繼續保持穩定狀態，因此，即使發生基準電位之電源電壓起因於雜訊等而變動，也可防止依照該輸出信號的半導體積體電路之誤動作。

由於控制信號係作為隨著晶片啟動信號所發生之信號，可容易實行電路構成。

又，由於控制信號係作為獨立之外部輸入信號，因此，可將動作成為穩定者。

又，併記於本案申請專利範圍之各構成要件的圖式參照記號，係為了容易本案發明之理解者，並不是將本案發明之技術性範圍限定於圖示在圖式之實施例的意圖而併記者。

[圖式之簡單說明]

✓ 第1圖係表示本發明之半導體積體電路之第一實施例的電路構成圖。

✓ 第2圖係表示本發明之半導體積體電路之第二實施例的電路構成圖。

✓ 第3圖係表示依輸入信號及控制信號之電位變化所產生之輸出信號之電位變化的圖式。

✓ 第4圖係表示依第3圖之各期期的輸入信號及控制信號之電位變化所產生之輸出信號之電位變化的說明圖。

✓ 第5圖係表示以往之輸入電位檢測電路之一例的電路構成圖。

五、發明說明 (18)

[記號之說明]

1 1 , 2 1 , 5 1 , 6 1 , 1 0 1 : P 通 道 M O S 電
晶 體

2 2 , 5 3 , 6 2 : N 通 道 M O S 電 晶 體

1 3 , 2 4 , 3 1 ~ 3 4 , 6 4 , 7 7 , 7 8 ,
1 0 3 , 1 0 4 : C M O S 反 相 器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

半導體積體電路

提供一種即使在基準電位 V_{DD} 起因於雜訊等而變動時也不會誤動作之構成的半導體積體電路之輸入電位檢測電路。

本發明之輸入電位檢測電路係由：輸入電位檢測主電路 1，及輸入電位檢測副電路 2，及延遲電路 3，及門扣電路 4 等所構成。

成為基準電位之電源電壓 V_{DD} 及輸入信號 V_{in} 係輸入於輸入電位檢測主電路 1 及輸入電位檢測副電路 2，由控制信號 C 所控制的輸入電位檢測副電路 2 之輸出，及經延遲電路 3 的輸入電位檢測主電路 1 之輸出係輸入至門扣電路 4，使門扣電路 4 之輸出成為輸出信號 V_{out} 。

輸出信號 V_{out} 係在變化控制信號 C 之條件下只要未變化輸入信號 V_{in} ，因保持以前之狀態，故可防止基準電位 V_{DD} 起因於雜訊等有變動時的半導體積體電路之誤動作。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1 . 一種半導體積體電路，其特徵為：具備

供應有來自外部之輸入信號的信號輸入端子，及

用於比較並檢測供應於上述信號輸入端子的上述輸入信號之電位與所定之基準值所設置的第 1 輸入電位檢測電路 1 與第 2 輸入電位檢測電路，及

輸入有來自上述第 1 輸入電位檢測電路之信號的延遲電路 3，及

輸入有來自上述第 2 輸入電位檢測電路之信號與來自上述延遲電路之信號，而隨著控制上述第 2 輸入電位檢測電路之控制信號的電位與上述輸入信號之電位發生輸出信號的閘扣電路 4，以及

輸出上述輸出信號的信號輸出端子等。

2 . 一種半導體積體電路，其特徵為：具備

供應有來自外部之輸入信號的信號輸入端子，及

用於比較並檢測供應於上述信號輸入端子的上述輸入信號之電位與所定之基準值所設置的第 1 輸入電位檢測電路 5，及

用於比較並檢測供應於上述信號輸入端子的上述輸入信號之電位與所定之基準值所設置，且輸入有某一特定之控制信號的第 2 輸入電位檢測電路 6，及

在來自上述第 1 輸入電位檢測電路之信號給與所定之延遲時間而作為第 1 信號，並將來自藉上述控制信號所控制之第 2 輸入電位檢測電路的信號作為第 2 信號，且共同動作上述第 1 信號及上述第 2 信號俾發生輸出信號的延遲

六、申請專利範圍

電路 7，以及

輸出上述輸出信號的輸出端子等。

3．如申請專利範圍第 2 項所述之半導體積體電路，其中，具備：

供應自來自外部之輸入信號的信號輸入端子，及

連接於上述信號輸入端子與第 1 輸入電位檢測電路輸出節點 a_1 之間的第 1 路徑，並在閘極施加有積體電路之電源電壓的第 1 P 通道 MOS 電晶體 11，及

連接於上述第 1 輸入電位檢測電路輸出節點與接地電位間的第 1 電阻元件 12，及

連接於上述信號輸入端子與第 2 輸入電位檢測電路輸出節點 b_1 之間的第 2 路徑，並在閘極施加有積體電位之電源電壓的第 2 P 通道 MOS 電晶體 21，及

插入連接於上述第 2 P 通道 MOS 電晶體與上述第 2 輸入電位檢測電路輸出節點之間，而閘極以控制信號控制的 N 通道 MOS 電晶體 22，及

連接於上述第 2 輸入電位檢測電路輸出節點與接地電位間的第 2 電阻元件 23，及

將上述第 1 輸入電位檢測輸出節點作為輸入的 CMOS 反相器延遲電路 31，32，33，34，及

NOR 電位或 NAND 電路或反相器中之任一種，或由所有之組合所構成，將上述 CMOS 反相器延遲電路之輸出與上述第 2 輸入電位檢測輸出節點作為輸入，而隨著上述輸入信號及上述所定之控制信號之電位發生輸出信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

的延遲門扣電路 4，以及

輸出上述輸出信號的信號輸出端子等。

4．如申請專利範圍第 1 項至第 3 項中任何一項所述之半導體積體電路，其中，上述控制信號係晶片啟動信號或由此所衍生的信號者。

5．如申請專利範圍第 1 項至第 3 項中任何一項所述之半導體積體電路，其中，上述控制信號係獨立從外部所輸入的信號者。

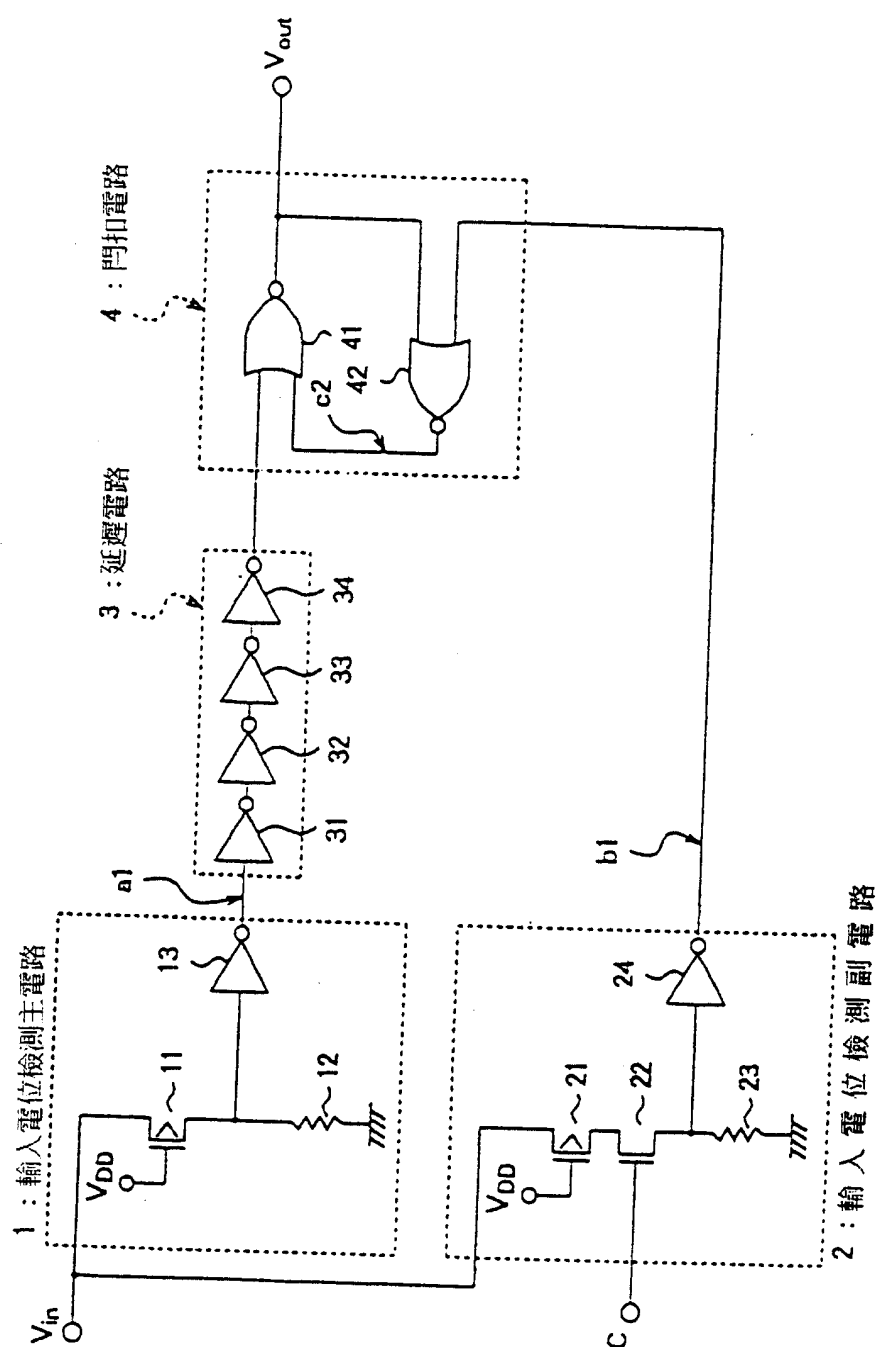
(請先閱讀背面之注意事項再填寫本頁)

裝

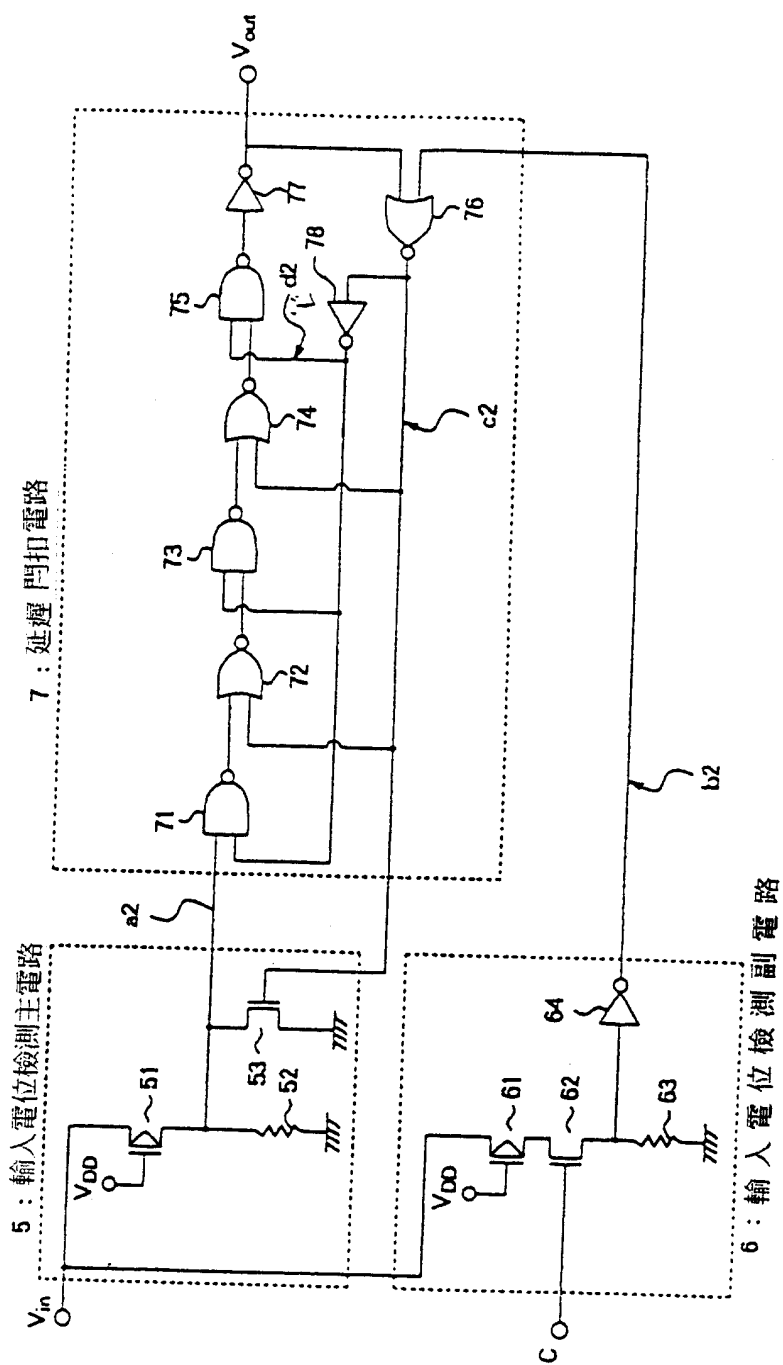
訂

線

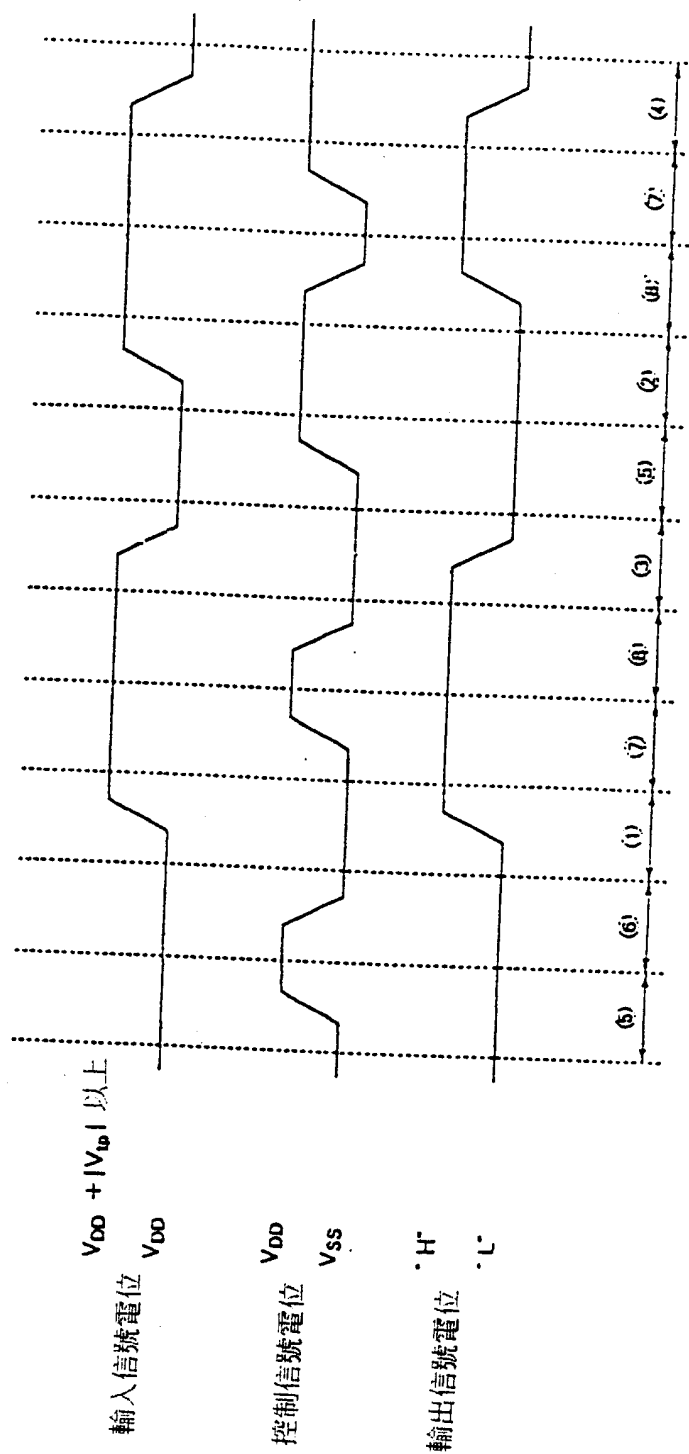
85 106 5 68



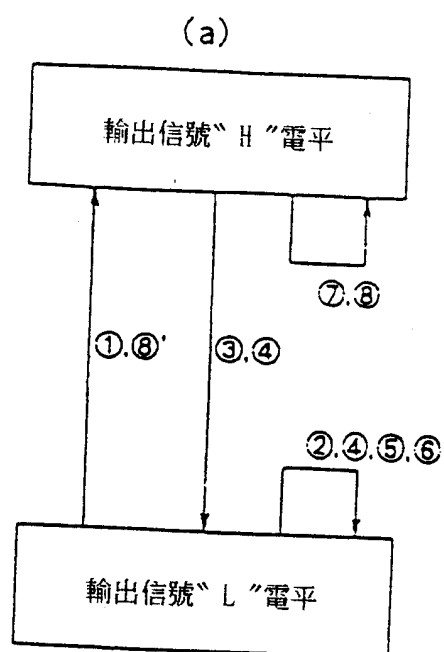
第1圖



第2圖



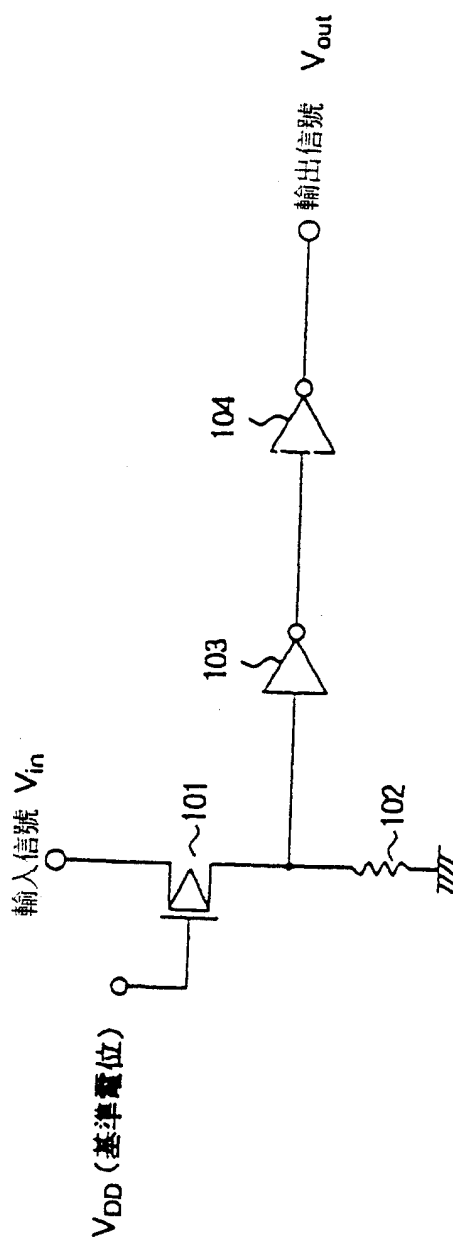
第3圖



(b)

	輸入信號	控制信號
①	$V_{DD} \rightarrow V_{DD} + V_{tp} $ 以上	V_{SS} 一定
②	$V_{DD} \rightarrow V_{DD} + V_{tp} $ 以上	V_{DD} 一定
③	$V_{DD} + V_{tp} $ 以上 $\rightarrow V_{DD}$	V_{SS} 一定
④	$V_{DD} + V_{tp} $ 以上 $\rightarrow V_{DD}$	V_{DD} 一定
⑤	V_{DD} 一定	$V_{SS} \rightarrow V_{DD}$
⑥	V_{DD} 一定	$V_{DD} \rightarrow V_{SS}$
⑦	$V_{DD} + V_{tp} $ 以上	$V_{SS} \rightarrow V_{DD}$
⑧	$V_{DD} + V_{tp} $ 以上	$V_{DD} \rightarrow V_{SS}$

第 4 圖



第 5 圖