



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0056907  
(43) 공개일자 2016년05월20일

- (51) 국제특허분류(Int. Cl.)  
**H03F 1/02** (2006.01) **H03F 1/22** (2006.01)  
**H03F 1/48** (2006.01) **H03F 3/193** (2006.01)
- (52) CPC특허분류  
**H03F 1/0222** (2013.01)  
**H03F 1/0266** (2013.01)
- (21) 출원번호 10-2016-7008943
- (22) 출원일자(국제) 2014년09월11일  
심사청구일자 없음
- (85) 번역문제출일자 2016년04월05일
- (86) 국제출원번호 PCT/US2014/055091
- (87) 국제공개번호 WO 2015/038712  
국제공개일자 2015년03월19일
- (30) 우선권주장  
61/876,347 2013년09월11일 미국(US)  
14/172,150 2014년02월04일 미국(US)
- (71) 출원인  
**퀄컴 인코포레이티드**  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
**카바닐라스, 조세**  
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
**프레스터, 칼로게로 다비드**  
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인  
**특허법인 남앤드남**

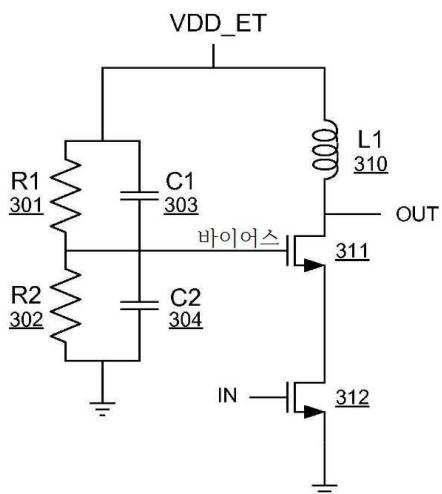
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 광대역 바이어스 회로들 및 방법들

### (57) 요 약

본 개시는 광대역 바이어싱을 위한 회로들 및 방법들을 포함한다. 일 실시예에서, 증폭기는 증폭기의 입력과 출력 간에 캐스코드 트랜지스터(311)를 포함한다. 캐스코드 트랜지스터(311)는 파워 서플라이(VDD ET)와 제 1 노드 간의 레지스터(301), 제 1 노드와 기준 전압 간의 레지스터(302) 및 파워 서플라이(VDD ET)와 제 1 노드 간의 커패시터(303)를 포함하는 바이어스 회로로부터 바이어스를 수신한다. 파워 서플라이(VDD ET)는 캐스코드 트랜지스터(311)의 제어 단자에서의 커패시턴스(303)에 바이어스 회로를 통해 커플링되는 변조된 파워 서플라이일 수 있다. 인덕터(310)는 캐스코드 트랜지스터(311)의 단자와 파워 서플라이(VDD ET) 간에 구성된다. 인덕터(310)는 변조된 서플라이 신호로(VDD ET)부터 출력을 격리한다.

대 표 도 - 도3a



(52) CPC특허분류

*H03F 1/223* (2013.01)  
*H03F 1/483* (2013.01)  
*H03F 3/193* (2013.01)  
*H03F 2200/18* (2013.01)  
*H03F 2200/21* (2013.01)  
*H03F 2200/36* (2013.01)  
*H03F 2201/3215* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

증폭기 회로로서,

제어 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터 – 상기 제어 단자는 입력 신호를 수신하도록 구성됨 – ;

제어 단자, 제 1 단자 및 제 2 단자를 갖는 캐스코드 트랜지스터 – 상기 캐스코드 트랜지스터의 제 2 단자는 상기 제 1 트랜지스터의 제 1 단자에 커플링됨 – ;

상기 캐스코드 트랜지스터의 제 1 단자에 커플링되는 제 1 단자 및 변조된 파워 서플라이 단자에 커플링되는 제 2 단자를 갖는 인덕터;

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 제 1 레지스터;

상기 제 1 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터; 및

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 상기 제 1 노드에 커플링되는 제 2 단자를 갖는 커패시터

를 포함하고,

상기 제 1 노드는 상기 캐스코드 트랜지스터의 제어 단자에 커플링되고, 상기 변조된 파워 서플라이 단자는 상기 입력 신호에 대응하는 시변(time varying) 파워 서플라이 신호를 생성하는,

증폭기 회로.

#### 청구항 2

제 1 항에 있어서,

상기 캐스코드 트랜지스터의 제어 단자는 커패시턴스를 포함하는,

증폭기 회로.

#### 청구항 3

제 2 항에 있어서,

상기 제 1 레지스터, 상기 제 2 레지스터, 및 상기 커패시터는, 상기 입력 신호의 제 2 주파수를 범위보다 더 큰 제 1 주파수를 범위에 걸쳐서 캐스코드 트랜지스터의 제어 단자에 상기 시변 파워 서플라이 신호를 커플링하도록 구성되는,

증폭기 회로.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 레지스터의 저항과 상기 커패시터의 커패시턴스의 제 1 곱(product)은 상기 제 2 레지스터의 저항과 상기 캐스코드 트랜지스터의 제어 단자에서의 커패시턴스의 제 2 곱과 대략적으로 동일한,

증폭기 회로.

#### 청구항 5

제 1 항에 있어서,

상기 캐스코드 트랜지스터는 제 1 캐스코드 트랜지스터이고,

상기 증폭기 회로는,

제어 단자, 제 1 단자 및 제 2 단자를 갖는 제 2 캐스코드 트랜지스터 – 상기 제 2 캐스코드 트랜지스터의 제 1 단자는 상기 제 1 캐스코드 트랜지스터의 제 2 단자에 커플링되고, 상기 제 2 캐스코드 트랜지스터의 제 2 단자는 상기 제 1 트랜지스터의 제 1 단자에 커플링됨 – ;

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 2 노드에 커플링되는 제 2 단자를 갖는 제 3 레지스터;

상기 제 2 노드에 커플링되는 제 1 단자 및 상기 기준 전압에 커플링되는 제 2 단자를 갖는 제 4 레지스터; 및

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 상기 제 2 노드에 커플링되는 제 2 단자를 갖는 제 2 커패시터

를 더 포함하고,

상기 제 2 노드는 상기 제 2 캐스코드 트랜지스터의 제어 단자에 커플링되는,

증폭기 회로.

#### **청구항 6**

제 1 항에 있어서,

상기 제 1 노드와 상기 캐스코드 트랜지스터의 제어 단자 간에 커플링되는 제 3 레지스터

를 더 포함하는,

증폭기 회로.

#### **청구항 7**

제 1 항에 있어서,

상기 인덕터는 상기 인덕터의 제 2 단자 상에서 상기 시변 파워 서플라이 신호로부터 상기 캐스코드 트랜지스터의 제 1 단자를 격리하는,

증폭기 회로.

#### **청구항 8**

제 1 항에 있어서,

상기 입력 신호의 대역폭은 상기 시변 파워 서플라이 신호의 대역폭 미만인,

증폭기 회로.

#### **청구항 9**

제 1 항에 있어서,

상기 제 1 레지스터, 상기 제 2 레지스터 및 상기 커패시터 중 적어도 하나는 프로그래밍 가능한,

증폭기 회로.

#### **청구항 10**

신호를 증폭하는 방법으로서,

제 1 트랜지스터의 제어 단자 상에서 입력 신호를 수신하는 단계 – 상기 제 1 트랜지스터는 제어 단자, 제 1 단자, 및 제 2 단자를 가짐 – ;

캐스코드 트랜지스터의 제 2 단자 상에서 출력 신호를 생성하도록 상기 제 1 트랜지스터를 통한 입력 신호와 상기 캐스코드 트랜지스터를 커플링하는 단계 – 상기 캐스코드 트랜지스터는 제어 단자, 제 1 단자, 및 제 2 단

자를 갖고, 상기 캐스코드 트랜지스터의 제 2 단자는 상기 제 1 트랜지스터의 제 1 단자에 커플링됨 – ;

바이어스 회로의 단자 상에서 변조된 파워 서플라이로부터 시변 파워 서플라이 전압을 수신하는 단계 – 상기 바이어스 회로는 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 제 1 레지스터, 상기 제 1 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터 및 상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 상기 제 1 노드에 커플링되는 제 2 단자를 갖는 커패시터를 포함하고, 상기 제 1 노드는 상기 캐스코드 트랜지스터의 제어 단자에 커플링됨 – ;

상기 시변 파워 서플라이 전압을 상기 캐스코드 트랜지스터의 제어 단자에 커플링하는 단계; 및

상기 시변 파워 서플라이 전압으로부터 상기 캐스코드 트랜지스터의 제 1 단자를 격리하도록 상기 캐스코드 트랜지스터의 제 1 단자에 커플링되는 제 1 단자 및 변조된 파워 서플라이 단자에 커플링되는 제 2 단자를 갖는 인덕터에서 임피던스를 생성하는 단계

를 포함하는,

신호를 증폭하는 방법.

### 청구항 11

제 10 항에 있어서,

상기 캐스코드 트랜지스터의 제어 단자는 커패시턴스를 포함하는,

신호를 증폭하는 방법.

### 청구항 12

제 11 항에 있어서,

상기 제 1 레지스터, 상기 제 2 레지스터 및 상기 커패시터는,

상기 입력 신호의 제 2 주파수를 범위보다 더 큰 제 1 주파수를 범위에 걸쳐서 캐스코드 트랜지스터의 제어 단자에 시변 파워 서플라이 전압을 커플링하도록 구성되는,

신호를 증폭하는 방법.

### 청구항 13

제 10 항에 있어서,

상기 제 1 레지스터의 저항과 상기 커패시터의 커패시턴스의 제 1 곱(product)은 상기 제 2 레지스터의 저항과 상기 캐스코드 트랜지스터의 제어 단자에서의 커패시턴스의 제 2 곱과 대략적으로 동일한,

신호를 증폭하는 방법.

### 청구항 14

제 10 항에 있어서,

상기 바이어스 회로는 제 1 바이어스 회로이고, 상기 캐스코드 트랜지스터는 제 1 캐스코드 트랜지스터이고,

상기 방법은,

제 2 바이어스 회로의 단자 상에서 상기 변조된 파워 서플라이로부터 상기 시변 파워 서플라이 전압을 수신하는 단계 – 상기 제 2 바이어스 회로는 상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 2 노드에 커플링되는 제 2 단자를 갖는 제 3 레지스터, 상기 제 2 노드에 커플링되는 제 1 단자 및 상기 기준 전압에 커플링되는 제 2 단자를 갖는 제 4 레지스터, 및 상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 상기 제 2 노드에 커플링되는 제 2 단자를 갖는 제 2 커패시터를 포함하고, 상기 제 2 노드는 제 2 캐스코드 트랜지스터의 제어 단자에 커플링됨 – ; 및

상기 시변 파워 서플라이 전압을 상기 제 2 캐스코드 트랜지스터의 제어 단자에 커플링하는 단계

를 더 포함하는,

신호를 증폭하는 방법.

### 청구항 15

제 10 항에 있어서,

상기 제 1 노드와 상기 캐스코드 트랜지스터의 제어 단자 간에 커플링되는 제 3 레지스터를 통해 상기 시변 파워 서플라이 전압을 커플링하는 단계

를 더 포함하는,

신호를 증폭하는 방법.

### 청구항 16

제 10 항에 있어서,

상기 입력 신호의 대역폭은 시변 파워 서플라이 전압의 대역폭 미만인,

신호를 증폭하는 방법.

### 청구항 17

제 10 항에 있어서,

상기 제 1 레지스터, 상기 제 2 레지스터 및 상기 커패시터 중 적어도 하나는 프로그래밍 가능한,

신호를 증폭하는 방법.

### 청구항 18

증폭기 회로로서,

제어 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터 – 상기 제어 단자는 입력 신호를 수신하도록 구성됨 – ;

제어 단자, 제 1 단자 및 제 2 단자를 갖는 캐스코드 트랜지스터 – 상기 제 2 단자는 상기 제 1 트랜지스터의 제 1 단자에 커플링됨 – ;

상기 캐스코드 트랜지스터의 제 1 단자에 커플링되는 제 1 단자 및 변조된 파워 서플라이 단자에 커플링되는 제 2 단자를 갖는 인덕터;

상기 캐스코드 트랜지스터를 바이어싱하기 위해 상기 변조된 파워 서플라이 단자로부터의 입력 신호에 대응하는 시변 파워 서플라이 신호의 최대 주파수를 상기 캐스코드 트랜지스터의 제어 단자에 커플링하기 위한 수단

을 포함하는,

증폭기 회로.

### 청구항 19

제 18 항에 있어서,

상기 시변 파워 서플라이 신호의 최대 주파수를 커플링하기 위한 수단은,

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 상기 캐스코드 트랜지스터의 제어 단자에 커플링되는 제 2 단자를 갖는 제 1 레지스터;

상기 캐스코드 트랜지스터의 제어 단자에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터;

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 상기 캐스코드 트랜지스터의 제어 단자에 커플링되는 제 2 단자를 갖는 커패시터; 및

상기 캐스코드 트랜지스터의 제어 단자에 커플링되는 커패시턴스를 포함하는,

증폭기 회로.

## 청구항 20

제 18 항에 있어서,

상기 시변 파워 서플라이 신호의 최대 주파수를 커플링하기 위한 수단은,

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 제 1 레지스터;

상기 제 1 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터;

상기 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 상기 제 1 노드에 커플링되는 제 2 단자를 갖는 커페시터;

상기 제 1 노드와 상기 캐스코드 트랜지스터의 제어 단자 간에 커플링되는 제 3 레지스터; 및

상기 캐스코드 트랜지스터의 제어 단자에 커플링되는 커페시턴스

를 포함하는,

증폭기 회로.

## 발명의 설명

### 기술 분야

[0001]

관련 출원들에 대한 상호참조

[0002]

[0001] 본 개시는 2014년 2월 4일 출원된 미국 출원 번호 제14/172,150호를 우선권으로 주장하며, 그 내용물은 그 전체가 모든 목적들을 위해 인용에 의해 본원에 포함된다. 본 개시는 2013년 9월 11일 출원된 미국 가출원 번호 제61/876,347호를 우선권으로 주장하며, 그 내용물은 그 전체가 모든 목적들을 위해 인용에 의해 본원에 포함된다.

[0003]

[0002] 본 개시는 전자 회로들 및 방법들에 관한 것으로서, 특히 광대역 바이어스 회로들 및 방법들에 관한 것이다.

## 배경 기술

[0004]

[0003] CMOS 트랜지스터들은 때때로, 신뢰성 목적을 위해 다수의 디바이스들에 걸쳐 전압 스윙을 분할하기 위해 적층된다. 도 1은 통상적인 증폭기 스테이지를 예시한다. 입력 신호는 (예를 들어, CS(common source) 구성에서) 하단 MOS 디바이스(101)의 게이트에 인가된다. (CG(common gate) 구성에서) 상단 캐스코드 디바이스(102)는 흔히 서플라이(supply)와 접지 간의 저항 엘리먼트(예를 들어, 레지스터들(103 및 104)을 포함하는 레지스터 래더(ladder))를 이용하여 바이어싱된다. 캐스코드 디바이스는 바이어스 전압을 보유(hold)하는 게이트 커페시턴스(105)를 갖는다. 저항 엘리먼트를 이용하여 서플라이 전압으로부터 회로의 노드들을 바이어싱하기 위한 종래의 접근법들은, 서플라이 전압이 일정한(또는 거의 일정한) 값을 유지하는 경우 만족스럽다. 그러나 서플라이 전압이 변하는 애플리케이션들에서, 저항 및 커페시턴스는 회로의 동작을 악화시킬 수 있다.

## 발명의 내용

[0005]

[0004] 본 개시는 광대역 바이어스 회로들에 대한 회로들 및 방법들을 포함한다. 일 예시적인 실시예에서, 증폭기는 증폭기의 입력과 출력 간에 캐스코드 트랜지스터를 포함한다. 캐스코드 트랜지스터는 파워 서플라이와 제 1 노드 간의 레지스터, 제 1 노드와 기준 전압(예를 들어, 접지) 간의 레지스터 및 파워 서플라이와 제 1 노드 간의 커페시터를 포함하는 바이어스 회로로부터 바이어스를 수신한다. 파워 서플라이는 캐스코드 트랜지스터의 제어 단자에서의 커페시턴스에 바이어스 회로를 통해 커플링되는 변조된 파워 서플라이일 수 있다. 인덕터는 캐스코드 트랜지스터의 단자와 파워 서플라이 간에 구성된다. 인덕터는 변조된 파워 서플라이 신호로부터 출력을 격리한다.

[0006]

[0005] 일 실시예에서, 본 개시는 증폭기 회로를 포함하며, 이 증폭기 회로는 제어 단자, 제 1 단자 및 제 2 단

자를 갖는 제 1 트랜지스터 – 상기 제어 단자는 입력 신호를 수신하도록 구성됨 – ; 제어 단자, 제 1 단자 및 제 2 단자를 갖는 캐스코드 트랜지스터 – 상기 캐스코드 트랜지스터의 제 2 단자는 제 1 트랜지스터의 제 1 단자에 커플링됨 – ; 캐스코드 트랜지스터의 제 1 단자에 커플링되는 제 1 단자 및 변조된 파워 서플라이 단자에 커플링되는 제 2 단자를 갖는 인덕터; 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 제 1 레지스터; 제 1 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터; 및 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 커패시터를 포함하고, 제 1 노드는 캐스코드 트랜지스터의 제어 단자에 커플링되고, 변조된 파워 서플라이 단자는 입력 신호에 대응하는 시변(time varying) 파워 서플라이 신호를 생성한다.

[0007] [0006] 일 실시예에서, 캐스코드 트랜지스터의 제어 단자는 커패시턴스를 포함한다.

[0008] [0007] 일 실시예에서, 제 1 레지스터, 제 2 레지스터, 및 커패시터는, 입력 신호의 제 2 주파수들 범위 보다 더 큰 제 1 주파수들 범위에 걸쳐서 캐스코드 디바이스의 제어 단자에 시변 파워 서플라이 신호를 커플링하도록 구성된다.

[0009] [0008] 일 실시예에서, 제 1 레지스터의 저항과 커패시터의 커패시턴스의 제 1 곱(product)은 제 2 레지스터의 저항과 캐스코드 트랜지스터의 제어 단자에서의 커패시턴스의 제 2 곱과 대략적으로 동일하다.

[0010] [0009] 일 실시예에서, 캐스코드 트랜지스터는 제 1 캐스코드 트랜지스터이고, 증폭기 회로는, 제어 단자, 제 1 단자 및 제 2 단자를 갖는 제 2 캐스코드 트랜지스터 – 상기 제 2 캐스코드 트랜지스터의 제 1 단자는 제 1 캐스코드 트랜지스터의 제 2 단자에 커플링되고, 제 2 캐스코드 트랜지스터의 제 2 단자는 제 1 트랜지스터의 제 1 단자에 커플링됨 – ; 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 2 노드에 커플링되는 제 2 단자를 갖는 제 3 레지스터; 제 2 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 4 레지스터; 및 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 2 노드에 커플링되는 제 2 단자를 갖는 제 2 커패시터를 더 포함하고, 제 2 노드는 제 2 캐스코드 트랜지스터의 제어 단자에 커플링된다.

[0011] [0010] 일 실시예에서, 회로는 제 1 노드와 캐스코드 트랜지스터의 제어 단자 간에 커플링되는 제 3 레지스터를 더 포함한다.

[0012] [0011] 일 실시예에서, 인덕터는 인덕터의 제 2 단자 상에서 시변 파워 서플라이 신호로부터 캐스코드 트랜지스터의 제 1 단지를 격리한다.

[0013] [0012] 일 실시예에서, 입력 신호의 대역폭은 시변 파워 서플라이 신호의 대역폭 미만이다.

[0014] [0013] 다른 실시예에서, 본 개시는 신호를 증폭하는 방법을 포함하며, 이 방법은 제 1 트랜지스터의 제어 단자 상에서 입력 신호를 수신하는 단계 – 상기 제 1 트랜지스터는 제어 단자, 제 1 단자, 및 제 2 단자를 가짐 – ; 캐스코드 트랜지스터의 제 2 단자 상에서 출력 신호를 생성하도록 제 1 트랜지스터를 통한 입력 신호와 캐스코드 트랜지스터를 커플링하는 단계 – 상기 캐스코드 트랜지스터는 제어 단자, 제 1 단자, 및 제 2 단자를 갖고, 캐스코드 트랜지스터의 제 2 단자는 제 1 트랜지스터의 제 1 단자에 커플링됨 – ; 바이어스 회로의 단자 상에서 변조된 파워 서플라이로부터 시변 파워 서플라이 전압을 수신하는 단계 – 상기 바이어스 회로는 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 제 1 레지스터, 제 1 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터 및 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 커패시터를 포함하고, 제 1 노드는 캐스코드 트랜지스터의 제어 단자에 커플링됨 – ; 시변 파워 서플라이 전압을 캐스코드 트랜지스터의 제어 단자에 커플링하는 단계; 및 시변 파워 서플라이 전압으로부터 캐스코드 트랜지스터의 제 1 단자를 격리하도록 캐스코드 트랜지스터의 제 1 단자에 커플링되는 제 1 단자 및 변조된 파워 서플라이 단자에 커플링되는 제 2 단자를 갖는 인덕터에서 임피던스를 생성하는 단계를 포함한다.

[0015] [0014] 일 실시예에서, 제 1 레지스터, 제 2 레지스터 및 커패시터는, 입력 신호의 제 2 주파수들 범위보다 더 큰 제 1 주파수들 범위에 걸쳐서 캐스코드 디바이스의 제어 단자에 시변 파워 서플라이 신호를 커플링하도록 구성된다.

[0016] [0015] 일 실시예에서, 바이어스 회로는 제 1 바이어스 회로이고, 캐스코드 트랜지스터는 제 1 캐스코드 트랜지스터이고, 상기 방법은, 제 2 바이어스 회로의 단자 상에서 변조된 파워 서플라이로부터 시변 파워 서플라이 전압을 수신하는 단계 – 상기 제 2 바이어스 회로는 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 2 노드에 커플링되는 제 2 단자를 갖는 제 3 레지스터, 제 2 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 4 레지스터, 및 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 2 노드에

커플링되는 제 2 단자를 갖는 제 2 커패시터를 포함하고, 제 2 노드는 제 2 캐스코드 트랜지스터의 제어 단자에 커플링됨 – ; 및 시변 파워 서플라이 전압을 제 2 캐스코드 트랜지스터의 제어 단자에 커플링하는 단계를 더 포함한다.

[0017] [0016] 일 실시예에서, 이 방법은 제 1 노드와 캐스코드 트랜지스터의 제어 단자 간에 커플링되는 제 3 레지스터를 통해 시변 파워 서플라이 전압을 커플링하는 단계를 더 포함한다.

[0018] [0017] 다른 실시예에서, 본 개시는 증폭기 회로를 포함하며, 이 증폭기 회로는, 제어 단자, 제 1 단자 및 제 2 단자를 갖는 제 1 트랜지스터 – 상기 제어 단자는 입력 신호를 수신하도록 구성됨 – ; 제어 단자, 제 1 단자 및 제 2 단자를 갖는 캐스코드 트랜지스터 – 상기 제 2 단자는 제 1 트랜지스터의 제 1 단자에 커플링됨 – ; 캐스코드 트랜지스터의 제 1 단자에 커플링되는 제 1 단자 및 변조된 파워 서플라이 단자를 수신하도록 커플링되는 제 2 단자를 갖는 인덕터; 캐스코드 트랜지스터를 바이어싱하기 위해 변조된 파워 서플라이 단자로부터의 입력 신호에 대응하는 시변 파워 서플라이 신호의 최대 주파수를 캐스코드 트랜지스터의 제어 단자에 커플링하기 위한 수단을 포함한다.

[0019] [0018] 일 실시예에서, 시변 파워 서플라이 신호의 최대 주파수를 커플링하기 위한 수단은, 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 캐스코드 트랜지스터의 제어 단자에 커플링되는 제 2 단자를 갖는 제 1 레지스터; 캐스코드 트랜지스터의 제어 단자에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터; 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 캐스코드 트랜지스터의 제어 단자에 커플링되는 제 2 단자를 갖는 커패시터; 및 캐스코드 트랜지스터의 제어 단자에 커플링되는 커패시턴스를 포함한다.

[0020] [0019] 일 실시예에서, 시변 파워 서플라이 신호의 최대 주파수를 커플링하기 위한 수단은, 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 제 1 레지스터; 제 1 노드에 커플링되는 제 1 단자 및 기준 전압에 커플링되는 제 2 단자를 갖는 제 2 레지스터; 변조된 파워 서플라이 단자에 커플링되는 제 1 단자 및 제 1 노드에 커플링되는 제 2 단자를 갖는 커패시터; 제 1 노드와 캐스코드 트랜지스터의 제어 단자 간에 커플링되는 제 3 레지스터; 및 캐스코드 트랜지스터의 제어 단자에 커플링되는 커패시턴스를 포함한다.

[0021] [0020] 이어지는 상세한 설명 및 첨부 도면들은 본 개시의 성질 및 이점들의 더 나은 이해를 제공한다.

### 도면의 간단한 설명

[0022] [0021] 도 1은 저항성 및 용량성 엘리먼트들을 포함하는 종래의 바이어스 회로를 예시한다.

[0022] [0022] 도 2a는 일 실시예에 따른 예시적인 광대역 바이어스 회로를 예시한다.

[0023] [0023] 도 2b는 다른 실시예에 따른 예시적인 광대역 바이어스 회로를 예시한다.

[0024] [0024] 도 3a는 일 실시예에 따른 증폭기 회로의 예시적인 광대역 바이어스 회로를 예시한다 .

[0025] [0025] 도 3b는 도 3a의 예시적인 광대역 바이어스 회로의 주파수 응답을 예시한다.

[0026] [0026] 도 4는 다른 실시예에 따른 광대역 바이어스 회로의 다른 예를 예시한다.

[0027] [0027] 도 5는 다른 실시예에 따른 광대역 바이어스 회로들의 다른 예를 예시한다.

[0028] [0028] 도 6은 일 실시예에 따른 엔벨로프 및 입력 신호의 예시적인 스펙트럼을 예시한다.

[0029] [0029] 도 7a는 일 실시예에 따른 예시적인 신호를 예시한다.

[0030] [0030] 도 7b는 일 실시예에 따른 예시적인 엔벨로프를 예시한다.

### 발명을 실시하기 위한 구체적인 내용

[0031] [0023] 본 개시는 광대역 바이어스 회로들에 관한 것이다. 이어지는 설명에서, 설명을 위해, 다수의 예들 및 특정 세부사항들이 본 개시의 철저한 이해를 제공하기 위해 기술된다. 그러나 청구범위에서 표현된 바와 같은 본 개시는, 아래에서 설명되는 다른 특징들과 결합하여, 또는 단독으로 이러한 예들의 특징들 중 일부만 또는 전부를 포함할 수 있고, 여기서 설명된 특징들 및 개념들의 변형들 및 등가물들을 더 포함할 수 있다는 것이 당업자에게 자명하게 될 것이다.

[0024] [0032] 본 개시의 몇몇 실시예들은 엔벨로프 트래킹(envelope tracking) 애플리케이션들에 관한 것이다. 엔벨로프 트래킹 애플리케이션에서, 파워 서플라이 전압(Vdd)은 회로의 전력 소비를 감소시키기 위해 시간에 걸쳐 변동될 수 있다. 시변(time varying) 파워 서플라이 전압은 입력 신호가 더 적은 전력을 이용하여 프로세싱될 수 있도록 입력 신호에 대응할 수 있다. ET(envelope tracking)을 이용한 일 예시적인 시스템은 무선 시스템의 전력 증폭기(예를 들어, 신호들을 안테나로 유도하는 전송 경로의 전력 증폭기)이다.

[0025] [0033] 몇몇 ET 애플리케이션들에서, 엔벨로프 신호의 대역폭은 프로세싱되는 신호의 대역폭보다 상당히 더 높을 수 있다. 예를 들어, 전력 증폭기 서플라이 전압(VDD\_ET)은 전송되는 신호의 대역폭의 5-10배까지 확장될 수 있는 엔벨로프 주파수들에서 변조될 수 있다. 예를 들어, 20MHz의 LTE(long term evolution) 무선 프로토콜에서, 파워 서플라이의 대역폭은 200MHz까지 확장될 수 있다.

[0026] [0034] 도 1에서 도시된 바와 같은 종래 기술의 바이어스 회로들의 바이어스 레지스터들과 게이트 커패시턴스의 결합은 저역 통과 주파수 응답을 생성한다. 게이트 커패시턴스의 공통 값들에 대해, 레지스터들은 바람직한 대역폭을 달성하도록 매우 작을(수백 옴 범위) 필요가 있을 것이지만, 매우 큰 PAE(power amplifier efficiency) 저감(degradation)(통상적인 UMTS(Universal Mobile Telecommunications System) 최대 전력 조건들에 대해 대략 3%)을 초래한다.

[0027] [0035] 도 2a는 일 실시예에 따른 예시적인 광대역 바이어스 회로를 예시한다. 이 예에서, 회로(210)는 입력 신호(IN)를 수신할 수 있고 출력 신호(OUT)를 생성할 수 있다. 출력 신호(OUT)는 예를 들어, 공중파(airwave)를 통한 전송을 위해 안테나(도시되지 않음)에 커플링되는 RF 신호일 수 있다. 회로(210)는 특정한 값들로 바이어싱되는 하나 또는 그 초과의 내부 노드들을 포함할 수 있다. 이 예에서, 회로(210)는 변조된 파워 서플라이(230)로부터 시간에 걸쳐 변동될 수 있는 파워 서플라이 전압(VDD\_ET)을 수신할 수 있다. 예를 들어, 몇몇 애플리케이션들에서, 사전프로세싱 블록(240)은 전송될 신호(S)를 수신하고, 예를 들어, 엔벨로프 트래킹을 제어하기 위해 입력 신호(IN) 및 변조 제어 신호(Se)를 생성할 수 있다. 예를 들어, 회로(210)는 시변 파워 서플라이(VDD\_ET)를 이용하여 ET(envelope tracking)을 수행할 수 있다. 본 개시의 특징들 및 이점들은 VDD에 따라 변동되는, 회로 노드에 대한 바이어스를 생성할 수 있는 광대역 바이어스 회로를 포함한다. 출력(OUT)은 예를 들어, 출력 신호로부터 바이어스 회로를 또한 격리할 수 있는 인더터(L1)(220)를 이용하여 파워 서플라이 신호로부터 격리될 수 있다. 회로 노드는 입력 신호의 신호 경로에서 회로에 바이어스 전압을 제공할 수 있고, 이에 따라 예를 들어, 전력 소비를 감소시키도록 시변 파워 서플라이 전압을 이용하여 바이어싱될 수 있다. 이 예에서, 커패시터(C1)(203)는 하단 레지스터 래더 레지스터(R2)(202) 및 커패시턴스(C2)(204)에 의해 설정된 기준의 폴(pole)로 제로-폴 상쇄(zero-pole cancellation)를 수행하기 위해 레지스터 래더의 상단 레지스터(R1)(201)와 병렬로 부가되어, 상당한 대역폭 확장을 발생시킨다. 커패시턴스(C2)(204)는 예를 들어, 트랜지스터 바이어스 노드에서의 총 커패시턴스일 수 있고, 고유한 디바이스 커패시턴스, 노드에 부가된 임의의 추가의 커패시턴스(예를 들어, MIM 또는 MOS 커패시턴스들)는 물론 기생 커패시턴스들을 포함할 수 있다. 커패시터(C1)의 부가는, 레지스터들(R1 및 R2)의 상당히 더 큰 값들의 이용을 허용하며, 이는 예를 들어, 더 높은 PAE를 발생시킬 수 있다. C1은 바이어스 회로에 부가될 수 있고, 아래와 같이 레지스터들 및 커패시터들의 값들을 세팅함으로써, 다음의 전달 함수가 VDD\_ET와 바이어스 노드 사이에서 달성될 수 있다:

$$V_{bias}/V_{dd\_et} = R2/(R1+R2)$$

[0028] ; 여기서, R1C1 및 R2C2에 대한 jwRC는 상쇄됨

[0029] 이에 따라, 시변 파워 서플라이 전압(예를 들어, 엔벨로프 신호)은 예를 들어, 파워 서플라이 신호로부터의 고주파수들을 과도하게 제거함 없이, 노드를 바이어싱하기 위해 회로의 바이어스 노드에 커플링될 수 있다. 일 실시예에서, 커패시턴스들 또는 저항들 중 하나 또는 그 초과는 프로그래밍 가능할 수 있다. 프로그래밍 및 튜닝의 부가는 예를 들어, 회로 대역폭 및 바이어스 전압의 독립적인 제어를 허용할 수 있다.

[0030] [0036] 도 2b는 다른 실시예에 따른 예시적인 광대역 바이어스 회로를 예시한다. 이 예에서, 레지스터(R3)(205)는 R1, R2, 및 C1의 단자들과 기생 노드 커패시턴스(C2)를 포함하는 바이어스 노드 간에 구성된다. 이 예시적인 구성은 특정한 주파수들(예를 들어, RF 주파수들)에서 로딩을 감소시킬 수 있지만, 회로의 고주파수 대역폭을 제한할 수 있다. 다음의 전달 함수는 도 2b에서 도시된 구성을 이용하여 바이어스 노드와 VDD\_ET 간에 달성될 수 있다:

$$V_{bias}/V_{dd\_et} = R2/(R1+R2(1+jwC2R3))$$

[0031] ; 여기서 R1C1=R2C2 및 R2>>R3

[0032]

[0037] 도 3a는 일 실시예에 따른 증폭기 회로의 예시적인 광대역 바이어스 회로를 예시한다. 이 예는 증폭기 회로에서 캐스코드 트랜지스터(311)의 게이트 상에서 바이어스 전압을 생성하기 위한 광대역 바이어스 회로의 애플리케이션을 예시한다. 이 예에서, 입력 신호(IN)는 NMOS 트랜지스터(312)의 게이트 상에서 수신된다. 트랜지스터(312)는 트랜지스터(311)의 소스에 커플링된 드레인을 갖는다. 트랜지스터(311)의 드레인은 인덕터(L1)(310)를 통해 시변 파워 서플라이 전압(VDD\_ET)에 커플링된다. 출력 신호(OUT)는 인덕터(L1)의 단자와 트랜지스터(311)의 드레인 상에서 생성된다. VDD\_ET는 예를 들어, 엔벨로프 트래킹을 구현할 수 있다. 변조된 파워 서플라이 전압은 레지스터(R1)(301), 레지스터(R2)(302), 커페시터(C1)(303) 및 게이트 커페시턴스(C2)(304)를 포함하는 광대역 바이어스 회로에 의해 트랜지스터(311)의 게이트에서 적절한 바이어스 전압으로 변환된다. 예를 들어, 인덕터(310)는 파워 서플라이 신호로부터 트랜지스터(311)의 드레인의 출력을 격리하고, 출력 신호로부터 바이어스 회로를 격리할 수 있다. 도 3b는 도 3a의 예시적인 광대역 바이어스 회로의 주파수 응답을 예시한다. 응답(350)은, 커페시터(C1)가 없는 경우의 응답이 고주파수들에서 강하하는 것을 예시한다. 응답들(351-355)은, C1의 상이한 값들에 대한 응답들이 더 높은 주파수에서 대략 일정(flat)하게 유지되며 급락하지 않는다는 것을 예시한다.

[0033]

[0038] 도 4는 다른 실시예에 따른 광대역 바이어스 회로의 다른 예를 예시한다. 이 예는 일 실시예에 따라 광대역 바이어스 회로들을 포함하는 구동기 증폭기 및 전력 증폭기를 예시한다. 구동기 증폭기는, 캐스코드 구성으로 배열되고 인덕터(L1)(413)를 통해 파워 서플라이에 커플링되는 NMOS 트랜지스터들(410-412)을 포함한다. 입력 신호(IN1)는 트랜지스터(410)의 게이트 상에서 수신되고, 입력 신호에 대응하는 시변 파워 서플라이 전압(VDD-ET)은 파워 서플라이 단자에서 수신된다. 레지스터들(401-402) 및 커페시터들(403-404)을 포함하는 제 1 광대역 바이어스 회로는 트랜지스터(411)의 게이트 상에서 바이어스 전압을 생성하며, 여기서 커페시턴스(404)는 트랜지스터(411)의 게이트 커페시턴스(예를 들어, 디바이스 커페시턴스, 부가적인 부가된 커페시턴스 및 기생 커페시턴스)를 포함한다. 레지스터들(405-406) 및 커페시터들(407-408)을 포함하는 제 2 광대역 바이어스 회로는 트랜지스터(412)의 게이트 상에서 바이어스 전압을 생성하며, 여기서 커페시턴스(408)는 또한 트랜지스터(412)의 게이트 커페시턴스를 포함한다. 구동기 회로의 출력 신호(OUT1)는 트랜지스터(412)의 드레인과 L1 간의 노드로부터 도래한다. OUT1은 예를 들어, 매칭 네트워크(490)를 통해 전력 증폭기의 입력에 제공된다.

[0034]

[0039] 유사하게, 전력 증폭기는, 인덕터 L2(433)를 통해 파워 서플라이에 커플링되고 캐스코드 구성으로 배열되는 NMOS 트랜지스터들(430-432)을 포함한다. 입력 신호(IN2)는 매칭 네트워크(490)로부터 트랜지스터(430)의 게이트 상에서 수신되며, 입력 신호에 대응하는 시변 파워 서플라이 전압(VDD-ET)은 파워 서플라이 단자에서 수신된다. 레지스터들(421-422) 및 커페시터들(423-424)을 포함하는 제 3 광대역 바이어스 회로는 트랜지스터(431)의 게이트 상에서 바이어스 전압을 생성하며, 여기서 커페시턴스(424)는 트랜지스터(431)의 게이트 커페시턴스(예를 들어, 디바이스 커페시턴스, 부가적인 부가된 커페시턴스 및 기생 커페시턴스)를 포함한다. 레지스터들(425-426) 및 커페시터들(427-428)을 포함하는 제 4 광대역 바이어스 회로는 트랜지스터(432)의 게이트 상에서 바이어스 전압을 생성하며, 여기서 커페시턴스(428)는 또한 트랜지스터(432)의 게이트 커페시턴스를 포함한다. 전력 증폭기의 출력 신호는 트랜지스터(432)의 드레인과 L2 간의 노드로부터 도래한다. 출력 신호(OUT2)는 예를 들어, 매칭 네트워크(491)를 통해 안테나에 제공된다.

[0035]

[0040] 도 5는 다른 실시예에 따른 광대역 바이어스 회로들의 다른 예를 예시한다. 이 예는, 각각의 광대역 바이어스 회로가 광대역 바이어스 회로의 다른 엘리먼트들과 각각의 캐스코드 트랜지스터의 게이트 커페시턴스 간에 레지스터를 포함한다는 것을 제외하면, 도 4에서 도시된 것과 동일하다.

[0036]

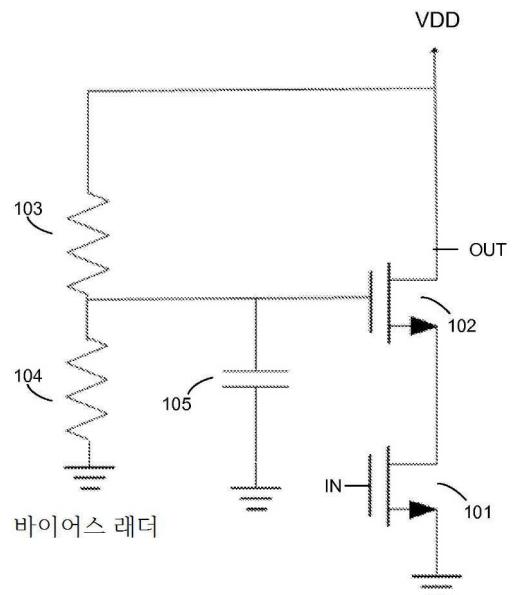
[0041] 도 6은 일 실시예에 따른 엔벨로프 및 입력 신호의 예시적인 스펙트럼을 예시한다. 이 예는, 시변 파워 서플라이 전압의 주파수 범위가 예를 들어, 증폭되는 입력 신호의 주파수 범위보다 더 클 수 있다는 것을 예시한다. 도 6에서 도시된 예는, LTE 신호 및 LTE 엔벨로프를 예시한다. 도 7a는 일 실시예에 따른 예시적인 신호를 예시한다. 도 7a는 입력 신호의 동위상 및 직교 위상의 컴포넌트들 모두를 도시한다. 도 7b는 일 실시예에 따른 예시적인 엔벨로프를 예시한다. 도 7b는 도 7a의 입력 신호에 대한 신호 엔벨로프를 도시한다.

[0037]

[0042] 위의 설명은 특정한 실시예들의 양상들이 어떻게 구현되는지에 관한 예와 함께 본 개시의 다양한 실시예들을 예시한다. 예를 들어, 위의 예들이 NMOS 트랜지스터들의 견지에서 설명되지만, 다른 트랜지스터 타입들이 또한 이용될 수 있다. 위의 예들은 유일한 실시예들로 고려되어선 안 되고, 다음의 청구항들에 의해 정의된 바와 같은 특정한 실시예들의 이점들 및 유연성을 예시하도록 제시된다. 위의 개시 및 이어지는 청구항들에 기초하여, 다른 어레이지먼트들, 실시예들, 구현들 및 등가물들이 청구항들에 의해 정의된 바와 같은 본 개시의 범위로부터 벗어남 없이 이용될 수 있다.

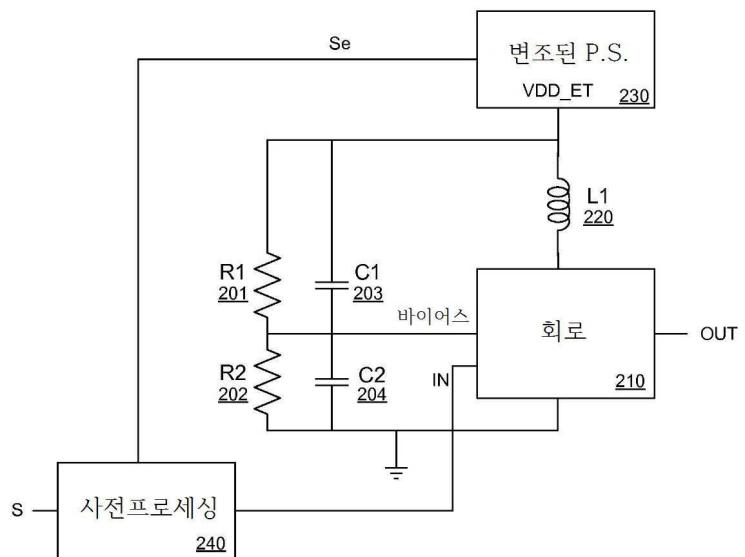
도면

## 도면1

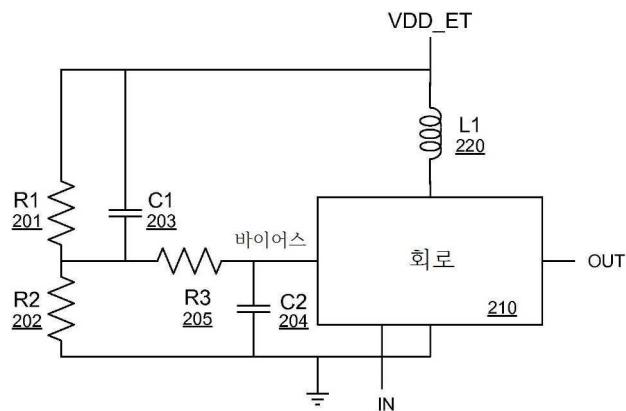


## (종래 기술)

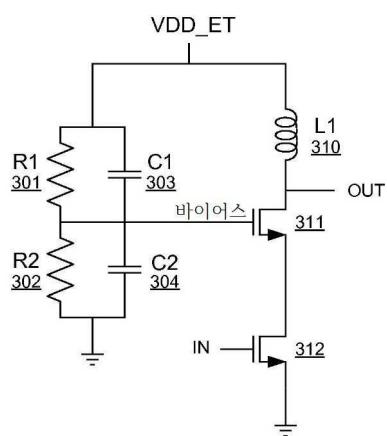
도면2a



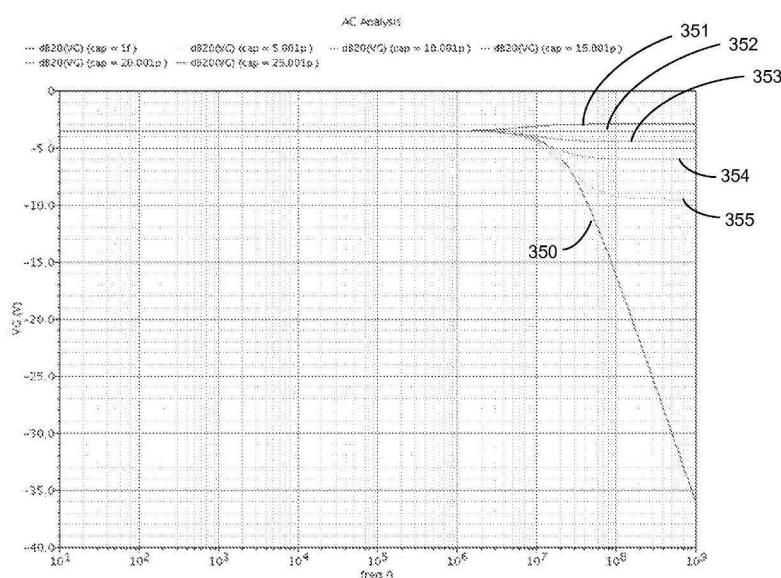
## 도면2b



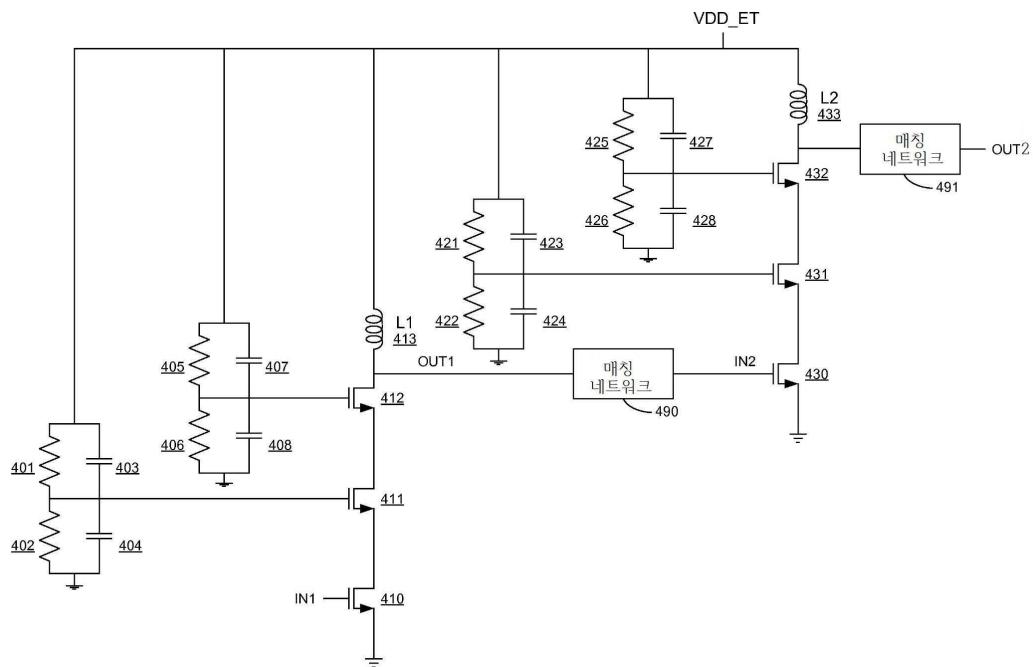
## 도면3a



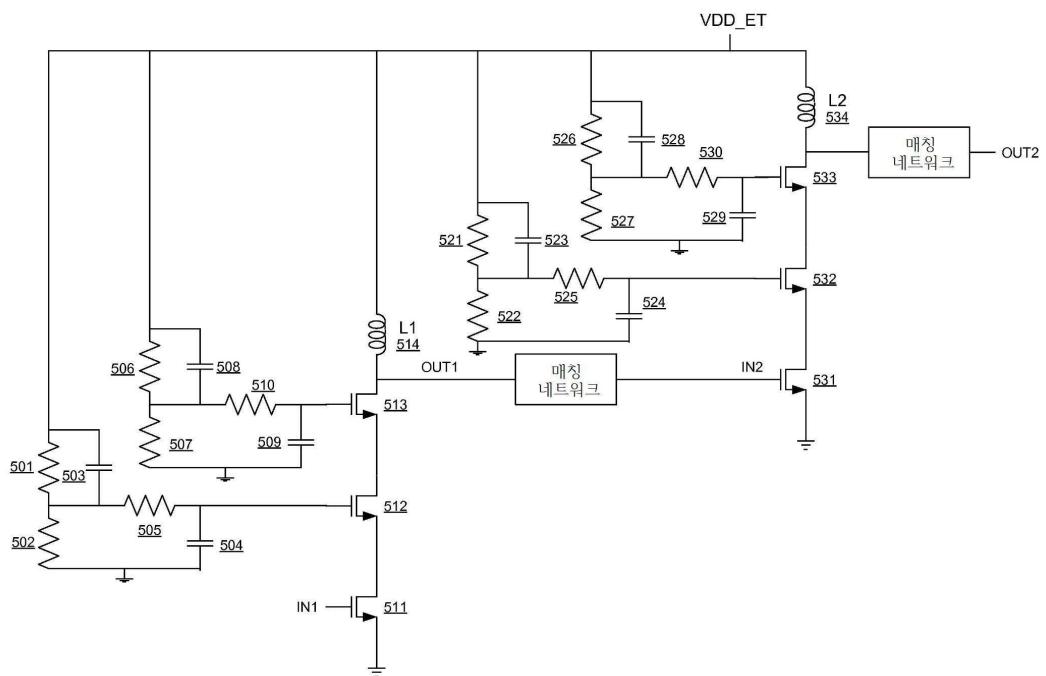
## 도면3b



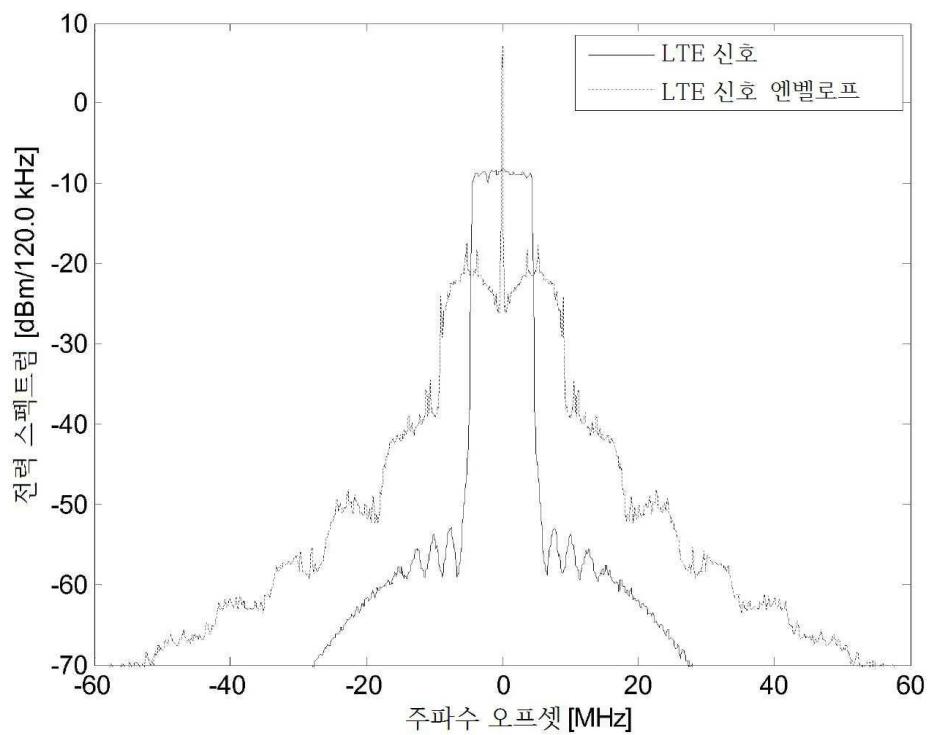
도면4



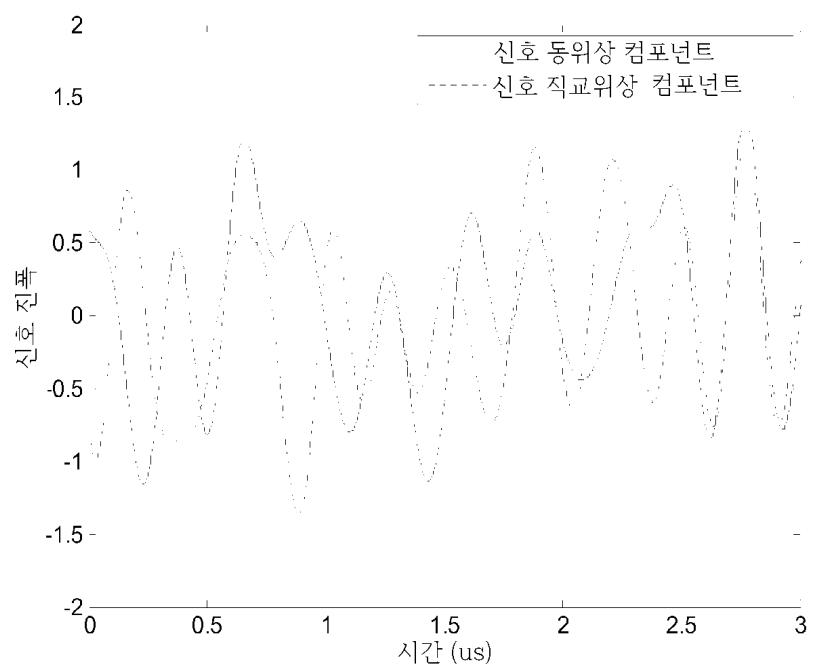
도면5



도면6



도면7a



도면7b

