

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月22日(22.02.2024)



(10) 国際公開番号

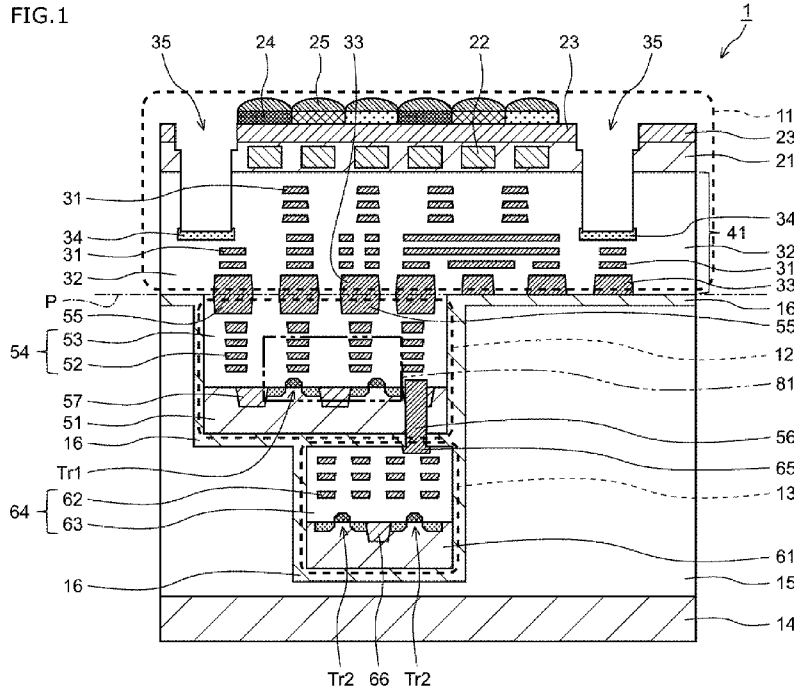
WO 2024/038757 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 25/70* (2023.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2023/028064 (72) 発明者: 杉 森 友 策 (SUGIMORI Yusaku);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2023年8月1日(01.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-129910 2022年8月17日(17.08.2022) JP
- (74) 代理人: 西 川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 半導体装置および電子機器

FIG.1



(57) Abstract: The present disclosure pertains to a semiconductor device and electronic equipment which make it possible to provide a semiconductor device that allows manufacturing cost to be reduced. The semiconductor device is configured by laminating a first semiconductor, a second semiconductor, and a third semiconductor in the vertical direction. The second semiconductor, which is positioned between the first semiconductor and the third semiconductor, includes a conversion circuit that converts electrical characteristics or physical characteristics. The present disclosure can be applied to,

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

for example, a solid-state imaging device or the like.

(57) 要約: 本開示は、製造コストを低減することができる半導体装置を提供することができるようにする半導体装置および電子機器に関する。半導体装置は、第1半導体、第2半導体、及び、第3半導体が上下方向に積層して構成され、第1半導体と第3半導体との間に配置された第2半導体は、電気特性または物理特性を変換する変換回路を含む。本開示は、例えば、固体撮像装置等に適用できる。

明 細 書

発明の名称：半導体装置および電子機器

技術分野

[0001] 本開示は、半導体装置および電子機器に関し、特に、製造コストを低減することができるようにした半導体装置および電子機器に関する。

背景技術

[0002] 撮像装置の高機能化を目的として、光電変換素子が形成された第1の半導体基板の光入射面とは反対側の回路面に、メモリ回路を搭載した第2の半導体基板と、ロジック回路を搭載した第3の半導体基板の、2つの半導体基板をCuCu接合により接合した固体撮像装置が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2019／087764号

発明の概要

発明が解決しようとする課題

[0004] 例えば、特許文献1に開示された積層構造の固体撮像装置において、製造コストを低減するためには、第1の半導体基板と接合される第2の半導体基板または第3の半導体基板として、汎用の半導体チップを利用することが望ましい。

[0005] 本開示は、このような状況に鑑みてなされたものであり、接合される半導体基板として汎用の半導体チップを用いることにより、製造コストを低減することができるようにするものである。

課題を解決するための手段

[0006] 本開示の第1の側面の半導体装置は、第1半導体、第2半導体、及び、第3半導体が上下方向に積層して構成され、前記第1半導体と前記第3半導体との間に配置された前記第2半導体は、電気特性または物理特性を変換する

変換回路を含む装置である。

[0007] 本開示の第2の側面の電子機器は、第1半導体、第2半導体、及び、第3半導体が上下方向に積層して構成され、前記第1半導体と前記第3半導体との間に配置された前記第2半導体は、電気特性または物理特性を変換する変換回路を含む半導体装置を備える。

[0008] 本開示の第1及び第2の側面においては、第1半導体、第2半導体、及び、第3半導体が上下方向に積層して構成され、前記第1半導体と前記第3半導体との間に配置された前記第2半導体には、電気特性または物理特性を変換する変換回路が含まれる。

[0009] 半導体装置及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

図面の簡単な説明

[0010] [図1]本開示の技術を適用した撮像装置の第1実施の形態の断面図である。

[図2]本開示の技術を適用した撮像装置の第2実施の形態の断面図である。

[図3]本開示の技術を適用した撮像装置の第3実施の形態の断面図である。

[図4]本開示の技術を適用した撮像装置の第4実施の形態の断面図である。

[図5]本開示の技術を適用した撮像装置の第5実施の形態の断面図である。

[図6]第2実施の形態ないし第5実施の形態に係る撮像装置の構成例を示すブロック図である。

[図7]変換回路に含まれるパラレルーシリアル変換回路を説明する図である。

[図8]変換回路に含まれるシリアルーパラレル変換回路を説明する図である。

[図9]イメージセンサの使用例を説明する図である。

[図10]本開示の技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図11]車両制御システムの概略的な構成の一例を示すブロック図である。

[図12]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0011] 以下、添付図面を参照しながら、本技術を実施するための形態（以下、実

施の形態という) について説明する。説明は以下の順序で行う。

1. 撮像装置の第1実施の形態
2. 撮像装置の第2実施の形態
3. 撮像装置の第3実施の形態
4. 撮像装置の第4実施の形態
5. 撮像装置の第5実施の形態
6. 撮像装置のブロック図
7. 変換回路の具体的構成例
8. まとめ
9. 撮像装置の使用例
10. 電子機器への適用例
11. 移動体への応用例

[0012] なお、以下の説明で参照する図面において、同一又は類似の部分には同一又は類似の符号を付すことにより重複説明を適宜省略する。図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる。また、図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれている場合がある。

[0013] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれる。

[0014] 以下では、本技術を適用した撮像装置の実施の形態について説明するが、本技術は、半導体装置全般に適用することができる。

[0015] <1. 撮像装置の第1実施の形態>

図1は、本技術を適用した撮像装置の第1実施の形態の断面図を示している。

[0016] 図1に示される撮像装置1は、光電変換素子を備える各画素が行列状に配列されたCMOS固体撮像装置である。

- [0017] 撮像装置 1 は、メイン基板としての第 1 半導体 1 1 に、それより平面サイズが小さいシリコンダイである第 2 半導体 1 2 と第 3 半導体 1 3 をサブ基板として直接接合した積層構造を有する。第 1 半導体 1 1 ないし第 3 半導体 1 3 は、図中の縦方向である上下方向に積層して構成され、第 1 半導体 1 1 と第 3 半導体 1 3 との間に第 2 半導体 1 2 が配置されている。一点鎖線 P は、第 1 半導体 1 1 と第 2 半導体 1 2 との接合面を示している。
- [0018] 第 1 半導体 1 1 ないし第 3 半導体 1 3 の積層構造物は、支持基板 1 4 に接続されている。第 1 半導体 1 1 は、第 2 半導体 1 2 及び第 3 半導体 1 3 よりも大きい平面サイズを有している。第 1 半導体 1 1 と支持基板 1 4 との間で、第 2 半導体 1 2 と第 3 半導体 1 3 以外の領域には絶縁層 1 5 が形成されており、絶縁層 1 5 で第 2 半導体 1 2 と第 3 半導体 1 3 が埋め込まれた状態となっている。
- [0019] 第 1 半導体 1 1 は、光電変換素子を含む画素が行列状に複数配列されたセンサ基板である。第 2 半導体 1 2 は、第 1 半導体 1 1 と第 3 半導体 1 3 との間で、電気特性または物理特性を変換する変換回路 8 1 が形成されたチップ状の基板である。変換回路 8 1 の詳細については後述する。第 3 半導体 1 3 は、ロジック回路が形成されたチップ状の基板である。ロジック回路には、例えば、第 1 半導体 1 1 の各画素で生成された信号を処理する信号処理回路や、第 1 半導体 1 1 の各画素で生成された信号に基づく AI 処理（認識処理）を行う AI 処理回路などが含まれる。第 3 半導体 1 3 は、第 1 半導体 1 1 の各画素で生成された信号などを記憶するメモリ回路が形成されたチップ状の基板であってもよい。
- [0020] 第 1 半導体 1 1 は、半導体として例えばシリコン（Si）を用いた半導体基板 2 1 を備える。半導体基板 2 1 には、光電変換素子であるフォトダイオード 2 2 が画素単位に形成されている。図中、上側となる半導体基板 2 1 の光入射面側には平坦化膜 2 3 が形成されており、平坦化膜 2 3 上に、カラーフィルタ 2 4 とオンチップレンズ 2 5 が画素毎に形成されている。
- [0021] 光入射面側とは反対側の、図中、下側となる半導体基板 2 1 の回路形成面

側には、複数層の金属配線 3 1 と絶縁層 3 2 とを含む配線層 4 1 が形成されている。図 1 の例では、金属配線 3 1 の層数が 6 層で形成されているが、金属配線 3 1 の層数は問わない。また、配線層 4 1 の下面となる第 2 半導体 1 2 との接合面には、複数の接合電極 3 3 が形成されている。接合電極 3 3 は、第 2 半導体 1 2 の接合電極 5 5 と CuCu 接合されており、第 1 半導体 1 1 と第 2 半導体 1 2 を電氣的に接続している。金属配線 3 1 及び接合電極 3 3 の材料としては、例えば銅 (Cu)、タングステン (W)、アルミニウム (Al)、金 (Au) などを採用することができる。本実施の形態では、金属配線 3 1 及び接合電極 3 3 は銅で形成されている。絶縁層 3 2 は、例えば、SiO₂膜、Low-k 膜(低誘電率絶縁膜)、SiOC 膜等で形成される。絶縁層 3 2 は、異なる材料からなる複数の絶縁膜で構成されてもよい。

[0022] 第 1 半導体 1 1 は、ワイヤボンディング等により外部装置と電氣的に接続される複数のパッド 3 4 を有している。各パッド 3 4 は、例えばアルミニウムで形成されており、平面視において、画素アレイ部の外側となる外周部に配置されている。画素アレイ部は、フォトダイオード 2 2 等が形成された複数の画素が行列状に配列された領域であり、平面視において第 1 半導体 1 1 の中央部に形成されている。パッド 3 4 の上方には、半導体基板 2 1 及び平坦化膜 2 3 を貫通する貫通孔 3 5 が形成されており、この貫通孔 3 5 により、パッド 3 4 の上面の一部であって、ワイヤボンダボールが形成される面が露出している。

[0023] 一方、第 2 半導体 1 2 は、半導体として例えばシリコン (Si) を用いた半導体基板 5 1 と、半導体基板 5 1 の第 1 半導体 1 1 側となるおもて面側に配線層 5 4 を有する。配線層 5 4 は、複数層の金属配線 5 2 と絶縁層 5 3 とを含む。図 1 の例では、金属配線 5 2 の層数が 4 層で形成されているが、金属配線 5 2 の層数は問わない。半導体基板 5 1 のおもて面の界面には、複数の MOS トランジスタ Tr 1 が形成されている。複数の MOS トランジスタ Tr 1 は、STI (Shallow Trench Isolation) 等の素子分離部 5 7 で分離されている。また、配線層 5 4 の上面となる第 1 半導体 1 1 との接合面には、複数の接合電極 5

5が形成されている。接合電極55が第1半導体11の接合電極33とCuCu接合されることにより、第1半導体11と第2半導体12が電氣的に接続されている。接合電極55の各々は、不図示の領域において最上層の金属配線52と個別に接続されている。半導体基板51には、基板を貫通する貫通電極(Through Silicon Via)56が形成されており、貫通電極56を介して、第2半導体12の配線層54と第3半導体13の配線層64が電氣的に接続されている。金属配線52及び接合電極55の材料としては、例えば銅(Cu)、タングステン(W)、アルミニウム(Al)、金(Au)などを採用することができる。本実施の形態では、金属配線52及び接合電極55は銅で形成されている。絶縁層53は、例えば、SiO₂膜、Low-k膜(低誘電率絶縁膜)、SiOC膜等で形成される。絶縁層53は、異なる材料からなる複数の絶縁膜で構成されてもよい。

[0024] 第2半導体12には、第3半導体13に対して電気特性または物理特性の互換性を持たせるため、電気特性または物理特性を変換する変換回路81が形成されている。

[0025] 第3半導体13は、半導体として例えばシリコン(Si)を用いた半導体基板61と、半導体基板61の第2半導体12側となるおもて面側に配線層64を有する。配線層64は、複数層の金属配線62と絶縁層63とを含む。図1の例では、金属配線62の層数が3層で形成されているが、金属配線62の層数は問わない。また、配線層64の上面には、第2半導体12の貫通電極56と接合された接合電極65が形成されている。接合電極65は、不図示の領域において所定の金属配線62に接続されている。半導体基板51のおもて面の界面には、複数のMOSトランジスタTr2が形成されている。複数のMOSトランジスタTr2は、STI等の素子分離部66で分離されている。金属配線62及び接合電極65の材料としては、例えば銅(Cu)、タングステン(W)、アルミニウム(Al)、金(Au)などを採用することができる。本実施の形態では、金属配線62及び接合電極65は銅で形成されている。絶縁層63は、例えば、SiO₂膜、Low-k膜(低誘電率絶縁膜)、SiOC膜等で形成さ

れる。絶縁層 63 は、異なる材料からなる複数の絶縁膜で構成されてもよい。

[0026] 支持基板 14 は、半導体として例えばシリコン (Si) を用いた半導体基板で構成される。支持基板 14 は、絶縁層 15 を介して、第 2 半導体 12 及び第 3 半導体 13 と接合されている。より具体的には、第 2 半導体 12 及び第 3 半導体 13 の外側が、第 1 半導体 11 ないし第 3 半導体 13 の接合時に形成された絶縁膜 16 で覆われ、第 2 半導体 12 及び第 3 半導体 13 が積層されていない領域に、絶縁層 15 が埋め込まれている。支持基板 14 は、第 2 半導体 12 及び第 3 半導体 13 のいずれとも積層されていない領域では、絶縁層 15 を介して第 1 半導体 11 と接合されている。

[0027] 以上のように、第 1 実施の形態の撮像装置 1 は、第 1 半導体 11 ないし第 3 半導体 13 を上下方向に積層して構成される。第 1 半導体 11 と第 3 半導体 13 との間に配置された第 2 半導体 12 は、第 3 半導体 13 に対応して電気特性または物理特性を変換する変換回路 81 を含む。これにより、第 3 半導体 13 として汎用の半導体チップを用いることができ、製造コストを低減させている。

[0028] 撮像装置 1 の製造方法について簡単に説明する。

[0029] 撮像装置 1 は、ウエハ状態の第 1 半導体 11 に、個片化されたシリコンダイである第 2 半導体 12 と第 3 半導体 13 を接合して積層したあとで、ウエハ状態の第 1 半導体 11 を個片化する CoW (Chip on Wafer) 技術により製造される。

[0030] より具体的には、ウエハ状態の半導体基板 21 に対して、第 1 半導体 11 となるチップ領域単位に、複数のフォトダイオード 22 が形成されるとともに、半導体基板 21 の一方の面に配線層 41 が形成される。配線層 41 が形成された半導体基板 21 の一面が、半導体基板 21 のおもて面となる。次に、別工程で製造されて個片化された第 2 半導体 12 及び第 3 半導体 13 が、ウエハ状態の第 1 半導体 11 のチップ領域単位に接合される。個片化された第 2 半導体 12 及び第 3 半導体 13 が積層されていない領域に絶縁層 15 が

埋め込まれ、平坦化された後、支持基板 14 が接合される。

[0031] 次に、ウエハ状態の支持基板 14 が下面、ウエハ状態の半導体基板 21 が上面となるように反転された後、半導体基板 21 の各チップ領域に形成されているフォトダイオード 22 が界面近傍となるまで、ウエハ状態の半導体基板 21 が薄肉化される。そして、薄肉化された半導体基板 21 の上に、平坦化膜 23、カラーフィルタ 24、及び、オンチップレンズ 25 が形成される。

[0032] 最後に、半導体基板 21 の各チップ領域の外周部のパッド 34 の位置に貫通孔 35 が形成され、パッド 34 の上面が露出される。以上によりウエハ状態の複数の撮像装置 1 が完成し、チップ単位に個片化することで、図 1 の撮像装置 1 の状態となる。

[0033] < 2. 撮像装置の第 2 実施の形態 >

図 2 は、本技術を適用した撮像装置の第 2 実施の形態の断面図を示している。

[0034] 図 2 ないし図 5 を参照して説明する第 2 ないし第 5 実施の形態においては、それ以前に説明した各実施の形態と共通する部分については同一の符号を付すこととして、その部分の説明は適宜省略し、異なる部分に着目して説明する。

[0035] 図 2 に示される第 2 実施の形態の撮像装置 1 は、第 1 半導体 11 ないし第 3 半導体 13 を上下方向に積層して構成される点で、図 1 に示した第 1 実施の形態と共通する。一方、第 2 実施の形態の撮像装置 1 は、第 1 半導体 11 ないし第 3 半導体 13 に加えて、第 4 半導体 101 も第 1 半導体 11 と接合されている点で、第 1 実施の形態と相違する。第 4 半導体 101 は、一点鎖線 P で示される第 1 半導体 11 の接合面のうち、第 2 半導体 12 が接合された領域と異なる平面領域に接合されている。第 1 半導体 11 の配線層 41 の接合電極 33 には、第 2 半導体 12 の接合電極 71 と接合される接合電極 33A と、第 4 半導体 101 の接合電極 115 と接合される接合電極 33B とが含まれる。

- [0036] 第1半導体11と第2半導体12は、図1の第1実施の形態では、配線層どうしが向かい合う形で接合されていたが、第2実施の形態では、第2半導体12の配線層54は、第3半導体13の配線層64と向かい合う形で接合されている。第2半導体12の半導体基板51の裏面側には、接合電極71と絶縁層72が形成されており、第1半導体11の配線層41に形成された接合電極33Aは、第2半導体12の半導体基板51の裏面側に形成された接合電極71と、CuCu接合によって電氣的に接続されている。接合電極71は、半導体基板51を貫通する貫通電極73を介して、おもて面側の配線層54の金属配線52に接続されている。
- [0037] 一点鎖線Qは、第2半導体12と第3半導体13との接合面を示し、第2半導体12の配線層54の接合電極74と、第3半導体13の配線層64の接合電極65とがCuCu接合されることにより、第2半導体12と第3半導体13が電氣的に接続されている。
- [0038] 一方、第4半導体101は、半導体として例えばシリコン(Si)を用いた半導体基板111と、半導体基板111の第1半導体11側となるおもて面に配線層114を有する。配線層114は、複数層の金属配線112と絶縁層113とを含む。図2の例では、金属配線112の層数が4層で形成されているが、金属配線112の層数は問わない。配線層114の最上層には、複数の接合電極115が形成されており、接合電極115が第1半導体11側の接合電極33BとCuCu接合されることにより、第1半導体11と第4半導体101が電氣的に接続されている。接合電極115の各々は、不図示の領域において最上層の金属配線112と個別に接続されている。
- [0039] 半導体基板111のおもて面の界面には、複数のMOSトランジスタTr3が形成されている。複数のMOSトランジスタTr3は、STI等の素子分離部116で分離されている。金属配線112及び接合電極115の材料としては、例えば銅(Cu)、タングステン(W)、アルミニウム(Al)、金(Au)などを採用することができる。本実施の形態では、金属配線112及び接合電極115は銅で形成されている。絶縁層113は、例えば、SiO₂膜、Low-k膜(低

誘電率絶縁膜)、SiOC膜等で形成される。絶縁層113は、異なる材料からなる複数の絶縁膜で構成されてもよい。

[0040] 以上のように、第2実施の形態の撮像装置1は、第1半導体11ないし第3半導体13を上下方向に積層して構成される。また、第1半導体11には、第2半導体12と異なる領域に、第4半導体101が接合されて構成されている。第1半導体11は、第2半導体12、第3半導体13、及び、第4半導体101のどれよりも大きい平面サイズを有する。第1半導体11の配線層41のうち、領域82に形成された1つ以上の金属配線31及び接合電極33は、第4半導体101と第2半導体12とを電氣的に接続するために用いられている。第2半導体12の変換回路81は第3半導体13と接続されているので、第3半導体13は、第2半導体12の変換回路81と第1半導体11の領域82の金属配線31を介して、第4半導体101と電氣的に接続されている。変換回路81は、第4半導体101と第3半導体13との間で、電気特性または物理特性を変換する回路を含む。これにより、第3半導体13及び第4半導体101の両方とも汎用の半導体チップを用いることができ、製造コストをさらに低減することができる。

[0041] 第3半導体13及び第4半導体101の一方は、例えば、第1半導体11の各画素で生成された信号に基づくAI処理を行うAI処理回路が搭載されたAIチップとすることができ、他方は、第1半導体11の各画素で生成された信号などを記憶するメモリ回路が搭載されたメモリチップとすることができる。

[0042] 第2実施の形態の撮像装置1は、例えば、第2半導体12と第3半導体13とを接合して積層されたチップ（シリコンダイ）と、第4半導体101のチップ（シリコンダイ）とを別工程で製造し、ウエハ状態の第1半導体11に接合することで、製造することができる。

[0043] <3. 撮像装置の第3実施の形態>

図3は、本技術を適用した撮像装置の第3実施の形態の断面図を示している。

[0044] 上述した第1及び第2実施の形態では、第1半導体11が1枚の半導体基板21を有する構造であったが、図3に示される第3実施の形態では、第1半導体11が2枚の半導体基板の積層構造で構成されている。

[0045] 具体的には、図3の第3実施の形態に係る撮像装置1の第1半導体11は、半導体基板21と、半導体基板151とを積層して構成されている。半導体基板21と半導体基板151のうち、図中、上側となる光入射面側に半導体基板21が配置され、第2半導体12及び第4半導体101に近い側に、半導体基板151が配置されている。

[0046] 半導体基板21には、第1及び第2実施の形態と同様に、フォトダイオード22が画素単位に形成され、光入射面となる半導体基板21の裏面には、カラーフィルタ24、オンチップレンズ25等が形成されている。半導体基板21のおもて面側に配線層41が形成されている点も第1及び第2実施の形態と同様である。

[0047] 一方、半導体基板151のおもて面側である半導体基板21側には、複数層の金属配線161と絶縁層162とを含む配線層163が形成されている。図3の例では、金属配線161の層数が4層で形成されているが、金属配線161の層数は問わない。複数層の金属配線161のうち、最上層の金属配線161Uの一部は、パッド34を構成している。金属配線161の材料としては、例えば銅(Cu)、タングステン(W)、アルミニウム(Al)、金(Au)などを採用することができるが、一部をパッド34として利用する最上層の金属配線161Uの材料には、例えばアルミニウムが用いられ、その他の金属配線161には、例えば銅が用いられる。

[0048] また、配線層163の上面には、複数の接合電極164が形成されている。接合電極164の材料としては、例えば銅(Cu)、タングステン(W)、アルミニウム(Al)、金(Au)などを採用することができるが、本実施の形態では、銅で形成されている。配線層163の各接合電極164は、半導体基板21の配線層41の接合電極33と、CuCu接合により接続されている。一点鎖線Rは、半導体基板21側の配線層41と、半導体基板151側の配

線層 163 との接合面を示している。

[0049] 半導体基板 151 の裏面側（図中、下側）には、複数層の金属配線 181 と絶縁層 182 とを含む配線層 183 が形成されている。複数層の金属配線 181 は、再配線（RDL）により形成されている。図 3 の例では、金属配線 181 の層数が 4 層で形成されているが、金属配線 181 の層数は問わない。また、一点鎖線 P で示される、配線層 183 と、第 2 半導体 12 及び第 4 半導体 101 との接合面には、複数の接合電極 184 が形成されている。接合面において、一部の接合電極 184 は、第 2 半導体 12 の接合電極 71 と CuCu 接合されることにより、第 1 半導体 11 と第 2 半導体 12 が電氣的に接続されている。その他の接合電極 184 は、第 4 半導体 101 の接合電極 115 と CuCu 接合されることにより、第 1 半導体 11 と第 4 半導体 101 が電氣的に接続されている。金属配線 181 及び接合電極 184 の材料としては、例えば銅（Cu）、タングステン（W）、アルミニウム（Al）、金（Au）などを採用することができるが、本実施の形態では、銅で形成されている。絶縁層 162 及び 182 は、例えば、SiO₂膜、Low-k 膜（低誘電率絶縁膜）、SiOC 膜等で形成される。絶縁層 162 及び 182 は、異なる材料からなる複数の絶縁膜で構成されてもよい。

[0050] 半導体基板 151 のおもて面側の界面には、複数の MOS トランジスタ Tr4 が形成されている。複数の MOS トランジスタ Tr4 は、STI 等の素子分離部 165 で分離されている。

[0051] 半導体基板 151 には、基板を貫通する貫通電極 191 が複数形成されており、貫通電極 191 を介して、おもて面側の配線層 163 と裏面側の配線層 183 が電氣的に接続されている。

[0052] 以上のように、第 3 実施の形態の撮像装置 1 は、第 1 半導体 11 に対して、上下方向に積層して構成された第 2 半導体 12 及び第 3 半導体 13 が接合されるとともに、第 2 半導体 12 と異なる領域に、第 4 半導体 101 が接合されて構成されている。また、第 1 半導体 11 が、半導体基板 21 と半導体基板 151 の積層構造で構成されている。半導体基板 151 の裏面側に再配

線で形成された複数層の金属配線 181 うち、領域 82 の 1 つ以上の金属配線 181 及び接合電極 184 は、第 4 半導体 101 と第 2 半導体 12 とを電氣的に接続するために用いられている。第 2 半導体 12 の変換回路 81 は、第 3 半導体 13 と電氣的に接続されているので、第 3 半導体 13 は、第 2 半導体 12 の変換回路 81 と第 1 半導体 11 の領域 82 の金属配線 31 を介して、第 4 半導体 101 と電氣的に接続されている。変換回路 81 は、第 4 半導体 101 と第 3 半導体 13 との間で、電気特性または物理特性を変換する回路を含む。これにより、第 3 半導体 13 及び第 4 半導体 101 の両方とも汎用の半導体チップを用いることができるので、製造コストをさらに低減することができる。

[0053] 第 3 実施の形態によれば、第 1 半導体 11 を半導体基板 21 と半導体基板 151 の積層構造としたことにより、第 1 及び第 2 実施の形態と比較して、第 1 半導体 11 の回路面積を増やすことができる。例えば、行列状に配列された各画素から出力される画素信号がデジタル信号に変換される前のアナログ処理回路を第 1 半導体 11 に形成することができる。

[0054] < 4. 撮像装置の第 4 実施の形態 >

図 4 は、本技術を適用した撮像装置の第 4 実施の形態の断面図を示している。

[0055] 図 4 に示される第 4 実施の形態の撮像装置 1 は、第 1 半導体 11 の平面領域の一部に、上下方向に積層された第 2 半導体 12 及び第 3 半導体 13 が接合され、第 2 半導体 12 と異なる第 1 半導体 11 の平面領域に、第 4 半導体 101 が接合されている点で、図 2 に示した第 2 実施の形態と共通する。

[0056] 一方、図 2 に示した第 2 実施の形態では、積層された第 2 半導体 12 及び第 3 半導体 13 の厚みと、第 4 半導体 101 の厚みが異なっていたのに対し、図 4 の第 4 実施の形態は、第 2 半導体 12 及び第 3 半導体 13 の厚みと、第 4 半導体 101 の厚みが同じである点で、第 2 実施の形態と相違する。換言すれば、第 4 実施の形態の撮像装置 1 では、第 4 半導体 101 の厚みが第 2 半導体 12 及び第 3 半導体 13 の厚みと同じとなるように、半導体基板 1

1 1 の厚みが厚く形成されている。第4実施の形態の撮像装置1は、半導体基板1 1 1の厚み以外、第2実施の形態と同様に構成されている。

[0057] 第4実施の形態の撮像装置1は、第2実施の形態と同様に、例えば、第2半導体1 2と第3半導体1 3とを接合して積層されたチップと、第4半導体1 0 1のチップをそれぞれ別工程で製造し、ウエハ状態の第1半導体1 1に接合することで、製造することができる。第4半導体1 0 1のチップの厚みを、第2半導体1 2と第3半導体1 3とを接合したチップの厚みに合わせることで、ウエハ状態の第1半導体1 1に貼り合わせる工程が容易となる。

[0058] なお、図4に示した第4実施の形態では、第1半導体1 1を、第2実施の形態と同様に1枚の半導体基板2 1を用いた単層構造としたが、図3の第3実施の形態のように、半導体基板2 1と半導体基板1 5 1とを積層した積層構造としてもよい。

[0059] <5. 撮像装置の第5実施の形態>

図5は、本技術を適用した撮像装置の第5実施の形態の断面図を示している。

[0060] 図5に示される第5実施の形態の撮像装置1は、第1半導体1 1の平面領域の一部に、上下方向に積層された第2半導体1 2及び第3半導体1 3が接合され、第2半導体1 2と異なる第1半導体1 1の平面領域に、第4半導体1 0 1が接合されている点で、図2に示した第2実施の形態と共通する。

[0061] 一方、図5の第5実施の形態では、第4半導体1 0 1の下側（支持基板1 4側）に、半導体基板2 1 1のみで構成される第5半導体2 0 1がさら積層されている点で、第2実施の形態と相違する。図5の第5実施の形態は、第4半導体1 0 1の下側に第5半導体2 0 1を積層することで、第4半導体1 0 1と第5半導体2 0 1を合わせた厚みが、第2半導体1 2及び第3半導体1 3を合わせた厚みと同じに形成されている。換言すれば、第5実施の形態の撮像装置1では、第4半導体1 0 1と第5半導体2 0 1を合わせた厚みが第2半導体1 2及び第3半導体1 3を合わせた厚みと同じとなるように、第5半導体2 0 1が追加されている。第5半導体2 0 1を構成する半導体基板

211は、回路等が形成されていないダミー基板である。半導体基板211の外側は絶縁膜16で覆われており、第4半導体101の半導体基板111と第5半導体201の半導体基板211とは、絶縁膜16の酸化膜接合により接続されている。第4実施の形態は、第5半導体201が追加された以外は、第2実施の形態と同様に構成されている。

[0062] 第5実施の形態の撮像装置1は、第2実施の形態と同様に、例えば、第2半導体12と第3半導体13とを接合して積層されたチップと、そのチップの厚みに揃えて形成された第4半導体101と第5半導体201とを接合して積層されたチップをそれぞれ別工程で製造し、ウエハ状態の第1半導体11に接合することで、製造することができる。第4半導体101と第5半導体201の接合チップの厚みを、第2半導体12と第3半導体13の接合チップの厚みに合わせることで、ウエハ状態の第1半導体11に貼り合わせる工程が容易となる。

[0063] なお、図5に示した第5実施の形態では、第1半導体11を、第2実施の形態と同様に1枚の半導体基板21を用いた単層構造としたが、図3の第3実施の形態のように、半導体基板21と半導体基板151とを積層した積層構造としてもよい。

[0064] <6. 撮像装置のブロック図>

図6は、上述した第2実施の形態ないし第5実施の形態のように、撮像装置1が第1半導体ないし第4半導体で構成される場合の、撮像装置1の構成例を示すブロック図である。

[0065] 第1半導体11は、フォトダイオード22等が形成された複数の画素が行列状に配列された画素アレイ部251と、パッド部252A及び252Bを含む。パッド部252A及び252Bは、図1で示した複数のパッド34からなり、撮像装置1の入出力部に相当する。パッド部252Aは、第2半導体12と電氣的に接続される複数のパッド34を含み、パッド部252Bは、第4半導体101と電氣的に接続される複数のパッド34を含む。

[0066] 第2半導体12は、変換回路81を少なくとも含む。変換回路81は、第

1 半導体 1 1 と第 3 半導体 1 3 との間で電気特性または物理特性を変換するとともに、第 3 半導体 1 3 と第 4 半導体 1 0 1 との間で電気特性または物理特性を変換する。変換回路 8 1 を少なくとも含む第 2 半導体 1 2 を設けることにより、接合される第 3 半導体 1 3 との互換性を向上させることができる。

[0067] 第 3 半導体 1 3 は、例えばフレームメモリで構成されるメモリ回路 2 6 1 を有する。メモリ回路 2 6 1 は、変換回路 8 1 を介して、第 4 半導体 1 0 1 のロジック回路 2 7 2 から供給されるデータを記憶する。

[0068] 第 4 半導体 1 0 1 は、アナログ/AD変換回路 2 7 1、ロジック回路 2 7 2、及び、IF回路 2 7 3 を含む。アナログ/AD変換回路 2 7 1 は、画素アレイ部 2 5 1 の各画素から出力されたアナログの信号を処理するアナログ信号処理回路と、アナログの信号をデジタルの信号に変換するAD変換回路とで構成される。アナログ/AD変換回路 2 7 1 は、デジタルに変換（AD変換）した信号をロジック回路 2 7 2 に出力する。ロジック回路 2 7 2 は、アナログ/AD変換回路 2 7 1 から供給される信号に対して、例えば黒レベル調整、列ばらつき補正などの各種デジタル信号処理などを行う。ロジック回路 2 7 2 は、処理後の信号をIF回路 2 7 3 に出力したり、必要に応じて、第 3 半導体 1 3 のメモリ回路 2 6 1 に記憶させる。IF回路 2 7 3 は、ロジック回路 2 7 2 から供給される信号を、例えばMIPI(Mobile Industry Processor Interface)の規格など、所定のフォーマットに変換して、パッド部 2 5 2 Bを介して外部装置へ出力する。

[0069] 撮像装置 1 が第 1 半導体ないし第 4 半導体で構成される場合において、第 3 半導体 1 3 にロジック回路 2 7 2 を設け、第 4 半導体にメモリ回路 2 6 1 を設けた構成としてもよい。あるいはまた、第 3 半導体 1 3 及び第 4 半導体の両方に、メモリ回路 2 6 1 もしくはロジック回路 2 7 2 の一方または両方が設けられてもよい。ロジック回路 2 7 2 には、各画素で生成された信号を処理する信号処理回路、各画素で生成された信号に基づくAI処理を行うAI処理回路が含まれる。

[0070] ＜ 7. 変換回路の具体的構成例＞

次に、第 2 半導体 1 2 に設けられる変換回路 8 1 の具体的構成例について説明する。

[0071] ＜パラレルーシリアル変換回路＞

変換回路 8 1 には、例えば、パラレルーシリアル変換回路を含むことができる。パラレルーシリアル変換回路は、第 1 半導体 1 1 と第 3 半導体 1 3 との間で電気特性を変換する変換回路の一例である。

[0072] 図 7 は、変換回路 8 1 に含まれるパラレルーシリアル変換回路の具体的構成例とタイミングチャートを示している。

[0073] パラレルーシリアル変換回路 3 0 1 は、3 つのセクタ 3 1 1 及び D フリップフロップ 3 1 2 で構成され、3 つの平行の信号 D0, D1, D2 をシリアル信号に変換して出力する。各セクタ 3 1 1 には、平行信号 D0, D1、または D2 のいずれかと、サンプリングタイミングを制御する SH 信号が入力される。各セクタ 3 1 1 は、SH 信号が Low のときの入力 B の信号 D0, D1、または D2 を出力する。各 D フリップフロップ 3 1 2 は、前段のセクタ 3 1 1 が出力し、入力 D へ供給された信号を、クロック信号 CK の立ち上がりで記憶し、出力 Q から出力する。これにより、パラレルーシリアル変換回路 3 0 1 の出力 OUT からは、信号 D0, D1, D2 が、順に出力される。パラレルーシリアル変換回路 3 0 1 により、低速の平行信号を、高速のシリアル信号に変換して出力することができる。

[0074] ＜シリアルーパラレル変換回路＞

変換回路 8 1 には、例えば、シリアルーパラレル変換回路を含むことができる。シリアルーパラレル変換回路は、第 1 半導体 1 1 と第 3 半導体 1 3 との間で電気特性を変換する変換回路の一例である。

[0075] 図 8 は、変換回路 8 1 に含まれるシリアルーパラレル変換回路の具体的構成例とタイミングチャートを示している。

[0076] シリアルーパラレル変換回路 3 2 1 は、3 つの D フリップフロップ 3 3 1 を接続して構成され、順次入力される 3 つの信号 D0, D1, D2 を平行信号に変

換して出力する。各Dフリップフロップ331は、入力Dへ供給された信号を、クロック信号CKの立ち上がりで記憶し、出力Qから出力する。これにより、シリアルーパラレル変換回路321の出力OUT0, OUT1, OUT2から、信号D0, D1, D2が同時に出力される。シリアルーパラレル変換回路321により、高速のシリアル信号を、低速のパラレル信号に変換して出力することができる。

[0077] 第3半導体13及び第4半導体101として汎用の半導体チップを用いる場合、並列数は半導体チップのパッド数によって律速する。変換回路81の少なくとも一部として、パラレルーシリアル変換回路301またはシリアルーパラレル変換回路321を設けることにより、データ信号の並列数を増やし、データレートを上げることができる。

[0078] <配線ピッチ変換部>

例えば、メモリ回路261（図6）が形成された第3半導体13として汎用の半導体チップを用いた場合、第3半導体13の配線ピッチと、第1半導体11の配線ピッチとが異なることが考えられる。例えば、汎用の半導体チップを用いた第3半導体13の配線ピッチは、第1半導体11の配線ピッチよりも大きく（広く）なっている。変換回路81には、第1半導体11と第3半導体13との間で、配線ピッチを変換する配線ピッチ変換部を含む構成とすることができる。配線ピッチ変換部は、第1半導体11と第3半導体13との間で物理特性を変換する変換回路の一例である。配線ピッチ変換部を設けることにより、接合される第3半導体13との互換性を向上させることができる。

[0079] <ロジック回路部>

変換回路81には、例えば、メモリ回路261に記憶された複数の画像の演算や、画像内の複数画素の演算などを行う演算回路、上述したシリアルーパラレル変換回路等のクロック信号CKを生成するクロック生成回路などのロジック回路部を含むことができる。ロジック回路部は、第1半導体11と第3半導体13との間で電気特性を変換する変換回路の一例である。ロジック回路部を設けることにより、第1半導体11の回路面積を減らすことができ

る。

[0080] <フォーマット変換部>

変換回路 8 1 には、例えば、フォーマット変換部を含むことができる。フォーマット変換部は、例えば、DDR 4、DDR 5、MIPIなどの規格に準拠した信号フォーマットに変換して出力する回路である。フォーマット変換部は、第 1 半導体 1 1 と第 3 半導体 1 3 との間で電気特性を変換する変換回路の一例である。フォーマット変換部を設けることにより、信号フォーマットを変換することができ、通信方式の自由度を向上させることができる。

[0081] <電源供給部>

変換回路 8 1 には、例えば、電源供給部を含むことができる。電源供給部は、例えば、パッド部 2 5 2 Aまたは 2 5 2 Bから入力された電源電圧を、第 3 半導体 1 3 へ供給する回路である。電源供給部は、第 1 半導体 1 1 と第 3 半導体 1 3 との間で電気特性を変換する変換回路の一例である。

[0082] <テスト回路>

変換回路 8 1 には、例えば、第 3 半導体 1 3 の動作をテストするテスト回路を含むことができる。テスト回路は、例えば、第 3 半導体 1 3 にアナログ/AD変換回路 2 7 1 やロジック回路 2 7 2 が設けられた場合、それらの回路の動作をテストするための回路である。テスト回路は、第 1 半導体 1 1 と第 3 半導体 1 3 との間で電気特性を変換する変換回路の一例である。

[0083] <8. まとめ>

撮像装置 1 は、第 1 半導体 1 1、第 2 半導体 1 2、及び、第 3 半導体 1 3 が上下方向に積層して構成され、第 1 半導体 1 1 と第 3 半導体 1 3 との間に配置された第 2 半導体 1 2 が、電気特性または物理特性を変換する変換回路 8 1 を含む構成とされている。第 2 半導体 1 2 に変換回路 8 1 を設けたことにより、第 3 半導体 1 3 として汎用の半導体チップを採用することができ、撮像装置 1 の製造コストを低減することができる。第 4 半導体 1 0 1 も接合されている場合には、第 4 半導体 1 0 1 についても汎用の半導体チップを採用することができ、撮像装置 1 の製造コストをさらに低減することができる。

。第1半導体11は、第2半導体12、第3半導体13、及び、第4半導体101のどれよりも大きい平面サイズで形成され、第2半導体12と第4半導体101は、第1半導体11の異なる平面領域に配置される。

[0084] <9. 撮像装置の使用例>

図9は、上述の撮像装置1を用いたイメージセンサの使用例を示す図である。

[0085] 上述の撮像装置1は、イメージセンサとして、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0086] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0087] <10. 電子機器への適用例>

本技術は、撮像装置への適用に限られるものではない。即ち、本技術は、

デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機など、画像取込部（光電変換素子）に撮像装置を用いる電子機器全般に対して適用可能である。撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール形態であってもよい。

[0088] 図10は、本技術を適用した電子機器の構成例を示すブロック図である。

[0089] 図10の電子機器600は、レンズ群などからなる光学部601、図1の撮像装置1の構成が採用される固体撮像装置（撮像デバイス）602、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路603を備える。また、電子機器600は、フレームメモリ604、表示部605、記録部606、操作部607、および電源部608も備える。DSP回路603、フレームメモリ604、表示部605、記録部606、操作部607および電源部608は、バスライン609を介して相互に接続されている。

[0090] 光学部601は、被写体からの入射光（像光）を取り込んで固体撮像装置602の撮像面上に結像する。固体撮像装置602は、光学部601によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置602として、図1の撮像装置1、即ち、メイン基板としての第1半導体11と、それより平面サイズが小さいシリコンダイである第2半導体12及び第3半導体13とを上下方向に接合して構成し、第1半導体11と第3半導体13との間に配置された第2半導体12に変換回路81を設けた撮像装置を用いることができる。

[0091] 表示部605は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、固体撮像装置602で撮像された動画または静止画を表示する。記録部606は、固体撮像装置602で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0092] 操作部607は、ユーザによる操作の下に、電子機器600が持つ様々な

機能について操作指令を発する。電源部 608 は、DSP 回路 603、フレームメモリ 604、表示部 605、記録部 606 および操作部 607 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0093] 上述したように、固体撮像装置 602 として、上述した各実施の形態のいずれかを適用した撮像装置 1 を用いることで、製造コストを低減し、歩留まりを向上させることができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの電子機器 600 においても、製造コストを低減し、歩留まりを向上させることができる。

[0094] < 11. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0095] 図 11 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0096] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 11 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F（interface）12053 が図示されている。

[0097] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0098] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0099] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0100] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0101] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0102] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む ADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0103] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0104] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0105] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 11 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボード

ディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0106] 図12は、撮像部12031の設置位置の例を示す図である。

[0107] 図12では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0108] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0109] なお、図12には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0110] 撮像部12101ないし12104の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも一つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0111] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0112] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0113] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

- [0114] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、撮像部12031として、上述した各実施の形態に係る撮像装置1を適用することができる。撮像部12031に本開示に係る技術を適用することにより、製造コストを低減し、小型化しつつも、より見やすい撮影画像を得ることができたり、距離情報を取得することができる。また、得られた撮影画像や距離情報を用いて、ドライバの疲労を軽減したり、ドライバや車両の安全度を高めることが可能になる。
- [0115] また、本開示は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。
- [0116] また、本技術は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。
- [0117] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の技術の要旨を逸脱しない範囲において種々の変更が可能である。
- [0118] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。
- [0119] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0120] なお、本開示の技術は、以下の構成を取ることができる。

(1)

第1半導体、第2半導体、及び、第3半導体が上下方向に積層して構成され、

前記第1半導体と前記第3半導体との間に配置された前記第2半導体は、電気特性または物理特性を変換する変換回路を含む半導体装置。

(2)

前記第1半導体には、前記第2半導体と異なる平面領域に、第4半導体がさらに接合されて構成されている

前記(1)に記載の半導体装置。

(3)

前記第3半導体は、前記第2半導体の前記変換回路と、前記第1半導体の配線を介して、前記第4半導体と接続されている

前記(2)に記載の半導体装置。

(4)

前記第1半導体は、複数の半導体基板を積層して構成され、

前記第3半導体は、前記第2半導体の前記変換回路と、前記第1半導体の再配線を介して、前記第4半導体と接続されている

前記(2)または(3)に記載の半導体装置。

(5)

前記第4半導体は、前記第2半導体と前記第3半導体を積層した厚みと異なる厚みを有する

前記(2)ないし(4)のいずれかに記載の半導体装置。

(6)

前記第4半導体は、前記第2半導体と前記第3半導体を積層した厚みと同じ厚みを有する

前記(2)ないし(4)のいずれかに記載の半導体装置。

(7)

前記第4半導体とダミー基板とを合わせた厚みが、前記第2半導体と前記第3半導体を積層した厚みと同じ厚みに構成されている

前記(6)に記載の半導体装置。

(8)

前記変換回路は、パラレルーシリアル変換回路を含む

前記(1)ないし(7)のいずれかに記載の半導体装置。

(9)

前記変換回路は、シリアルーパラレル変換回路を含む

前記(1)ないし(8)のいずれかに記載の半導体装置。

(10)

前記変換回路は、配線ピッチを変換する配線ピッチ変換部を含む

前記(1)ないし(9)のいずれかに記載の半導体装置。

(11)

前記変換回路は、ロジック回路部を含む

前記(1)ないし(10)のいずれかに記載の半導体装置。

(12)

前記変換回路は、信号フォーマットを変換するフォーマット変換部を含む

前記(1)ないし(11)のいずれかに記載の半導体装置。

(13)

前記変換回路は、前記第3半導体へ電源電圧を供給する電源供給部を含む

前記(1)ないし(12)のいずれかに記載の半導体装置。

(14)

前記変換回路は、前記第3半導体のテスト回路を含む

前記(1)ないし(13)のいずれかに記載の半導体装置。

(15)

前記第1半導体は、前記第2半導体及び前記第3半導体よりも大きい平面サイズを有する

前記（１）ないし（１４）のいずれかに記載の半導体装置。

（１６）

前記第１半導体は、行列状に配列された光電変換素子を含む

前記（１）ないし（１５）のいずれかに記載の半導体装置。

（１７）

前記第３半導体は、信号処理回路またはAI処理回路を含むロジック回路を含む

前記（１）ないし（１６）のいずれかに記載の半導体装置。

（１８）

前記第３半導体は、メモリ回路を含む

前記（１）ないし（１７）のいずれかに記載の半導体装置。

（１９）

第１半導体、第２半導体、及び、第３半導体が上下方向に積層して構成され、

前記第１半導体と前記第３半導体との間に配置された前記第２半導体は、電気特性または物理特性を変換する変換回路を含む

半導体装置

を備える電子機器。

符号の説明

[0121] １ 撮像装置, １１ 第１半導体, １２ 第２半導体, １３ 第３半導体, １４ 支持基板, １５ 絶縁層, １６ 絶縁膜, ２１ 半導体基板, ２２ フォトダイオード, ２３ 平坦化膜, ２４ カラーフィルタ, ２５ オンチップレンズ, ３１ 金属配線, ３４ パッド, ４１ 配線層, ５１ 半導体基板, ６１ 半導体基板, ８１ 変換回路, ８２ 領域, １０１ 第４半導体, ２０１ 第５半導体, ３０１ パラレルーシリアル変換回路, ３２１ シリアルーパラレル変換回路, ６００ 電子機器, ６０２ 固体撮像装置

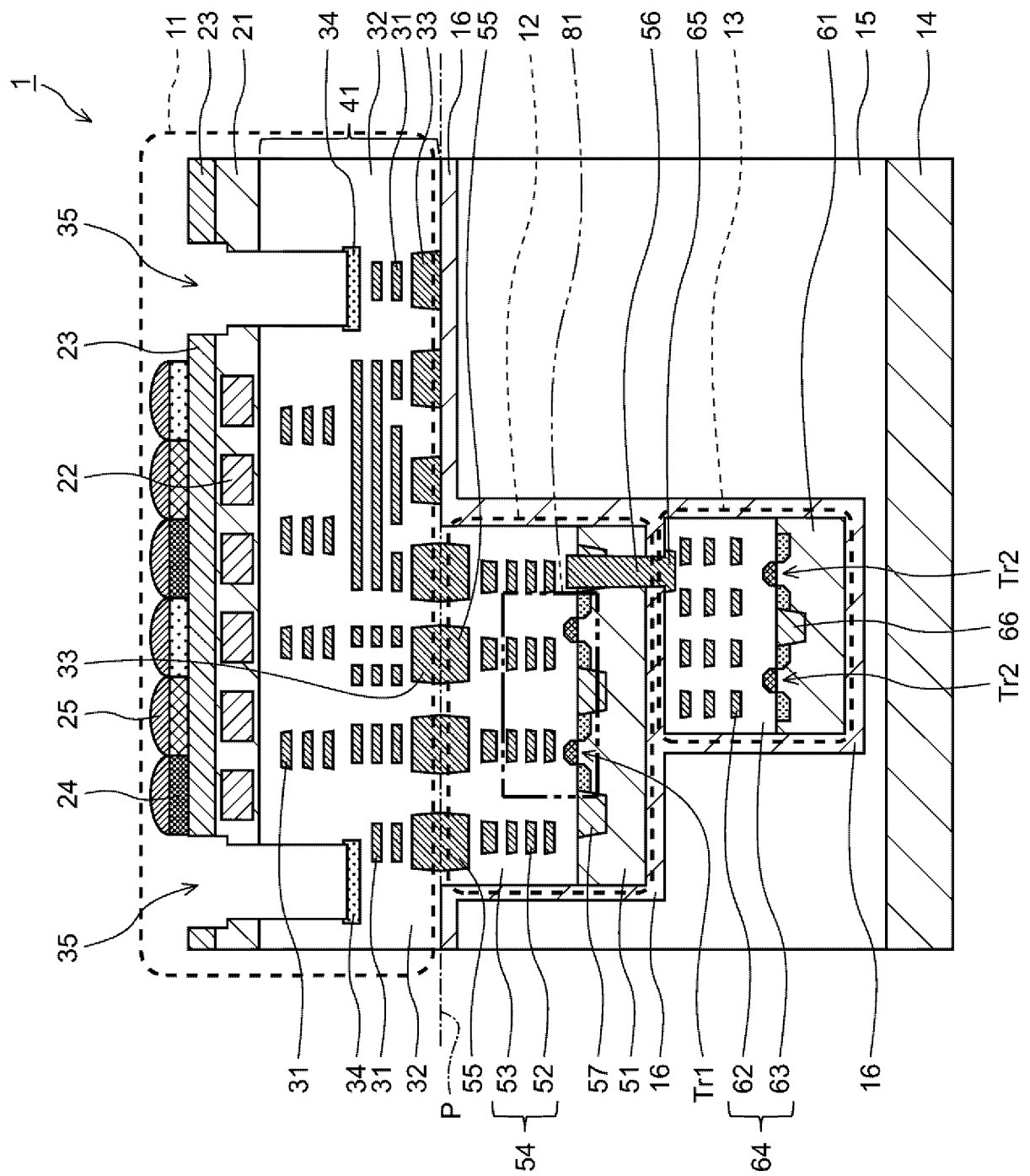
請求の範囲

- [請求項1] 第1半導体、第2半導体、及び、第3半導体が上下方向に積層して構成され、
前記第1半導体と前記第3半導体との間に配置された前記第2半導体は、電気特性または物理特性を変換する変換回路を含む半導体装置。
- [請求項2] 前記第1半導体には、前記第2半導体と異なる平面領域に、第4半導体がさらに接合されて構成されている
請求項1に記載の半導体装置。
- [請求項3] 前記第3半導体は、前記第2半導体の前記変換回路と、前記第1半導体の配線を介して、前記第4半導体と接続されている
請求項2に記載の半導体装置。
- [請求項4] 前記第1半導体は、複数の半導体基板を積層して構成され、
前記第3半導体は、前記第2半導体の前記変換回路と、前記第1半導体の再配線を介して、前記第4半導体と接続されている
請求項2に記載の半導体装置。
- [請求項5] 前記第4半導体は、前記第2半導体と前記第3半導体を積層した厚みと異なる厚みを有する
請求項2に記載の半導体装置。
- [請求項6] 前記第4半導体は、前記第2半導体と前記第3半導体を積層した厚みと同じ厚みを有する
請求項2に記載の半導体装置。
- [請求項7] 前記第4半導体とダミー基板とを合わせた厚みが、前記第2半導体と前記第3半導体を積層した厚みと同じ厚みに構成されている
請求項6に記載の半導体装置。
- [請求項8] 前記変換回路は、パラレルーシリアル変換回路を含む
請求項1に記載の半導体装置。
- [請求項9] 前記変換回路は、シリアルーパラレル変換回路を含む

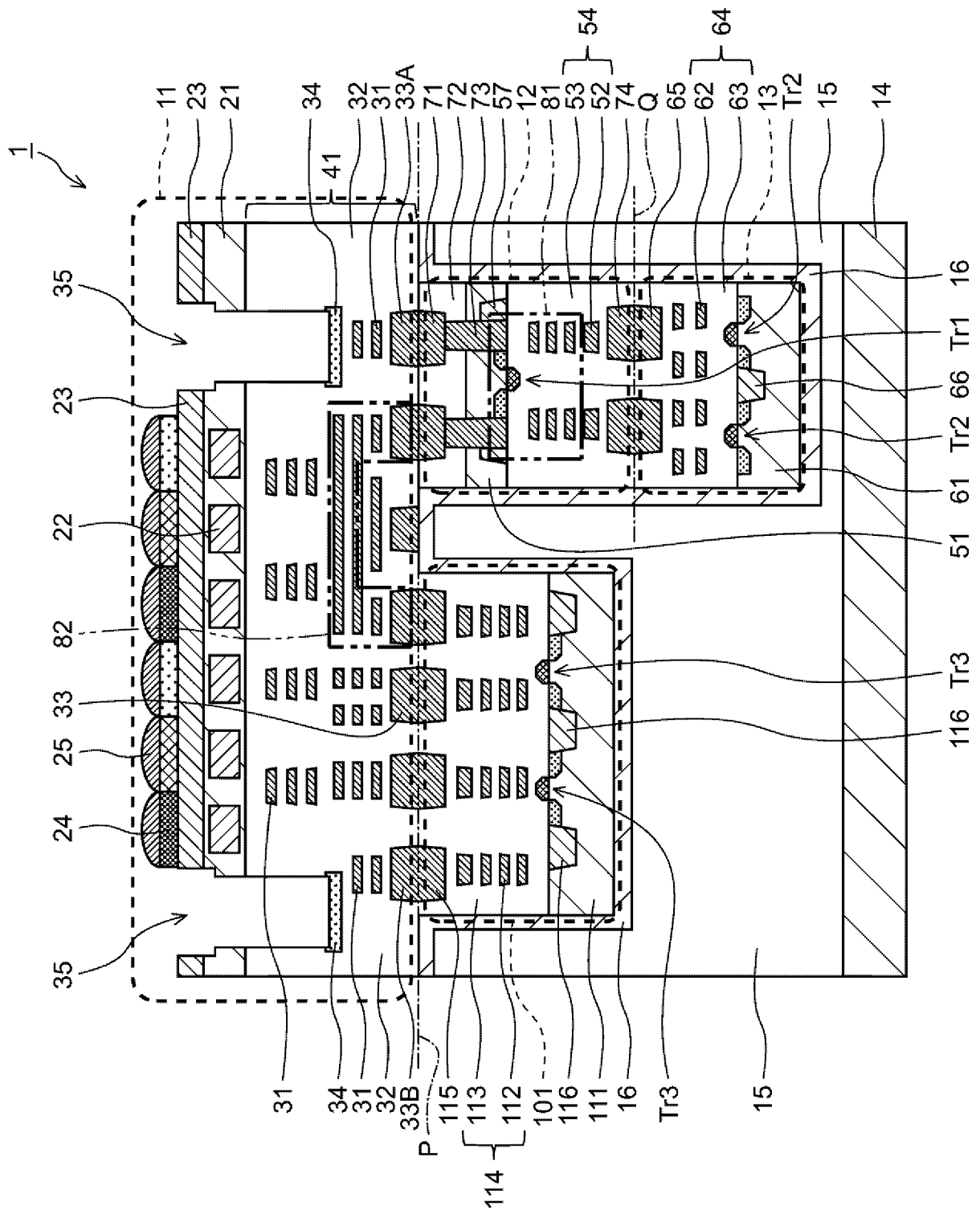
- 請求項 1 に記載の半導体装置。
- [請求項10] 前記変換回路は、配線ピッチを変換する配線ピッチ変換部を含む
請求項 1 に記載の半導体装置。
- [請求項11] 前記変換回路は、ロジック回路部を含む
請求項 1 に記載の半導体装置。
- [請求項12] 前記変換回路は、信号フォーマットを変換するフォーマット変換部を含む
請求項 1 に記載の半導体装置。
- [請求項13] 前記変換回路は、前記第 3 半導体へ電源電圧を供給する電源供給部を含む
請求項 1 に記載の半導体装置。
- [請求項14] 前記変換回路は、前記第 3 半導体のテスト回路を含む
請求項 1 に記載の半導体装置。
- [請求項15] 前記第 1 半導体は、前記第 2 半導体及び前記第 3 半導体よりも大きい平面サイズを有する
請求項 1 に記載の半導体装置。
- [請求項16] 前記第 1 半導体は、行列状に配列された光電変換素子を含む
請求項 1 に記載の半導体装置。
- [請求項17] 前記第 3 半導体は、信号処理回路またはAI処理回路を含むロジック回路を含む
請求項 1 に記載の半導体装置。
- [請求項18] 前記第 3 半導体は、メモリ回路を含む
請求項 1 に記載の半導体装置。
- [請求項19] 第 1 半導体、第 2 半導体、及び、第 3 半導体が上下方向に積層して構成され、
前記第 1 半導体と前記第 3 半導体との間に配置された前記第 2 半導体は、電気特性または物理特性を変換する変換回路を含む
半導体装置

を備える電子機器。

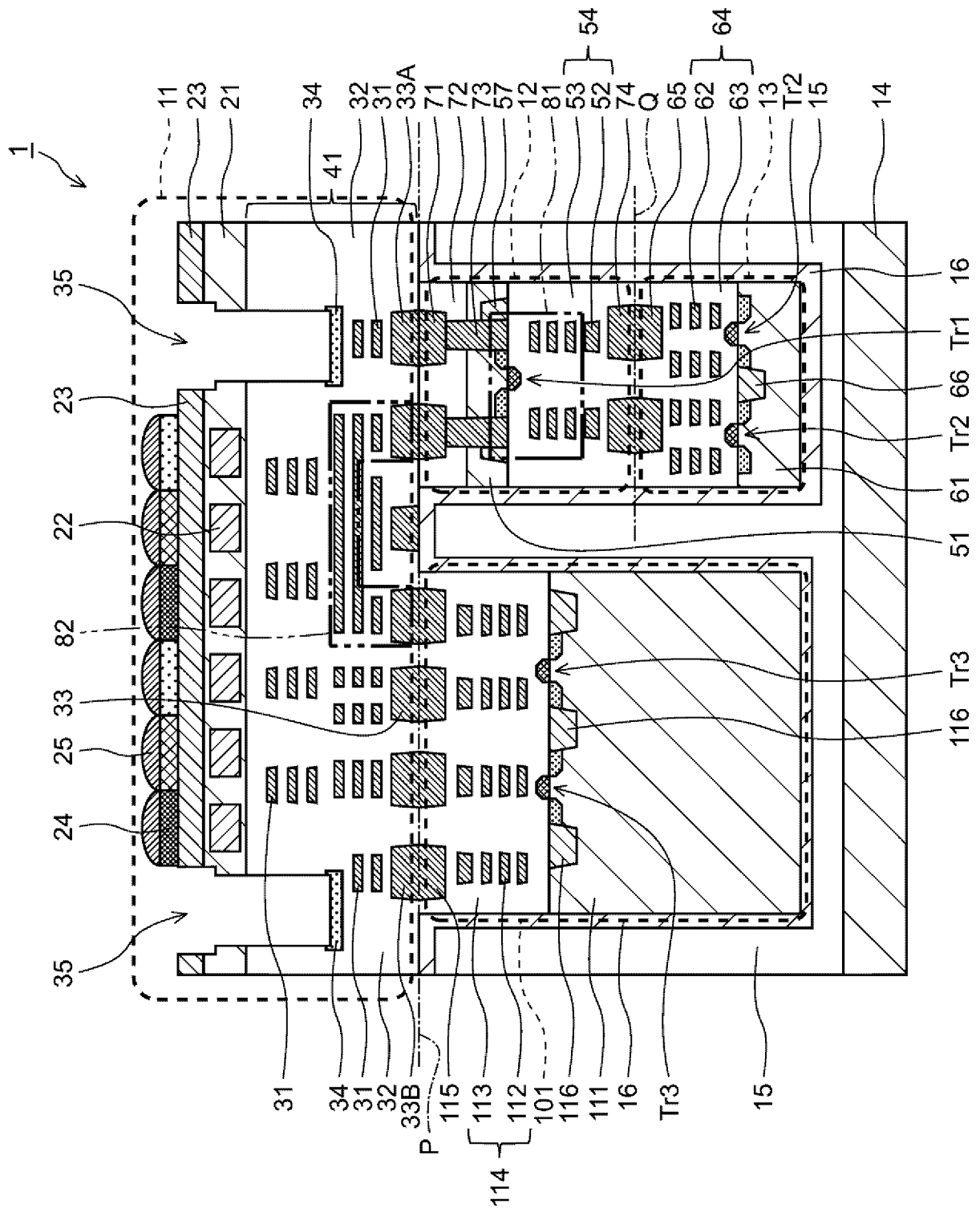
[図1]
FIG.1



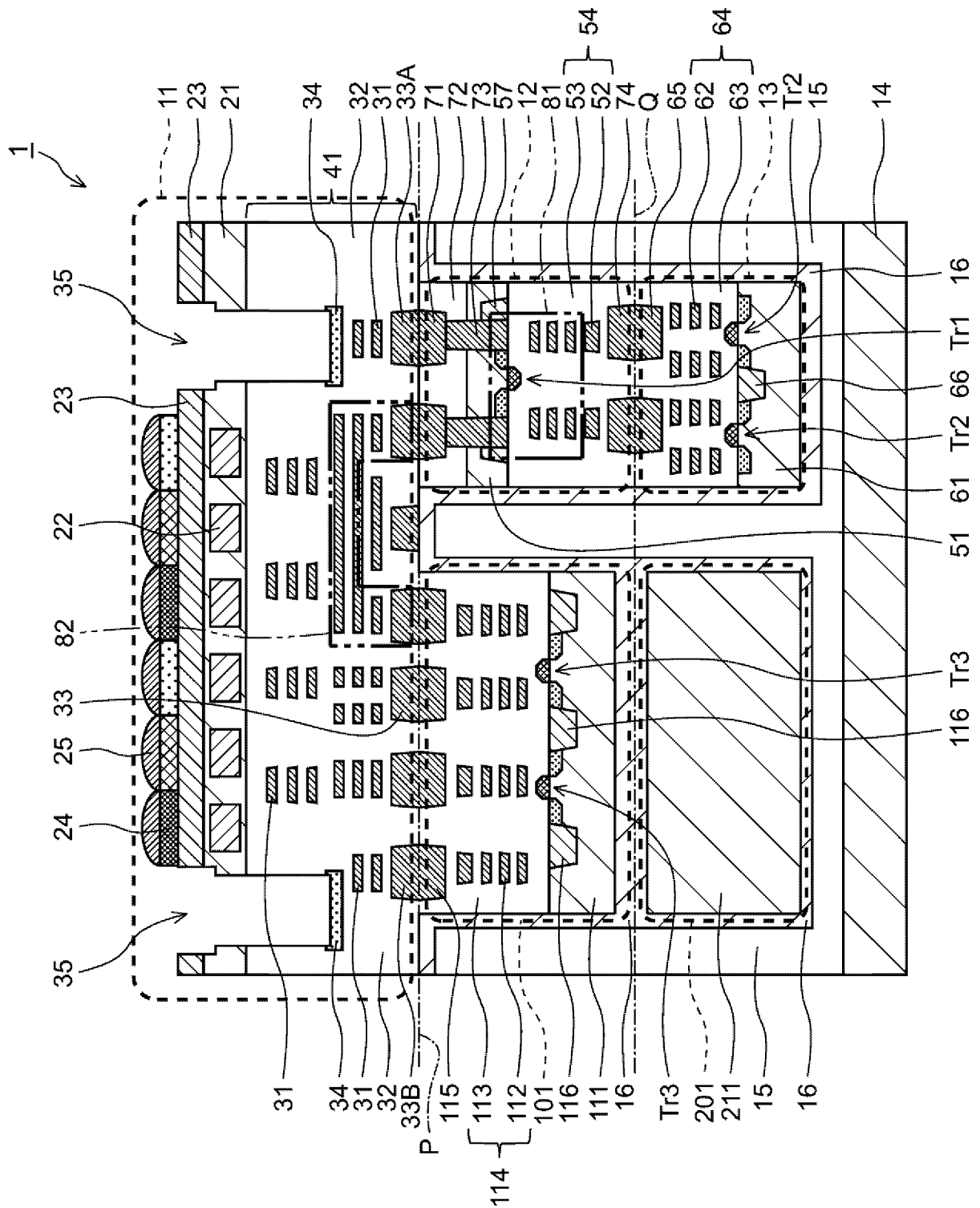
[図2]
FIG.2



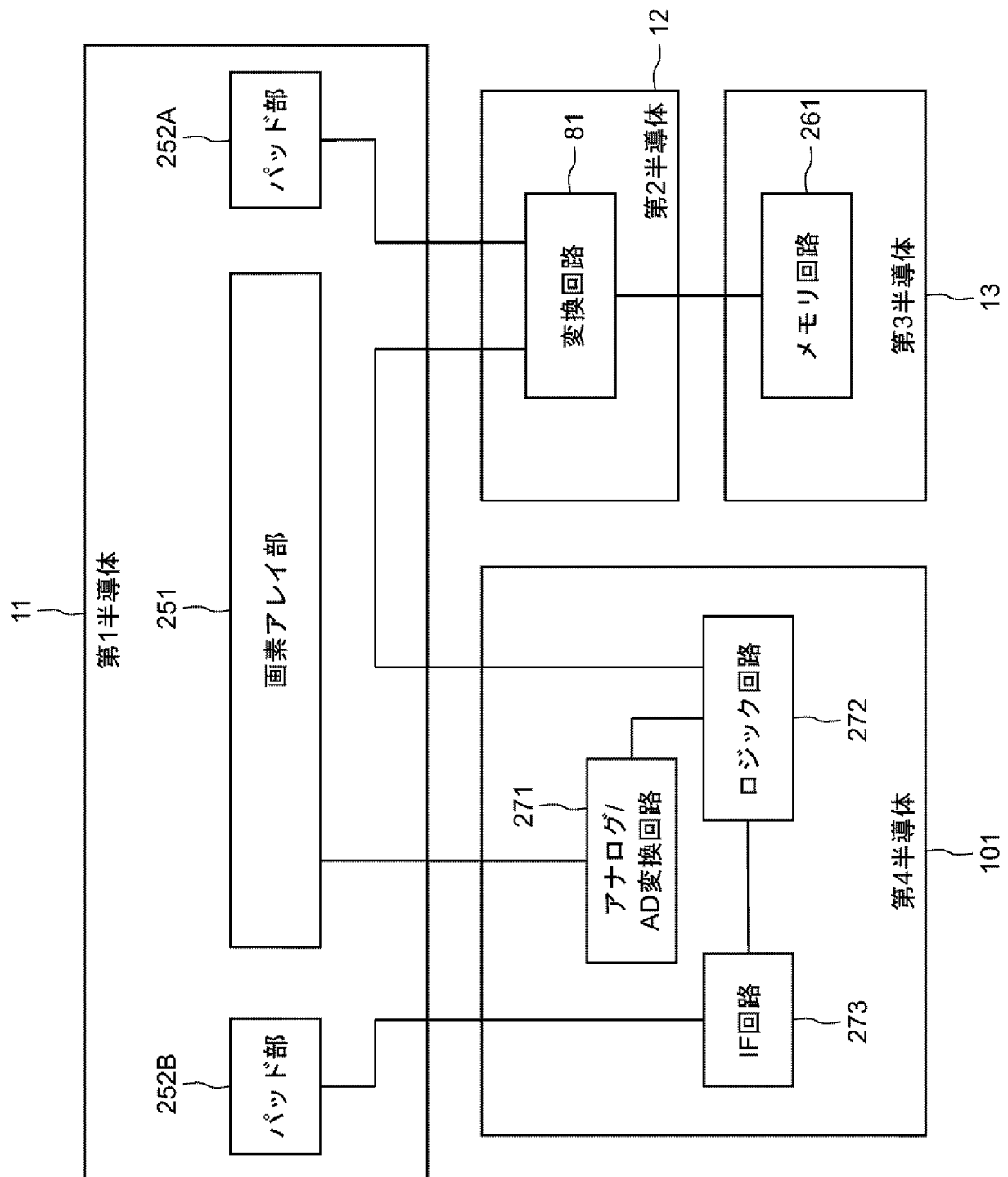
[図4]
FIG.4

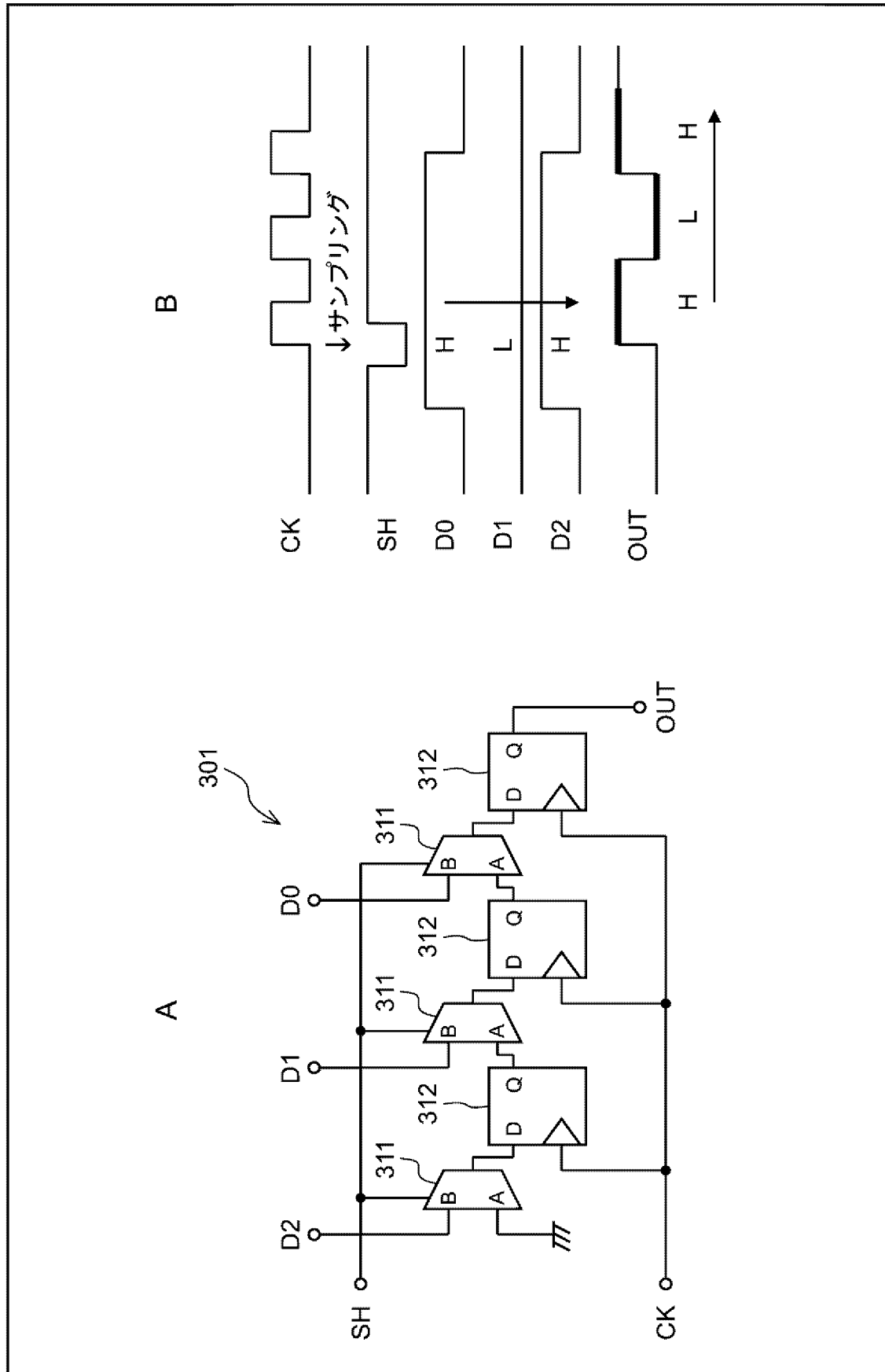


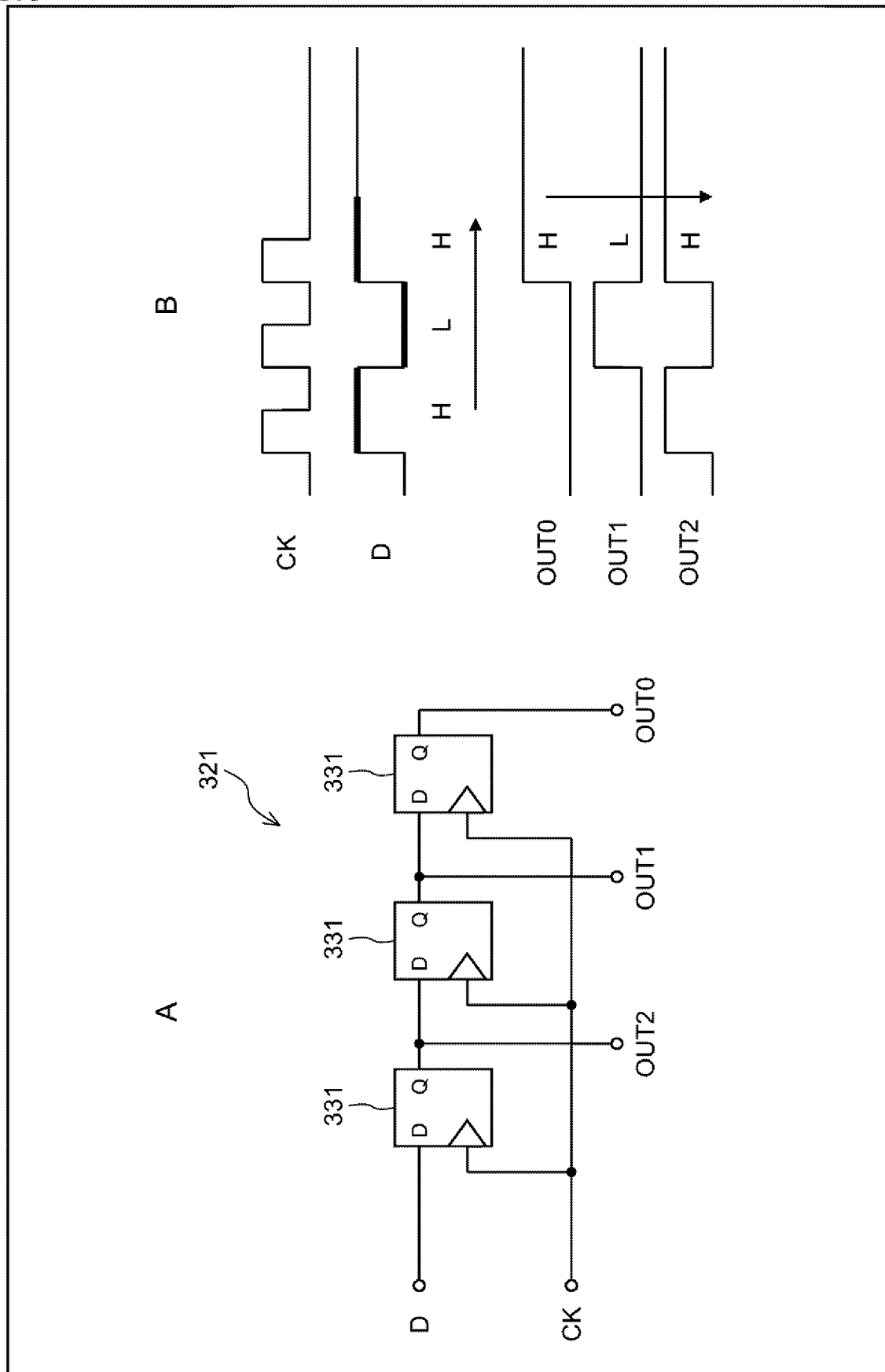
[図5]
FIG.5



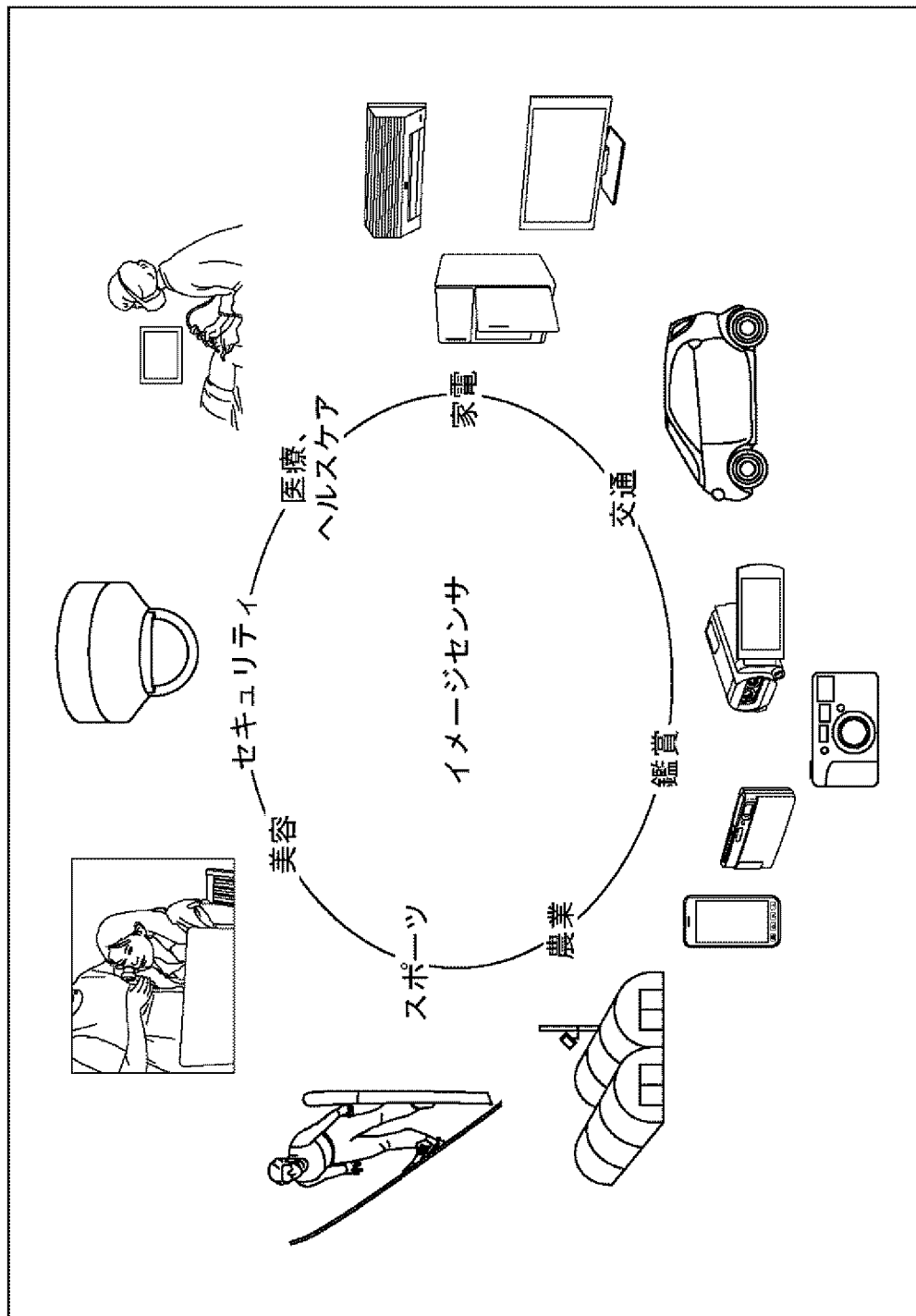
[図6]
FIG.6



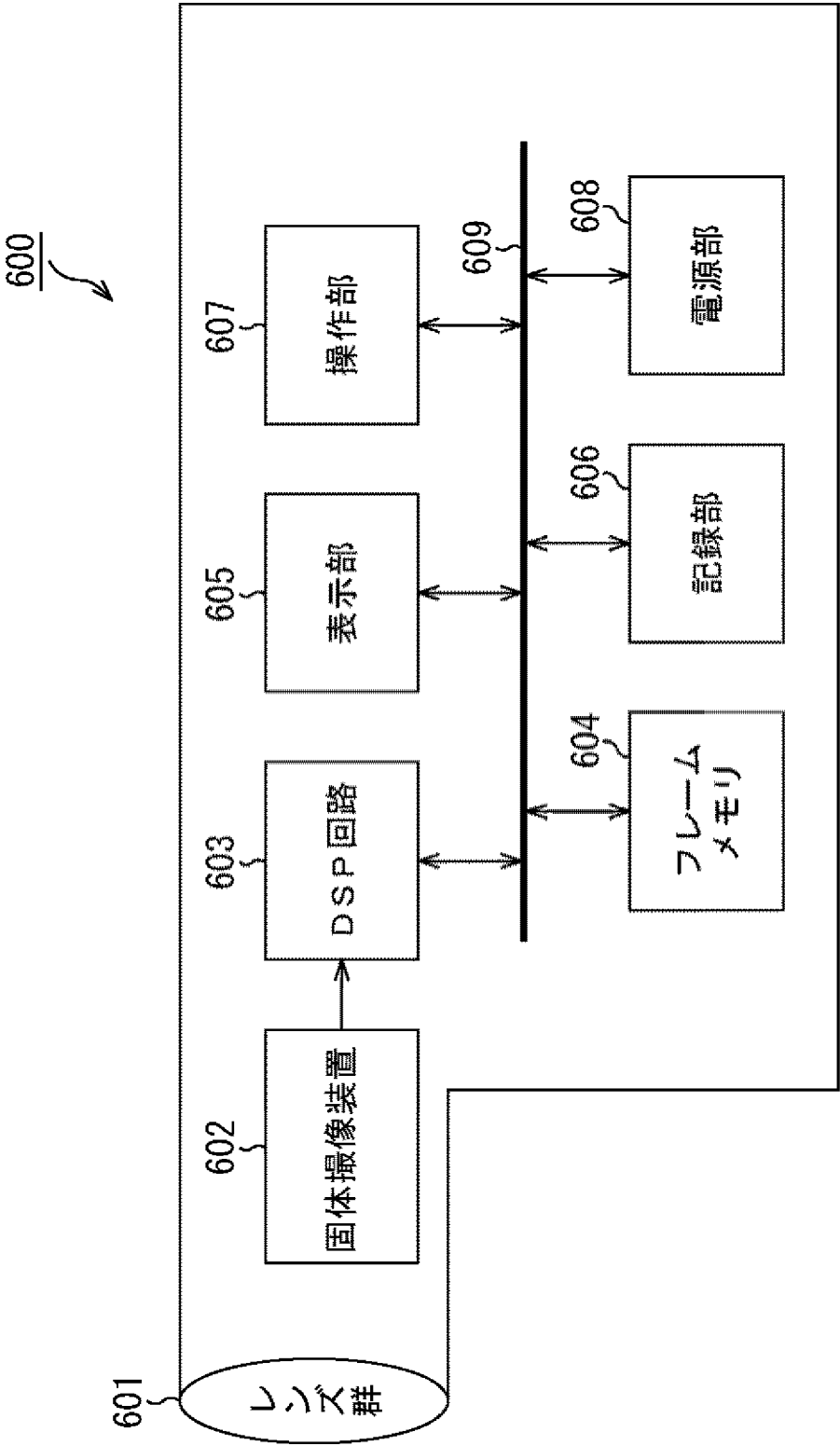
[図7]
FIG.7

[図8]
FIG.8

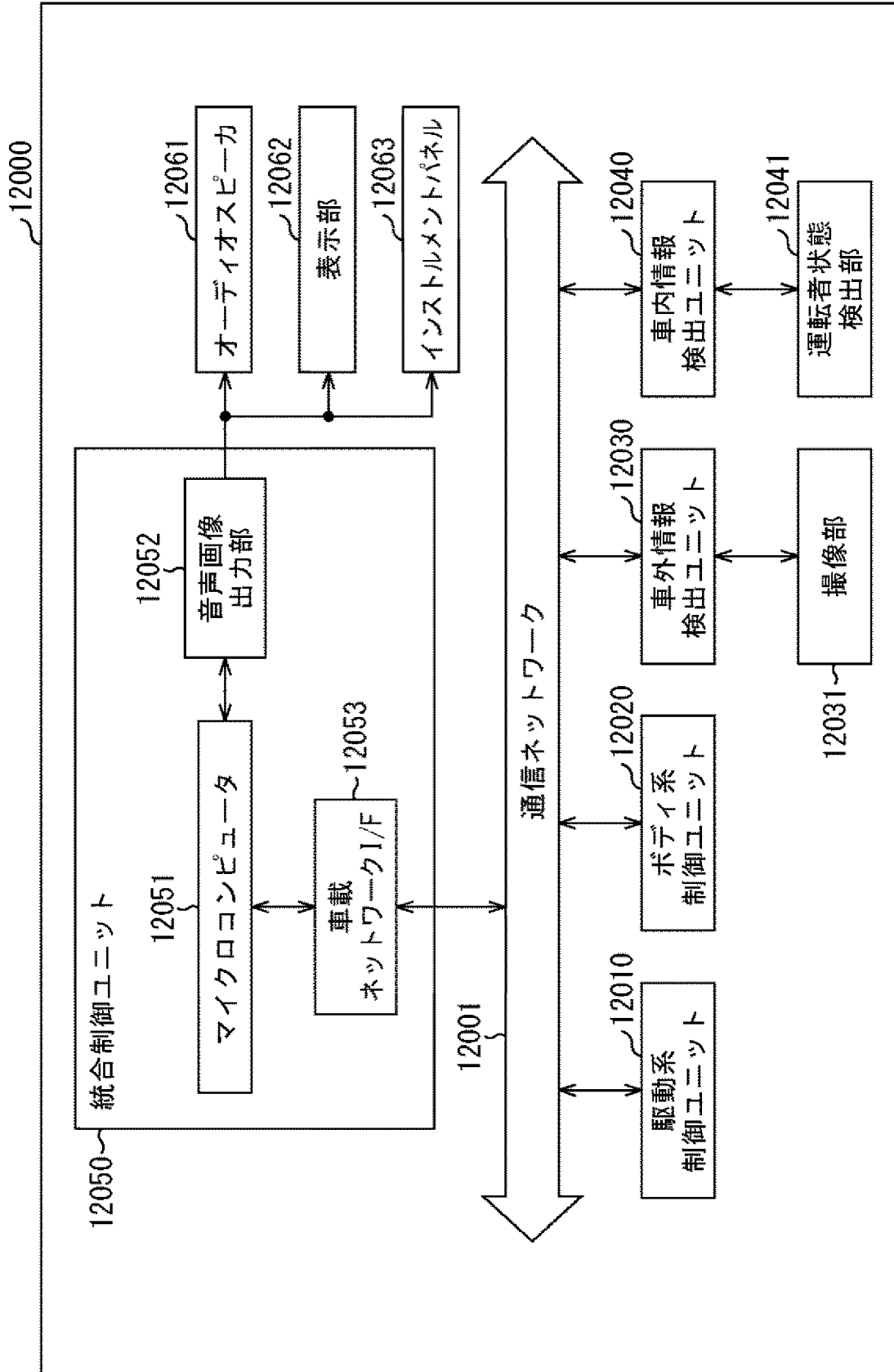
[図9]



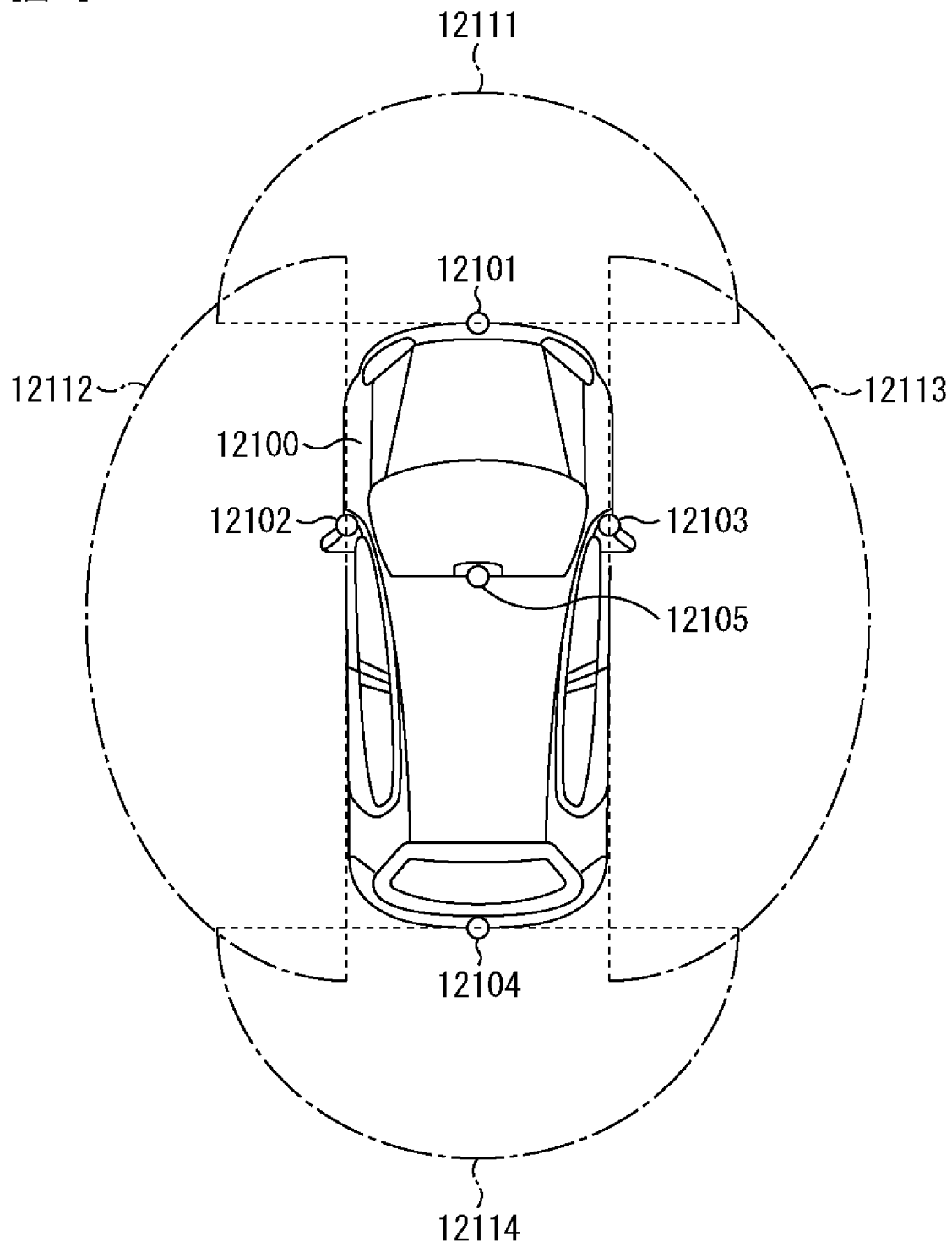
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/028064

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 25/70**(2023.01)i

FI: H01L27/146 D; H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-072410 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 07 May 2020 (2020-05-07) paragraphs [0012]-[0168], fig. 1-31	1, 11-14, 16-19
Y		2-5, 8-10, 15
A		6, 7
Y	JP 2022-074493 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 18 May 2022 (2022-05-18) paragraphs [0027]-[0263], fig. 1-26	2-5, 15
A		6, 7
Y	JP 2015-126043 A (SONY CORP) 06 July 2015 (2015-07-06) paragraphs [0010]-[0150], fig. 1-39	8, 9
A		6, 7
Y	JP 2018-181988 A (BRILLNICS JAPAN INC) 15 November 2018 (2018-11-15) paragraphs [0020]-[0091], fig. 1-14	10
A		6, 7

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

11 October 2023

Date of mailing of the international search report

24 October 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/028064

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/173764 A1 (FUJIFILM CORPORATION) 27 September 2018 (2018-09-27)	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/028064

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-072410	A	07 May 2020	US 2021/0385403 A1 paragraphs [0099]-[0402], fig. 1-36 WO 2020/090509 A1 EP 3876521 A1 CN 112889267 A KR 10-2021-0081342 A TW 202027491 A	
JP	2022-074493	A	18 May 2022	WO 2022/097445 A1	
JP	2015-126043	A	06 July 2015	US 2015/0189214 A1 paragraphs [0049]-[0290], fig. 1-39B EP 2889908 A1 CN 104754253 A KR 10-2015-0076065 A TW 201526216 A CN 110581965 A	
JP	2018-181988	A	15 November 2018	US 2018/0294303 A1 paragraphs [0036]-[0107], fig. 1-14 CN 108695352 A	
WO	2018/173764	A1	27 September 2018	US 2019/0363068 A1 KR 10-2019-0104620 A TW 201836094 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 25/70(2023.01)i FI: H01L27/146 D; H04N25/70		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N25/70		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2020-072410 A（ソニーセミコンダクタソリューションズ株式会社）07.05.2020 （2020 - 05 - 07） [0012] ～ [0168] 及び図1～31	1, 11-14, 16-19
Y		2-5, 8-10, 15
A		6, 7
Y	JP 2022-074493 A（ソニーセミコンダクタソリューションズ株式会社）18.05.2022 （2022 - 05 - 18） [0027] ～ [0263] 及び図1～26	2-5, 15
A		6, 7
Y	JP 2015-126043 A（ソニー株式会社）06.07.2015（2015 - 07 - 06） [0010] ～ [0150] 及び図1～39	8, 9
A		6, 7
Y	JP 2018-181988 A（プリルニクスジャパン株式会社）15.11.2018（2018 - 11 - 15） [0020] ～ [0091] 及び図1～14	10
A		6, 7
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 11.10.2023		国際調査報告の発送日 24.10.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 境 周一 5F 3654 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/173764 A1 (富士フイルム株式会社) 27.09.2018 (2018 - 09 - 27)	1-19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/028064

引用文献			公表日	パテントファミリー文献			公表日
JP	2020-072410	A	07.05.2020	US	2021/0385403	A1	
				Pars. [0099]-[0402],			
				Figs. 1-36			
				WO	2020/090509	A1	
				EP	3876521	A1	
				CN	112889267	A	
				KR	10-2021-0081342	A	
				TW	202027491	A	

JP	2022-074493	A	18.05.2022	WO	2022/097445	A1	

JP	2015-126043	A	06.07.2015	US	2015/0189214	A1	
				Pars. [0049]-[0290],			
				Figs. 1-39B			
				EP	2889908	A1	
				CN	104754253	A	
				KR	10-2015-0076065	A	
				TW	201526216	A	
				CN	110581965	A	

JP	2018-181988	A	15.11.2018	US	2018/0294303	A1	
				Pars. [0036]-[0107],			
				Figs. 1-14			
				CN	108695352	A	

WO	2018/173764	A1	27.09.2018	US	2019/0363068	A1	
				KR	10-2019-0104620	A	
				TW	201836094	A	
