

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3810246号
(P3810246)

(45) 発行日 平成18年8月16日(2006.8.16)

(24) 登録日 平成18年6月2日(2006.6.2)

(51) Int.C1.

F 1

HO1L 21/8238 (2006.01)	HO1L 27/08	321H
HO1L 27/092 (2006.01)	HO1L 27/06	311C
HO1L 27/06 (2006.01)	HO1L 27/04	H
HO1L 27/04 (2006.01)	HO1L 29/78	623A
HO1L 21/822 (2006.01)		

請求項の数 8 (全 31 頁) 最終頁に続く

(21) 出願番号	特願2000-71795 (P2000-71795)
(22) 出願日	平成12年3月15日 (2000.3.15)
(65) 公開番号	特開2001-267433 (P2001-267433A)
(43) 公開日	平成13年9月28日 (2001.9.28)
審査請求日	平成16年3月1日 (2004.3.1)

(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(74) 代理人	100080001 弁理士 筒井 大和
(72) 発明者	田代 嘉靖 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
(72) 発明者	笠 信博 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
(72) 発明者	奥山 幸祐 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1端子と第2端子との間に接続されたサイリスタを含む保護回路を有する半導体装置であって、

n型の導電型からなる第1半導体領域と、

前記第1半導体領域と隣接するp型の導電型からなる第2半導体領域と、

前記第1半導体領域内に形成されたp型の導電型からなる第3半導体領域と、

絶縁膜を介して前記第2半導体領域上に形成された導電体片と、

前記第2半導体領域内に形成されたn型の導電型からなる第4および第5半導体領域であって、前記導電体片の一方側に形成された前記第4半導体領域と、前記導電体片の他方側に形成された前記第5半導体領域とを有し、

前記第3および第4半導体領域は前記第1端子と電気的に接続されており、前記導電体片と前記第5半導体領域は前記第2端子と電気的に接続されており、前記第1、第2、第3および第5半導体領域はサイリスタとして機能し、

前記第1半導体領域内に形成されたn型の導電型からなる第6半導体領域と、

前記第1半導体領域内に形成されたp型の導電型からなる第7半導体領域とを有し、

前記第6半導体領域は前記第1端子と電気的に接続されており、前記第7半導体領域は前記第2端子と電気的に接続されていることを特徴とする半導体装置。

【請求項 2】

請求項1記載の半導体装置において、

10

前記第1および第2半導体領域を横切って延在するn型の導電型からなる第8半導体領域をさらに有することを特徴とする半導体装置。

【請求項3】

第1端子と第2端子との間に接続されたサイリスタを含む保護回路を有する半導体装置であって、

n型の導電型からなる第1半導体領域と、

前記第1半導体領域と隣接するp型の導電型からなる第2半導体領域と、

前記第1半導体領域内に形成されたp型の導電型からなる第3半導体領域と、

絶縁膜を介して前記第2半導体領域上に形成された導電体片と、

前記第2半導体領域内に形成されたn型の導電型からなる第4および第5半導体領域であって、前記導電体片の一方側に形成された前記第4半導体領域と、前記導電体片の他方側に形成された前記第5半導体領域とを有し、

前記第3および第4半導体領域は前記第1端子と電気的に接続されており、前記導電体片と前記第5半導体領域は前記第2端子と電気的に接続されており、前記第1、第2、第3および第5半導体領域はサイリスタとして機能し、

前記第1および第2半導体領域を横切って延在するn型の導電型からなる第6半導体領域を有することを特徴とする半導体装置。

【請求項4】

請求項1または3記載の半導体装置において、

前記第3半導体領域は前記第2半導体領域よりも高い不純物濃度を有し、前記第4および第5半導体領域は前記第1半導体領域よりも高い不純物濃度を有することを特徴とする半導体装置。

【請求項5】

請求項1または3記載の半導体装置において、

ゲート電極、ソースおよびドレイン領域をそれぞれ有するpチャネル型MISFETおよびnチャネル型MISFETを含む内部回路を有し、

前記第1端子は前記pチャネル型MISFETおよびnチャネル型MISFETと電気的に接続されていることを特徴とする半導体装置。

【請求項6】

請求項1または3記載の半導体装置において、

絶縁膜上に半導体層が形成され、

前記半導体層に前記絶縁膜に達する分離部が形成され、

前記絶縁膜および分離部に囲まれた前記半導体層に、前記第1半導体領域および前記第2半導体領域が形成されることを特徴とする半導体装置。

【請求項7】

請求項1または3記載の半導体装置において、

トリガ素子は、前記導電体片、前記第4および第5半導体領域を有し、

前記導電体片はトリガ素子のゲート電極を構成することを特徴とする半導体装置。

【請求項8】

絶縁層上に形成された半導体層と、

前記半導体層の正面側から前記絶縁層に延びる分離部と、

前記半導体層上に形成された信号用の端子と、

前記半導体層に形成された内部回路と、

前記信号用の端子を前記内部回路に電気的に接続する信号用の配線と、

前記信号用の配線と基準電位用の端子との間に電気的に接続された保護回路とを有し、

前記保護回路は、保護用のサイリスタと、その駆動を誘発するトリガ素子とを有しており、

前記保護用のサイリスタと、前記トリガ素子とを、前記分離部に囲まれた同一の半導体層内に形成し、前記保護用のサイリスタのゲートと、前記トリガ素子の基板電極部とを、前記同一の半導体層内の同一の半導体領域に形成し、

10

20

30

40

50

前記保護用のサイリスタは、

前記同一の半導体層内に形成された第1の半導体領域と、

前記第1の半導体領域に対して反対の導電型の半導体領域であって、前記第1の半導体領域に隣接するように前記同一の半導体層に形成され、前記保護用のサイリスタのゲートが形成される第2の半導体領域と、

前記第1の半導体領域に対して同一の導電型の半導体領域であって、前記第1の半導体領域内に形成され、かつ、前記信号用の端子と電気的に接続された第3の半導体領域と、

前記第1の半導体領域に対して反対の導電型の半導体領域であって、前記第1の半導体領域内に形成され、かつ、前記信号用の端子と電気的に接続された第4の半導体領域と、

前記第1の半導体領域に対して同一の導電型の半導体領域であって、前記第1の半導体領域および第2の半導体領域に跨るように形成された第5の半導体領域とを有し、

前記トリガ素子は、電界効果トランジスタからなり、

前記第2の半導体領域に対して反対の導電型の半導体領域であって、前記第2の半導体領域内に形成され、かつ、前記信号用の端子と電気的に接続されたソース・ドレイン用の第6の半導体領域と、

前記第2の半導体領域に対して反対の導電型の半導体領域であって、前記第2の半導体領域内に形成され、かつ、前記基準電位用の端子と電気的に接続されたソース・ドレイン用の第7の半導体領域と、

前記第6、第7の半導体領域間の第2の半導体領域に形成され、前記トリガ素子の基板電極部を形成するチャネル領域と、

前記チャネル領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを有し、

前記ゲート絶縁膜と前記内部回路の電界効果トランジスタのゲート絶縁膜とを同一工程時に形成する工程と、

前記ゲート電極と前記内部回路の電界効果トランジスタのゲート電極とを同一工程時に形成する工程と、

前記第3、第5、第6、第7の半導体領域と前記内部回路を構成する素子の半導体領域とを同一の不純物導入工程によって形成する工程と、

前記第4の半導体領域と前記内部回路を構成する素子の半導体領域とを同一の不純物導入工程によって形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、サイリスタ構造の保護回路を有する半導体装置およびその製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体製造工程における微細加工技術の進歩により、半導体装置を構成する素子や配線等の微細化が進められており、これに伴って半導体装置の性能が益々向上している。しかし、一方で微細化された素子や配線等は、静電気等のような過電圧に極めて弱く、破壊しやすいという問題があり、半導体装置の信頼性を確保するためには、静電気等による劣化および破壊現象におけるメカニズムの解明とともに、保護構造の確立が強く要望されている。

【0003】

ところで、本発明者はサイリスタ構造の保護回路について調査した結果、例えば特開平8-306872号公報には、入力端子に接続された保護用MOS電界効果トランジスタのゲート端子とソース端子とが、寄生PNPNサイリスタのトリガ端子およびその寄生PNPNサイリスタにおけるNPNトランジスタのコレクタ・エミッタ間に接続された等価基板抵抗を介して接地電位に電気的に接続される構造が開示されている。この技術においては、上記コレクタ・エミッタ間に接続された等価基板抵抗の電圧降下により上記NPNトランジスタ

10

20

30

40

50

のベース電位を上昇させて寄生 PNPN サイリスタを駆動させる回路構造が開示されている。また、この公報には、絶縁基板上の半導体層に寄生 PNPN サイリスタおよび保護用 MOS 電界効果トランジスタを設ける技術が開示されている。

【0004】

【発明が解決しようとする課題】

ところが、上記サイリスタ構造の保護回路技術においては、以下の課題があることを本発明者は見出した。

【0005】

すなわち、第 1 に、保護回路を構成するサイリスタのターンオン時間が遅延する課題がある。例えば上記公報の技術においては、入力端子にサージ電圧が印加された際、保護用 MOS 電界効果トランジスタのドレイン・ソース降伏により流れ始めた電流により上記等価基板抵抗の電圧降下が上記 NPN トランジスタのベース・エミッタ電圧を上回って初めて寄生 PNPN サイリスタが駆動するため、そのサイリスタのターンオン時間が遅延する。

10

【0006】

第 2 に、サイリスタ構造の保護回路のデバイス設計が難しいという課題がある。例えば上記公報の技術においては、上記等価基板抵抗が寄生 PNPN サイリスタの感度特性に影響することから適切な値にする必要があるが、その等価基板抵抗は、その縦構造（寸法や不純物分布等）がプロセス毎に変動するので、上記感度特性が適切な値になるように形成することが難しい。

【0007】

20

第 3 に、内部回路の素子の微細化に対応することが難しいという課題がある。保護回路の降伏電圧は、内部回路の素子を保護することから内部回路のゲート絶縁耐圧よりも低いことが必要である。しかし、例えば上記公報の技術においては、入力端子電圧が保護用 MOS 電界効果トランジスタのドレイン・ソース降伏電圧と寄生バイポーラトランジスタのベース・エミッタ電圧との和を上回って初めて保護用 MOS 電界効果トランジスタのドレイン・ソース降伏電流が流れ始めるので、内部回路の素子の微細化について、保護回路の降伏電圧を、内部回路の素子のゲート絶縁膜の耐圧より低くすることが難しくなる。

【0008】

第 4 に、絶縁層上に素子形成用の半導体層を設ける、いわゆる SOI (Silicon On Insulator) 基板を用いた場合、静電気等で生じた電流を逃がし難い構造となっていることから保護回路に高い放電能力が要求されるという課題がある。SOI 基板を用いた場合、完全な素子分離が可能なので、配線 - 基板間の寄生容量や拡散容量等を低減でき、半導体装置の動作速度を向上させることが可能である。したがって、高周波信号回路を有する半導体装置には適している。しかし、完全な素子分離が可能な反面、静電気等によって生じた過電流も逃がし難く、素子破壊も生じ易い。このため、SOI 基板を用いた半導体装置においては、保護回路に高い放電能力（感度）が要求されている。

30

【0009】

本発明の目的は、保護回路を構成するサイリスタのターンオン時間を短縮することができる技術を提供することにある。

【0010】

40

また、本発明の目的は、サイリスタ構造の保護回路のデバイス設計を容易にすることのできる技術を提供することにある。

【0011】

また、本発明の目的は、内部回路の素子の微細化に対応した保護回路構成を実現することができる技術を提供することにある。

【0012】

さらに、本発明の目的は、サイリスタ構造の保護回路の放電能力を向上させることのできる技術を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から

50

明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

すなわち、本発明は、絶縁層上に設けられた半導体層において、前記半導体層の正面側から絶縁層に延びる分離部によって分離された同一の半導体層内に、保護用のサイリスタと、その駆動を誘発するトリガ素子とを設け、その保護用のサイリスタのゲートと、前記トリガ素子の基板電極部とを同一の半導体領域内に設けて、そのゲートと基板電極部とを電気的に接続し、前記トリガ素子の降伏により発生した基板電流により、前記保護用のサイリスタを駆動させるようにしたものである。10

【0016】

また、本発明は、信号用の端子に過電圧が印加された際に接続方向が順方向となるように前記信号用の端子と基準電位用の端子との間に電気的に接続された保護用のダイオードを前記同一の半導体層内に設けたものである。

【0017】

また、本発明は、前記保護用のサイリスタおよびトリガ素子を形成する半導体領域の表層に高融点金属シリサイド層を設けたものである。

【0018】

また、本発明は、前記トリガ端子の基板電極部と、基準電位用の端子との間に抵抗を電気的に接続したものである。20

【0019】

また、本発明は、前記保護用のサイリスタの第1のバイポーラトランジスタのベースと信号用の端子との間に抵抗を電気的に接続したものである。

【0020】

また、本発明は、前記トリガ素子と内部回路の素子とを同一工程時に形成するものである。。

【0021】

また、本発明は、前記トリガ素子を、前記内部回路の素子に合わせて形成するものである30。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0023】

また、本実施の形態においては、電界効果トランジスタ（MOS・FET（Metal Oxide Semiconductor Field Effect Transistor）をMOSと略し、pチャネル型のMOS・FETをpMOSと略し、nチャネル型のMOS・FETをnMOSと略す。40

【0024】

（実施の形態1）

まず、本実施の形態を説明する前に、本発明者らが本発明をするのに検討した技術（以下、発明者検討技術という）について説明する。

【0025】

図1は、その回路図を示している。入力端子50は、入力保護抵抗R50を介して内部回路の入力ゲートと電気的に接続されている。この入力保護抵抗R50と入力ゲートとを結ぶ配線と接地端子との間には、保護用MOSQ50および寄生PNPNサイリスタQth50が電気的に接続されている。

【0026】

10

20

30

40

50

保護用MOSQ50は、ドレイン端子51a、ソース端子51b、ゲート端子51cおよび基板端子51dを有している。また、寄生PNPNサイリスタTH50は、寄生PNPバイポーラトランジスタQth51と、寄生NPNバイポーラトランジスタQth52と、等価nウエル抵抗Rth51と、等価p基板抵抗Rth52とで構成されている。符号52aは、寄生PNPバイポーラトランジスタQth51のエミッタ端子を示し、符号52bは、後述のn型ウエルに電位を供給するための電位供給端子を示し、符号52cは、寄生NPNバイポーラトランジスタQth52のエミッタ端子を示している。

【0027】

上記保護用MOSQ50のソース端子51b、ゲート端子51cおよび基板端子部51dは、互いに電気的に接続され、上記寄生PNPNサイリスタTH50のトリガ電極部に電気的に接続されている。すなわち、保護用MOSQ50のソース端子51b、ゲート端子51cおよび基板端子51dは、寄生NPNバイポーラトランジスタQth52および等価p基板抵抗Rth52と電気的に接続されている。

10

【0028】

図2は、図1の回路のデバイス構造断面図を示している。高濃度p型基板53の表面には、低濃度p型エピタキシャル層54が形成されている。この低濃度p型エピタキシャル層54には、p型ウエル55およびn型ウエル56が形成されている。

【0029】

一方のp型ウエル55には、上記保護用MOSQ50のドレイン端子51aおよびソース端子51bを構成するn⁺型拡散層、保護用MOSQ50の基板端子51dを構成するp⁺型拡散層および寄生NPNバイポーラトランジスタQth2のエミッタ端子52cを構成するn⁺型拡散層が形成されている。上記基板端子51dは、寄生NPNバイポーラトランジスタQth2のベース端子、すなわち、寄生PNPNサイリスタのトリガ電極部でもある。また、エミッタ端子52cは接地端子と電気的に接続されている。上記等価p基板抵抗Rth52は、実質的には基板端子51dとエミッタ端子52c間のp型ウエル55に寄生的に形成される拡散抵抗である。

20

【0030】

他方のn型ウエル56には、上記寄生PNPバイポーラトランジスタQth51のエミッタ端子52aを構成するp⁺型拡散層およびn型ウエル56に所定の電位を供給するための電位供給部52bを構成するn⁺型拡散層が形成されている。上記等価nウエル抵抗Rth51は、実質的にはn型ウエル56に寄生的に形成される拡散抵抗である。

30

【0031】

この発明者検討技術においては、基本的に、入力端子50に正のサージ電圧が印加されると、保護用MOSQ50のドレイン・ソース降伏によりそのドレイン端子51aおよびソース端子51b間にパンチスルーポーラ電流が流れ、この電流が寄生PNPNサイリスタTH50のトリガ電流となる。しかし、実質的には、そのトリガ電流の他に、上記パンチスルーポーラ電流が等価p基板抵抗Rth52(p型ウエル55の拡散抵抗)を通じて接地端子に流れることにより、等価p基板抵抗Rth52の電圧降下によって寄生NPNバイポーラトランジスタQth52のベース電位が上昇し、寄生NPNバイポーラトランジスタQth52が駆動する要素を有している。すなわち、この技術では、寄生PNPNサイリスタTH50が駆動する電圧(保護素子のフォワードブロッキング(forward blocking)電圧(以下、単にブロック電圧という))が、保護用MOSQ50の降伏電圧と、等価p基板抵抗Rth52の電圧降下による寄生NPNバイポーラトランジスタQth52のベース電圧との和になる。

40

【0032】

しかし、上記本発明者検討技術においては、例えば以下の課題がある。第1に、寄生PNPNサイリスタTH50のターンオン時間が遅延する、という課題がある。これは、入力端子50にサージ電圧が印加された際、保護用MOSQ50のドレイン・ソース降伏により流れ始めた電流により上記等価p基板抵抗Rth52の電圧降下が上記寄生NPNバイポーラトランジスタQth52のベース・エミッタ電圧を上回って初めて寄生PNPNサイリスタTH50が駆動するためである。

50

【0033】

第2に、保護回路のデバイス設計が難しいという課題がある。上記等価p基板抵抗R_{th52}は、寄生P N P NサイリスタT H 50の感度特性に影響することから、その感度特性が適切な値になるように形成する必要がある。しかし、その等価p基板抵抗R_{th52}が形成されるp型ウエル55は、その縦構造（寸法や不純物分布等）がプロセス毎に変動してしまうので、寄生P N P NサイリスタT H 50の感度特性が適切な値になるように等価p基板抵抗R_{th52}を形成することは難しい。

【0034】

第3に、内部回路の素子の微細化に対応することが難しいという課題がある。保護回路の降伏電圧は、内部回路の素子を保護することから内部回路のゲート絶縁耐圧よりも低いことが必要である。しかし、上記発明者検討技術においては、入力端子50に印加されるサージ電圧が保護用MOS電界効果トランジスタのドレイン・ソース降伏電圧と寄生N P NバイポーラトランジスタQ_{th52}のベース電圧との和以上となって初めて保護MOSQ50のドレイン・ソース降伏電流が流れ始めるので、内部回路の素子の微細化につれて、保護回路の降伏電圧を、内部回路の素子のゲート絶縁膜の耐圧より低くすることが難しくなる。

10

【0035】

第4に、絶縁層上に素子形成用の半導体層を設ける、いわゆるSOI (Silicon On Insulator) 基板を用いた場合、静電気等で生じた電流を逃がし難い構造となっていることから保護回路に高い放電能力が要求されるという課題がある。SOI基板を用いた場合、完全な素子分離が可能なので、配線・基板間の寄生容量や拡散容量等を低減でき、半導体装置の動作速度を向上させることができ、高周波信号回路を有する半導体装置に適している。しかし、完全な素子分離が可能な反面、静電気等によって生じた電流も逃がし難く、素子破壊も生じ易いという問題があるため、SOI基板を用いた半導体装置においては、保護回路に高い放電能力が要求されている。

20

【0036】

次に、本実施の形態1の半導体装置について説明する。本実施の形態1の半導体装置は、半導体基板として上記SOI基板が用いられている。半導体装置の内部回路を静電気等による過電圧または過電流から保護するための保護回路の主要部は、サイリスタと、それを駆動するトリガ素子とを有するサイリスタ保護素子によって構成されている。そして、そのサイリスタとトリガ素子とが、完全な分離部に囲まれた同一の半導体層部分に形成されている。

30

【0037】

まず、本実施の形態1の半導体装置における保護回路の一例を図3～図5によって説明する。なお、図3中における破線は、上記完全な分離部を模式的に示しており、上記保護回路に関しては、その破線に囲まれた素子が同一の半導体層部分に設けられていることを模式的に示している。また、図4(a)の矢印は負の過電流の放電経路を示し、(b)の矢印は正の過電流の放電経路を示している。

【0038】

図3に示すように、外部端子1は、内部回路2の電極を引き出すための端子であり、一般的には、ボンディングパッドとも呼ばれ、平面的には半導体チップの正面の外周近傍や正面中央等に配置され、断面的には最上の配線層に形成されている。この外部端子1は、信号用の端子を示しており、内部回路2内の周辺回路部を介して主回路部と電気的に接続されている。この周辺回路部は、例えば入力回路、出力回路または入出力双方向回路等のように、半導体装置の内部と外部との電気的レベルの整合やタイミングの調整を行うインターフェイス回路部である。主回路部は、半導体装置の機能を決める主要な回路部である。本実施の形態1においては、その主回路部に、例えばLNA (Low Noise Amplifier) やMIXER等のような高周波信号回路が形成されている。なお、本実施の形態1において、高周波信号とは、例えば1GHz以上の信号を言う。

40

【0039】

このような内部回路2は、相対的に高電位側の電源端子VCCと、相対的に低電位側の電源

50

端子 V SS との間に電気的に接続されている。高電位側の電源端子 V CC は、半導体装置を駆動させるべく相対的に高い電圧を供給するための端子であり、具体的には、例えば 1.8 V ~ 3.3 V 程度に設定される。低電位側の電源端子 V SS は、半導体装置の基準電位を供給する端子であり、一般的には、接地端子、 GND 端子とも呼ばれ、具体的には、例えば 0 V または他の電位に設定される。なお、これら低電位側の電源端子 V SS や高電位側の電源端子 V CC への電位供給は、外部端子 1 から直接的に供給される場合もあるが、それ以外に内部回路 2 内の内部電源から供給される場合もある。

【 0040 】

この外部端子 1 と内部回路 2 とを結ぶ配線と、低電位側の電源端子 V SS との間に、本実施の形態 1 の保護回路 3 が電気的に接続されている。保護回路 3 は、半導体装置の内部回路 2 を静電気等による過電圧や過電流から保護する回路であり、例えばダイオード D 1 、寄生 PNPN サイリスタ TH 、トリガ素子 TR およびクランプ素子 CL を有している。このうち、ダイオード D 1 、寄生 PNPN サイリスタ TH 1 およびトリガ素子 TR は、完全な分離部に囲まれた同一の半導体層部分に形成されている。

【 0041 】

ダイオード D 1 は、外部端子 1 に負の電圧が印加された際に動作して電荷を逃がすための保護素子であり、外部端子 1 に負の過電圧が印加された場合に接続方向が順方向となるように外部端子 1 と低電位側の電源端子 V SS との間に電気的に接続されている。このようなダイオード D 1 を設けたことにより、図 4 (a) に示すように、低電位側の電源端子 V SS の電位よりも負の過電圧が外部端子 1 に印加された場合、過電流を低電位側の電源端子 V SS からダイオード D 1 を通じて外部端子 1 に逃がすことができるので、負の過電圧に対する静電気破壊耐性を向上させることができることが可能となっている。ここでは、ダイオード D 1 が、例えば p-n 接合ダイオードで形成されているが、これに限定されるものではなく、例えばダイオード接続された MOS で形成しても良い。この p-n 接合ダイオードやダイオード接続された MOS においては、小さな面積で形成できるので、レイアウト面積の大幅な増大を招くことなく、保護回路 3 を形成することが可能となる。

【 0042 】

一方、サイリスタ保護素子は、外部端子 1 に正の電圧が印加された際に動作して電荷を逃がすための保護素子であり、寄生 PNPN サイリスタ TH およびトリガ素子 TR を有している。この寄生 PNPN サイリスタ TH は、第 1 , 第 2 のバイポーラトランジスタ Q th1 , Q th2 と、抵抗 R th1 を有している。第 1 のバイポーラトランジスタ Q th1 は PNP 型のバイポーラトランジスタからなり、第 2 のバイポーラトランジスタ Q th2 は NPN 型のバイポーラトランジスタからなる。

【 0043 】

第 1 のバイポーラトランジスタ Q th1 のエミッタは外部端子 1 と電気的に接続されている。また、第 1 のバイポーラトランジスタ Q th1 のベースは、抵抗 R th1 を介してそのエミッタおよび外部端子 1 と電気的に接続されている他、第 2 のバイポーラトランジスタ Q th2 のコレクタとも電気的に接続されている。さらに、第 1 のバイポーラトランジスタ Q th1 のコレクタは、第 2 のバイポーラトランジスタ Q th2 のベースと電気的に接続されている。この第 2 のバイポーラトランジスタ Q th2 のベースは、寄生 PNPN サイリスタ TH のゲート、すなわち、トリガ電極部となっている。この第 2 のバイポーラトランジスタ Q th2 のエミッタは低電位側の電源端子 V SS と電気的に接続されている。

【 0044 】

本実施の形態 1 においては、寄生 PNPN サイリスタ TH のトリガ電極部となる第 2 のバイポーラトランジスタ Q th2 のベースに、上記トリガ素子 TR の基板電極 (バックゲート) が電気的に接続されている。このトリガ素子 TR は、寄生 PNPN サイリスタ TH を駆動させるきっかけを与える素子であり、例えばダイオード接続された nMOS によって形成されている。トリガ素子 TR のドレインは、外部端子 1 と電気的に接続され、そのソースは、ゲート電極および低電位側の電源端子 V SS と電気的に接続されている。ただし、トリガ素子 TR は、 nMOS に限定されるものではなく種々変更可能であり、例えばバイポ

10

20

30

40

50

ーラトランジスタで形成することもできる。その場合、トリガ素子用のバイポーラトランジスタのベースを第2のバイポーラトランジスタQth2のベースに電気的に接続する。そして、トリガ素子用のバイポーラトランジスタのコレクタを外部端子1と電気的に接続し、エミッタを低電位の電源端子VSSと電気的に接続する。

〔 0 0 4 5 〕

このようなサイリスタ保護素子を設けたことにより、図4(b)に示すように、外部端子1に正の過電圧が印加され、トリガ素子TRのソース・ドレイン間が降伏すると、それにより発生した基板電流によって寄生PNPNサイリスタTHがターンオンする。これにより、過電流を外部端子1から寄生PNPNサイリスタTHおよびトリガ素子TRを通じて低電位側の電源端子VSSに逃がすことができるので、正の過電圧に対する静電気破壊耐性を向上させることができるので、正の過電圧に対する静電気破壊耐性を向上させることが可能となっている。

10

〔 0 0 4 6 〕

特に、本実施の形態 1においては、寄生 P N P N サイリスタ T H のトリガ素子（第 2 のバイポーラトランジスタ Q th2 のベース）に、トリガ素子 T R の基板電極を電気的に接続した（後述するように第 2 のバイポーラトランジスタ Q th2 のベースとトリガ素子 T R の基板電極とが、同一半導体領域に一体的に形成されている）ことにより、寄生 P N P N サイリスタ T H を高速にターンオンさせることができる。これは、外部端子 1 に正の過電圧が印加されると、トリガ素子 T R のソース・ドレイン間の降伏により発生した基板電流が寄生 P N P N サイリスタ T H のトリガ電流として働くが、その際、その基板電流は、寄生 P N P N サイリスタ T H のトリガ電極（第 2 のバイポーラトランジスタ Q th2 のベース）に注入される以外に流路がないために、寄生 P N P N サイリスタ T H のトリガ電極部に効率良く注入されるようになるからである。したがって、本実施の形態 1においては、正の過電圧に対しても高感度で良好な静電破壊耐性を示す保護回路 3 を設けることが可能となる。また、トリガ電流の利用効率を高くできるので、トリガ素子 T R 自体のサイズ（占有面積）を小さくすることが可能となる。このため、半導体チップのサイズを縮小することができる。したがって、半導体装置の歩留まりを向上させることができ、製造コストを低減することも可能となる。また、保護回路 3（特に寄生 P N P N サイリスタ T H とトリガ素子 T R）のサイズを小さくできるので、寄生容量を小さくすることが可能となる。したがって、高周波信号回路を有する半導体装置において、電気特性を低下させずに、静電破壊耐性を向上させることが可能となる。

20

〔 0 0 4 7 〕

ここで、図5は、寄生PNPNサイリスタTHの保持電圧を示す典型的な電流IA-電圧VA特性を示している。V_hは寄生PNPNサイリスタTHの保持(hold)電圧、V_{bf}は保護素子(寄生PNPNサイリスタTH)の上記ブロック電圧(寄生PNPNサイリスタTHの動作開始電圧)を示している。

[0 0 4 8]

本実施の形態1においては、外部端子1に過電圧が印加され、その外部端子1の電圧が、トリガ素子TR(nMOSで例示)のソース・ドレイン降伏電圧BVDSに達した際に発生した基板電流が寄生PNPNサイリスタTHのゲート(トリガ電極部)に注入される。このため、サイリスタ保護素子のブロック電圧Vbfは、上記ソース・ドレイン降伏電圧BVDSと等しくなる。したがって、本実施の形態1の場合は、そのブロック電圧Vbfを、上記発明者検討技術($Vbf = BVDS + VBE$)よりもベース・エミッタ電圧VBE(例えば約0.8V)分だけ小さくできる。このため、ブロック電圧Vbfを、内部回路2を構成するMOSのゲート絶縁耐圧に対して、より小さく設定できるので、より優れた静電破壊耐性を得ることが可能となる。内部回路2を構成するMOSのゲート絶縁膜は性能向上要求等に伴い薄膜化が進められている。したがって、ゲート絶縁耐圧も低くなくなることから上記ブロック電圧もそれに伴い低くせざるを得ない。本実施の形態1においては、そのブロック電圧Vbfを小さくできるので、そのような内部回路2のMOSの微細化(ゲート絶縁膜の薄膜化)にも対応できる。逆に、保護回路側から内部回路の素子に対しての制約を緩和できるので、内部回路2の素子の微細化を推進することが可能となる。した

40

がって、半導体装置の動作速度を向上させることが可能となる。

【0049】

上記図3に示したクランプ素子CLは、例えば上記内部回路3の高電位側の電源端子VCCと低電位側の電源端子VSSとの間にダイオード接続されたnMOSによって形成されている。このようなクランプ素子CLを設けたことにより、内部回路3の電源端子VCC, VSS間に過電圧が印加された場合の放電経路を形成することができるので、静電破壊耐性を向上させることが可能となる。

【0050】

このような保護回路3は、例えば半導体装置の全ての入力回路または出力回路に対して設けても良いし、特定の入力回路または出力回路に対して設けても良い。また、入力回路および出力回路の両方の周辺回路に対して保護回路3を設けても良い。保護回路3を入力回路に対して設けた場合の一例を図6および図7に示す。なお、図6および図7の破線は図3と同じことを意味している。また、ここでは一般的な半導体回路の入力回路を示している。

10

【0051】

図6(a), (b)は、いずれも入力回路がCMOS(Complementary MOS)インバータ回路INVで構成されている場合を例示している。CMOSインバータ回路INVは、pMOSQ1aとnMOSQ1bとが電源端子VCC, VSS間に直列に接続されて構成されている。CMOSインバータ回路INVの出力は、半導体装置の上記主回路部と電気的に接続され、入力は、入力保護抵抗R1を介して上記外部端子1と電気的に接続されている。図6(a)では、その入力保護抵抗R1とCMOSインバータ回路INVの入力との間に保護用のダイオードD2, D3が電気的に接続されている。また、図6(b)では、その入力保護抵抗R1とCMOSインバータ回路INVの入力との間に、ダイオードD2, D3に代えて、ダイオード接続された保護用のpMOSQ2aおよびnMOSQ2bが電気的に接続されている。

20

【0052】

入力保護抵抗R1は、CMOSインバータ回路INVに過電流が流れるのを抑制または防止し、かつ、外部端子1側からみたインピーダンスを大きくすることで、CMOSインバータ回路INVの入力側配線等に帯電した電荷をダイオードD2, D3および電源配線を通じて外部端子側に逃がし易くするための機能を有している。

30

【0053】

また、図6(a)に示す保護用のダイオードD2, D3は、CMOSインバータ回路INVの入力のゲート電極と電源端子VCCとの間およびその入力のゲート電極と電源端子VSSとの間に、それぞれ逆方向接続になるように電気的に接続されている。この保護用のダイオードD2, D3は、例えばCD(Charged Device)法による静電破壊試験等において、外部端子1を接地させて半導体装置内部に帯電させた電荷を放電させる際に、CMOSインバータ回路INVの入力配線(入力側の金属配線、ゲート電極を含む)の電位と、CMOSインバータ回路INVのMOSQ1a, Q1bが配置された半導体基板側のウエルまたはそのMOSQ1a, Q1bのソース・ドレイン用の半導体領域(拡散層)の電位との間に差が生じるのを防ぐ機能を有している。

40

【0054】

すなわち、本実施の形態1においては、CMOSインバータ回路INVの入力段に入力保護抵抗R1およびダイオードD2, D3を接続することにより、外部端子1を接地した場合、CMOSインバータ回路INVの出力配線側に帯電した電荷を、ダイオードD2, D3を通じて外部入力配線側に素早く放電させることができるとなっている。これにより、CMOSインバータ回路INVの入力配線側の電荷と出力側の電荷との放電時間の差を縮めることができるので、その放電時間差に起因して、CMOSインバータ回路INVのMOSQ1a, Q1bのゲート絶縁膜に瞬間的に高電圧が印加されるのを防止することができる。このため、ゲート絶縁破壊を防止でき、半導体装置の歩留りおよび信頼性を向上させることができるとなっている。なお、このダイオードD2, D3は、後述するように半導体基板において上

50

記した保護回路3のダイオードD1とは異なるウエル内に配置されている。

【0055】

図6(b)の保護用のpMOSQ2aおよびnMOSQ2bもダイオードD2, D3と同じように機能する。保護用のpMOSQ2aおよびnMOSQ2bは、CMOSインバータ回路IN Vの入力のゲート電極と電源端子VCCとの間およびその入力のゲート電極と電源端子VSSとの間に、それぞれ逆方向接続になるようにダイオード接続されている。この場合、MOSの方が、ダイオードよりもブレイクダウン電圧を約1V程度低くできるので、上記した電荷の放電動作が行われ易い構造となる。したがって、上記した電荷の放電を素早く行うことが可能となる。また、ダイオードD2, D3に代えて、バイポーラトランジスタをダイオード接続しても良い。この場合、バイポーラトランジスタの方が、ダイオードよりも駆動能力が高いことから上記した電荷の放電を素早く行うことが可能となる。 10

【0056】

ここでは、上記保護回路3の低電位側の電源端子VSSと、図6(a), (b)で示した入力保護抵抗R1、ダイオードD2, D3、pMOSQ2a, nMOSQ2bおよびCMOSインバータ回路IN Vの低電位側の電源端子VSSとを共通にしているが、別々にしても良い。その場合、電源端子VSSの電位は等しくても良いし、異なっていても良い。このように電源端子VSSを別々に分離することにより、一方の回路側で生じた電位変動に起因して他方の回路の電源の電位が変動するのを防止することが可能となる。

【0057】

一方、図7(a), (b)は入力回路にバイポーラトランジスタを用いている場合が例示されている。図7(a)では、外部端子1は、入力保護抵抗R1を介してバイポーラトランジスタQ3のベースと電気的に接続されている。このバイポーラトランジスタQ3の出力(コレクタ)は、内部回路2の主回路部と電気的に接続されている。 20

【0058】

また、図7(b)では、入力回路にBiCMOS(Bipolar CMOS)回路が形成されている場合が例示されている。BiCMOS回路は、バイポーラトランジスタの持つ負荷駆動能力と、CMOSの低電力性との両方の長所を組み合わせた回路であり、例えばCMOSインバータ回路IN Vを構成するpMOSQ1aおよびnMOSQ1bと、nMOSQ4と、電源端子VCC, VSS間に直列に接続された2個のバイポーラトランジスタQ5a, Q5bを有している。ここでは、外部端子1は、入力保護抵抗R1を介してCMOSインバータ回路IN VおよびnMOSQ4の入力と電気的に接続されている。このCMOSインバータ回路IN Vの出力はバイポーラトランジスタQ5aのベースと電気的に接続されている。また、nMOSQ4のドレインは、バイポーラトランジスタQ5aのエミッタとバイポーラトランジスタQ5bのコレクタとの接続部に電気的に接続され、ソースは、バイポーラトランジスタQ5bのベースと電気的に接続されている。このようなBiCMOS回路の出力は内部回路2の主回路と電気的に接続されている。 30

【0059】

ところで、この図6および図7においては、一般的な半導体回路の入力回路を示し、入力回路の入力端子の前段に入力保護抵抗R1等を設けた場合を例示したが、内部回路2が高周波信号回路の場合には、入力保護抵抗R1を取り付けない方が良好な高周波特性を得る上で好ましい。本実施の形態1においては、保護回路3によって正負の過電圧による過電流を速やかに除去できるので、高周波信号回路等のように入力保護抵抗R1等を取り付けられないようなデバイスであっても、充分に内部回路2内の素子を保護することが可能である。 40

【0060】

次に、本実施の形態1の半導体装置における保護回路3のデバイス構造を図8および図9により説明する。なお、図8は、上記保護回路3のダイオードD1、寄生PNPNサイリスタT Hおよびトリガ素子T R 1部分の模式的な平面図を示し、図9は図8のA-A線の模式的な断面図を示している。

【0061】

半導体基板としては、上記したようにSOI基板4が用いられている。SOI基板4を用いることにより、半導体装置の動作速度の向上、消費電力の低下および高周波特性の向上を実現することが可能となる。SOI基板4は、支持基板4A上に、埋込絶縁層4Bを介して半導体層4Cが形成されてなる。支持基板4Aは、例えばp型のシリコン単結晶からなり、主としてSOI基板4の機械的強度を確保する機能を有している。埋込絶縁層4Bは、例えば酸化シリコン(SiO₂)膜からなり、その厚さは、例えば0.5μm程度である。半導体層4Cは、素子が形成される層であり、例えばp型のシリコン単結晶を主体として形成され、その厚さは、例えば1~3μm程度である。ここでは、半導体層4Cが、半導体基板層4Cs上にエピタキシャル層4Cepが形成されてなる場合が例示されている。エピタキシャル層4Cepを設けることにより、例えばMOSのゲート絶縁膜の膜質を向上させることができ、薄膜化させることができる上、バイポーラトランジスタのエミッタ-コレクタ(埋込コレクタ層)間の距離の設定を良好にすることが可能となる。

【0062】

この半導体層4Cには、nウエル(第1の半導体領域)5N1およびpウエル(第2の半導体領域)5P1が形成されている。nウエル5N1は、例えばリンまたはヒ素が導入されてなり、特に限定されないが、その不純物濃度は、例えば10¹⁶/cm³程度である。また、これに隣接するpウエル5P1は、例えばホウ素が導入されてなり、特に限定されないが、その不純物濃度は、例えば5×10¹⁵/cm³程度である。なお、図9においては、図面を見易くするため、nウエル5N1およびpウエル5P1にはハッチングを付していない。

【0063】

また、半導体層4Cの正面には、例えば酸化シリコンからなる分離部6Aが形成されている。この分離部6Aは、例えばLOCOS(Local Oxidation of Silicon)法等によって形成されており、その底部は、埋込絶縁層4Bまで達していない。この分離部6Aによって素子形成用の活性領域L1~L3が規定されている。なお、この分離部6Aは、LOCOS法によって形成されるものに限定されるものではなく、例えば半導体層4Cに溝を掘り、その内部に絶縁膜等を埋め込むことで形成した、いわゆる溝型の分離部(トレンチアイソレーション)としても良い。

【0064】

さらに、本実施の形態1においては、その分離部6Aの上面から半導体層4Cを介して埋込絶縁層4Bに達する溝が掘られ、その溝内に、例えば酸化シリコン等からなる絶縁膜が埋め込まれることにより完全な分離部6Bが形成されている。すなわち、その分離部6Bと埋込絶縁層4Bとによって囲まれた半導体層4Cは、他の半導体層4Cと完全に絶縁分離されている。ここでは、その分離部6Bが図8に示すように平面棒状に形成されており、その棒内の半導体層4C部分に上記保護回路3のダイオードD1、寄生PNPNサイリスタTHおよびトリガ素子TRが形成されている。すなわち、ダイオードD1、寄生PNPNサイリスタTH、トリガ素子TR、nウエル5N1およびpウエル5P1は、完全な分離部6Bおよび埋込絶縁層4Bに取り囲まれた同一の半導体層4C内に形成されている。なお、ダイオードD1、寄生PNPNサイリスタTH、トリガ素子TRで構成される保護素子のサイズは、特に限定されないが、例えば50×50μm程度である。

【0065】

また、内部回路2の領域においても各部において完全な分離が行われている。これにより、半導体層4Cに線等のような電離性放射線が照射されても収集される電荷量が少ないため、ソフトエラー耐性を向上させることができが可能となる。また、CMOS構造においてラッチアップ現象を防止することができるので、pMOSおよびnMOSの隣接間隔を最小分離幅にできる。したがって、CMOS回路を有する半導体装置の高集積化を実現することが可能となる。なお、完全な分離部6Bとは、隣接する素子間の電気的分離が設計上許容される範囲で分離されているものも含む。

【0066】

上記ダイオードD1は、例えばpn接合ダイオードからなり、nウエル5N1と、その上

10

20

30

40

50

部に形成された p^+ 型半導体領域（第 8 の半導体領域）7 P 1 および n^+ 型半導体領域（第 3 の半導体領域）8 N 1 とを主要部として有している。この p^+ 型半導体領域 7 P 1 は、例えば p 型不純物のホウ素が含有されてなり、 n^+ 型半導体領域 8 N 1 は、例えば n 型不純物のリンまたは A s が含有されてなる。これら p^+ 型半導体領域 7 P 1 と、 n^+ 型半導体領域 8 N 1 とは、同一の n ウエル 5 N 1 内に設けられている。これにより、それらの間の抵抗値を低くすることが可能となっている。また、 p^+ 型半導体領域 7 P 1 と、 n^+ 型半導体領域 8 N 1 とは、平面的にその互いの長辺同士が平行になるように配置されている。これにより、 p^+ 型半導体領域 7 P 1 と、 n^+ 型半導体領域 8 N 1 との間に流れる電流の経路幅を広く確保することができるので、それらの間の抵抗値を低くすることが可能となっている。これらの構成により、上記負の過電圧による過電流の放電経路の抵抗を下げることができる、その過電流を速やかに逃がすことが可能となっている。 10

【 0 0 6 7 】

なお、この p^+ 型半導体領域 7 P 1 は、SOI 基板 4 上の層間絶縁膜 9 a に穿孔されたコンタクトホール 10 a を通じて第 1 層配線 1 1 a 1 と電気的に接続され、さらに低電位側の電源端子 VSS と電気的に接続されている。また、 n^+ 型半導体領域 8 N 1 は、層間絶縁膜 9 a に穿孔されたコンタクトホール 10 b を通じて第 1 層配線 1 1 b 1 に接続され、さらに外部端子 1 と電気的に接続されている。

【 0 0 6 8 】

また、上記寄生 P N P N サイリスタ TH を構成するバイポーラトランジスタ Q th1 は、 p^+ 型半導体領域（第 4 の半導体領域）7 P 2 と、 n ウエル 5 N 1 と、 n^+ 型半導体領域（第 5 の半導体領域）8 N 2 と、 p ウエル 5 P 1 とを主要部として有している。 p^+ 型半導体領域 7 P 2 は、例えばホウ素が含有されてなり、 n ウエル 5 N 1 の領域内において上記した n^+ 型半導体領域 8 N 1 に隣接して平行に延びて形成されている。また、 n^+ 型半導体領域 8 N 2 は、例えばリンまたはヒ素が含有されてなり、 n ウエル 5 N 1 と p ウエル 5 P 1 の両方にまたがるように、上記した p^+ 型半導体領域 7 P 2 に隣接して平行に延びて形成されている。なお、 p^+ 型半導体領域 7 P 2 は、層間絶縁膜 9 a に穿孔されたコンタクトホール 10 c を通じて第 1 層配線 1 1 b 2 に接続され、さらに外部端子 1 と電気的に接続されている。また、寄生 P N P N サイリスタ TH を構成する抵抗 R th1 は、 n ウエル 5 N 1 の抵抗と等価である。 20

【 0 0 6 9 】

また、寄生 P N P N サイリスタ TH を構成するバイポーラトランジスタ Q th2 は、 n^+ 型半導体領域 8 N 2 と、 n ウエル（第 1 半導体領域）5 N 1 と、 p ウエル（第 2 半導体領域）5 P 1 と、 n^+ 型半導体領域（第 5 半導体領域）8 N 4 とを主要部として有している。 30

n^+ 型半導体領域（第 4 半導体領域）8 N 3 は、例えばリンまたはヒ素が含有されてなり、上記分離部 6 A を隔てて n^+ 型半導体領域 8 N 2 の隣に配置されている。この n^+ 型半導体領域 8 N 3 も、 n^+ 型半導体領域 8 N 2 に平行に延びて形成されている。ここでは、 p ウエル 5 P 1 部分がバイポーラトランジスタ Q th2 のベース（すなわち、寄生 P N P N サイリスタ TH のトリガ電極部）となる。なお、 n^+ 型半導体領域 8 N 3 は、層間絶縁膜 9 a に穿孔されたコンタクトホール 10 d を通じて第 1 層配線 1 1 b 3 に接続され、さらに外部端子 1 と電気的に接続されている。 40

【 0 0 7 0 】

また、上記トリガ素子 TR は、活性領域 L 3 内の p ウエル 5 P 1 に形成された一対の n^+ 型半導体領域 8 N 3 および n^+ 型半導体領域（第 7 の半導体領域）8 N 4 と、ゲート絶縁膜 1 2 a と、ゲート電極 1 3 a とを有している。一対の n^+ 型半導体領域 8 N 3, 8 N 4 は、トリガ素子 TR のソース・ドレインを形成する領域であり、例えばリンまたはヒ素が含有されてなる。このソース・ドレイン用の一対の n^+ 型半導体領域 8 N 3, 8 N 4 の間にチャネル領域が形成される。このチャネル領域が、トリガ素子 TR の基板電極として機能する。 50

【 0 0 7 1 】

本実施の形態 1 においては、そのトリガ素子 T R の基板電極と、寄生 P N P N サイリスタ T H のバイポーラトランジスタ Q th2 のベース（寄生 P N P N サイリスタ T H のトリガ電極部）とが同一の p ウエル 5 P 1 に形成されている。これにより、それらの間の抵抗値を低くすることができ、トリガ素子 T R で生じた基板電流を効率良くバイポーラトランジスタ Q th2 のベースに注入することが可能となっている。また、トリガ素子 T R のチャネル幅方向（ゲート電極 1 3 a の平面的な延在方向）を、バイポーラトランジスタ Q th2 のベースに相当する部分に対して平行になるように配置したことにより、上記基板電流の経路幅を広く確保することができるので、それらの間の抵抗値を低くすることが可能となっている。これらにより、寄生 P N P N サイリスタ T H のターンオン時間を短縮でき、その感度を向上させることができる。したがって、上記正の過電圧による過電流を速やかに逃がすことが可能となっている。

【 0 0 7 2 】

また、サイリスタ保護素子の感度劣化が保護素子を形成する半導体領域の寸法変動の影響を受け難い構造とすることができます。したがって、保護回路のデバイス設計を容易にすることが可能となる。

【 0 0 7 3 】

さらに、トリガ素子 T R のチャネル長が、内部回路 2 の M O S のチャネル長とほぼ同一にされている。これにより、サイリスタ保護素子の感度が、内部回路 2 の素子（M O S）に応じて最適な値に設定されている。すなわち、内部回路 2 の素子の微細化に応じて、サイリスタ保護素子の感度の設定が可能となっている。

【 0 0 7 4 】

上記トリガ素子 T R のゲート絶縁膜 1 2 a は、例えば酸化シリコンからなる。また、ゲート電極 1 3 a は、例えば低抵抗ポリシリコンからなるが、これに限定されるものではなく種々変更可能であり、例えば低抵抗ポリシリコン上に、例えばコバルトシリサイドやタンゲステンシリサイド等のような高融点金属シリサイド層を設けた、いわゆるポリサイドゲート電極構造としても良い。また、低抵抗ポリシリコン上に、例えば窒化タンゲステン等のようなバリアを介してタンゲステン等のような金属膜を設けた、いわゆるポリメタルゲート電極構造としても良い。このゲート電極 1 3 a は、層間絶縁膜 9 a に形成されたコンタクトホール 1 0 f を通じて第 1 層配線と電気的に接続され、さらに低電位側の電源端子 V SS と電気的に接続されている。また、n⁺型半導体領域 8 N 4 は、層間絶縁膜 9 a に穿孔されたコンタクトホール 1 0 e を通じて第 1 層配線 1 1 a 2 に接続され、さらに低電位側の電源端子 V SS と電気的に接続されている。

【 0 0 7 5 】

なお、上記層間絶縁膜 9 a は、例えば酸化シリコンからなる。また、上記コンタクトホール 1 0 a ~ 1 0 e は、それぞれが配置された各半導体領域の延在方向に沿って延びて形成されている。これにより配線と各半導体領域との接触抵抗を低減させることができるので、上記第 1 層配線 1 1 a 1, 1 1 a 2, 1 1 b 1 ~ 1 1 b 3 は、例えばアルミニウムまたはアルミニウム - シリコン - 銅合金等のような金属膜からなる。

【 0 0 7 6 】

このように、本実施の形態 1 の半導体装置によれば、上記のような保護回路 3 を設けたことにより、S O I 基板 4 を用いた場合においても、正、負両方の過電圧に対する過電流を速やかに逃がすことができる。このため、S O I 基板 4 に形成された半導体装置の歩留まりを向上させることができるとなる。したがって、その半導体装置のコストを低減することができる。

【 0 0 7 7 】

また、サイリスタ保護素子内の各素子の電極を同一半導体領域に設けることにより、サイリスタ保護素子のサイズの微細化を図ることができ、また、各電極間の抵抗を下げることができるので、内部回路 2 に高周波信号回路が設けられるような半導体装置であっても、その電気的特性（周波数特性）の劣化を生じさせることなく半導体装置内の回路、特に入力に組み込むことができ、静電破壊耐性を向上させることができるとなる。

10

20

30

40

50

【0078】

次に、上記のようなサイリスタ構造の保護回路3を有する半導体装置の具体例を図10～図12に示す。図10はその半導体装置の要部平面図、図11は図10のA-A線の断面図、図12は図10の半導体装置の他の部分の断面図である。

【0079】

半導体層4Cには、上記ダイオードD1、寄生PNPNサイリスタTH、トリガ素子TRの他に、クランプ素子CL、バイポーラトランジスタQ3、pMOSQ1aおよびnMOSQ1bが形成されている。クランプ素子CL、バイポーラトランジスタQ3、pMOSQ1aおよびnMOSQ1bは、それぞれ分離部6Bによって囲まれた半導体層4C部分に互いに電気的に分離された状態で形成されている。

10

【0080】

図10および図11に示すように、クランプ素子CLは、分離部6Bおよび埋込絶縁層4Bに取り囲まれた半導体層4Cに形成されている。この半導体層4Cには、pウエル5P2が形成されている。このpウエル5P2の上部には、クランプ素子CLのソース・ドレインを形成する一対のn⁺型半導体領域8N5, 8N6およびウエル電位供給部を形成するp⁺型半導体領域7P3が形成されている。この一対のn⁺型半導体領域8N5, 8N6には、例えばリンまたはヒ素が含有され、ウエル電位供給部を形成するp⁺型半導体領域7P3には、例えばホウ素が含有されている。

【0081】

n⁺型半導体領域8N5およびp⁺型半導体領域7P3は、層間絶縁膜9aに穿孔されたコンタクトホール10f, 10gを通じて第1層配線11a3と電気的に接続されている。他方のn⁺型半導体領域8N6は、層間絶縁膜9aに穿孔されたコンタクトホール10hを通じて第1層配線11c1と電気的に接続されている。なお、n⁺型半導体領域8N5およびp⁺型半導体領域7P3の間には、分離部6Aによって分離されている。

20

【0082】

クランプ素子CLのゲート絶縁膜12bおよびゲート電極13bは、上記トリガ素子TRのゲート絶縁膜12aおよびゲート電極13aと同じ構造となっている。異なるのは、ゲート電極13bは、層間絶縁膜9bに穿孔されたコンタクトホール10iを通じて第1層配線11a3と電気的に接続されていることである。

【0083】

30

バイポーラトランジスタQ3は、分離部6Bおよび埋込絶縁層4Bに取り囲まれた半導体層4Cに形成されている。この半導体層4Cには、埋込n⁺型ウエル14、n⁺型半導体領域15、n型半導体領域16、p型半導体領域17およびn⁺型半導体領域18が形成されている。このバイポーラトランジスタQ3は、例えば縦型のNPNバイポーラトランジスタからなり、そのコレクタは、埋込n⁺型ウエル14、n⁺型半導体領域15およびn型半導体領域16を有している。

【0084】

40

埋込n⁺型ウエル14は、上記埋込コレクタ層に相当する層であり、コレクタ抵抗を下げる機能を有している。埋込n⁺型ウエル14には、例えばアンチモン(Sb)が含有されており、n⁺型半導体領域15およびn型半導体領域16が電気的に接続されている。n⁺型半導体領域15は、例えばリンまたはヒ素が含有されてなり、コレクタ引出領域を形成し、層間絶縁膜9aに穿孔されたコンタクトホール10jを通じて第1層配線11dと電気的に接続されている。このn型半導体領域16は、例えばリンまたはヒ素が含有されてなり、その上部には、バイポーラトランジスタQ3のベース用のp型半導体領域17が形成されている。

【0085】

50

このベース用のp型半導体領域17は、例えばホウ素が含有されてなり、層間絶縁膜9aに穿孔されたコンタクトホール10kを通じて第1層配線11b4と電気的に接続されている。このp型半導体領域17の上部には、バイポーラトランジスタQ3のエミッタ用のn⁺型半導体領域18が形成されている。このエミッタ用のn⁺型半導体領域18は、例え

ばリンまたはヒ素が含有されてなり、層間絶縁膜 9 a に穿孔されたコンタクトホール 10 m を通じて第 1 層配線 11 e と電気的に接続されている。なお、コレクタ引出用の n⁺ 型半導体領域 15 およびベース用の p 型半導体領域 17 は、その間に介在された分離部 6 A によって電気的に分離されている。

【 0 0 8 6 】

一方、図 12 に示すように、pMOSQ1a は、分離部 6 B および埋込絶縁層 4 B に取り囲まれた半導体層 4 C に形成されている。この半導体層 4 C には、n ウエル 5 N 2 が形成されている。この n ウエル 5 N 2 の上部には、pMOSQ1a のソース・ドレインを形成する一対の p⁺ 型半導体領域 7 P 4, 7 P 5 およびウエル電位供給部を形成する n⁺ 型半導体領域 8 N 7 が形成されている。この一対の p⁺ 型半導体領域 7 P 4, 7 P 5 には、例えばホウ素が含有され、ウエル電位供給部を形成する n⁺ 型半導体領域 8 N 7 には、例えばリンまたはヒ素が含有されている。

【 0 0 8 7 】

p⁺ 型半導体領域 7 P 4, 7 P 5 は、それぞれ層間絶縁膜 9 a に穿孔されたコンタクトホール 10 n, 10 p を通じて第 1 層配線 11 f, 11 g と電気的に接続されている。n⁺ 型半導体領域 8 N 7 は、層間絶縁膜 9 a に穿孔されたコンタクトホール 10 q を通じて第 1 層配線 11 h と電気的に接続されている。なお、p⁺ 型半導体領域 7 P 5 および n⁺ 型半導体領域 8 N 7 の間は、分離部 6 A によって分離されている。

【 0 0 8 8 】

pMOSQ1a のゲート絶縁膜 12 c およびゲート電極 13 c は、上記トリガ素子 TR のゲート絶縁膜 12 a およびがゲート電極 13 a と同じ構造となっている。異なるのは、ゲート電極 13 c は、pMOSQ1b のゲート電極 13 d と電気的に接続されていることである。

【 0 0 8 9 】

nMOSQ1b は、分離部 6 B および埋込絶縁層 4 B に取り囲まれた半導体層 4 C に形成されている。この半導体層 4 C には、p ウエル 5 P 3 が形成されている。この p ウエル 5 P 3 の上部には、nMOSQ1b のソース・ドレインを形成する一対の n⁺ 型半導体領域 8 N 8, 8 N 9 およびウエル電位供給部を形成する p⁺ 型半導体領域 7 P 6 が形成されている。この一対の n⁺ 型半導体領域 8 N 8, 8 N 9 には、例えばリンまたはヒ素が含有され、ウエル電位供給部を形成する p⁺ 型半導体領域 7 P 6 には、例えばホウ素が含有されている。

【 0 0 9 0 】

n⁺ 型半導体領域 8 N 8, 8 N 9 は、それぞれ層間絶縁膜 9 a に穿孔されたコンタクトホール 10 r, 10 s を通じて第 1 層配線 11 i, 11 f と電気的に接続されている。p⁺ 型半導体領域 7 P 6 は、層間絶縁膜 9 a に穿孔されたコンタクトホール 10 t を通じて第 1 層配線 11 j と電気的に接続されている。なお、n⁺ 型半導体領域 8 N 8 および p⁺ 型半導体領域 7 P 6 の間は、分離部 6 A によって分離されている。また、nMOSQ1a のゲート絶縁膜 12 d およびゲート電極 13 d は、上記トリガ素子 TR のゲート絶縁膜 12 a およびがゲート電極 13 a と同じ構造となっている。

【 0 0 9 1 】

また、図 10 に示すように、外部端子 1 VSS は、半導体チップの外部から内部に対して低電位の電源を供給する端子であり、上記低電位側の電源端子 VSS の一つでもある。この外部端子 1 VSS は、これと一体的にパターン形成された第 1 層配線 11 a, 11 a1~11 a3 を通じて、上記保護回路 3 の各部と電気的に接続されるとともに、内部回路 2 内の電源端子 VSS と電気的に接続されている。

【 0 0 9 2 】

また、外部端子 1 S (1) は、半導体チップの外部から内部に対して信号を伝送する端子であり、これと一体的にパターン形成された第 1 層配線 11 b, 11 b1, 11 b3 を通じて、上記保護回路 3 の各部と電気的に接続されるとともに、第 1 層配線 11 b4 を通じて内部回路 2 内の回路の入力端子（ここではバイポーラトランジスタ Q3 のベースが例示）と電気的に接続されている。

10

20

30

40

50

【0093】

さらに、外部端子 1 VCC は、半導体チップの外部から内部に対して高電位の電源を供給する端子であり、上記高電位側の電源端子 VCC の一つでもある。この外部端子 1 VCC は、これと一体的にパターン形成された第 1 層配線 11c, 11c1 を通じて、上記保護回路 3 の一部と電気的に接続されているとともに、内部回路 2 内の電源端子 VCC と電気的に接続されている。

【0094】

なお、第 1 層配線 11a, 11a1~11a3, 11b, 11b1, 11b3, 11b4, 11c, 11c1 は、表面保護膜 9b によって被覆されている。表面保護膜 9b は、例えば酸化シリコンの単層膜、酸化シリコン膜上に窒化シリコン膜を堆積してなる積層膜または酸化シリコン膜上に窒化シリコン膜を介してポリイミド膜を堆積してなる積層膜からなる。表面保護膜 9b の一部には、上記外部端子 1, 1S, 1VSS, 1VCC が露出するような開口部 19 が形成されている。

10

【0095】

次に、本実施の形態 1 の半導体装置における SOI 基板 4 の製造方法の一例を図 13 および図 14 によって説明する。

【0096】

まず、図 13 (a) に示すように、例えば p 型のシリコン単結晶からなる半導体層形成基板 4Cs a (この段階では、例えば平面略円形状の半導体ウエハと称する半導体薄板) の表面に、例えば熱酸化法等によって酸化シリコンからなる埋込絶縁層 4B を形成する。続いて、図 13 (b) に示すように、その半導体層形成基板 4Cs a とは別に、例えば p 型のシリコン単結晶からなる支持基板 4A (この段階では、例えば平面略円形状の半導体ウエハと称する半導体薄板) を用意し、それら半導体層形成基板 4Cs a および支持基板 4A を埋込絶縁層 4B を介して張り合わせ加熱処理 (例えば 1100 以下) を施す。その後、半導体層形成基板 4Cs a の裏面を研磨することにより、図 13 (c) に示すように、半導体基板層 4Cs を形成する。その後、半導体基板層 4Cs 上に、例えば p 型のシリコン単結晶からなるエピタキシャル層を形成し、前記 SOI 基板 4 を製造する。この技術の場合、半導体基板層 4Cs の結晶性が優れている。また、埋込絶縁層 4B を熱酸化法によって形成しているので、ピンホール等が欠陥を少なくすることができる。

20

【0097】

また、例えば次のようにしても良い。まず、図 14 (a) に示すように、上記と同様に半導体層形成基板 4Cs a の表面に埋込絶縁層 4B を形成した後、埋込絶縁層 4B を形成した半導体層形成基板 4Cs a の所定の深さ位置に水素等をイオン注入法等によって注入することにより注入層 20 を形成する。続いて、図 14 (b) に示すように、その半導体層形成基板 4Cs a と、支持基板 4A とを埋込絶縁層 4B を介して張り合わせ加熱処理 (例えば 1100 以下) を施す。この際、上記注入層 20 にマイクロクラックを生じさせることにより、図 14 (c) に示すように、埋込絶縁層 4B 上に一部の半導体層形成基板 4Cs a を残して半導体基板層 4Cs を形成し、残りの半導体層形成基板 4Cs a 部分を剥離する。その後、半導体基板層 4Cs の表面を軽く研磨し、表面処理を施した後、上記と同様に、エピタキシャル層を形成し、前記 SOI 基板 4 を製造する。この技術の場合、上記図 13 の製造技術による効果の他に、半導体基板層 4Cs の厚さを制御性の高いイオン注入法によって設定できるので、半導体基板層 4Cs の厚さの均一性を向上させることができる。

30

【0098】

次に、本実施の形態 1 の半導体装置の製造方法の一例を図 15 ~ 図 18 によって説明する。なお、図 15 ~ 図 18 において、(a) は保護回路 3 部分の SOI 基板 4 の断面図を示し、(b) は CMOS 回路部分の SOI 基板 4 の断面図を示している。

40

【0099】

図 15 は、本実施の形態 1 の半導体装置における製造工程中の SOI 基板 4 (この段階では、半導体ウエハと称する平面円形状の薄板) の要部断面図を示している。半導体層 4C

50

は、半導体基板層 4 C s 上にエピタキシャル層 4 C ep が形成されてなり、その正面には、分離部 6 A が、例えば L O C O S 法等によって形成されている。また、分離部 6 B は、分離部 6 A の上面から埋込絶縁層 4 B に達する溝が掘られ、その内部に酸化シリコン膜等からなる絶縁膜が埋め込まれることで形成されている。半導体層 4 C には、n ウエル 5 N 1 , 5 N 2 および p ウエル 5 P 1 ~ 5 P 3 が形成されている。

【 0 1 0 0 】

また、半導体層 4 C の正面には、ゲート絶縁膜 1 2 a ~ 1 2 d が形成されている。ゲート絶縁膜 1 2 a ~ 1 2 d は、例えば酸化シリコン膜からなり、例えば同一の熱酸化工程によって形成されている。このように、本実施の形態 1 においては、トリガ素子用の n M O S のゲート絶縁膜 1 2 a と、内部回路の M O S のゲート絶縁膜 1 2 c , 1 2 d とを同一の熱酸化処理によって形成する。

10

【 0 1 0 1 】

また、そのゲート絶縁膜 1 2 a ~ 1 2 d 上には、ゲート電極 1 3 a ~ 1 3 d が形成されている。ゲート電極 1 3 a は、例えば S O I 基板 4 の正面に、例えば低抵抗ポリシリコン膜等を C V D (Chemical Vapor Deposition) 法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッティング技術によってパターニングすることによって形成されている。このように、本実施の形態 1 においては、トリガ素子用の n M O S のゲート電極 1 3 a と、内部回路の M O S のゲート電極 1 3 c , 1 3 d とを、同一の導体膜で、同一工程時にパターン形成する。

【 0 1 0 2 】

20

まず、このような S O I 基板 4 上に、図 1 6 に示すように、n 型半導体領域の形成領域が露出され、それ以外が被覆されるようなフォトレジストパターン 2 1 a を形成する。続いて、そのフォトレジストパターン 2 1 a をマスクとして、半導体層 4 C に、例えばリンまたはヒ素をイオン注入法等によって導入した後、フォトレジストパターン 2 1 a を除去する。このような不純物の導入処理によって、図 1 7 に示すように、n⁺型半導体領域 8 N 1 ~ 8 N 9 を形成する。このように、本実施の形態 1 においては、トリガ素子用の n M O S のソース・ドレイン用の n⁺型半導体領域 8 N 3 , 8 N 4 と、内部回路の n M O S のソース・ドレイン用の n⁺型半導体領域 8 N 8 , 8 N 9 とを同工程時に形成する。

【 0 1 0 3 】

次いで、S O I 基板 4 上に、p 型半導体領域の形成領域が露出され、それ以外が被覆されるようなフォトレジストパターン 2 1 b を形成した後、そのフォトレジストパターン 2 1 b をマスクとして、半導体層 4 C に、例えばホウ素をイオン注入法等によって導入する。このような不純物の導入処理によって、図 1 8 に示すように、p⁺型半導体領域 7 P 1 ~ 7 P 6 を形成する。

30

【 0 1 0 4 】

このように本実施の形態 1 の半導体装置の製造方法においては、寄生 P N P N サイリスタ T H を駆動するトリガ素子 T R の各部と、保護対象の内部回路 2 における素子の各部とを別々に形成するのではなく、同一工程時に形成する。すなわち、内部回路 2 の素子に合わせてトリガ素子 T R を形成する。このため、例えば内部回路 2 の素子 (M O S) の寸法 (各部平面寸法やゲート絶縁膜厚) が小さくなれば、それに応じてトリガ素子 T R の寸法 (各部平面寸法やゲート絶縁膜厚) も小さくなり、寄生 P N P N サイリスタ T H のターンオフ時間も短くすることができる。すなわち、上記サイリスタ保護素子の感度を、内部回路 2 の素子 (M O S) に応じて最適な値にすることが可能となっている。したがって、内部回路 2 の素子 (M O S) を保護するのに最適なサイリスタ保護素子を形成することが可能となる。このことについてはクランプ素子 C L についても同様の効果が得られる。

40

【 0 1 0 5 】

また、上記サイリスタ保護素子を形成するために、新たなプロセスや複雑なプロセスを追加する必要がない。このため、製造時間や製造コストを増大させることなく、サイリスタ保護素子を有する半導体装置の製造することが可能となる。したがって、サイリスタ保護素子を有する半導体装置のコストを低減することが可能となる。

50

【0106】

(実施の形態2)

本実施の形態2においては、図19に示すように、 p^+ 型半導体領域7P1, 7P2、 n^+ 型半導体領域8N1～8N4およびゲート電極13aの表層に、シリサイド層22が形成されている。このシリサイド層22は、例えばコバルトシリサイド、チタンシリサイドまたはタンゲステンシリサイド等のような高融点金属シリサイドからなり、通常のシリサイドプロセスによって形成されている。

【0107】

なお、ゲート電極13aの側面には、サイドウォール23が形成されている。このサイドウォール23は、例えば酸化シリコン膜からなり、ゲート電極13aの表層のシリサイド層22と、ソース・ドレイン用の n^+ 型半導体領域8N3, 8N4の表層のシリサイド層22とが電気的に接続されないように形成されている。

10

【0108】

このように、本実施の形態2においては、内部回路2に高周波信号回路が設けられるような半導体装置であっても、その電気的特性（周波数特性）を劣化させることなく、サイリスタ保護素子を半導体装置の回路、特に入力に組み込むことが可能となっている。

【0109】

また、そのシリサイド層22を内部回路2を構成するMOSにおけるソース・ドレイン用の半導体領域およびゲート電極の表層に形成することにより、内部回路2の電気的特性（特に周波数特性）を向上させることができるので、半導体装置の動作速度を向上させることができ可能となる。また、このシリサイド層22は、通常のシリサイドプロセスにより、保護回路3と内部回路2とで同時に形成できるので、この構造を採用したからといって特に製造プロセスが増加することもない。なお、この場合も内部回路2のMOSのゲート電極の側面に上記サイドウォール23が形成される。

20

【0110】

ところで、本実施の形態2においては、上記サイリスタ保護素子を有する半導体装置にシリサイドプロセスを採用するのにあたって、例えば以下のような構造上の工夫がなされている。

【0111】

寄生PNPNサイリスタTHのバイポーラトランジスタQTH1の形成領域において、 p^+ 型半導体領域7P28（エミッタ）と、 n^+ 型半導体領域8N2（ベース）との間に、分離部6Aが形成されている。これは、その箇所に分離部6Aを形成せずに安易にシリサイド層22を形成してしまうと、 p^+ 型半導体領域7P2と、 n^+ 型半導体領域8N2とがシリサイド層22を通じて電気的に接続され、寄生PNPNサイリスタTHのバイポーラトランジスタQTH1のベース・エミッタ間がシリサイド層22を通じて低抵抗で接続されてしまい、バイポーラトランジスタQTH1が動作しなくなってしまうので、それを防止するためである。また、 p^+ 型半導体領域7P2と、 n^+ 型半導体領域8N2との間に分離部6Aを設けることにより、バイポーラトランジスタQTH1のベース・エミッタ間に並列に接続される抵抗Rth1（nウエル5N1の拡散抵抗）をある程度大きくすることができるので、バイポーラトランジスタQTH1をオンさせ易くすることができる。すなわち、寄生PNPNサイリスタTHの感度を向上させることができる。

30

【0112】

以上のような構造および製造方法以外は、前記実施の形態1と同じなので説明を省略する。

40

【0113】

(実施の形態3)

本実施の形態3においては、図20に示すように、寄生PNPNサイリスタTHのバイポーラトランジスタQth1のベースと外部端子1との間に抵抗（第1の抵抗）R2を接続し、寄生PNPNサイリスタTHのバイポーラトランジスタQth2のベース（トリガ電極部）と電源端子VSSとの間に抵抗（第2の抵抗）R3を接続している。なお、抵抗R2を無

50

くしても良い。

【0114】

前記実施の形態1, 2においては、上記サイリスタ保護素子の感度の向上を図っていたが、その感度の向上のために寄生PNPNサイリスタTHのターンオン電流をあまり小さな値にしてしまうと、過電圧以外の要因によって寄生PNPNサイリスタTHが動作してしまう。

【0115】

そこで、本実施の形態3においては、上記抵抗R2, R3を回路内に積極的に組み込み、それらの抵抗値を調整するようにした。これにより、寄生PNPNサイリスタTHのターンオン電流を適切な値に設定することができるので、上記のような寄生PNPNサイリスタTHの誤動作を防止することが可能となる。

10

【0116】

このような抵抗R2, R3は、拡散層を用いた抵抗（以下、拡散抵抗という）またはポリシリコン膜を用いた抵抗（以下、ポリシリ抵抗という）によって形成することができる。拡散抵抗は、前記SOI基板4の半導体層4Cに不純物を導入することにより形成する。また、ポリシリ抵抗は、前記SOI基板4の半導体層4C上にポリシリ抵抗をパターン形成する。いずれの場合も、抵抗値の設定精度および再現性が高いので、サイリスタ保護素子の回路上およびデバイス上の設計を容易にすることが可能となる。特に、ポリシリ抵抗の場合は、SOI基板4上に形成することができるので、サイリスタ保護素子の平面的なサイズを拡散抵抗に比べて小さくすることが可能となる。

20

【0117】

なお、抵抗R2の値は、nウエル5N1の抵抗と拡散抵抗（またはポリシリ抵抗）との和になる。また、抵抗R3の値は、pウエル5P1の抵抗と拡散抵抗（またはポリシリ抵抗）との和になる。しかし、いずれの場合も拡散抵抗（またはポリシリ抵抗）をウエルの抵抗よりも高くすることにより、それらが実効的なものとなるので、nウエル5N1やpウエル5P1の抵抗を無視することができる。

【0118】

このような場合のデバイス構造の一例を図21に示す。ダイオードD1と寄生PNPNサイリスタTHとが、分離部6Aおよび溝型の分離部6Bによって電気的に分離されている。すなわち、ダイオードD1とサイリスタ保護素子（寄生PNPNサイリスタTHおよびトリガ素子TR）とが互いに絶縁された別々の半導体層4Cに形成されている。 n^+ 型半導体領域8N1は、分離部6A, 6Bによって2つの n^+ 型半導体領域8N1aおよび n^+ 型半導体領域（第3の半導体領域）8N1bに分離されている。ダイオードD1と接続される n^+ 型半導体領域8N1aは、コンタクトホール10b1を通じて第1層配線11b11に接続され、これを通じて外部端子1と電気的に接続されている。一方、寄生PNPNサイリスタTHのバイポーラトランジスタQ1aのベースと接続される n^+ 型半導体領域8N1bは、コンタクトホール10b2を通じて第1層配線11b12に接続され、これを通じて外付けの抵抗R2aに電気的に接続され、さらに、これを介して外部端子1（1S）と電気的に接続されている。

30

【0119】

また、寄生PNPNサイリスタTHのバイポーラトランジスタQ1aのベースと接続される n^+ 型半導体領域8N1bと p^+ 型半導体領域7P2との間に分離部6Aを設けることにより、 n^+ 型半導体領域8N1bと p^+ 型半導体領域7P2との間の分離を行い、それらの間のnウエル5N1に形成される抵抗Rth1を高くしている。図20に示した抵抗R2は、この抵抗R2aと抵抗Rth1との和で形成されている。ここでは、抵抗R2aの値が、抵抗Rth1の値よりも高く設定されており、抵抗R2の実効的な値を決めている。

40

【0120】

また、 p^+ 型半導体領域7P2と、 n^+ 型半導体領域8N2との間にも分離部6が形成されている。また、pウエル5P1の上部において分離部6Aに囲まれた領域には、 p^+ 型半導体領域（第9の半導体領域）7P7が形成されている。この p^+ 型半導体領域7P7は、例え

50

ばホウ素がpウエル5P1に含有されてなり、トリガ素子TRを構成するnMOSの基板電極と、pウエル5P1に形成される抵抗R_{th2}を介して電気的に接続されている。また、このp⁺型半導体領域7P7は、層間絶縁膜9aに穿孔されたコンタクトホール10uを通じて第1層配線11a4と電気的に接続され、これを通じて外付けの抵抗R3aに電気的に接続され、さらに、これを介して低電位側の電源端子VSSと電気的に接続されている。図20に示した抵抗R3は、この抵抗R3aと抵抗R_{th2}との和で形成されている。ここでは、抵抗R3aの値が、抵抗R_{th2}の値よりも高く設定されており、抵抗R3の実効的な値を決めている。

【0121】

(実施の形態4)

10

本実施の形態4は、前記実施の形態3に、前記実施の形態2の技術を適用したものである。すなわち、本実施の形態4においては、図22に示すように、p⁺型半導体領域7P1, 7P2, 7P7、n⁺型半導体領域8N1~8N4およびゲート電極13aの表層に、シリサイド層22が形成されている。

【0122】

本実施の形態4においては、前記実施の形態2, 3と同様の効果を得ることが可能となる。特に、本実施の形態4によれば、サイリスタ保護素子の各電極間の抵抗値を抵抗R2a, R3aの値の調整により適宜高い精度で調節できるので、サイリスタ保護素子の動作特性を最適化することが可能となる。

【0123】

20

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0124】

30

例えば前記実施の形態1~4においては、配線をアルミニウム等で形成した場合について説明したが、これに限定されるものではなく、例えば銅によって形成しても良い。その場合、層間絶縁膜に配線溝を形成し、その溝内に配線材料を埋め込むことで配線層を形成する、いわゆるダマシンまたはデュアルダマシン法によって多層配線構造を構成しても良い。これにより、信号の伝送速度を向上させることが可能となる。また、配線の微細化が可能となる。なお、この配線材料に銅を用いた場合には、配線溝の内壁面に、例えば窒化チタン等のような銅の拡散を防止するためのバリア膜を設けることが好ましい。

【0125】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である高周波信号回路を有する半導体装置に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) またはフラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいは上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置にも適用できる。

【0126】

40

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、保護用のサイリスタのゲートと、前記トリガ素子の基板電極部とを同一の半導体領域内に設けて、そのゲートと基板電極部とを電気的に接続し、前記トリガ素子の降伏により発生した基板電流により、前記保護用のサイリスタを駆動せることにより、保護回路を構成する保護用のサイリスタのターンオン時間を短縮することが可能となる。

(2). 上記(1)により、保護用のサイリスタを有する保護回路の放電能力を向上させることができ可能となる。

50

(3).上記(1),(2)により、内部回路の素子の微細化に対応した保護回路構成を実現することが可能となる。

(4).上記(1),(2)により、絶縁層上に半導体層を設けてなる基板を用いた半導体装置であっても、過電流を速やかに逃がすことが可能となる。

(5).本発明によれば、保護用のサイリスタのゲートと、前記トライガ素子の基板電極部とを同一の半導体領域内に設けて、そのゲートと基板電極部とを電気的に接続することにより、保護回路を微細化することが可能となる上、各保護回路を構成する素子の電極間の抵抗や寄生容量を下げることができる。したがって、内部回路の電気的特性を劣化させることなく、保護回路の放電能力を向上させることが可能となる。

(6).本発明によれば、保護用のサイリスタのゲートと、前記トライガ素子の基板電極部とを同一の半導体領域内に設けて、そのゲートと基板電極部とを電気的に接続し、前記トライガ素子の降伏により発生した基板電流により、前記保護用のサイリスタを駆動させることにより、保護用のサイリスタの感度劣化が保護素子を形成する半導体領域の寸法変動の影響を受け難い構造とすることができる。したがって、保護回路のデバイス設計を容易にすることが可能となる。 10

【図面の簡単な説明】

【図 1】本発明者らが本発明をするのに検討した技術の回路図である。

【図 2】図 1 の回路のデバイス構造を示す半導体基板の断面図である。

【図 3】本発明の一実施の形態である半導体装置の要部回路図である。

【図 4】(a)は図 3 の半導体装置の保護回路における負の過電流の放電経路を模式的に示す回路図であり、(b)は正の過電流の放電経路を模式的に示す回路図である。 20

【図 5】図 3 の保護回路の保持電圧を示す典型的な電流 - 電圧特性を示すグラフ図である。

【図 6】(a)および(b)は図 3 の半導体装置の入力回路の一例を示す回路図である。

【図 7】(a)および(b)は図 3 の半導体装置の入力回路の他の一例を示す回路図である。

【図 8】図 3 の半導体装置の保護回路のデバイス構造を示す半導体基板の要部平面図である。

【図 9】図 8 の A - A 線の断面図である。

【図 10】図 3 の半導体装置のデバイス構造をさらに詳細に示した半導体基板の要部平面図である。 30

【図 11】図 10 の A - A 線の断面図である。

【図 12】図 10 の所定の部分の断面図である。

【図 13】(a)～(c)は図 8 および図 9 の半導体基板の製造工程中における要部断面図である。

【図 14】(a)～(d)は図 8 および図 9 の半導体基板の製造工程中における要部断面図である。

【図 15】(a)および(b)は図 8 および図 9 の半導体装置の製造工程中における要部断面図である。

【図 16】(a)および(b)は図 15 に続く半導体装置の製造工程中における要部断面図である。 40

【図 17】(a)および(b)は図 16 に続く半導体装置の製造工程中における要部断面図である。

【図 18】(a)および(b)は図 17 に続く半導体装置の製造工程中における要部断面図である。

【図 19】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 20】本発明のさらに他の実施の形態である半導体装置の要部回路図である。

【図 21】図 20 のデバイス構造を示す半導体装置の要部断面図である。

【図 22】本発明のさらに異なる実施の形態である半導体装置の要部断面図である。

【符号の説明】

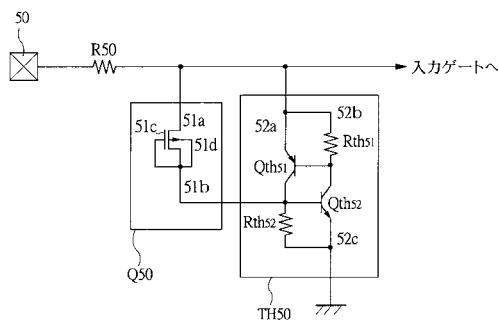
1	外部端子	
1 VSS	外部端子	
1 S	外部端子	
1 VCC	外部端子	
2	内部回路	
3	保護回路	
4	S O I 基板	
4 A	支持基板	
4 B	埋込絶縁層	
4 C	半導体層	10
4 C s	半導体基板層	
4 C s a	半導体層形成基板	
4 C ep	エピタキシャル層	
5 N 1	n ウエル	
5 N 2	n ウエル	
5 P 1	p ウエル	
5 P 2	p ウエル	
5 P 3	p ウエル	
6 A	分離部	
6 B	分離部	20
7 P 1 ~ 7 P 7	p ⁺ 型半導体領域	
8 N 1 ~ 8 N 9	n ⁺ 型半導体領域	
8 N 1a , 8 N 1b	n ⁺ 型半導体領域	
9 a	層間絶縁膜	
9 b	表面保護膜	
1 0 a ~ 1 0 k , 1 0 m , 1 0 n , 1 0 p ~ 1 0 u	コンタクトホール	
1 0 b 1 , 1 0 b 2	コンタクトホール	
1 1 a , 1 1 a 1 ~ 1 1 a 4 , 1 1 b 11 , 1 1 b 12	第1層配線	
1 1 b , 1 1 b 1 ~ 1 1 b 4	第1層配線	
1 1 c , 1 1 c 1	第1層配線	30
1 1 d ~ 1 1 j	第1層配線	
1 2 a ~ 1 2 d	ゲート絶縁膜	
1 3 a ~ 1 3 d	ゲート電極	
1 4	埋込n ⁺ 型ウエル	
1 5	n ⁺ 型半導体領域	
1 6	n型半導体領域	
1 7	p型半導体領域	
1 8	n ⁺ 型半導体領域	
1 9	開口部	
2 0	注入層	40
2 1 a	フォトレジストパターン	
2 2	シリサイド層	
2 3	サイドウォール	
VCC	高電位側の電源端子	
VSS	低電位側の電源端子	
5 0	入力端子	
5 1 a	ドレイン端子	
5 1 b	ソース端子	
5 1 c	ゲート端子	
5 1 d	基板端子	50

5 2 a エミッタ端子
 5 2 b 電位供給端子
 5 2 c エミッタ端子
 5 3 高濃度 p 型基板
 5 4 低濃度 p 型エピタキシャル層
 5 5 p 型ウエル
 5 6 n 型ウエル
 D 1 ダイオード
 T H 寄生 P N P N サイリスタ 10
 T R トリガ素子
 C L クランプ素子
 Q th1, Q th2 バイポーラトランジスタ
 R th1 抵抗
 R 1 入力保護抵抗
 I N V CMOS インバータ回路
 Q 1 a p MOS · FET
 Q 1 b n MOS · FET
 Q 2 a p MOS · FET
 Q 2 b n MOS · FET
 Q 3 バイポーラトランジスタ 20
 Q 4 n MOS
 Q 5a, Q 5b バイポーラトランジスタ
 L 1 ~ L 3 活性領域
 R 50 入力保護抵抗
 Q 50 保護用 MOS · FET
 T H 50 寄生 P N P N サイリスタ
 Q th51 寄生 P N P バイポーラトランジスタ
 Q th52 寄生 N P N バイポーラトランジスタ
 R th51 等価 n ウエル抵抗
 R th52 等価 p 基板抵抗 30

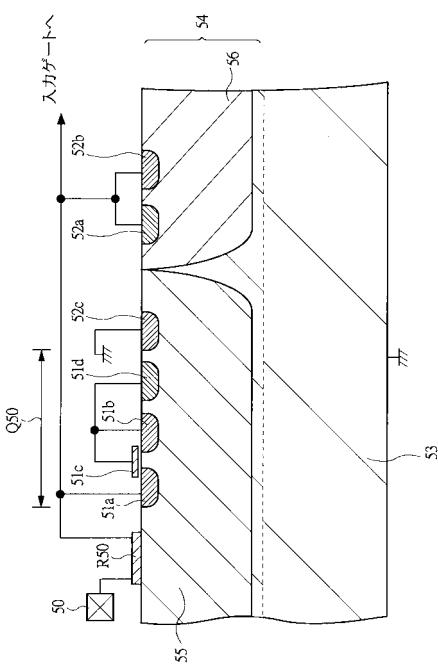
【 図 1 】

【 図 2 】

图 1

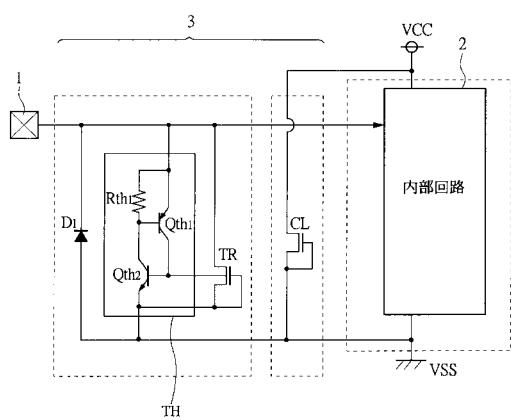


2

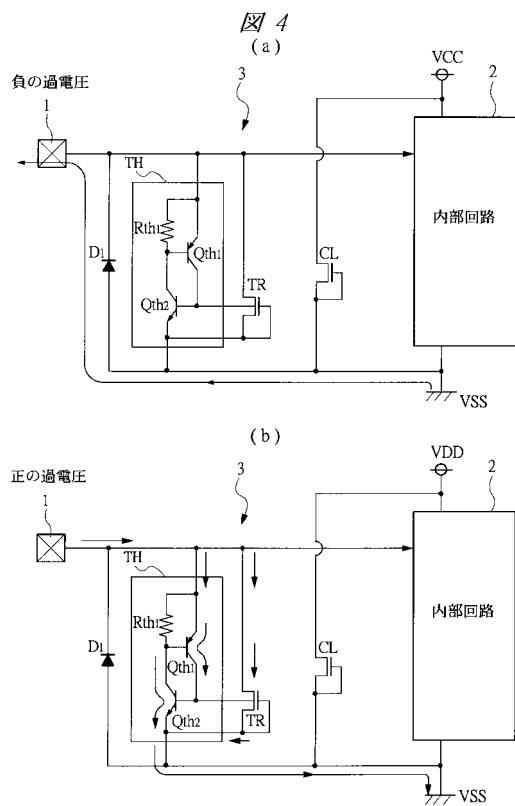


【図3】

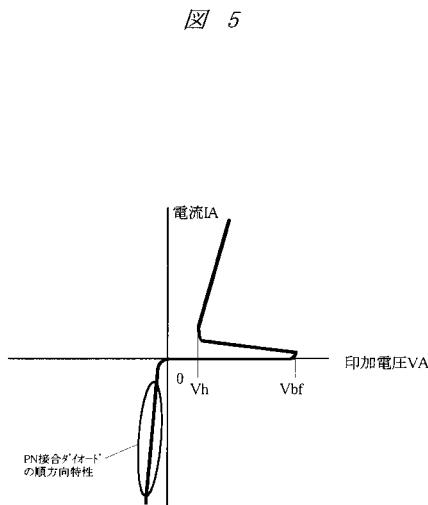
☒ 3



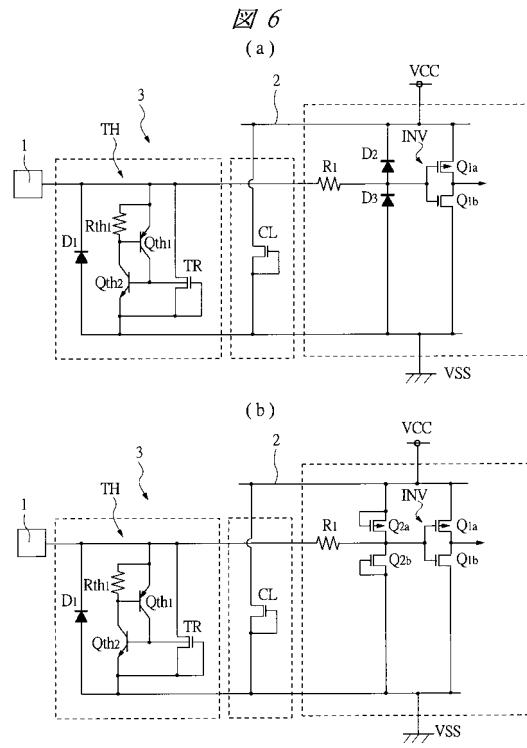
【 図 4 】



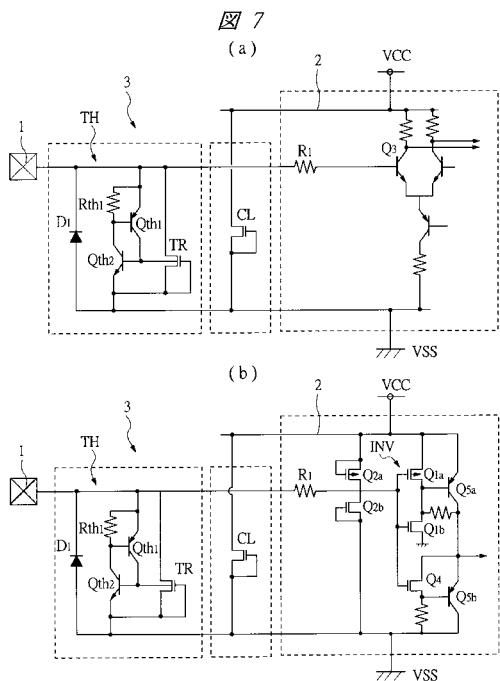
【図5】



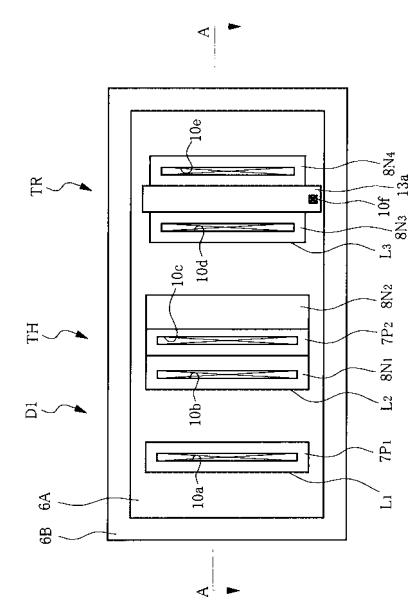
【図6】



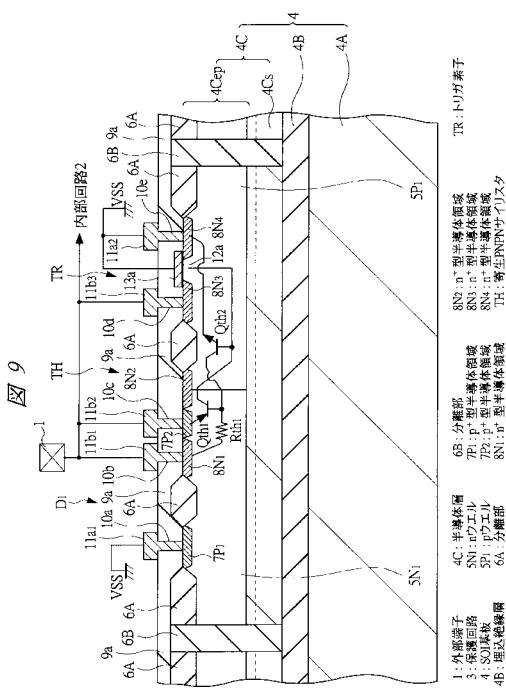
【図7】



【図8】

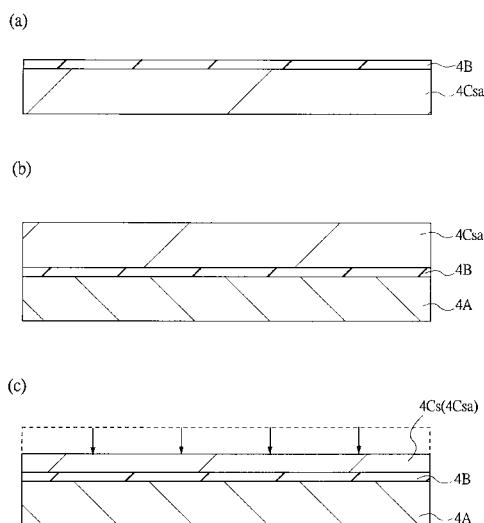


【図 9】



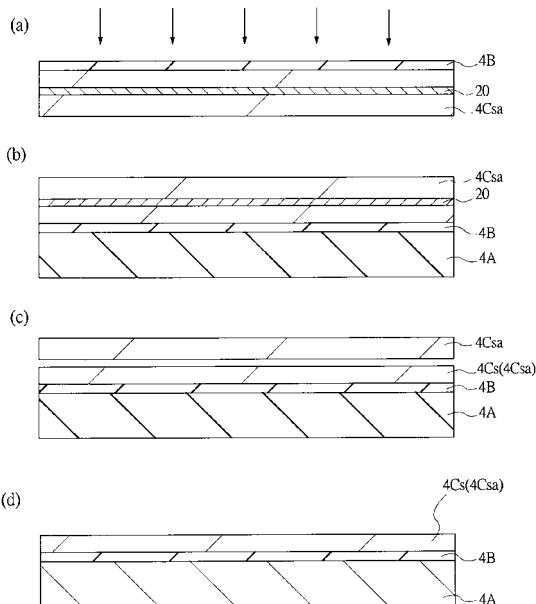
【図13】

図13



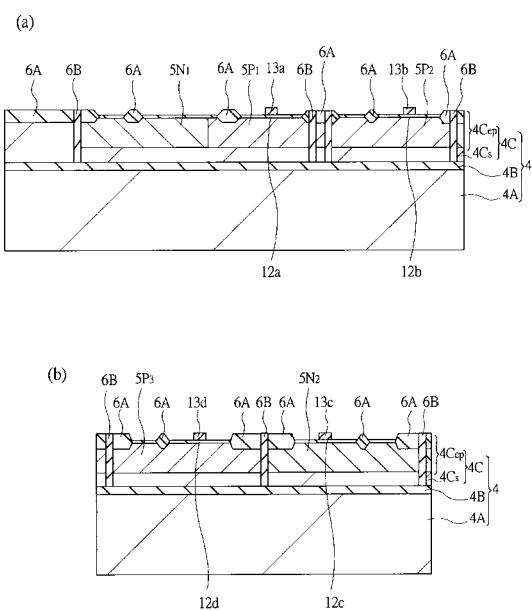
【図14】

図14



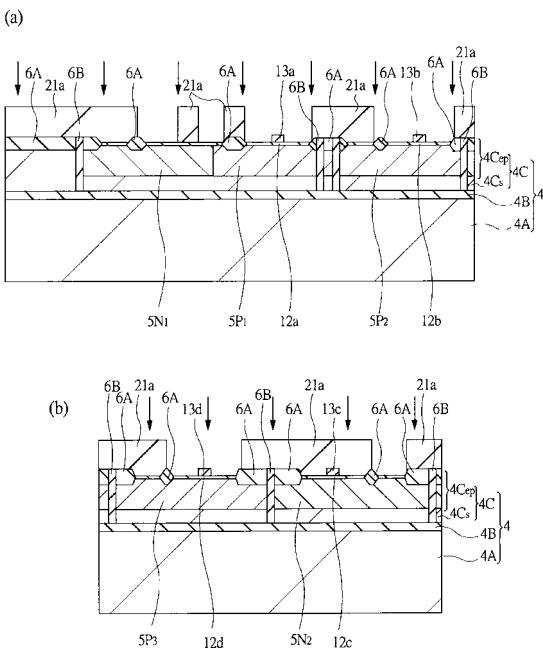
【図15】

図15

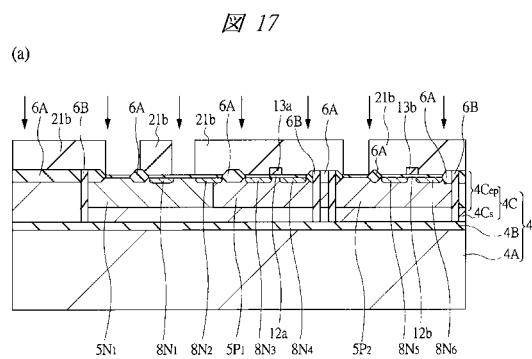


【図16】

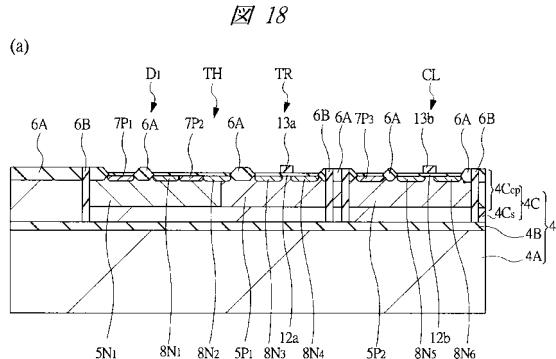
図16



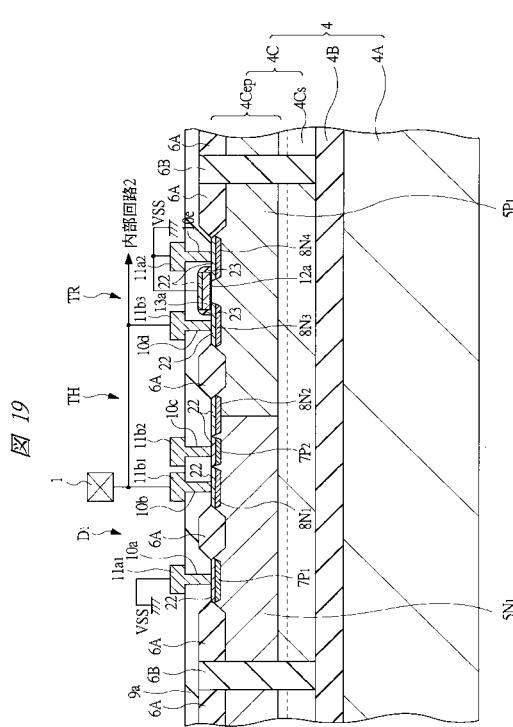
【図17】



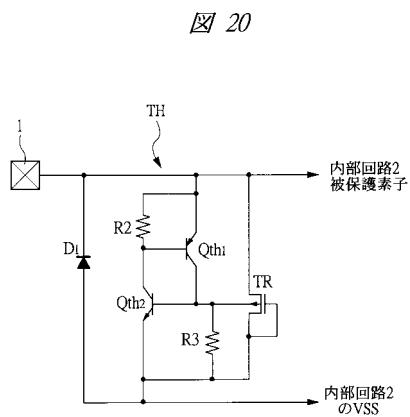
【 図 1 8 】



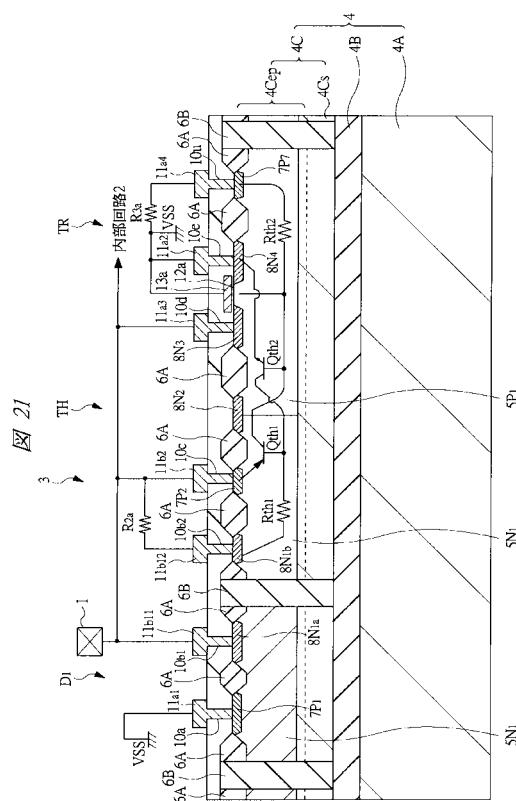
【図19】



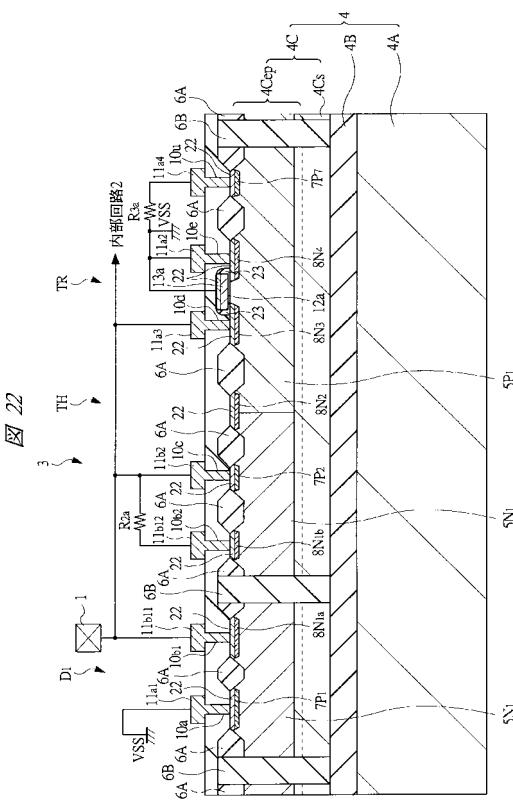
【図20】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

(51)Int.Cl. F I
H01L 29/786 (2006.01)

(72)発明者 石塚 裕康
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 宇多川 勉

(56)参考文献 特開平06-132485 (JP, A)
特開平04-196352 (JP, A)
特開平11-204737 (JP, A)
特開平10-294425 (JP, A)
特開平09-191082 (JP, A)
特開平08-078630 (JP, A)
特開2001-185738 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238
H01L 21/822
H01L 27/04
H01L 27/06
H01L 27/092
H01L 29/786