

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710196685.1

[43] 公开日 2008 年 6 月 11 日

[51] Int. Cl.  
*H01L 45/00 (2006.01 )*  
*G11C 11/56 (2006.01 )*

[22] 申请日 2007.12.4

[21] 申请号 200710196685.1

[30] 优先权

[32] 2006.12.6 [33] US [31] 11/567,300

[71] 申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区

[72] 发明人 龙翔澜

[74] 专利代理机构 永新专利商标代理有限公司  
代理人 王英

[11] 公开号 CN 101197423A

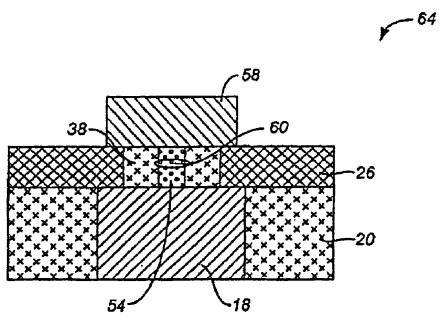
权利要求书 4 页 说明书 15 页 附图 7 页

[54] 发明名称

制造存储单元中的自收敛存储材料元件的方法

[57] 摘要

一种在制造一存储单元时生成的自收敛存储材料元件，包括具有一底电极的一基底层以及一上层，该上层具有一第三平坦化停止层于基底层之上、一第二层于第三层之上、以及一第一层于第二层之上。一微孔开口形成穿透此上层以将底电极外露。第一层具有一凸悬部份延伸进入开口中。一介电材料沉积于微孔开口中，以生成一自收敛空洞于此微孔开口中。一非等向性蚀刻形成了一介电材料侧壁于微孔开口中，一电极孔对准至此空洞而将底电极外露。一存储材料沉积于电极孔中而接触至底电极，并向下平坦化至第三层以生成此存储材料元件。



1、一种在制造一存储单元时用以生成一自收敛存储材料元件的方法，包括：

形成一基底层，其包括一底电极；

在所述基底层之上形成一上层，所述上层形成步骤包括在所述基底层之上形成一第三平坦化停止层、在所述第三层之上形成一第二层、以及在所述第二层之上形成一第一层；

形成一微孔开口穿透所述上层以外露所述底电极的一表面、并生成一第一存储单元次组合，所述微孔开口包括形成于所述第一层中的一第一上开口部分、形成于所述第二层中的一第二开口部分、以及形成于所述第三层中的一第三开口部分，所述第一与第二开口部分分别具有第一与第二宽度，所述第一层具有一凸悬部分延伸进入所述开口以使得所述第一宽度短于所述第二宽度；

沉积一介电材料于所述微孔开口中，以生成一第二存储单元次组合，包括在所述沉积介电材料中的一空洞，所述空洞为位于所述微孔开口内的一自收敛空洞；

非等向性地蚀刻所述第二存储单元次组合，进而形成一介电材料侧壁于所述微孔开口中，且一电极孔对准至所述空洞并外露所述底电极；

沉积一存储材料于所述电极孔中并使其接触至所述底电极，以生成一第三存储单元次组合；以及

向下平坦化所述第三存储单元次组合至所述第三平坦化停止层，以生成一第四存储单元次组合，所述第四存储单元次组合包括有一由所述存储材料所构成的一存储材料元件，以及一平坦上表面，所述平坦上表面由所述存储材料元件、所述介电填充材料、以及所述第三层所定义。

2、如权利要求1所述的方法，还包括选择锗锑碲(GST)作为所述存储材料。

3、如权利要求 1 所述的方法，其中所述蚀刻步骤、所述存储材料沉积步骤、以及所述平坦化步骤的进行，使得所述存储材料元件的宽度小于所述第一宽度。

4、如权利要求 1 所述的方法，其中所述蚀刻步骤、所述存储材料沉积步骤、以及所述平坦化步骤的进行，使得所述存储材料元件于所述平坦上表面处的宽度实质上小于所述微孔开口形成步骤的最小特征尺寸。

5、如权利要求 1 所述的方法，其中所述蚀刻步骤、所述存储材料沉积步骤、以及所述平坦化步骤的进行，使得所述存储材料元件于所述平坦上表面处的宽度不受限于所述最小微影特征尺寸。

6、如权利要求 1 所述的方法，其中所述微孔形成步骤包括增加所述第一层的体积。

7、如权利要求 1 所述的方法，其中所述微孔形成步骤包括回蚀刻所述第二层。

8、如权利要求 1 所述的方法，其中所述自收敛空洞的宽度小于所述第一宽度。

9、如权利要求 1 所述的方法，其中所述微孔形成步骤包括：  
选择一第一层的材料，当所述材料进入一选定制程时，其体积将会增加；  
选择一第二层的材料，当所述材料进入一选定制程时，其体积并不增加；  
形成一开口穿透所述上层以外露所述底电极的一表面，并生成一第一存储单元次组合，所述开口包括所述第一上开口部分以及所述第

二开口部分；以及

使所述第一存储单元次组合进行所述选定制程，以增加所述第一层的体积并生成所述凸悬部分延伸进入所述开口，同时不增加所述第二层的体积。

10、如权利要求 9 所述的方法，其中所述选择步骤包括选择硅作为所述第一层的材料、以及选择一氧化物作为所述第二层的材料，且还包括选择一化学机械研磨停止层为所述第三平坦化停止层。

11、如权利要求 9 所述的方法，其中所述开口形成步骤的进行，在所述开口形成步骤中生成一最小尺寸的开口。

12、如权利要求 9 所述的方法，其中所述开口形成步骤以微影方式进行，以在所述开口形成步骤中生成一最小微影尺寸的开口。

13、如权利要求 9 所述的方法，其中所述选定制程步骤的进行，使得所述减少的第一宽度与所述第二宽度无关。

14、一种生成一存储单元的方法，所述存储单元于一介电材料中包括一自收敛存储材料元件，所述方法还包括：

生成如权利要求 1 所述的一第四存储单元次组合；以及

形成一上电极于所述平坦上表面之上且接触至所述存储材料元件，以生成一存储单元。

15、如权利要求 1 所述的方法，其中所述微孔形成步骤包括：

选择所述第一层的一材料，当所述材料进入至一选定制程时其体积将不缩小；

选择所述第二层的一材料，当所述材料进入所述选定制程时被回蚀刻而因此缩小其体积；

形成一开口穿透所述上层以外露所述底电极的一表面，并生成一

---

第一存储单元次组合，所述开口包括所述第一上开口部分以及所述第二开口部分；以及

使所述第一存储单元次组合进入所述选定制程，进而回蚀刻所述第二层，因而减少所述第二层的体积而不减少所述第一层的体积，进而生成所述凸悬部分延伸进入所述开口。

16、如权利要求 15 所述的方法，其中所述选择步骤包括选择氮化硅作为第一层的材料、以及选择一氧化物作为所述第二层的材料，并还包括选择氮化硅作为所述第三平坦化停止层。

## 制造存储单元中的自收敛存储材料元件的方法

### 相关申请的交叉引用

本案涉及下列的美国专利申请，其申请日期均与本案的优先权日相同，且其受让人与发明人与本发明相同：“Method for Making a Self-Converged Void and Bottom Electrode for Memory Cell”，律师档案号码 MXIC1761-1；以及“Method for Making a Keyhole Opening During the Manufacture of a Memory Cell”，律师档案号码 MXIC1775-1。

### 联合研究合约的当事人

纽约国际商业机器公司 (International Business Machines Corporation)、台湾旺宏国际股份有限公司及德国英飞凌技术公司 (Infineon Technologies A.G.)为联合研究合约的当事人。

### 技术领域

本发明涉及使用存储材料的高密度存储装置，例如电阻随机存取存储器 (RRAM) 装置，本发明还涉及制造这种装置的方法。通过施加电能，此存储材料可在不同的电气状态之间切换。此存储材料可为相变化存储材料，包括硫属化物与其他材料等。

### 背景技术

相变化存储材料广泛地用于读写光碟中。这些材料包括有至少两种固态相，包括如为非晶态的固态相，以及为结晶态的固态相。激光脉冲用于读写光碟片中，以在两种相中切换，并读取此种材料于相变化之后的光学性质。

如硫属化物及类似材料的这种相变化存储材料，可通过施加其幅度适用于集成电路中的电流，而致使晶相变化。一般而言非晶态的特

征为其电阻高于结晶态，此电阻值可轻易测量得到而用以作为指示。这种特性则引发使用可编程电阻材料以形成非易失性存储器电路等兴趣，此电路可用于随机存取读写。

从非晶态转变至结晶态一般为一低电流步骤。从结晶态转变至非晶态(以下指称为重置(reset))一般为一高电流步骤，其包括一短暂的高电流密度脉冲以融化或破坏结晶结构，其后此相变化材料会快速冷却，抑制相变化的过程，使得至少部份相变化结构得以维持在非晶态。理想状态下，致使相变化材料从结晶态转变至非晶态的重置电流幅度应越低越好。欲降低重置所需的重置电流幅度，可通过减低在存储器中的相变化材料元件的尺寸、以及减少电极与此相变化材料的接触面积而实现，因此可针对此相变化材料元件施加较小的绝对电流值而达成较高的电流密度。

此领域发展的一种方法为致力于在一集成电路结构上形成微小孔洞，并使用微量可编程的电阻材料填充这些微小孔洞。致力于这种微小孔洞的专利包括：于 1997 年 11 月 11 日公告的美国专利第 5,687,112 号 “Multibit Single Cell Memory Element Having Tapered Contact”、发明人为 Ovshinsky；于 1998 年 8 月 4 日公告的美国专利第 5,789,277 号 “Method of Making Chalogenide [sic] Memory Device”、发明人为 Zahorik 等；于 2000 年 11 月 21 日公告的美国专利第 6,150,253 号 “Controllable Ovonic Phase-Change Semiconductor Memory Device and Methods of Fabricating the Same”、发明人为 Doan 等。

在相变化存储器中，通过施加电流而致使相变化材料在非晶态与结晶态之间切换而储存数据。电流会加热此材料并致使在各状态之间转换。从非晶态转变至结晶态一般为一低电流步骤。从结晶态转变至非晶态(以下指称为重置(reset))一般为一高电流步骤。较佳将用以导致相变化材料进行转换(从结晶态转换至非晶态)的重置电流幅度最小化。重置所需要的重置电流幅度可以通过将存储单元中的主动相变化材料元件的尺寸减少而降低。相变化存储装置的问题之一在于，重置操作所需要的电流幅度，会随着相变化材料中需要进行相变化的体

积大小而改变。因此，使用标准集成电路制程所制造的单元，将会受到制程设备的最小特征尺寸的限制。因此，必须研发可提供次微影尺寸的技术以制造存储单元，在大尺寸高密度存储装置中，通常缺少均匀性与可靠性。

一种用以在相变化单元中控制主动区域尺寸的方式，设计非常小的电极以将电流传送至一相变化材料体中。此微小电极结构将在相变化材料的类似蕈状小区域中诱发相变化，亦即接触部位。请参照 2002/8/22 发证给 Wicker 的美国专利 6,429,064 号 “Reduced Contact Areas of Sidewall Conductor”、2002/10/8 发证给 Gilgen 的美国专利 6,462,353 “Method for Fabricating a Small Area of Contact Between Electrodes”、2002/12/31 发证给 Lowrey 的美国专利 6,501,111 号 “Three-Dimensional (3D) Programmable Device”、以及 2003/7/1 发证给 Harshfield 的美国专利 6,563,156 号 “Memory Elements and Methods for Making same”。

因此，需要一种存储单元的制造方法与结构，使存储单元的结构可具有微小的可编程电阻材料主动区域，使用可靠且可重复的制程技术制造。

## 发明内容

用以在制造一存储单元时生成一自收敛存储材料元件的示例方法之一，包括形成一基底层，其包括一底电极、以及形成一上层于此基底层之上。此上层形成步骤包括形成一第三平坦化停止层于基底层之上、形成一第二层于第三层之上、以及形成一第一层于第二层之上。一微孔开口形成而穿透上层，以外露底电极的一表面，并生成一第一存储单元次组合。此微孔开口包括形成于第一层中的第一上开口部分、形成于第二层中的第二开口部分、以及形成于第三层中的第三开口部分。第一与第二开口部分分别具有第一与第二宽度。第一层具有一凸悬部分延伸进入开口中，使得第一宽度小于第二宽度。一介电材料沉积于此微孔开口中也生成一第二存储单元次组合。第二存储单元次组合在所沉积的介电材料之中，包括了一空洞，此空洞在微孔开口

中为一自收敛空洞。第二存储单元次组合被非等向性地蚀刻，进而形成一介电材料侧壁于此微孔开口中，且一电极孔对准至此空洞而将底电极外露。一存储材料沉积于电极孔中，并接触至底电极，以生成一第三存储单元次组合。此第三存储单元次组合向下平坦化至第三平坦化停止层，以形成一第四存储单元次组合，其包括由存储材料所构成的存储材料元件、以及一平坦上表面。此平坦上表面由存储材料元件、介电填充材料以及第三层所定义。

在某些实例中，蚀刻步骤、存储材料沉积步骤与平坦化步骤的进行，使得存储材料元件在平坦上表面处的宽度，实质上小于微孔形成步骤的最小特征尺寸。

在某些实例中，蚀刻步骤、存储材料沉积步骤与平坦化步骤的进行，使得存储材料在平坦上表面处的宽度，与最小微影特征尺寸无关。

在某些实例中，微孔形成步骤包括了，增加第一层的体积。在某些实例中，微孔形成步骤包括了回蚀刻第二层。

在某些实例中，开口形成步骤的进行，生成一最小尺寸开口。

以下详细说明本发明的结构与方法。本发明说明书的目的并非在于定义本发明。本发明由所附权利要求书所定义。举凡本发明的实施例、特征、目的及优点等将可通过以下的描述及所附图式获得充分了解。

## 附图说明

图 1-7 示出了本发明制程的一实施例的各步骤；

图 1 为一第一存储单元次组合的简化侧视图，包括一基底层与一上层，同时一开口形成于上层中；

图 2 示出了图 1 结构进行氧化步骤以生成一较小尺寸微孔开口的结果；

图 3 示出了在图 2 的较小尺寸开口中以一氧化沉积步骤形成一自对准空洞的结果；

图 4 示出了图 3 的结构进行蚀刻的结果，以生成一电极孔开口延伸至基底层的底电极；

图 5 示出了存储材料沉积于图 4 结构中的结果，包括沉积于图 4 的电极孔开口中；

图 6 示出了图 5 的结构在化学机械研磨后的结果，以从存储材料生成一存储材料元件于电极孔开口中；

图 7 示出了一上电极形成于存储材料元件之上；

图 8-14 示出了图 1-7 的制程的替代实施例的各步骤。

#### 【主要元件符号说明】

10	第一存储单元次组合
12	基底层
14	上层
18	底电极
20	氧化物层
22	第一层
24	第二层
26	第三层
28	开口
30	上表面
32	较小尺寸微孔开口
33	凸悬部分
34	第一宽度
36	第二宽度
37	凸悬尺寸
38	介电材料
40	第二存储单元次组合
42	空洞
44	电极孔开口
46	存储材料
48	第三存储单元次组合
50	第四存储单元次组合
52	平坦外表面

---

54	存储材料元件
56	存储材料元件的直径
58	上电极
60	相变化区域
64	存储单元
66	内延伸

## 具体实施方式

以下的发明说明将参照至特定结构实施例与方法。可以理解的是，本发明的范畴并非限定于特定所披露的实施例，且本发明可利用其他特征、元件、方法与实施例进行实施。较佳实施例被描述以了解本发明，而非用以限制本发明的范畴，本发明的范围以所附权利要求书的定义为准的。本领域技术人员可以根据后续的叙述而了解本发明的均等变化。在各实施例中的类似元件将以类似标号指定。

图 1 为一第一存储单元次组合 10 的简化示意图，其包括一基底层 12 与一上层 14。基底层 12 在一氧化物层 20 之中包括一底电极 18。底电极 18 典型地由氮化钛或钨所构成，而氧化物层 20 典型地由二氧化硅所构成；其他材料也可使用于氧化物层 20 之中。底电极 18 连接至适当的隔离元件，例如晶体管或二极管。上层 14 包括一第一层 22、一第二层 24、以及一第三层 26，其中第三层邻接于基底层 12。在某些实施例中，第三层 26 作用为一平坦化停止层。在本实施例中，第一层由硅所构成，较佳为多晶硅；第二层 24 由如二氧化硅等氧化物所构成；第三层为氮化物，例如氮化硅。

一开口 28 形成且穿透上层 14，以露出底电极 18 的上表面 30，此开口典型地由微影技术所形成。如下所详述，开口 28 的宽度或直径，较佳为最小尺寸开口，其由所使用制程的最小特征尺寸所决定，典型地为一最小微影特征尺寸。使用公知的微影技术，开口 25 的宽度或直径典型地约为 90 奈米，且典型地具有约 +/- 10% 的变化，亦即 +/- 9 奈米。

图 2 示出了图 1 的结构进行氧化步骤的结果，以生成一较小尺寸

微孔开口 32。开口 28 的尺寸的缩减，通过选择一制程步骤而沉积材料于第一层 22 之上或与第一层 22 反应，以增加第 1 层 22 的体积。此步骤将生成凸悬部分 33，但不会大幅增加第二层 24 或第三层 26 的体积。微孔开口 32 具有一较小第一宽度 34（从第一层 22 处测量）、以及一第二宽度 36（从第二层 24 处测量）。凸悬部分 33 的尺寸等于第二宽度 36 与第一宽度 34 的差别，又称为凸悬尺寸 37。这些宽度为平均宽度。当第一层 22 由多晶硅所构成且第二层 24 由二氧化硅所构成时，可使用的制程为化学气相沉积(CVD)。

使用硅或其他适合材料于第一层 22 中，允许了微孔开口 32 的形成，而不需借助公知技术从第二层 24 移除材料。第一层 22 的凸悬部分 33，生成了较小的微孔开口 32，其可小于公知技术所能完成的微孔开口。亦即，微孔开口 32 的宽度 34 可以为一次微影宽度，而公知技术所完成的微孔开口则典型地为一最小微影宽度。在某些实施例中，凸悬尺寸 37 不大于第二宽度 36 的 10%。

图 3 示出了介电材料 38 的原子层沉积(ALD)结果，其典型地为二氧化硅，以生成第二存储单元次组合 40。其他材料如氮化硅或氮氧化硅( $\text{Si}_2\text{N}_2\text{O}$ )等，也可用作为介电材料 38，而其他如化学气相沉积或低压化学气相沉积(LPCVD)等，也可用于沉积介电材料 38。此沉积步骤在微孔开口 32 中的介电材料 38 内，生成了自对准的空洞 42。空洞 42 的横向尺寸（或宽度）与不使用图 2 的氧化步骤所生成的较小尺寸开口 32 相较之下，会较小。利用此种方法，空洞 42 的尺寸可以主要地通过控制凸悬部分 33 的尺寸而控制，而不需要控制最初生成的开口 28 的尺寸。

图 3 的结构接着被蚀刻，如图 4 所示，较佳使用非等向性蚀刻技术，以移除第一层 22、部分的介电材料 38、以及部分的第二层 24。此步骤会生成一介电材料侧壁 38，以及一电极孔开口 44 延伸至底电极 18 的表面 30。电极孔开口 44 的直径（或宽度）与不使用图 2 的氧化步骤而生成的图 3 的较小尺寸空洞 42 相较之下，典型地亦较小。

凸悬尺寸 37 并非由形成开口 28 的技术所控制。凸悬部分 33 的尺寸（亦即凸悬尺寸 37）由所使用的体积改变制程所决定。若凸悬

尺寸 37 为大约 15 奈米、而开口 28 为大约 90 奈米，以典型的 10% 变化量而言，凸悬尺寸 37 的变化量大约为 $+/- 1.5$ 奈米，实质上小于开口 28 的 $+/- 9$ 奈米变化量。因此，在空洞 42 的直径（或宽度）变化量，会少于以开口 28 的原始直径（宽度）为基础的变化量。因此，空洞 42 与开口 44 具有自收敛的宽度，且可分别被视为自收敛空洞 42 与自收敛电极孔开口 44。

沉积一存储材料 46 于图 4 的结构上，以生成图 5 的第三存储单元次组合 48。存储材料 46 如图所示填满图 4 的电极孔开口 44。存储材料 46 较佳为一电阻型态存储材料，且更佳为一相变化材料，例如锗锑碲(GST)。

图 6 示出了图 5 的第三存储单元次组合 48 进行平坦化（材料移除步骤）后的结果，较佳使用一化学机械研磨制程，以生成一第四存储单元次组合 50。此材料移除步骤的实施停止于第三层 26 而生成一平坦外表面 52。此步骤生成一存储材料元件 54，其被介电材料 38 所环绕。存储材料元件 54 于表面 52 处的直径（或宽度）56 实质上小于用以生成开口 28 的最小微影特征尺寸，较佳小于 50%，且更佳为小于最小微影特征尺寸的 30%。举例而言，若用以生成开口 28 的最小微影特征尺寸为 90 奈米，则存储材料元件 54 在底电极 18 处的直径或宽度，较佳至多为 45 奈米，且更佳至多为大约 30 奈米。

图 7 所示的上电极 58 形成于第四存储单元次组合 50 的表面 52 之上，接触至存储材料元件 54。上电极 58 典型地为氮化钛，虽然其他如铝钛等电极材料亦可被使用。在图 7 中还示出一相变化区域 60。如上所述，重置一相变化型存储材料元件 54 所需要的重置电流幅度，可以通过减少存储材料元件 54 的尺寸而降低，因而缩小相变化区域 60 的尺寸。此结果将在相变化区域 60 中产生较高的电流密度，而只需较小的绝对电流值穿过存储材料元件 54。

图 8-14 示出了如图 1-7 所示的制程的替代实施例。在图 8（对应至图 1）中，第一与第三层 22、26 典型地由相同材料所构成，例如氮化硅，而第二层 24 则由一不同材料所构成，典型地为如二氧化硅等氧化物。图 8 的结构接着进入到一制程中，典型地为一蚀刻制程，

且在此制程中会将第二层 24 下切，进而减少第二层的体积，而不会减少（典型地亦不会改变）第一层与第三层 22、26 的体积。若有需要时，第一层 22 与第三层 26 可以为不同的材料，只要二者的体积在进入用以减少第二层 24 的体积的制程时不会减少即可。当第一层与第三层 22、26 由氮化硅所构成、且第二层 24 由二氧化硅所构成时，可使用的制程为化学气相沉积。此制程的结果如图 9 所示，且包括第一层 22 的凸悬部分 33 以及第三层 26 的内延伸 66，二者均向内延伸到微孔开口 32 之中。图 10-14 的制程步骤，对应至图 2-7 的步骤。

在某些实施例中，第一层 22 与第二层 24 必须充分不同，以生成图 2 所示的第一层 22 的凸悬部分 33。同时，在某些实施例中，第一层 22 与第三层 26 必须充分地与第二层 24 不同，以生成图 9 所示的第一层 22 的凸悬部分 33、以及第三层 26 的内延伸 66。为了达成此要求与不同实施例的要求，各种介电材料可组成一电绝缘体，包括选自下列各项中的一个以上的元素：硅、钛、铝、钽、氮、氧、与碳。在较佳装置中，介电材料 38 具有低导热性，小于  $0.014 \text{ J/cm}^* \text{K}^* \text{sec}$ 。在其他较佳实施例中，当存储材料元件 54 由一相变化材料所构成时，此热绝缘介电材料 38 的导热性低于相变化材料的非晶态的导热性，或者对于一包含有 GST 的相变化材料而言、低于约  $0.003 \text{ J/cm}^* \text{K}^* \text{sec}$ 。代表性的绝热材料包括由硅、碳、氧、氟、与氢所组成的复合材料。可使用于热绝缘介电材料 38 的热绝缘材料的范例，包括二氧化硅、SiCOH、聚亚酰胺、聚酰胺、以及氟碳聚合物。其他可用于热绝缘介电材料 38 中的材料范例，包括氟化的二氧化硅、硅氧烷(silsesquioxane)、聚亚芳香醚(polyarylene ether)、聚对二甲苯(parylene)、含氟聚合物、含氟非晶碳、钻石类碳、多孔性二氧化硅、中孔性二氧化硅、多孔性硅氧烷、多孔性聚亚酰胺、以及多孔性聚亚芳香醚。在其他实施例中，此热绝缘结构包括了一气体填充的空洞，以实现热绝缘。介电材料 38 之中的单层或复合层均可提供热绝缘与电绝缘效果。

可编程电阻型存储材料（例如一相变化材料）的有利特征，包括此材料的电阻值为可编程的，且较佳为可逆的，例如具有至少二固态

相其可通过施加电流而可逆地诱发。此至少二相态包括一非晶相与一结晶相。然而，在操作中，可编程电阻材料并不需要完全转变至非晶相或结晶相。中间相或二相的混合可能具有可检测的材料特征差异。此二固态性可大致为双稳态，并具有不同的电气特性。可编程电阻材料可为一硫属化物材料。一硫属化物材料可包括锗锑碲(GST)。在本发明的后续讨论中，相变化或其他存储材料，通常称为 GST，且可以了解的是，其他类型的相变化材料亦可使用。可以使用于本发明存储单元中的材料之一，为  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。

本发明的一存储单元 64 以标准微影制程与薄膜沉积技术而制造，且不需要额外的步骤以生成次微影图案，并能使单元中在编程时实际上改变电阻率的区域尺寸相当微小。在本发明的实施例中，此存储材料可为一可编程电阻材料，典型地为一相变化材料，例如  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  或其他后述的材料。存储材料元件中进行相变化的区域相当微小；因此，相变化所需要的重置电流幅度也相当小。

存储单元 64 的实施例，包括了在存储单元 64 中使用相变化存储材料，包括硫属化物材料与其他材料。硫属化物包括下列四元素的任一者：氧 (O)、硫 (S)、硒 (Se)、以及碲 (Te)，形成元素周期表上第 VI 族的部分。硫属化物包括将一硫属元素与一更为正电性的元素或自由基结合而得。硫属化合物合金包括将硫属化合物与其他物质如过渡金属等结合。一硫属化合物合金通常包括一个以上选自元素周期表第六栏的元素，例如锗 (Ge) 以及锡 (Sn)。通常，硫属化合物合金包括下列元素中一个以上的复合物：锑 (Sb)、镓 (Ga)、铟 (In)、以及银 (Ag)。许多以相变化为基础的存储材料已经被描述于技术文件中，包括下列合金：镓/锑、铟/锑、铟/硒、锑/碲、锗/碲、锗/锑/碲、铟/锑/碲、镓/硒/碲、锡/锑/碲、铟/锑/锗、银/铟/锑/碲、锗/锡/锑/碲、锗/锑/硒/碲、以及碲/锗/锑/硫。在锗/锑/碲合金家族中，可以尝试大范围的合金成分。此成分可以下列特征式表示： $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ ，其中 a 与 b 代表了所组成元素的原子总数为 100% 时，各原子的百分比。一位研究员描述了最有用的合金为，在沉积材料中所包含的平均碲浓度远低于 70%，典型地低于 60%，并在一般型态合金中的碲含

量范围从最低 23% 至最高 58%，且最佳介于 48% 至 58% 的碲含量。锗的浓度高于约 5%，且其在材料中的平均范围从最低 8% 至最高 30%，一般低于 50%。最佳地，锗的浓度范围介于 8% 至 40%。在此成分中所剩下的主要成分则为锑。(Ovshinsky '112 专利，栏 10~11)由另一研究者所评估的特殊合金包括  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 $\text{GeSb}_2\text{Te}_4$ 、以及  $\text{GeSb}_4\text{Te}_7$ 。(Noboru Yamada, "Potential of Ge-Sb-Te Phase-change Optical Disks for High-Data-Rate Recording", SPIE v.3109, pp. 28-37(1997)) 更一般地，过渡金属如铬(Cr)、铁(Fe)、镍(Ni)、铌(Nb)、钯(Pd)、铂(Pt)、以及上述的混合物或合金，可与锗/锑/碲结合以形成一相变化合金其包括有可编程的电阻性质。可使用的存储材料的特殊范例，如 Ovshinsky '112 专利中栏 11-13 所述，其范例在此列入参考。

相变化材料能在此单元主动通道区域内依其位置顺序于材料为一般非晶状态的第一结构状态与为一般结晶固体状态的第二结构状态之间切换。这些材料至少为双稳定态。此词汇「非晶」用以指称一相对较无次序的结构，其较之一单晶更无次序性，而带有可检测的特征如较之结晶态更高的电阻值。此词汇「结晶态」用以指称一相对较有次序的结构，其较之非晶态更有次序，因此包括有可检测的特征例如比非晶态更低的电阻值。典型地，相变化材料可电切换至完全结晶态与完全非晶态之间所有可检测的不同状态。其他受到非晶态与结晶态的改变而影响的材料特征包括，原子次序、自由电子密度、以及活化能。此材料可切换成为不同的固态、或可切换成为由两种以上固态所形成的混合物，提供从非晶态至结晶态之间的灰阶部分。此材料中的电性质亦可能随之改变。

相变化材料可通过施加一电脉冲而从一种相态切换至另一相态。先前观察指出，一较短、较大幅度的脉冲倾向于将相变化材料的相态改变成大体为非晶态。一较长、较低幅度的脉冲倾向于将相变化材料的相态改变成大体为结晶态。在较短、较大幅度脉冲中的能量够大，因此足以破坏结晶结构的键结，同时够短因此可以防止原子再次排列成结晶态。在没有不适当实验的情形下，可以利用实验方法决定特别适用于一特定相变化合金的适当脉冲量变曲线。

接着简单描述四种电阻存储材料。

### 1. 硫属化物材料



$x:y:z = 2:2:5$

或其他成分为  $x: 0\sim 5; y: 0\sim 5; z: 0\sim 10$

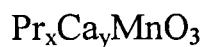
以氮、硅、钛或其他元素掺杂的 GeSbTe 亦可被使用。

形成方法：利用 PVD 溅镀或磁控(Magnetron)溅镀方式，其反应气体为氩气、氮气、及/或氦气、压力为 1 mTorr 至 100 mTorr。此沉积步骤一般于室温下进行。一长宽比为 1~5 的准直器(collimator)可用以改良其填入表现。为了改善其填入表现，亦可使用数十至数百伏特的直流偏压。另一方面，同时合并使用直流偏压以及准直器亦是可行的。

有时需要在真空中或氮气环境中进行一沉积后退火处理，以改良硫属化物材料的结晶态。此退火处理的温度典型地介于 100°C 至 400 °C，而退火时间则少于 30 分钟。

硫属化物材料的厚度随着单元结构的设计而定。一般而言，厚度大于 8 奈米的硫属化物可以具有相变化特性，使得此材料展现至少双稳定的电阻态。

### 2. 超巨磁阻(CMR)材料



$x:y = 0.5:0.5$

或其他成分为  $x: 0\sim 1; y: 0\sim 1$ 。

包括有锰氧化物的超巨磁阻材料亦可被使用。

形成方法：利用 PVD 溅镀或磁控溅镀方式，其反应气体为氩气、氮气、氧气及/或氦气、压力为 1 mTorr 至 100 mTorr。此沉积步骤的温度可介于室温至 600°C，视后处理条件而定。一长宽比为 1~5 的准直器(collimator)可用以改良其填入表现。为了改善其填入表现，亦可使用数十至数百伏特的直流偏压。另一方面，同时合并使用直流偏压以及准直器亦是可行的。可施加数十高斯(Gauss)至 10,000 高斯之间的磁场，以改良其磁结晶态。

可能需要在真空中或氮气环境中或氧气/氮气混合环境中进行一沉积后退火处理，以改良超巨磁阻材料的结晶态。此退火处理的温度典型地介于 400°C 至 600°C，而退火时间则少于 2 小时。

超巨磁阻材料的厚度随着存储单元结构的设计而定。厚度介于 10 奈米至 200 奈米的超巨磁阻材料，可被用作为核心材料。

— YBCO(YBaCuO<sub>3</sub>，一种高温超导体材料)缓冲层通常被用以改良超巨磁阻材料的结晶态。此 YBCO 的沉积在沉积超巨磁阻材料之前进行。YBCO 的厚度介于 30 奈米至 200 奈米。

### 3. 双元素化合物

$\text{Ni}_x\text{O}_y$ 、 $\text{Ti}_x\text{O}_y$ 、 $\text{Al}_x\text{O}_y$ 、 $\text{W}_x\text{O}_y$ 、 $\text{Zn}_x\text{O}_y$ 、 $\text{Zr}_x\text{O}_y$ 、 $\text{Cu}_x\text{O}_y$  等  
 $x:y = 0.5:0.5$

或其他成分为  $x: 0 \sim 1; y: 0 \sim 1$

形成方法：

1. 利用 PVD 溅镀或磁控溅镀方式，其反应气体为氩气、氮气、氧气、及/或氦气、压力为 1 mTorr 至 100 mTorr，其标靶金属氧化物为如  $\text{Ni}_x\text{O}_y$ 、 $\text{Ti}_x\text{O}_y$ 、 $\text{Al}_x\text{O}_y$ 、 $\text{W}_x\text{O}_y$ 、 $\text{Zn}_x\text{O}_y$ 、 $\text{Zr}_x\text{O}_y$ 、 $\text{Cu}_x\text{O}_y$  等。此沉积步骤一般于室温下进行。一长宽比为 1~5 的准直器可用以改良其填入表现。为了改善其填入表现，亦可使用数十至数百伏特的直流偏压。若有需要时，同时合并使用直流偏压以及准直器亦是可行的。

有时需要在真空中或氮气环境或氧气/氮气混合环境中进行一沉积后退火处理，以改良金属氧化物内的氧原子分布。此退火处理的温度典型地介于 400°C 至 600°C，而退火时间则少于 2 小时。

2. 反应性沉积：利用 PVD 溅镀或磁电管溅镀方式，其反应气体为氩气/氧气、氩气/氮气/氧气、纯氧、氦气/氧气、氦气/氮气/氧气等，压力为 1 mTorr 至 100 mTorr，其标靶金属氧化物为如 Ni、Ti、Al、W、Zn、Zr、Cu 等。此沉积步骤一般于室温下进行。一长宽比为 1~5 的准直器可用以改良其填入表现。为了改善其填入表现，亦可使用数十至数百伏特的直流偏压。若有需要时，同时合并使用直流偏压以及准直器亦是可行的。

有时需要在真空中或氮气环境或氧气/氮气混合环境中进行一沉

积后退火处理，以改良金属氧化物内的氧原子分布。此退火处理的温度典型地介于 400°C 至 600°C，而退火时间则少于 2 小时。

3. 氧化：使用一高温氧化系统（例如一高温炉管或一快速热处理(RTP)）进行氧化。此温度介于 200°C 至 700°C、以纯氧或氮气/氧气混合气体，在压力为数 mTorr 至一大气压下进行。进行时间可从数分钟至数小时。另一氧化方法为等离子氧化。一无线射频或直流电压源等离子与纯氧或氩气/氧气混合气体、或氩气/氮气/氧气混合气体，在压力为 1 mTorr 至 100 mTorr 下进行金属表面的氧化，例如 Ni、Ti、Al、W、Zn、Zr、Cu 等。此氧化时间从数秒钟至数分钟。氧化温度从室温至约 300°C，视等离子氧化的程度而定。

#### 4. 聚合物材料

掺杂有铜、碳六十、银等的 TCNQ

PCBM-TCNQ 混合聚合物

形成方法：

1. 利用热蒸发、电子束蒸发、或原子束磊晶系统(MBE)进行蒸发。一固态 TCNQ 以及掺杂物在一单独室内进行共蒸发。此固态 TCNQ 以及掺杂物被置于一钨座或一钽座或一陶瓷座中。接着施加一大电流或电子束，以熔化反应物，使得这些材料混合并沉积于晶圆之上。此处并未使用反应性化学物质或气体。此沉积作用于压力为 10<sup>-4</sup> Torr 至 10-10 Torr 下进行。晶圆温度介于室温至 200°C。

有时需要在真空中或氮气环境中进行一沉积后退火处理，以改良聚合物材料的成分分布。此退火处理的温度典型地介于室温至 300°C，而退火时间则少于 1 小时。

2. 旋转涂布：使用一旋转涂布机与经掺杂的 TCNQ 溶液，转速低于 1000 rpm。在旋转涂布之后，此晶圆被静置（典型地在室温下，或低于 200°C 的温度）一足够时间以利固态的形成。此静置时间可介于数分钟至数天，视温度以及形成条件而定。

与相变化随机存取存储装置的制造、元件材料、使用、与操作方式相关的额外信息，请参见美国专利申请案号第 11/155,067 号 “Thin Film Fuse Phase Change Ram And Manufacturing Method”，申请日为

2005/6/17。

由于底电极接触至存储材料元件，全部或部分的底电极最好包括一电极材料如氮化钛或其他可与存储材料元件的相变化材料相容的电极材料。其他类型的导体可用于栓塞结构、以及上与底电极结构中，包括例如铝及铝合金、氮化钛、氮化钽、氮化铝钛、或氮化铝钽。其他可以使用的导体材料，包括一个以上选自下列各项的元素：钛、钨、钼、铝、钽、铜、铂、铱、镧、镍、钌、与氧。氮化钛为较佳的，因为其与存储材料元件的 GST 有良好的接触（如上所述），其为半导体制程中常用的材料，且在 GST 转换的高温（典型地介于 600 至 700 °C）下可提供良好的扩散障碍。

上述说明中所提到的词汇如之上、之下、上、底等，仅为协助了解本发明，而非用以限制本发明。

虽然本发明已参照较佳实施例来加以描述，但可以理解的是，本发明创作并未受限于其详细描述内容。替换方式及修改样式已于先前描述中所建议，并且其他替换方式及修改样式将为本领域技术人员所思及。特别是，根据本发明的结构与方法，所有具有实质上相同于本发明的构件结合而达成与本发明实质上相同结果的发明皆不脱离本发明的精神范畴。因此，所有这种替换方式及修改样式均落入在本发明的权利要求书及其均等物所界定的范围之中。

任何在上文中提及的专利申请案以及印刷文本，均被列为本申请案的参考。

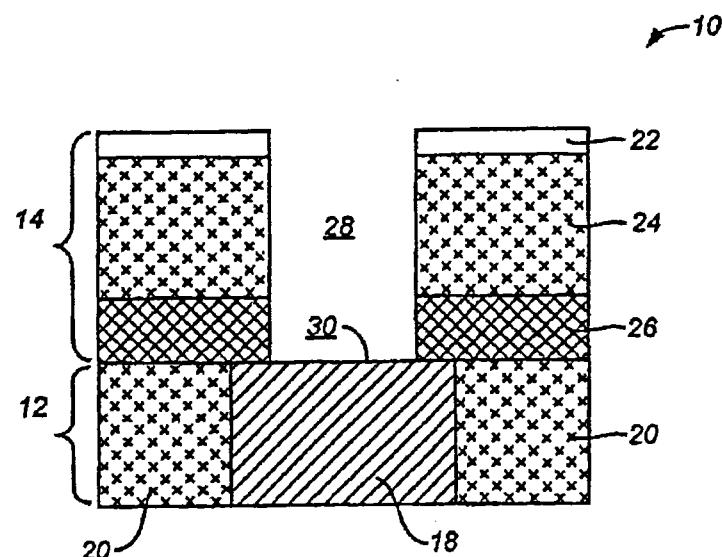


图 1

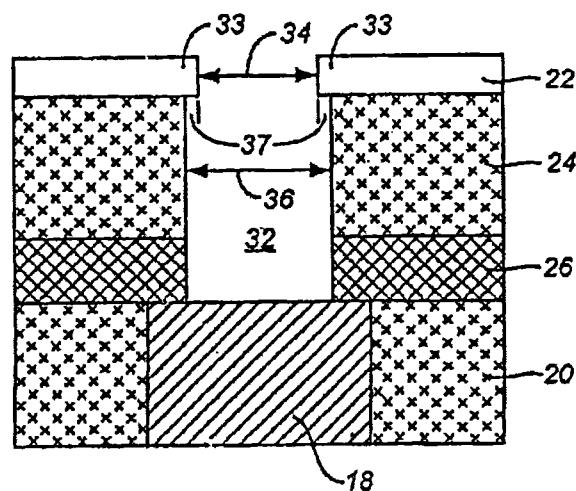


图 2

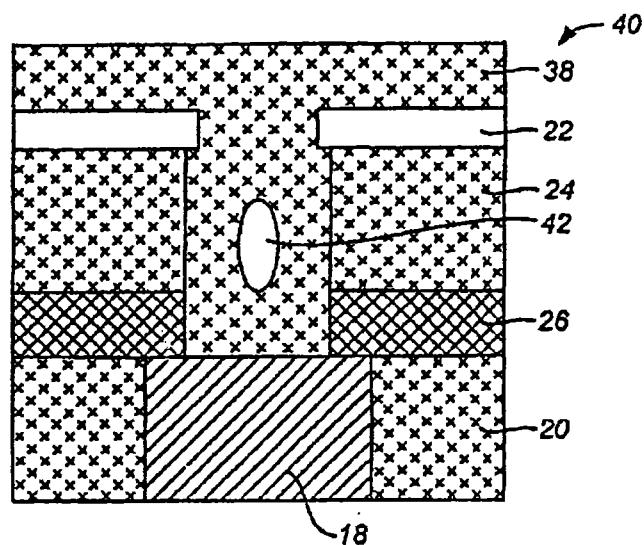


图3

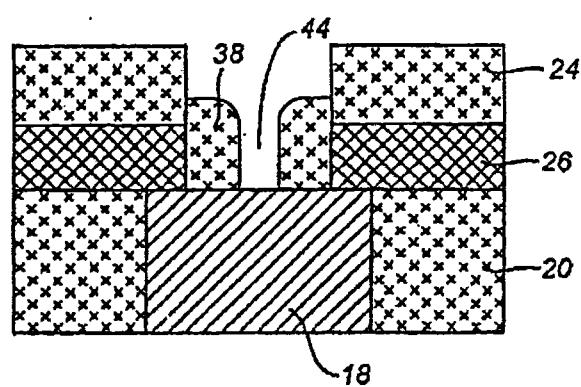


图4

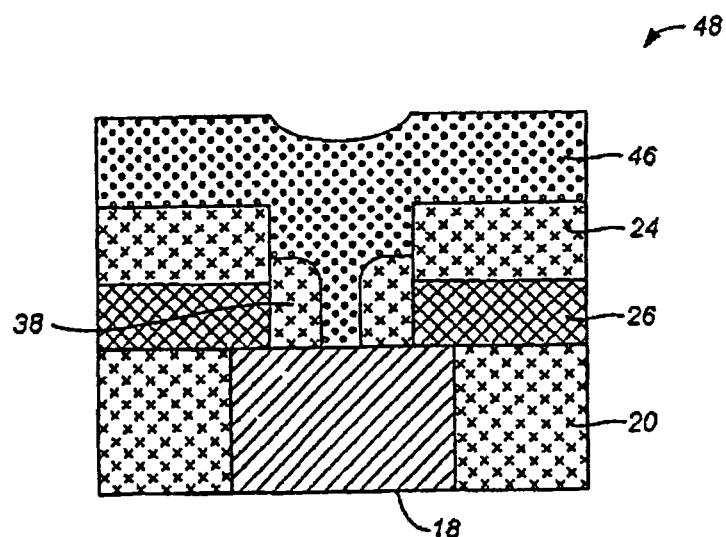


图 5

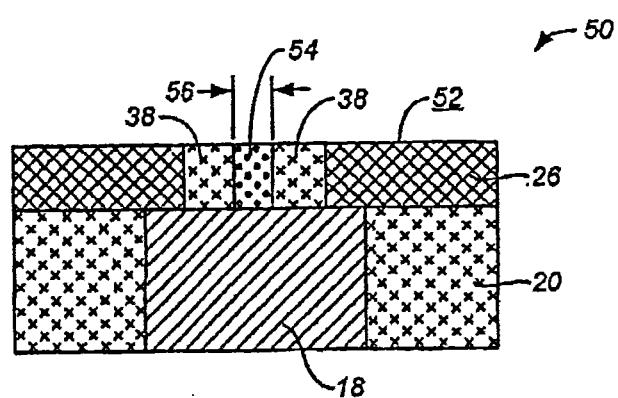


图 6

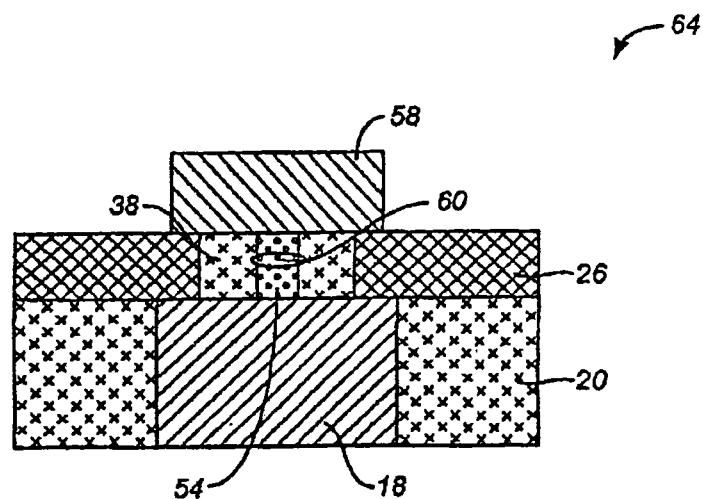


图7

10

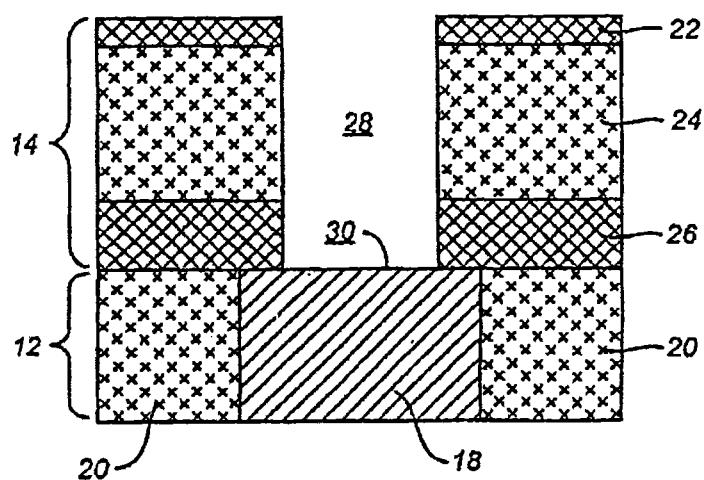


图8

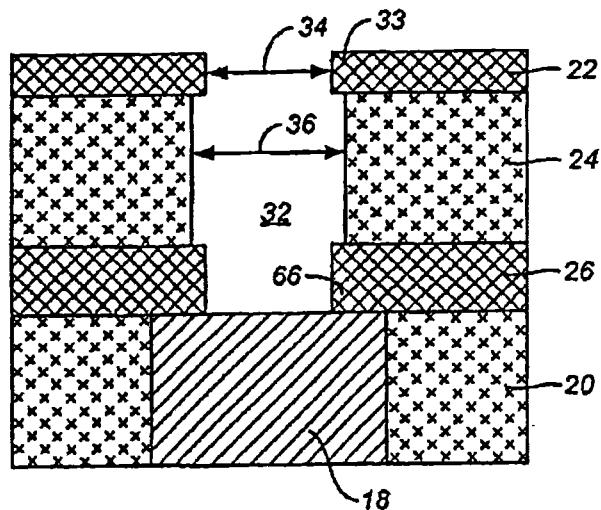


图 9

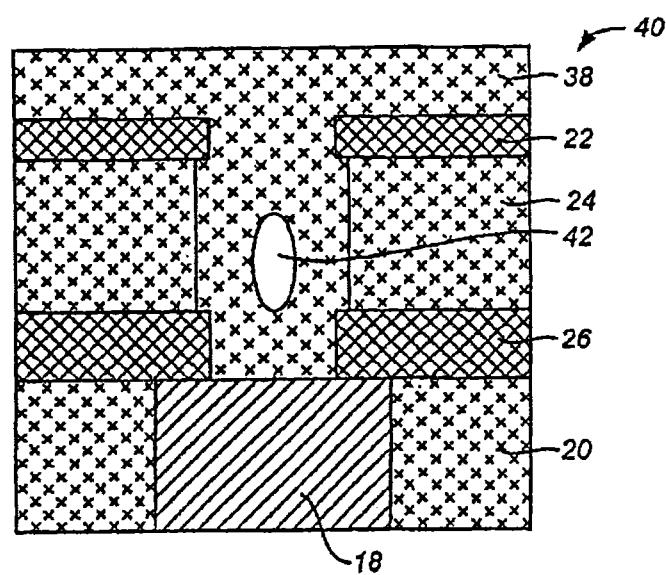


图 10

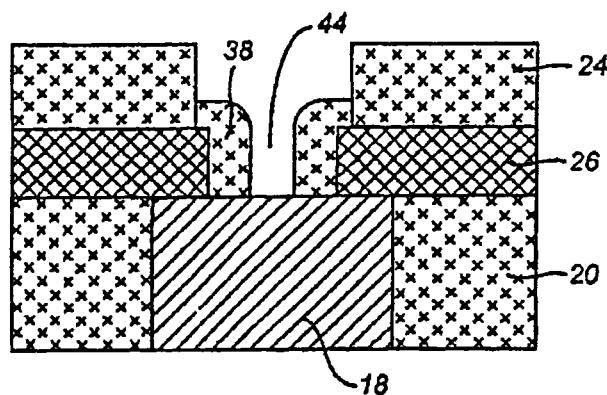


图 11

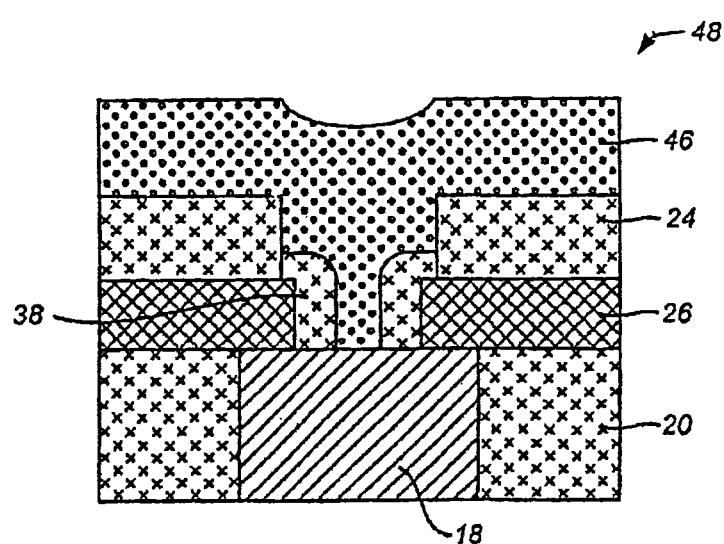


图 12

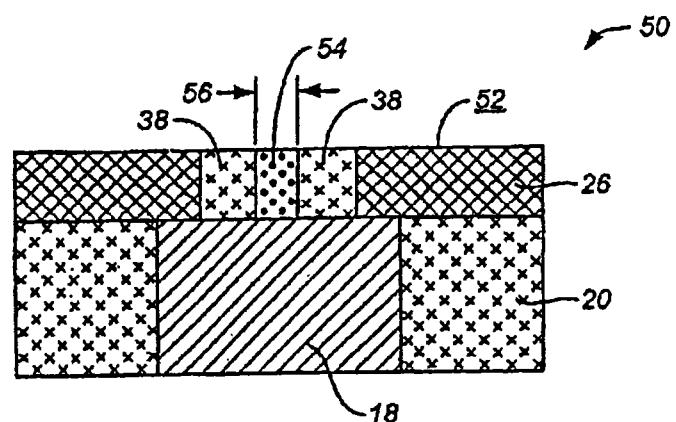


图13

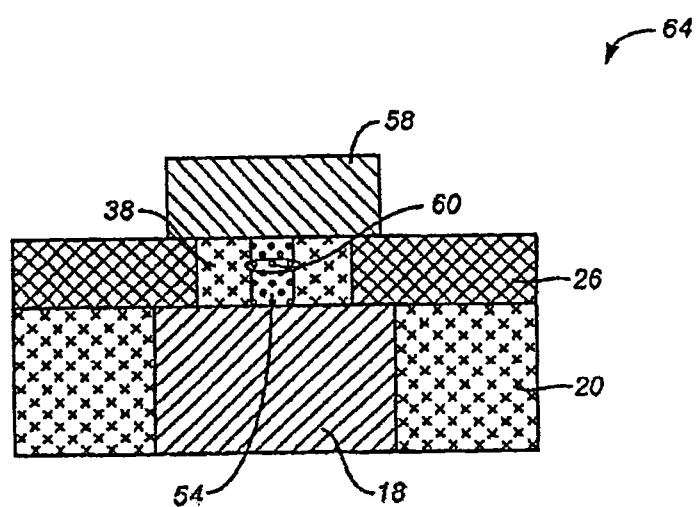


图14