

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4609233号
(P4609233)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月22日(2010.10.22)

| | | |
|-----------------------------|-----------|---------|
| (51) Int.Cl. | F I | |
| H03M 1/74 (2006.01) | H03M 1/74 | |
| G09G 3/20 (2006.01) | G09G 3/20 | 6 2 3 F |
| G09G 3/36 (2006.01) | G09G 3/20 | 6 2 3 B |
| G02F 1/133 (2006.01) | G09G 3/36 | |
| | G09G 3/20 | 6 1 1 J |
| 請求項の数 7 (全 23 頁) 最終頁に続く | | |

| | | | |
|-----------|------------------------------|-----------|---|
| (21) 出願番号 | 特願2005-235632 (P2005-235632) | (73) 特許権者 | 304053854 エプソンイメージングデバイス株式会社 長野県安曇野市豊科田沢6925 |
| (22) 出願日 | 平成17年8月16日(2005.8.16) | (74) 代理人 | 100075258 弁理士 吉田 研二 |
| (65) 公開番号 | 特開2007-53459 (P2007-53459A) | (74) 代理人 | 100096976 弁理士 石田 純 |
| (43) 公開日 | 平成19年3月1日(2007.3.1) | (72) 発明者 | 堀端 浩行 東京都港区浜松町二丁目4番地1号 三洋 エプソンイメージングデバイス株式会社内 |
| 審査請求日 | 平成20年1月9日(2008.1.9) | 審査官 | 柳下 勝幸 |
| 最終頁に続く | | | |

(54) 【発明の名称】 デジタルアナログ変換回路および表示装置

(57) 【特許請求の範囲】

【請求項1】

デジタルデータの各ビットに対応して設けられ、各ビットの重みに応じて決定された容量値を有する複数のキャパシタと、

前記複数のキャパシタに充電された電荷を合計した電荷量と、前記複数のキャパシタの合計の容量値に応じて決定されるアナログ電圧を出力する出力手段と、

前記デジタルデータの前記複数のキャパシタへの経路に設けられ各ビットの電圧のキャパシタへの供給を制御する充電制御トランジスタと、

を有し、

前記充電制御トランジスタのトランジスタサイズは、接続される前記キャパシタの容量値に対応して設定されていることを特徴とするデジタルアナログ変換回路。

10

【請求項2】

請求項1に記載のデジタルアナログ変換回路において、

前記複数のキャパシタの容量値の比と前記複数のキャパシタのそれぞれに接続される前記充電制御トランジスタのトランジスタサイズの比が同じに設定されていることを特徴とするデジタルアナログ変換回路。

【請求項3】

請求項1に記載のデジタルアナログ変換回路において、

前記充電制御トランジスタのトランジスタサイズは、接続される前記キャパシタの容量値が大きくなる程、大きく設定されていることを特徴とするデジタルアナログ変換回路。

20

【請求項 4】

請求項 1 に記載のデジタルアナログ変換回路において、
前記充電制御トランジスタは T F T であり、
前記充電制御トランジスタの M O S 容量による電圧の変化が同じであるように前記充電制御トランジスタのトランジスタサイズと前記キャパシタの容量値が設定されていることを特徴とするデジタルアナログ変換回路。

【請求項 5】

請求項 1 から 4 のいずれかに記載のデジタルアナログ変換回路において、
 前記複数のキャパシタは、一端が対応する充電制御トランジスタに接続され、他端が電源に共通接続され、
 前記出力手段は、前記複数のキャパシタの一端側を短絡して、前記一端側から前記アナログ電圧を出力することを特徴とするデジタルアナログ変換回路。

10

【請求項 6】

請求項 1 から 5 のいずれかに記載のデジタルアナログ変換回路において、
 前記複数のキャパシタは、一端が対応する充電制御トランジスタに接続され、
 前記出力手段は、前記複数のキャパシタの両端に同一の電圧を設定し、その後前記充電制御トランジスタをオンし、
 これによって、前記複数のキャパシタの他端から前記アナログ電圧出力させることを特徴とするデジタルアナログ変換回路。

20

【請求項 7】

マトリクス状に配置された画素の各列に対応してデータラインを配置し、各画素のデータ信号をデータラインを介し各画素に供給する表示装置であって、
前記デジタルデータを前記アナログ電圧に基づくアナログデータに変換してから前記データラインに供給するデジタルアナログ変換回路を有し、
このデジタルアナログ変換回路に請求項 1 から 6 のいずれかに記載のデジタルアナログ変換回路を使用することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本件は、キャパシタの容量比を利用するデジタルアナログ変換回路およびこのデジタルアナログ変換回路を利用する表示装置に関する。

30

【背景技術】

【0002】

従来より、液晶表示装置などのフラットパネルタイプの表示装置が広く普及している。特に、携帯機器には、小型軽量の表示装置が必須であり、例えば携帯電話機などにおいては、液晶表示装置が主に利用されている。

【0003】

この液晶表示装置では、高精細な画像も表示するため、表示画素毎に画素回路を有し、高精細な表示が可能なアクティブマトリクスタイプが利用される。

【0004】

ここで、液晶表示装置においては、液晶に輝度に応じたデータ電圧を印加して表示が行われる。従って、各画素に供給されるデータ信号はアナログ信号である。一方、液晶表示装置に供給される映像信号はデジタル映像信号としておく方が好ましい場合も多く、その場合には液晶表示装置において、デジタルアナログ変換をしてから各画素にアナログデータ信号を供給する。

40

【0005】

デジタルアナログ変換回路においては、電源電圧を抵抗分割してデジタルデータの値に応じた電圧を発生する。しかし、デジタルデータのビット数が大きくなるに従って、抵抗の段数が大きくなり、1 段の電圧値が小さくなるため、その精度を維持することが難しい。一方、デジタルデータの各ビットの重みに応じてキャパシタの容量比を設定し、この各

50

キャパシタへ各ビットの「1」、「0」に応じた電圧を設定し、これによって得られた電荷量により対応する電圧を出力アナログ電圧とするデジタルアナログ変換回路が知られている。

【0006】

そして、この容量比を利用するデジタルアナログ変換回路は、比較的小さな電圧を得ることが容易である。そこで、抵抗分割によるデジタルアナログ変換回路と、容量比を利用するデジタルアナログ変換回路を組み合わせることでビット数が多いデジタルデータの変換に好適であると考えられる。

【0007】

このようなデータ信号のデジタルアナログ変換については、例えば特許文献1などに記載がある。

【0008】

【特許文献1】特開2003-29725

【発明の開示】

【発明が解決しようとする課題】

【0009】

ここで、上述の容量比を利用するデジタルアナログ変換回路においては、その変換の精度を高める上で、各キャパシタへの充電を正確に行う必要がある。しかし、表示装置においては、次々と送られてくる映像信号を順に処理しなければならず、キャパシタへの充電を十分正確に行うことが難しい場合も多かった。

【課題を解決するための手段】

【0010】

本発明は、デジタルデータの各ビットに対応して設けられ、各ビットの重みに応じて決定された容量値を有する複数のキャパシタと、前記複数のキャパシタに充電された電荷を合計した電荷量と、前記複数のキャパシタの合計の容量値に応じて決定されるアナログ電圧を出力する出力手段と、前記デジタルデータの前記複数のキャパシタへの経路に設けられ各ビットの電圧のキャパシタへの供給を制御する充電制御トランジスタと、を有し、前記充電制御トランジスタのトランジスタサイズは、接続される前記キャパシタの容量値に対応して設定されていることを特徴とする。また、前記複数のキャパシタの容量値の比と前記複数のキャパシタのそれぞれに接続される前記充電制御トランジスタのトランジスタサイズの比が同じに設定されていることが好適である。また、前記充電制御トランジスタのトランジスタサイズは、接続される前記キャパシタの容量値が大きくなる程、大きく設定されていることが好適である。また、前記充電制御トランジスタはTF Tであり、前記充電制御トランジスタのMOS容量による電圧の変化が同じであるように前記充電制御トランジスタのトランジスタサイズと前記キャパシタの容量値が設定されているが好適である。

【0011】

また、前記複数のキャパシタは、一端が対応する充電制御トランジスタに接続され、他端が電源に共通接続され、前記出力手段は、前記複数のキャパシタの一端側を短絡して、ここから前記アナログ電圧を出力することが好適である。

【0012】

また、前記複数のキャパシタは、一端が対応する充電制御トランジスタに接続され、前記出力手段は、前記複数のキャパシタの両端に同一の電圧を設定し、その後前記充電制御トランジスタをオンし、これによって、前記複数のキャパシタの他端から前記アナログ電圧出力させることが好適である。さらに、本発明は、上述したデジタルアナログ変換回路を使用する表示装置に関する。

【発明の効果】

【0013】

本発明によれば、充電制御トランジスタのトランジスタサイズを対応するキャパシタの容量に応じて決定する。例えば、LSB側から1ビット目、2ビット目、3ビット目で、

10

20

30

40

50

トランジスタサイズを1, 2, 4とする。これによって各ビットにおけるキャパシタへの電荷(電流)供給能力を十分なものにして、より正確なデジタルアナログ変換を行うことができる。さらに、充電制御トランジスタのMOS容量による電圧の変化を同じにすることができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態について、図面に基づいて説明する。

【0015】

「全体構成」

図1は、実施形態に係る液晶表示装置におけるビデオデータを画素回路に供給するための構成を示す図である。 10

【0016】

この実施形態では、6ビットのビデオライン10が、各画素毎の64階調のデジタル輝度信号を画素クロックに従って順次転送する。なお、実際にはR(赤)、G(緑)、B(青)の3本のビデオラインを有し、各色のビデオデータが並列して供給され、対応する色の画素に供給されるが、図においては1色のみを示している。

【0017】

ビデオライン10には、画素の各列に対応して設けられたスイッチ12の入力端が接続されている。このスイッチ12の制御端には水平転送レジスタ14の出力がそれぞれ接続されている。ここで、水平転送レジスタ14は、ビデオラインに供給されてくるビデオデータの画素毎のタイミングに同期する画素クロックにより、水平スタート信号(S TH)を順次転送するもので、画素の各列に対応するレジスタを有している。なお、この説明では、RGBの1種類の色の表示について述べるため、表示ビットと画素は同一である。また、水平転送レジスタに供給される転送クロックは、通常画素クロックの2倍の周期を有し、位相が反転された2つのクロック(C KH, X C KH)を用いる場合が多い。 20

【0018】

すなわち、ビデオライン10に1列目の画素のビデオデータが供給されているときには、水平転送レジスタ14の1つ目に水平スタート信号S THが取り込まれて対応するスイッチ12がオンする。そして、画素クロックによって水平転送レジスタ14内を水平スタート(S TH)信号が順次転送されることで、ビデオライン10に供給されている画素毎のビデオデータについて、その画素に対応するスイッチ12が順次オンされる。なお、スイッチ12はpチャネルトランジスタ(T FT)とnチャネルトランジスタ(T FT)を並列接続して構成され、それぞれが水平転送レジスタ14の1つのレジスタの非反転出力と、反転出力によって同時にオンオフされる。 30

【0019】

各スイッチ12の出力端には、6ビットのSRAM16の入力端がそれぞれ接続されており、これらSRAM16の出力端には、6ビットのSRAM18の入力端がそれぞれ接続されている。従って、ビデオライン10に順次供給される画素毎のビデオデータは、スイッチ12が順番にオンされることによって対応するSRAM16に取り込まれる。そして、1行(1水平走査ライン)分のビデオデータが各SRAM16に取り込まれた時点で、1行分のビデオデータが、対応するSRAM18に同時にそれぞれ転送され、これを各水平走査期間毎に繰り返す。従って、各水平走査期間において、1行分のビデオデータがSRAM16に取り込まれ、その後これがSRAM18に転送され、転送されたビデオデータが次の水平走査期間においてSRAM18に保持され、ここから出力されることになる。そして、この動作が繰り返される。 40

【0020】

SRAM18の出力端には、デジタルアナログ変換器(DAC)20の入力端が接続されている。このDAC20は、SRAM18から供給される6ビットのビデオデータを64階調のアナログのビデオ信号に変換する。なお、DAC20は、液晶への電圧印加方向を所定周期で変更するいわゆるAC駆動を行うために、2種類の極性(液晶素子の共通電 50

極電位を基準として液晶に対する電圧の印加方向が反対となる2つの極性)のビデオ信号を出力する。後述するように、本実施形態では、AC駆動の方式として、ドット反転方式を利用しているため水平および垂直方向において隣接する画素においては液晶に印加する電圧の方向(極性)を反転し、1つの画素の液晶についていえば1フレームごとに反転される。

【0021】

また、各DAC20の出力端には、アンプ(Amp)22の入力端が接続され、このアンプ22の出力端が切り替えスイッチ24を介し、データラインDLに接続されている。このデータラインDLは、列(垂直走査方向)に伸び、対応する1列の画素回路100がそれぞれ接続される。なお、この例では、データラインDLには、画素回路100における画素TFIのソースが接続されるため、ソースラインとも呼ばれる。

10

【0022】

従って、DAC20から出力されるアナログビデオ信号がデータラインDLに供給され、これを該当する行の画素回路100が取り込むことで、各画素において取り込んだアナログビデオ信号に応じた表示が行われる。

【0023】

「SRAMの構成」

本実施形態では、6ビットのデジタルビデオデータを保持する2つのSRAM16, 18を各列に有している。また、ビデオデータは、そのダイナミックレンジが比較的小さく設定されており、DAC20に入力するデータとしては、もう少しダイナミックレンジを大きくしたいという要求がある。そこで、例えば、5V振幅を8V振幅にレベルシフトする。

20

【0024】

本実施形態では、ラッチ回路とレベルシフトを組み合わせて、SRAM16を構成し、SRAM16においてレベルシフトも行う。

【0025】

図2には、本実施形態に係るラッチ型レベルシフト回路(SRAM16)とこのSRAM16の出力をラッチするラッチ回路(SRAM18)の構成が示してある。ここで、ビデオデータは、6ビットのデジタルデータであり、1ビット分のみ示す。

【0026】

5V振幅のデジタルビデオデータはスイッチ610に供給される。このスイッチ610は、ドットクロックに同期したクロックにより制御され、入力端に供給されるビデオデータを表示画素(ドット)毎に取り込む。例えば、図1におけるビデオライン10の対応するスイッチ12がオンしているときに、スイッチ610をオンしてビデオデータを取り込む。なお、スイッチ610をスイッチ12として採用してもよい。

30

【0027】

スイッチ610の出力端には、第1ラッチ620が接続されている。第1ラッチ620は、5V振幅であり、互いの入出力を接続した5V動作の2つのインバータ622, 624から構成されている。この例では、インバータ622の入力側にスイッチ610からの出力が供給されるため、インバータ624に反転された信号が入力されるようになっている。従って、スイッチ610の出力の状態によって、インバータ622の入力の状態が決定され、インバータ622の一对の出力側の状態も決まる。

40

【0028】

ここで、この例では、インバータ622の能力をインバータ624に比べ大きくすることが好適である。これによって、入力されてくるビデオデータが反転したときにおいてもインバータ622の出力が容易に反転して、このデータをラッチすることができる。

【0029】

第1ラッチ620の一对の出力(極性は反対)は、電圧駆動型のレベルシフト630に入力される。このレベルシフト630は、8VのVDDと0VのVSSの間に配置された3つのトランジスタの直列接続を2つ並列配置した構成になっている。

50

【0030】

VDDとVSSとの間には、pチャンネルTFT632a、pチャンネルTFT634a、およびnチャンネルTFT636aの直列接続と、pチャンネルTFT632b、pチャンネルTFT634b、およびnチャンネルTFT636bの直列接続とが、配置されている。そして、TFT634aおよびTFT636aのゲートには、ラッチ回路620でラッチされたスイッチ610の出力が供給され、TFT634bおよびTFT636bのゲートには、ラッチ回路620でラッチされたスイッチ610の出力の反転信号が供給される。また、TFT632aのゲートはTFT634bおよびTFT636bの中間点に接続され、TFT632bのゲートは、TFT634aおよびTFT636aの中間点に接続されている。

10

【0031】

このような構成によって、ラッチ620の出力に応じて、TFT632aのゲートはTFT634bおよびnチャンネルTFT636bの中間点、TFT632bのゲートは、TFT634aおよびnチャンネルTFT636aの中間点のいずれか一方がHレベル、他方がLレベルになる。例えば、スイッチ610の出力がHレベル(「1」)の場合、TFT634bおよびnチャンネルTFT636bの中間点がHレベル、TFT634aおよびnチャンネルTFT636aの中間点がLレベルになる。

【0032】

TFT634bおよびnチャンネルTFT636bの中間点およびTFT634aおよびnチャンネルTFT636aの中間点からの出力は、第2ラッチ640に入力される。第2ラッチ640は、インバータ642とインバータ644が接続されて構成されており、インバータ642の入力にTFT634bおよびnチャンネルTFT636bの中間点の出力が入力され、インバータ644の入力にTFT634aおよびTFT636aの中間点の出力が入力され、インバータ642の出力(インバータ644の入力)が第2ラッチ640の出力になっている。

20

【0033】

従って、スイッチ610に入力されるデータは、第1ラッチ620でラッチされ、レベルシフト630でレベルシフトされた信号と、レベルシフトされ反転された信号が第2ラッチ640に8Vの信号としてラッチされる。なお、この第1ラッチ620、レベルシフト630および第2ラッチ640がSRAM16を構成する。従って、SRAM16の出力には、5V振幅が8V振幅にレベルシフトされた信号が得られる。このように、レベルシフト630の入力側と出力側とにラッチ回路を設けることで、ラッチ動作とレベルシフト動作を同時に行うことができる。従って、これらを別々に行う場合に比べ、消費電力を小さくすることができる。

30

【0034】

第2ラッチ640の出力は、インバータ650によって反転される。なお、図1の構成と対比した場合には、このインバータ650までがSRAM16に対応し、これによって、入力されるビデオデータがドットクロックに応じて記憶されてレベルシフトされて出力されることになる。

【0035】

インバータ650の出力は、スイッチ660を介し、ラッチ670に供給される。スイッチ660は、1水平走査ライン分のデータがSRAM16に取り込まれた後に所定期間だけ開く。ラッチ670は、互いの入出力同士が接続されたインバータ672と、インバータ674からなり、インバータ672にスイッチ660の出力が入力され、その出力がラッチ670の出力になっている。そして、このラッチ670の出力がインバータ680で反転されて出力される。従って、ラッチ670およびインバータ680がSRAM18を構成する。すなわち、1水平走査ラインにおいて、各画素のビデオデータが各SRAM16に記憶された段階で、スイッチ660を開き、このときのビデオデータがSRAM18にセットされる。例えば、水平帰線期間において、すべてのSRAM16のデータをRAM18に一括転送する。

40

50

【 0 0 3 6 】

このように、本実施形態によれば、SRAM16によって、データを記憶する際に、レベルシフトも行える。このため、効率的な動作が達成できる。

【 0 0 3 7 】

「DAC20の上位ビット変換の構成」

図3には、DAC20の上位ビット変換の構成を示してある。基準電圧発生回路300は、基準電圧アンプ300a、300bの2つを有する。基準電圧アンプ300a、300bは、両者とも電源電圧VCCとGNDの間を抵抗R0～R9の10個の抵抗で抵抗分割し、v0～v8の9個の基準電圧を発生する。基準電圧アンプ300a、300bは、1水平走査期間毎に交互に動作する。従って、9つの基準電圧v0～v8は、1水平期間毎に極性が反転される。すなわち、基準アンプ300aが動作している場合には、v8がVCCに近くv0がGNDに近い電圧、基準アンプ300bが動作しているときには、その反対になる。また、1水平期間毎の基準アンプ300a、300bの切り替えは、信号FRPによって行われる。例えば、信号FRPがHレベルの時に基準アンプ300aが動作し、Lレベルの時に基準アンプ300bが動作する。

10

【 0 0 3 8 】

データD5-D3は、上部H側デコーダ310、上部L側デコーダ312、下部H側デコーダ314、下部L側デコーダ316の4つのデコーダに入力され、これらデコーダ310～316には基準電圧v0～v8もそれぞれ供給されている。上部H側デコーダ310は、データD5-D3が111～000の8種類に応じて、基準電圧v8～v1を選択して出力し、上部L側デコーダ312は、データD5-D3が111～000の8種類に応じて、基準電圧v7～v0を選択して出力する。従って、上部H側デコーダ310の出力VHは、上部L側デコーダ312の出力VLより1段階高い電圧(v8がVCC側の場合)になっている。一方、下部H側デコーダ314は、データD5-D3が111～000の8種類に応じて、基準電圧v0～v7を選択して出力し、下部L側デコーダ316は、データD5-D3が111～000の8種類に応じて、基準電圧v1～v8を選択して出力する。従って、下部H側デコーダ314の出力VHは、下部L側デコーダ316の出力VLより1段階低い電圧(v8がVCC側の場合)になっている。

20

【 0 0 3 9 】

このように、上部デコーダ310、312とは、D3のビットに対応する電圧だけずれた出力電圧VH、VLを出力する。下部デコーダ314、316は、上部デコーダ310、312とは極性(入力されてくるデジタルデータが大きくなる方向か小さくなる方向かという変化方向に対し、出力されるアナログ信号であるVH、VLが大きくなる方向か小さくなる方向かという変化方向)が反転されているが、下部H側デコーダ314と下部L側デコーダ316とが、D3の1ビット分異なる電圧VHと、VLを出力する点は同一である。

30

【 0 0 4 0 】

なお、上部デコーダ310、312の出力を奇数列のデータラインDLに供給する場合には、下部デコーダ314、316の出力を偶数列のデータラインDLに供給する。

【 0 0 4 1 】

このように、上部デコーダ310、312と、下部デコーダ314、316とで、基準電圧の供給を反対にすることで、1つの基準電圧発生回路300を利用して、パネルの上部側と、下部側の両方のデコーダにおけるデジタルアナログ変換を行うことができる。従って、上部側デコーダ310、312と、下部デコーダ314、316の出力をデータラインDLに交互に供給することで、ビデオ信号を極性をデータラインDL毎に反転することができる。さらに、基準電圧アンプ300a、300bを1水平ライン毎に交互に用いることで、各データラインDLに供給するビデオ信号の極性を1水平走査ライン毎に変更することができる。従って、液晶表示装置におけるドット反転駆動を達成することができる。そして、このような駆動を行う場合において、基準電圧発生回路300を1つにできるため、回路を簡略化して、また省消費電力化を図ることができる。

40

50

【 0 0 4 2 】

「DAC20の下位ビット変換およびアンプ22構成」

上述のようにして、上位3ビット(D5 - D3)からVH、VLを得た場合には、VH、VLの差の電圧についてD2 - D0に応じた8種類の電圧を得る。図4には、このための構成が示してある。D2は、TFT410 - 2のゲートにそのまま入力され、TFT412 - 2のゲートに反転して入力される。TFT410 - 2は一端にVHが供給され、TFT412 - 2の一端にはVLが供給される。TFT410 - 2, 412 - 2の他端は、充電制御TFT420 - 2を介し、キャパシタ430 - 2の一端に接続される。キャパシタ430 - 2の他端はグラウンドに接続されている。

【 0 0 4 3 】

従って、D2がHレベル(「1」)の場合には、TFT410 - 2がオンして、VHが選択される。充電制御TFT420 - 2がオンしているときに、キャパシタ430 - 2がVHに充電される。一方、D2がLレベル(「0」)であれば、キャパシタ430はVLに充電される。

【 0 0 4 4 】

D1、D0についても、D2と基本的に同様の構成が設けられている。従って、D1、D0の値に応じて対応するキャパシタ430 - 1, 430 - 0にVHまたはVLが充電される。

【 0 0 4 5 】

さらに、充電制御TFT420 - rが設けられ、この充電制御TFT420 - rは、データによらずVLを直接対応するキャパシタ430 - rに充電する。なお、充電制御TFT420 - r, 420 - 0, 420 - 1, 420 - 2は、信号Chargeによってオンオフされる。

【 0 0 4 6 】

そして、キャパシタ430 - r, 430 - 0, 430 - 1, 430 - 2は、その容量値がC、C、2C、4Cというように、設定されている。なお、Cは例えば0.5 pFであり、この場合4Cが2 pFとなる。

【 0 0 4 7 】

さらに、キャパシタ430r, 430 - 0, 430 - 1, 430 - 2の上側端は、3つの結合用TFT440 - 1, 440 - 2, 440 - 3によって接続され、キャパシタ430 - rの上側端は、TFT440 - rを介し出力端となっている。

【 0 0 4 8 】

そして、結合用TFT440 - 1, 440 - 2, 440 - 3およびTFT440 - rのゲートには、信号Combineが供給されている。

【 0 0 4 9 】

このような回路によって、D2 - D0がすべて「0」であれば、キャパシタ430 - 2, 430 - 1, 430 - 0, 430 - rは、すべてVLに充電される。従って、出力電圧はVLになる。ここで、VLは、上述のようにして、D5 - D3によって、選択された値であり、D5 - D0によって特定された電圧になっている。

【 0 0 5 0 】

また、D0が「1」であれば、 $(VH - VL) \cdot C$ の電荷が余分に充電され、これを $1/8C$ した電圧がVLに加算され、 $VL + (VH - VL) / 8$ が出力される。D2が「1」であれば、 $(VH - VL) \cdot 4C$ の電荷が余分に充電され、これを $1/8C$ した電圧がVLに加算されて $VL + 4(VH - VL) / 8$ が出力される。そして、D0, D1, D2のすべてが「1」であれば、 $VL + 7(VH - VL) / 8$ が出力される。従って、D0 - D3の値に応じて、 $(VH - VL)$ を単位とした電圧がVLに加算され、出力には、D5 - D0の値に応じた電圧が得られる。

【 0 0 5 1 】

なお、この出力に得られる電圧は、VCC - GNDの間の電圧であって、パネルの上側と下側と(奇数列と偶数列と)で極性が反転され、また1水平期間毎に極性が反転される

10

20

30

40

50

。

【0052】

ここで、本実施形態では、充電制御TFT420-r, 420-0, 420-1, 420-2のサイズを1:1:2:4に設定する。すなわち、充電制御TFT420-r, 420-0, 420-1, 420-2が充電するキャパシタ430-r, 430-0, 430-1, 430-2は、その容量値が1:1:2:4であり、充電制御TFT420-r, 420-0, 420-1, 420-2が流す電流量もこの比に対応する。従って、本実施形態のように充電制御TFT420-r, 420-0, 420-1, 420-2のサイズを1:1:2:4に設定することで、対応するキャパシタ430-r, 430-0, 430-1, 430-2への充電電荷量を正確に容量値×電圧値に設定でき、出力電圧を正確なものにできる。また、トランジスタ(充電制御TFT)のMOS容量による電圧の変化を同じにすることができる。

10

【0053】

「アンプ22の構成」

アンプ22の構成例1について、図4に基づいて説明する。このアンプ22は、出力補正のための構成を有している。結合TFT440-rからの出力は、信号01によってオンオフされるスイッチTFT450を介しバッファアンプ452に入力される。一方、バッファアンプ452の入力端には、補正用キャパシタ454の一端が接続され、この補正用キャパシタ454の他端は電圧ドロップ制御キャパシタ456を介しグランドGNDに接続されている。

20

【0054】

また、バッファアンプ452の入力端には、充電用信号ChargeによってオンオフされるTFT460を介し電圧VLが供給される。さらに、キャパシタ454と456の midpointには、充電用信号ChargeによってオンオフされるTFT462によって電圧VLが供給され、信号03によってオンオフされるTFT470によりスイッチTFT450の入力側(DACの出力端)が接続され、さらにバッファアンプ452の出力端がTFT472を介し接続されている。

【0055】

このような回路の動作について、図5Aおよび図5Bに基づいて説明する。まず、信号ChargeによってTFT460, 462がオンされていることによって、バッファアンプ452の入力端およびキャパシタ454, と456の midpointは、電圧VLにセットされる。また、この状態において、キャパシタ430-r, 430-0, 430-1, 430-2に上述のような充電が行われ充電量が確定し、Chargeが立ち下がり、その後Combineが立ち上がって、DAC20の出力端に入力データに応じたアナログ電圧Vinが現れる。

30

【0056】

そして、ステップ1では、CombineがHレベルの状態では信号01がHレベルになり、スイッチTFT450がオンされる。これによって、バッファアンプ452の入力端がDAC20の出力電圧Vinに設定される。

【0057】

次に、ステップ2において、信号02をHレベルにすることで、TFT472をオンする。これによって、キャパシタ454, と456の midpointがバッファアンプ452の出力電圧Voutにセットされる。なお、バッファアンプ452は、出力電圧が入力電圧に一致するように動作するものであるが、その特性によって誤差が生じ、本実施形態ではこれを補償する。ここで、バッファアンプ452における誤差電圧をVとすると、出力電圧 $V_{out} = V_{in} + V$ と表せる。

40

【0058】

ステップ3では、信号02をLレベルに戻す。これによって、キャパシタ454のバッファアンプ452の入力端側(上側)はVin、キャパシタ456側(下側)はVoutに固定され、キャパシタ454にはVが充電される。

50

【0059】

ステップ4において、信号01をLレベルにして、スイッチTFT450をオフする。ここで、このスイッチTFT450をオフすると、ゲート電位がHレベルからLレベルになることで、このスイッチTFT450のゲート容量(Cgs)に起因して、バッファアンプ452の入力側の電圧は若干下がる。ここで、キャパシタ454はVだけ充電されており、キャパシタ456はVout-GNDだけ充電されている。従って、これらキャパシタ454, 456の中間電圧およびバッファアンプ452の入力側電圧はそれほど大きく動くことはできない。スイッチTFT450のオフによりバッファアンプ452の入力側において下がった電圧をaとすると、バッファアンプ452の入力側の電圧はVin-aとなる。また、キャパシタ454, 456の中間の電圧は、aよりも少ない電圧ではあるが、aに応じて低下する。キャパシタ454, 456の中間の電圧の低下分をa'とすると、その電圧はVin+V-a'となる。

10

【0060】

ステップ5において、信号03をHレベルとして、キャパシタ454, 456の中間電圧をVinに設定する。これによって、キャパシタ454, 456の中間電圧は、Vin-(Vin+V-a')だけ変化する。従って、バッファアンプ452の入力電圧も同じだけ変化し、Vin-a+Vin-Vin-V+a'となり、Vin-V-(a-a')となる。キャパシタ454, 456の容量値の設定にもよるが、aとa'は元々近い値であり、ほぼ同一にすることは容易である。a=a'と仮定すれば、バッファアンプ452の入力電圧はほぼVin-Vとなる。このため、Vinが入力された場合にVout=Vin+Vとなっていたバッファアンプ452の出力は入力側がVだけ低くなることで、Vout=Vinとなり、誤差が補償される。

20

【0061】

「アンプ22の他の構成例」

図6には、アンプ22におけるバッファアンプ452の出力誤差を解消するための他の回路例が示されている。

【0062】

この例では、DAC20の出力はそのままバッファアンプ452の入力側に供給され、バッファアンプ452の出力と入力を接続するスイッチTFT480が設けられている。

【0063】

そして、このスイッチTFT480を、信号CombineをHにして、バッファアンプ452から対応した電圧を所定時間出力した後に、信号をHレベルにすることによってオンする。これによって、バッファアンプ452の出力側の電圧を入力側の電圧に近づけることができ、バッファアンプ452の出力における誤差を小さくすることができる。

30

【0064】

なお、図6に示すように、バッファアンプ452の入力側には、DAC20のキャパシタが接続されており、これが入力部容量になっている。一方、バッファアンプ452の出力は、データラインDLに接続されるため、このデータラインDLについての容量が負荷容量として存在する。スイッチTFT480をオンするのは、負荷容量に対し十分な充電が終了してからにすることが効果的である。そして、負荷容量と入力部容量の比である(負荷容量)/(入力容量)が1以下であると、スイッチTFT480のオンによる効果が大きく、好適である。さらに、スイッチTFT480のゲート容量CSは、入力部容量および負荷容量に比べ小さいことが好適であり、好ましくは両容量に対し、1/10以下であることが好適である。

40

【0065】

「DAC20の下位ビットについての他の構成」

図7には、DAC20の下位ビットについての他の構成例が示されている。この例では、信号Combineに代えて、Pre-Chargeが利用される。

【0066】

D2-D0に対応してTFT410-2, 412-2, 410-1, 412-1, 41

50

0 - 0 , 4 1 2 - 0 がそれぞれ設けられ V H または V L のいずれかがそれぞれ選択され、これらが充電制御トランジスタ 4 2 0 - 2 , 4 2 0 - 1 , 4 2 0 - 0 を介しキャパシタ 4 3 0 - 2 , 4 3 0 - 1 , 4 3 0 - 0 の一端側 (上側) に供給される。また、キャパシタ 4 3 0 - r には、V L が直接供給され、常に一端側 (上側) が V L に設定される。

【 0 0 6 7 】

そして、キャパシタ 4 3 0 - 2 , 4 3 0 - 1 , 4 3 0 - 0 , 4 3 0 - r の他端側 (下側) は、共通接続されて、D A C 2 0 の出力になっている。

【 0 0 6 8 】

そして、キャパシタ 4 3 0 - 2 の両端間には T F T 5 1 0 - 2 と 5 1 2 - 2 の直列接続、キャパシタ 4 3 0 - 1 の両端間には T F T 5 1 0 - 1 と 5 1 2 - 1 の直列接続、キャパシタ 4 3 0 - 0 の両端間には T F T 5 1 0 - 0 と 5 1 2 - 0 の直列接続、キャパシタ 4 3 0 - r の両端間には T F T 5 1 0 - r と 5 1 2 - r の直列接続が配置されている。そして、T F T 5 1 0 - 2 と 5 1 2 - 2 の直列接続、T F T 5 1 0 - 1 と 5 1 2 - 1 の直列接続、T F T 5 1 0 - 0 と 5 1 2 - 0 の直列接続、T F T 5 1 0 - r と 5 1 2 - r の直列接続の中間点には、すべて V L が供給されており、これらの T F T のゲートにはすべて信号 P r e - C h a r g e が供給されている。

【 0 0 6 9 】

このような回路においては、まず信号 P r e - C h a r g e を H レベルにすることで、すべてのキャパシタ 4 3 0 - 2 , 4 3 0 - 1 , 4 3 0 - 0 , 4 3 0 - r の両端を V L にセットする。

【 0 0 7 0 】

そして、信号 P r e - C h a r g e を L レベルにした後、充電制御 T F T 4 2 0 - 2 , 4 2 0 - 1 , 4 2 0 - 0 をオンにして、データ D 2 - D 0 に応じた V H または V L を対応するキャパシタ 4 3 0 - 2 , 4 3 0 - 1 , 4 3 0 - 0 の一端側に供給する。これによって、V H が供給されたキャパシタ 4 3 0 - 2 , 4 3 0 - 1 , 4 3 0 - 0 の他端がシフトしようとするが、その際の各キャパシタの電荷量はキャパシタ 4 3 0 - 2 , 4 3 0 - 1 , 4 3 0 - 0 の容量値に比例するため、上述の場合と同様に、出力端の電圧は、D 2 - D 0 によって決まる値に応じた分だけ V L から V H 方向にシフトした電圧になる。

【 0 0 7 1 】

なお、この構成においても、充電制御 T F T 4 2 0 - 2 , 4 2 0 - 1 , 4 2 0 - 0 は、キャパシタ 4 3 0 - 2 , 4 3 0 - 1 , 4 3 0 - 0 の容量比に対応したトランジスタサイズとする。

【 0 0 7 2 】

「切り替えスイッチ 2 4 」

切り替えスイッチ 2 4 の構成を図 8 に示す。この切り替えスイッチ 2 4 は、第 1 切替部 2 4 a と第 2 切替部 2 4 b を有し、これらによって、W H I T E 信号および B L A C K 信号の 2 つのスタンバイ用信号と、D A C 2 0 の出力である 6 4 階調の通常表示用のビデオ信号のうちの 1 つを選択して出力する。

【 0 0 7 3 】

まず、第 1 切替部 2 4 a は、通常モードか、スタンバイモード (ロー・パワーモード) か、を示すモード信号によって切り替えられ、通常モードの場合に通常表示用のビデオ信号を選択して出力する。

【 0 0 7 4 】

一方、スタンバイモードの場合には、第 1 切替部 2 4 a によって、スタンバイ用信号を選択する。第 1 切替部 2 4 a のスタンバイ用信号の入力端には、第 2 切替部 2 4 b の出力が供給されている。そして、この第 2 切替部 2 4 b は、W H I T E 信号または B L A C K 信号のいずれかを選択して出力する。従って、スタンバイモードの場合には、第 2 切替部 2 4 b によって選択された W H I T E 信号または B L A C K 信号のいずれかが、第 1 切替部 2 4 a を介し出力される。

【 0 0 7 5 】

10

20

30

40

50

ここで、第2切替部24bは、SRAM18の6ビット出力におけるMSB(0-5ビットの5ビット目)の信号が供給される。これは、スタンバイモードの場合には、表示は簡単な記号などの表示であり、白・黒の2種類の表示が用いられ、ビデオデータの5ビット目によって、白または黒のいずれかが判定されるからである。なお、例えば黒が000000、白が111111であれば、どのビットによっても判定が可能であるが、ビデオデータによっては、すべての範囲のデータを利用しない場合もあり、適当なビットで判定するとよい。すなわち、画素毎にその画素のデータが白か黒かを画素データ内の適切な1ビットによって判定し、これによってWHITE信号またはBLACK信号のいずれかが第2切替部24bにおいて選択される。また、この例では、SRAM12の所定ビットを切り替え制御信号として、第1切替部24aに供給し、そのビットの1または0によって第1切替部24aを切り替えている。

10

【0076】

このようにして、通常表示モードの場合には、DAC20からの通常のビデオ信号がデータラインDLに供給され、スタンバイモードの場合には、WHITE信号またはBLACK信号のいずれかがデータラインDLに供給される。

【0077】

なお、RGB各色の画素を有するフルカラーの表示装置においても、すべての画素に高輝度の信号を供給することで、表示自体は白になり、すべてに低輝度の信号を供給することで黒表示になる。また、RGBの各色画素について、オンオフできるため、R, G, B, R+G, R+B, G+B, 白、黒の8色表示も可能である。

20

【0078】

スタンバイモードの場合には、通常表示用の多階調のビデオ信号は不要である。そこで、本実施形態においては、別途用意したWHITE信号またはBLACK信号をデジタルのビデオデータにより選択することで、アナログのビデオ信号を使用しないことにし、DAC20およびアンプ22の動作を停止して消費電力を削減する。なお、アンプ22については、電源をオフすることが好ましく、またDACについても、その基準電圧を発生するアンプの電源をオフすることが好ましい。このように、スタンバイモードにおいては、アナログ信号の処理が不要となるため、アナログ回路の動作を完全に停止することで省電力をはかることができる。

【0079】

30

ここで、液晶では、焼き付き防止などの目的で所定期間毎に液晶への電圧印加方向を反転するいわゆるAC駆動が行われる。従って、ノーマリブラック(電圧を印加しないときに黒表示時になる)液晶を利用する場合には、BLACK信号が供給電極電圧と同様の一定電圧、WHITE信号が所定期間毎に共通電極に対し離れた電圧に設定され、ノーマリホワイト(電圧を印加しないときに白表示時になる)液晶を利用する場合には、反対の信号となる。

【0080】

ここで、ノーマリホワイトの場合には、図9に示すように、WHITE信号が $1/2V_{DD}$ の信号、BLACK信号が1水平走査間毎にVSSとVDDと交互に繰り返す信号とされ、この電圧が液晶素子の画素電極に印加される。なお、共通電極の電圧VCOMは、WHITE信号とほぼ同じ電圧に設定される。これによって、画素の1行毎に黒表示の画素に対し供給されるビデオ信号の極性(VCOMより大きい電圧か小さい電圧か)が反転される。そして、次のフレームにおいては該当行についてのビデオ信号の極性が反転されるため、1つの黒表示を続ける画素については、1フレームごとに液晶に対する電圧印加方向が反転される。

40

【0081】

特に、上述した、1行の中でも、ドット毎に液晶に印加する電圧の方向を反転するドット反転方式が好適である。

【0082】

「スイッチ24の具体的回路構成」

50

図10に、スイッチ24の具体的回路構成を示す。BLACK信号(LP_BLACK)は、TFT210の一端(ドレインまたはソース)に供給され、このnチャンネルのTFT210の他端(ソースまたはドレイン)には、pチャンネルのTFT212の一端(ソースまたはドレイン)が接続され、このpチャンネルのTFT210の他端(ドレインまたはソース)はWHITE信号(WHITE)が供給される。そして、TFT210, 212のゲートには、ビデオデータの5ビット目(D5)が供給される。従って、D5が「1」の時にTFT210がオンし、D5が「0」の時にTFT212がオンする。

【0083】

TFT210とTFT212の接続点は、nチャンネルのTFT214の一端が接続され、このTFT214の他端はデータラインDLに接続されている。そして、TFT214のゲートにはスタンバイモードの時にHレベルになるLP_ENB信号が供給されている。従って、スタンバイモードにおいて、TFT214がオンして、BLACK信号またはWHITE信号のいずれかがデータラインDLに供給される。

10

【0084】

また、DAC20からアンプ22を介し供給される64階調のアナログビデオ信号は、nチャンネルのTFT216の一端に供給され、このTFT216の他端はデータラインDLに接続されている。そして、TFT216のゲートには、通常表示モードの際にHレベルに設定されるRGB_ENB信号が供給されている。従って、通常表示モードの際には、TFT216がオンし、64階調のビデオ信号がデータラインDLに供給される。

【0085】

20

このように、ビデオデータD5によって、WHITE信号またはBLACK信号のいずれかが選択され、LP_ENB信号およびRGB_ENB信号によってビデオ信号か、またはWHITE信号、BLACK信号のいずれかが、選択され、データラインDLに供給される。

【0086】

「プリチャージの構成」

さらに、図10には、データラインDLをプリチャージするための構成を示してある。すなわち、各データラインDL同士の間には、nチャンネルTFT230が配置され、このTFT230をオンすることで隣接するデータラインDL同士が接続される。このTFT230はすべてのデータラインDL間に配置されている。また、WHITE信号を供給するラインと各データラインDLの間にはnチャンネルのTFT232が配置されており、このTFT232をオンすることで、WHITE信号がデータラインDLに供給される。

30

【0087】

そして、2つのTFT230およびTFT232のゲートには、DSG信号が供給されている。従って、信号DSGをHレベルにセットすることで、TFT230, 232の両方がオンし、隣接するデータラインDL同士が接続されるとともに、ここにWHITE信号が供給される。

【0088】

ここで、このWHITE信号は、図9に示すように、 $(1/2)V_{DD}$ の信号である。そこで、水平帰線期間において、DSG信号をHレベルにセットすることで、各データラインDLは、 $(1/2)V_{DD}$ にプリチャージすることができる。なお、プリチャージは、水平帰線期間など1水平走査期間におけるデータをデータラインDLにセットする前に行われる。

40

【0089】

特に、後述するデータの極性を隣接画素(ドット)間で反転するドット反転方式の場合には、隣接するデータラインDLにセットするビデオ信号の電圧値は、共通電極電圧VCOMを境として反対方向になっている。そこで、TFT230をオンして、隣接するデータラインDL同士を接続することで、共通電極電圧VCOMに近い電圧になる。すなわち、自然画などの表示においては、隣接画素の輝度は近い場合が多く、従って隣接画素の表示用の電圧にセットされているデータラインDL同士を接続することで、外部からの電力供

50

給なしに、VCOMに近い電圧にセットすることができる。例えば、全面黒表示では、データラインDLは、VSS、VDDに交互にセットされており、これらを接続することで、効率的なプリチャージを行うことができる。

【0090】

さらに、本実施形態では、TFT232を設け、各データラインDLについて、(1/2)VDDにセットする。これによって、この後にデータラインDLにビデオ信号を書き込む際に必要な電力(電荷量)を小さくして、省電力化を図ることができる。

【0091】

なお、図10の例では、TFT230, 232を1本の制御ラインのDSG信号によってオンオフし、TFT230, 232を同一のタイミングでオンしたが、制御ラインを別々としてTFT230をオンした後に、TFT232をオンすることも好適である。また、TFT232により供給する電圧は(1/2)VDDとしたが、共通電極電圧VCOMに近い電圧であれば、他の電圧でもよい。

【0092】

さらに、TFT230を設けた場合には、TFT232を省略することもできる。すなわち、TFT230をオンすることで、TFT230を介し隣接するデータラインDL同士を接続することができ、同様の効果が得られる。また、TFT230またはTFT232のいずれかを1つのみ設けることもできる。

【0093】

「画素回路およびドット反転」

ここで、1行に対し容量ライン2本設け、この2本の容量ラインの電圧を反対の極性で1フレームごとに反転する形式が好適であり、以下にこの構成について説明する。

【0094】

図11に、この容量ラインを2本設ける画素回路の構成の概略構成を示す。画素回路1は表示領域全体にマトリクス配置されている。マトリクス配置は、完全な格子状ではなく、ジグザグ状でもよい。また、表示は、モノクロでもフルカラーでもよく、フルカラーの場合通常画素はRGBの3色であるが、必要に応じて白を含む特定の色の画素を追加することも好適である。

【0095】

1つの画素回路1は、図に示すように、データラインDLにソースが接続されたnチャネルの画素TFT110と、この画素TFT110のドレインに接続された液晶素子112および保持容量114を有している。画素TFT110のゲートには、各水平走査ライン毎に配置されるゲートラインGLが接続されている。

【0096】

液晶素子112は、画素TFT110のドレインにその画素毎に個別に設けられる画素電極が接続され、この画素電極に対し、液晶を挟んで全画素共通の共通電極が対向配置されて構成されている。なお、共通電極は、共通電極電源VCOMに接続されている。

【0097】

また、保持容量114は、画素TFT110のドレインを構成する半導体層を延長した部分があるまま一方の電極となり、酸化膜を介して対向形成された容量ラインSCの一部が対向電極になっている。なお、保持容量114の電極になる部分を画素TFT110の部分と切り離して別の半導体層として、両者をメタル配線で接続してもよい。

【0098】

ここで、容量ラインSCは、1行(水平走査ライン)に対し、SC-A、SC-Bの2本があり、水平走査方向において、各画素回路の保持容量がSC-A、SC-Bに交互に接続されている。この図に示した画素回路では、保持容量114は、容量ラインSC-Aに接続されており、隣の画素の保持容量114が容量ラインSC-Bに接続されている。

【0099】

ゲートラインGLには、垂直ドライバ120が接続されており、この垂直ドライバ120が、ゲートラインGLを1水平期間毎に順次1本ずつ選択してHレベルにする。垂直ド

10

20

30

40

50

ライバ120は、シフトレジスタを有しており、1垂直走査期間の開始を示す信号STVを受け、シフトレジスタの1段目をHレベルとし、その後例えばクロック信号によってHレベルを1つずつシフトすることで、各水平走査ラインのゲートラインGLを順次1本ずつ選択してHレベルにする。ここで、例えばゲートラインGLのHレベルはVDD電位であり、LレベルはVSS電位であり、これら電源電圧VDD、VSSが垂直ドライバ120に供給され、これによって垂直ドライバの出力であるゲートラインGLのHレベル、Lレベルが設定される。

【0100】

SCドライバ122は、2つの電圧レベルを2つの保持容量ラインSC-A、SC-Bに出力する。

10

【0101】

なお、図示は省略してあるが、表示装置には、例えば水平ドライバも設けられており、入力されてくるビデオ信号のデータラインDLへの線順次の供給を制御する。すなわち、この例では、画素毎のビデオ信号のクロックに応じ、画素毎のサンプリングクロックを水平ドライバが出力し、このサンプリングクロックによって、スイッチをオンオフして1水平走査ライン分のビデオ信号(データ信号)をラッチする。そして、ラッチした1水平走査ラインの各画素についてのデータ信号を1水平走査期間にわたって、データラインDLに出力する。

【0102】

なお、実際にはビデオ信号は、RGBの3種類あり、垂直方向の各画素は、R、G、Bのいずれか1つの同一色の画素になっている。そこで、データラインDLには、RGBのいずれか1色のデータ信号が設定される。

20

【0103】

そして、本実施形態の装置では、ドット反転方式のAC印加方式を採用している。すなわち、水平走査方向の各画素(ドット)では、液晶素子112の画素電極に印加する電圧が、共通電極の電圧VCOMに対し極性が反対のデータ信号として印加される。

【0104】

図12の左側に示したのは、第1の極性によるデータ信号であり、Vvideoと書いた三角形の斜辺が、輝度に応じたデータ信号(書き込み電圧)を示している。データ信号は、黒レベルから白レベルまでがVbの電位差(ダイナミックレンジ)であり、電圧シフト後に画素電極に印加される電圧は、VCOMを中心として電圧が離れた方が白、近い方が黒になっている。従って、この例では、黒レベルがVCOM - Vb/2、白レベルがVCOM + Vb/2となっている。また、隣接画素では、図12の右側に示したように、第1の極性とは反対の第2の極性になっており、黒レベルがVCOM + Vb/2、白レベルがVCOM - Vb/2となっている。

30

【0105】

そして、図13に示すように、画素TFT110へのオン期間が終了しデータの書き込みが終了した後、容量ラインSC-A、SC-Bが所定電圧Vscだけシフトする。この例では、液晶としてノーマリブラックの垂直配向(VA)タイプのものが使用されている。図12の左側の画素については、容量ラインSC-Aが接続されており、VscはVscだけ電圧を高い方向にシフトされる。また、図12の右側の画素については、容量ラインSC-Bが接続されており、VscはVscだけ電圧を低い方向にシフトされる。

40

【0106】

これによって、図13に示すように、画素電極に印加されたデータ信号は、Vscに応じた電圧だけシフトされ、これがVCOMとの間に印加されることになる。ここで、Vscは、液晶の印加電圧に応じた透過率の変化が開始されるしきい値電圧Vathに対応した電圧に設定されており、シフト後の電圧によって、液晶素子112による表示が可能となる。また、データ信号のダイナミックレンジは、シフト後のダイナミックレンジが表示における黒レベルから白レベルの電位差となるように設定される。

50

【0107】

なお、図12において、 $V_a(W)$ は、白レベルのデータ信号のシフト量、 $V_a(B)$ は黒レベルのデータ信号のシフト量であり、これらシフト量は V_{sc} によって決定される。また、 V_b はデータ信号の黒レベルと白レベルの電位差(ダイナミックレンジ)、 V_b' はシフト後のダイナミックレンジである。

【0108】

「全体動作」

図1におけるビデオデータのSRAM16, 18への取り込み動作について、図14のタイミングチャートに基づいて説明する。1水平走査期間は、ビデオライン10(図1)にビデオデータが供給されるデータ期間と、水平帰線期間(ブランキング期間)とからなっている。水平同期信号Hsyncによって、水平走査期間についての同期がとられる。ドットクロックDotclockは、ビデオデータの1ドットに同期した信号であり、この1/2の周波数の水平転送クロックであるXCKH(およびCKH)を水平転送クロックとして用いて、水平スタート信号STHが水平転送レジスタ14(図1)に転送される。なお、イネーブル信号ENBによって、ビデオデータが供給されている期間のみ水平転送レジスタ14においてSTHの転送が行われる。

10

【0109】

STHは、図14においてSR01で示したようにして、水平転送レジスタ14の1段目に転送され、以後SR02、SR03という風に順次転送される。この例では、130段でビデオデータの取り込みは終了する。ここで、SRAM16(図1)へのビデオデータの取り込みは、AND01a~AND130aにより行われる。ここで、AND01aは、SR01とSR01a(SR02と同じ信号)とのAND(論理積)によって得られるSR01の後半にHレベルとなる信号であり、ビデオデータの1ドット目のビデオデータに対応している。従って、このAND01aによって1ドット目のビデオデータが1段目のSRAM16に取り込まれる。AND01a~AND130aによって、1行分のビデオデータが対応するSRAM16に取り込まれる。

20

【0110】

この例では、水平転送レジスタ14の段数を133段としておき、SR133により、SRAM16に取り込まれた1行分のビデオデータをSRAM18に転送する。

【0111】

次に、DAC20から画素回路100への書き込みの動作について、図15のタイミングチャートに基づいて説明する。

30

【0112】

まず、ブランキング期間が終了したときには、上述のようにSRAM18に1行分のビデオデータがセットされている。そこで、DAC20は、デジタルアナログ変換を行うが、下位3ビットについてキャパシタ430に充電しなければならない。そこで信号ChargeをHレベルとして、充電を開始する。充電が完了した後に、ChargeをLレベルとして、信号CombineをHレベルにする。これによって、DAC20の出力に64階調のアナログビデオ信号が得られる。

【0113】

なお、このDAC20からアナログ信号が出力されている期間に上述のようにして、アンプ22の出力補正の処理が行われる。ここでは、図4の構成において利用される信号01~03のタイミングが示されているが、これは図5Aに示したものと同様である。

40

【0114】

また、図6におけるスイッチTF T480のゲートに供給される信号は、上記3と同様のタイミングでHレベルとなる。

【0115】

一方、スイッチ24においては、CombineがHレベルの期間にRGB_ENBをHレベルとして、アンプ22の出力であるアナログビデオ信号がデータラインDLに供給され、該当する行の画素回路100がそのアナログビデオ信号を取り込む。なお、RGB

50

__ENBは、Combineより先にLレベルに戻ることで、データラインDL上のビデオ信号の変化を防止している。

【0116】

ゲートラインGLは、データ期間においてHレベルになり、各画素回路100では、RGB__ENBがHレベルの期間の最後の方で、ゲートラインGLがHレベルになり、画素回路100におけるデータ電圧が確定する。

【0117】

一方、ブランキング期間において、信号DSGがHレベルになり、各データラインDLが $(1/2)VDD$ にプリチャージされる。また、ブランキング期間において、FRPが反転されるため、DAC20における基準電圧の極性が反転され、アナログビデオデータの極性が反転される。

10

【図面の簡単な説明】

【0118】

【図1】実施形態に係る液晶表示装置におけるビデオデータを画素回路に供給するための構成を示す図である。

【図2】ラッチ型レベルシフト回路(SRAM16)とこのSRAM16の出力をラッチするラッチ回路(SRAM18)の構成を示す図である。

【図3】DAC20の上位ビット変換の構成を示してある。

【図4】DAC20の下位ビット変換およびアンプ22の構成例を示す図である。

【図5A】アンプ22の回路の動作について説明するための図である。

20

【図5B】アンプ22の回路の動作について説明するための図である。

【図6】アンプ22におけるバッファアンプ452の出力誤差を解消するための他の回路例を示す図である。

【図7】DAC20の下位ビットについての他の構成例を示す図である。

【図8】切り替えスイッチ24の構成を示す図である。

【図9】WHITE信号とBLACK信号の波形を示す図である。

【図10】データラインのプリチャージのための構成を示す図である。

【図11】容量ラインを2本設ける画素回路の構成の概略構成を示す図である。

【図12】液晶に対する電圧印加状態を説明するための図である。

【図13】各種信号の波形を示す図である。

30

【図14】ビデオデータ取り込みについてのタイミングチャートである。

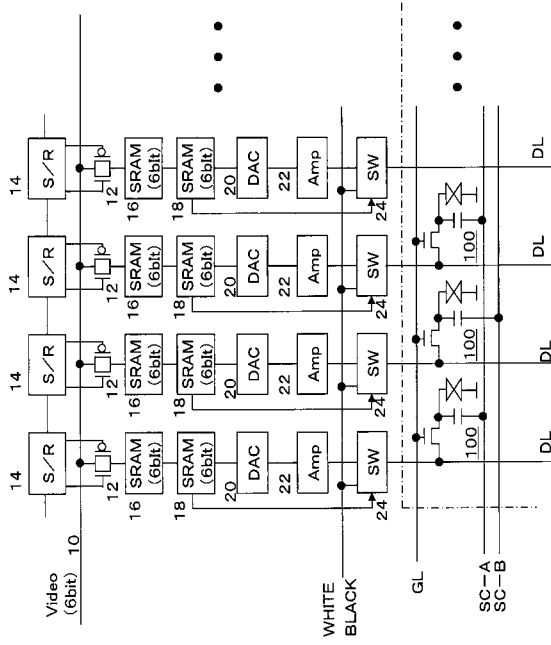
【図15】アナログビデオ信号出力についてのタイミングチャートである。

【符号の説明】

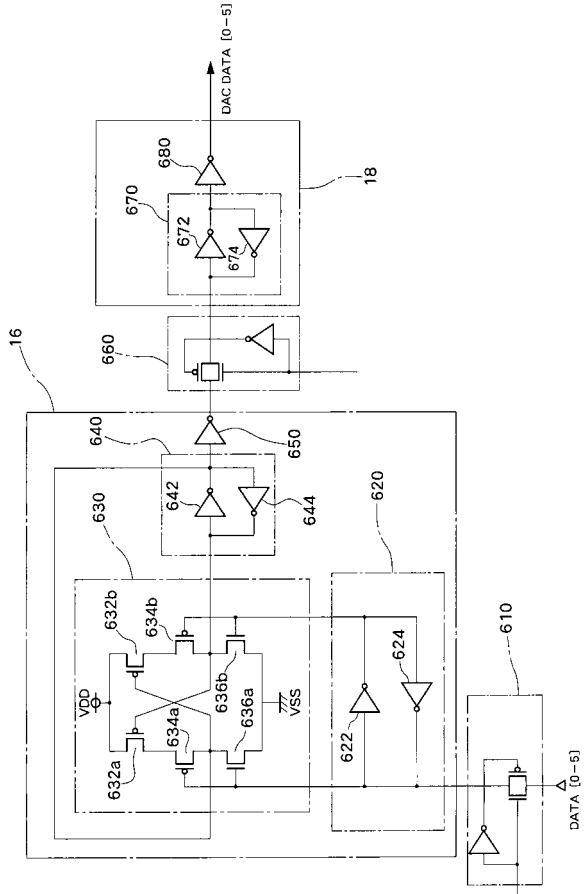
【0119】

10 ビデオライン、12 スイッチ、14 水平転送レジスタ、22 アンプ、24 スイッチ、26 データライン。

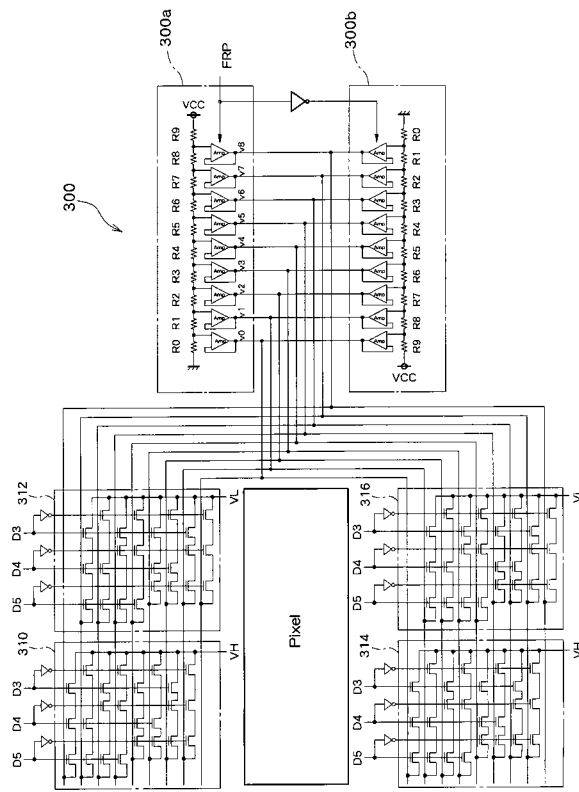
【 図 1 】



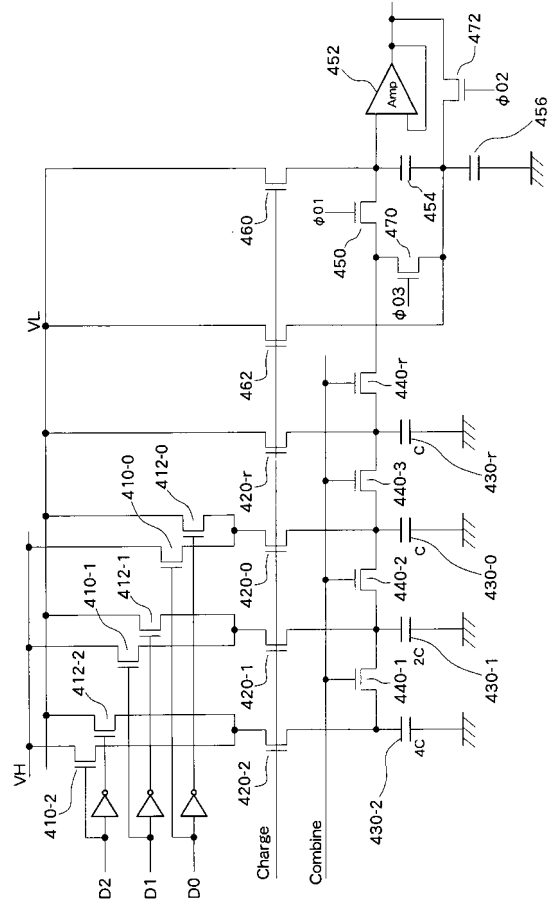
【 図 2 】



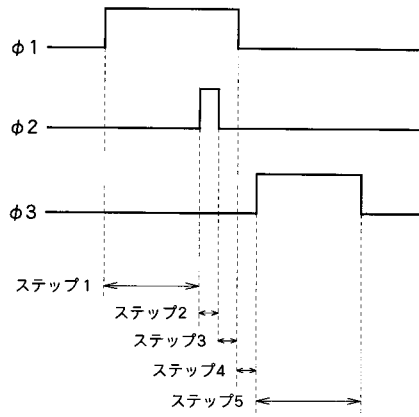
【 図 3 】



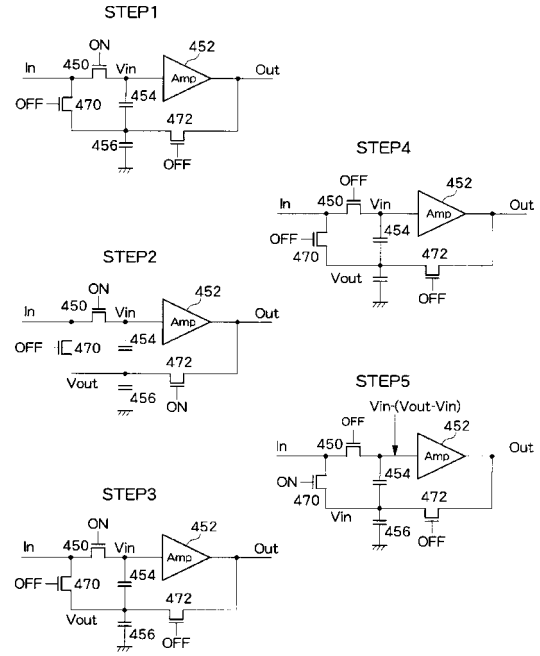
【 図 4 】



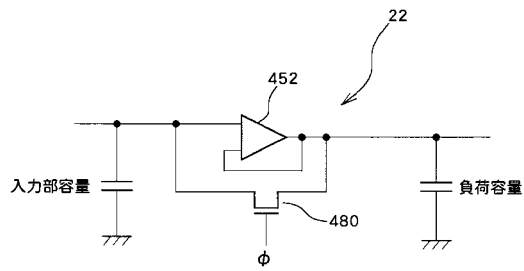
【図 5 A】



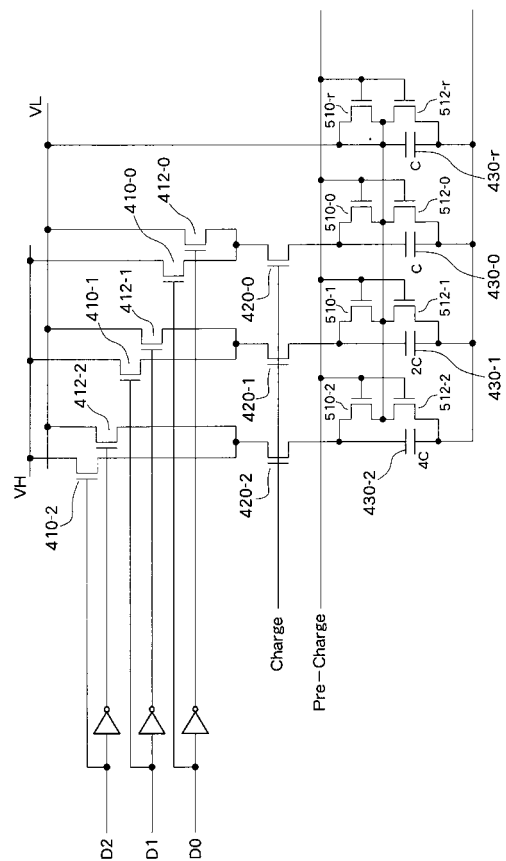
【図 5 B】



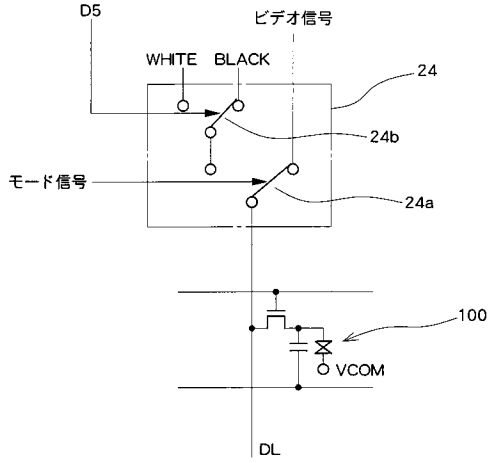
【図 6】



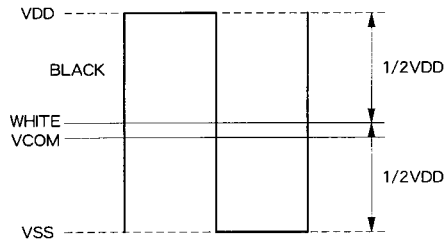
【図 7】



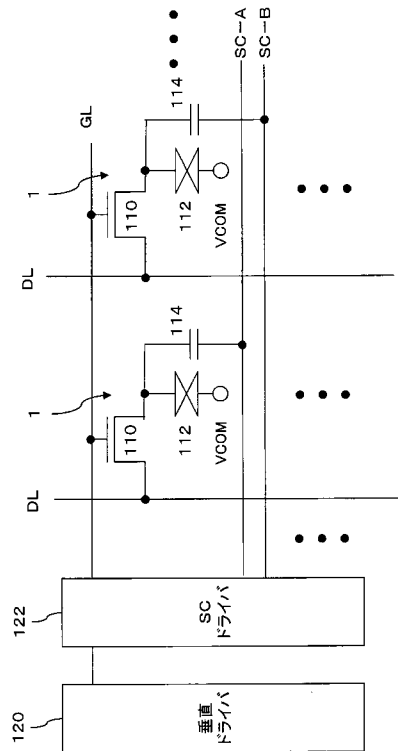
【図 8】



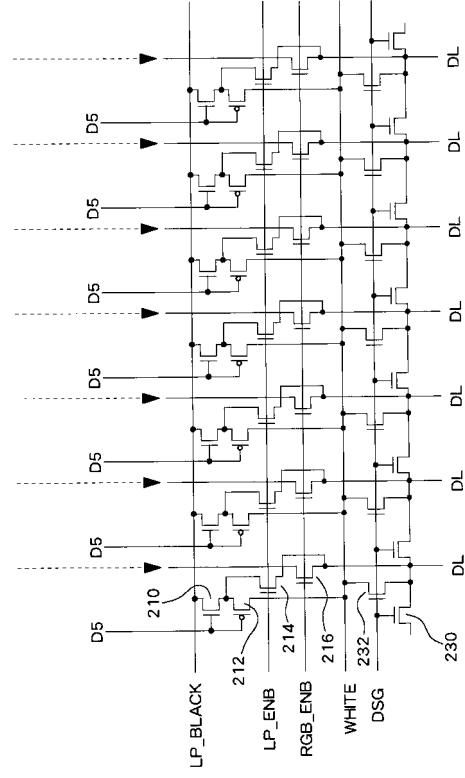
【図 9】



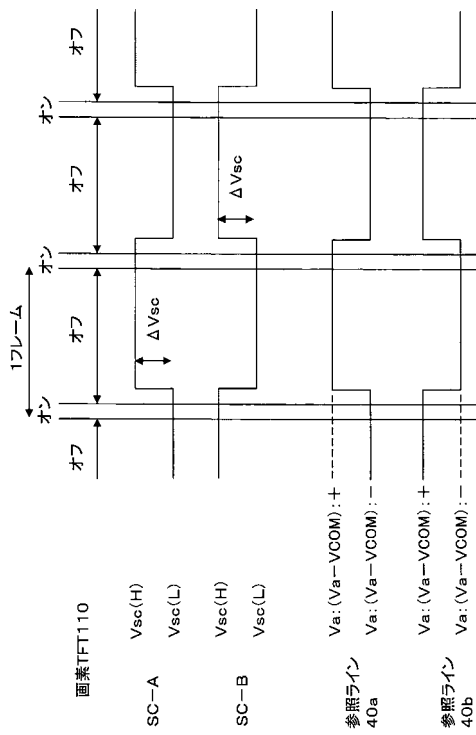
【図 11】



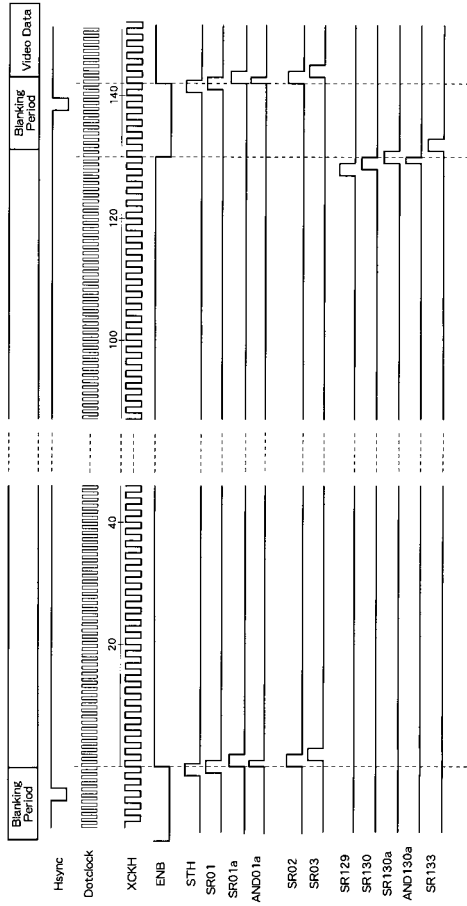
【図 10】



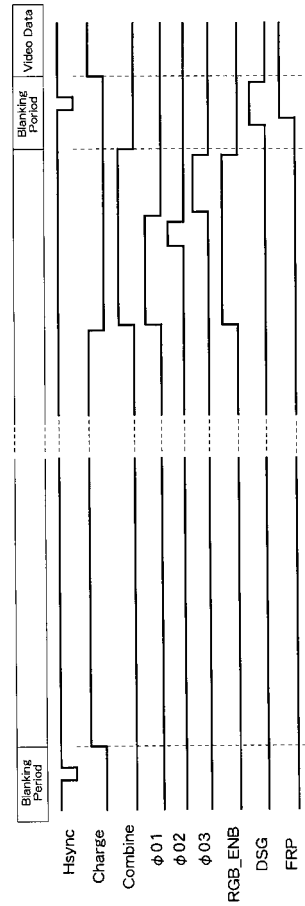
【図 13】



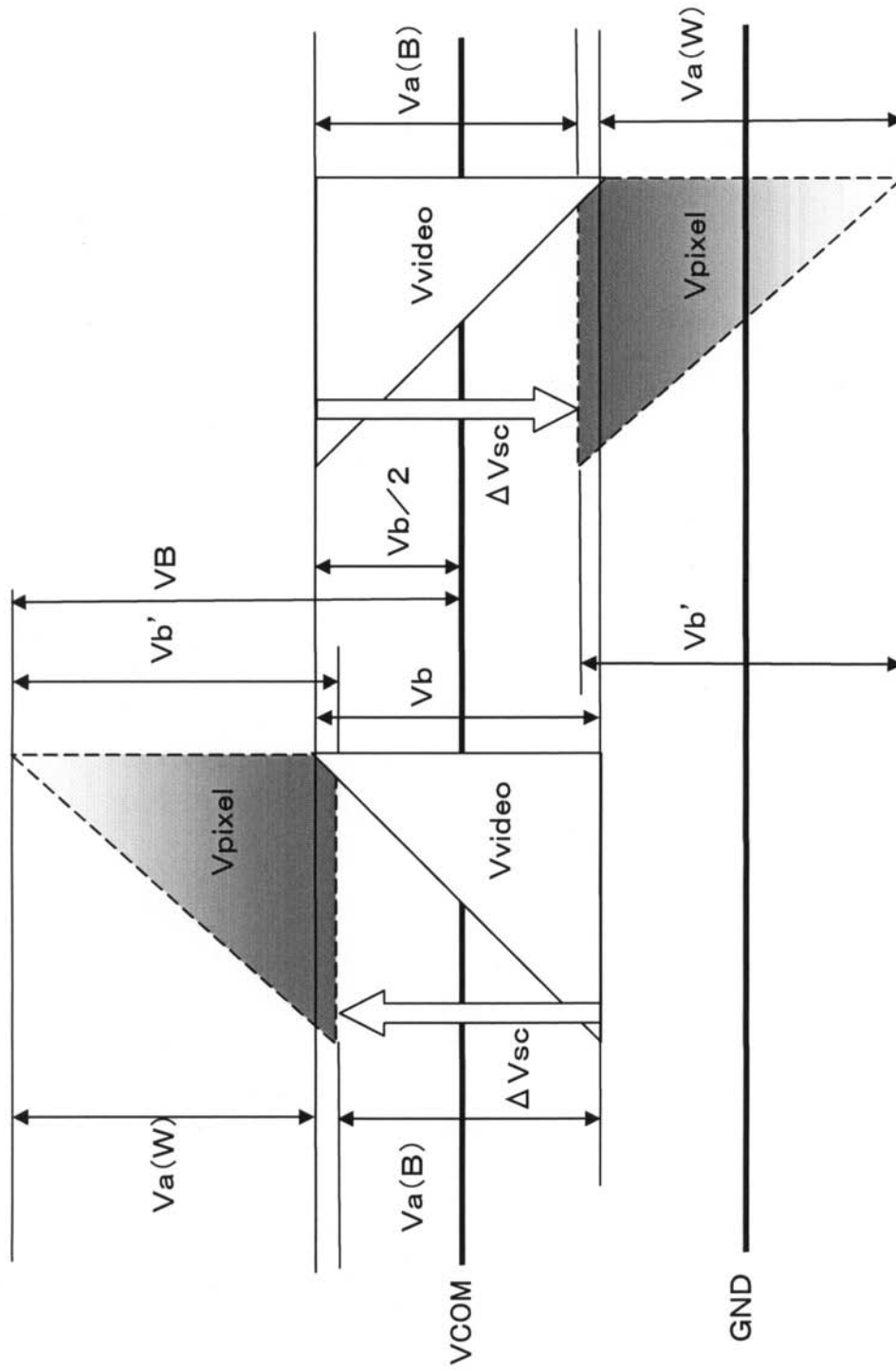
【 14 】



【 15 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0

(56)参考文献 特開2002-94381(JP,A)
特開昭57-52228(JP,A)
特開平5-281920(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 3 M 1 / 0 0 - 1 / 8 8