



(12)发明专利

(10)授权公告号 CN 103779317 B

(45)授权公告日 2017.12.05

(21)申请号 201210413876.X

H01L 21/50(2006.01)

(22)申请日 2012.10.25

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 103779317 A

US 2010153043 A1, 2010.06.17,
US 2010019346 A1, 2010.01.28,
EP 2469595 A1, 2012.06.27,
US 2011298551 A1, 2011.12.08,
WO 2012125237 A2, 2012.09.20,
US 2008093745 A1, 2008.04.24,

(43)申请公布日 2014.05.07

(73)专利权人 联华电子股份有限公司
地址 中国台湾新竹科学工业园区

审查员 郭瑶

(72)发明人 李宗霖 吴浚昌 曾誌裕

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 史新宏

(51) Int. Cl.

H01L 23/522(2006.01)

H01L 23/64(2006.01)

H01L 21/60(2006.01)

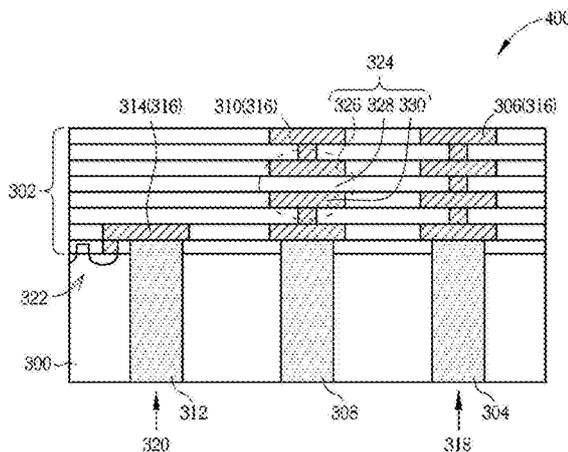
权利要求书2页 说明书5页 附图7页

(54)发明名称

半导体结构与降低半导体结构中信号干扰的方法

(57)摘要

本发明提供了一种半导体结构,包含一基底、一第一硅贯穿电极、一电感结构以及一电容结构。第一硅贯穿电极设置在基底中,且具有一第一信号。电感结构设置在基底中。电容结构与电感结构电性相连,并与电感结构形成一LC电路以阻隔第一信号的干扰。本发明还提供了一种降低半导体结构中信号干扰的方法。



1. 一种半导体结构,包含:
 - 一基底;
 - 一第一硅贯穿电极,设置在该基底中,该第一硅贯穿电极具有一第一信号;
 - 一电感结构设置在该基底中,其中该电感包含一第二硅贯穿电极;以及
 - 一电容结构与该电感结构电性相连,其中该电容结构包含一第一电极、一电容介电层以及一第二电极,该电容介电层设置在该第一电极与该第二电极之间,该电容结构与该电感结构形成一LC电路以阻隔该第一信号的干扰。
2. 根据权利要求1所述的半导体结构,其中该第一信号的一频率与该LC电路的一共振频率实质上相同。
3. 根据权利要求1所述的半导体结构,其中该第一信号为一射频信号。
4. 根据权利要求1所述的半导体结构,其中该第二硅贯穿电极具有一连续封闭剖面,其完全包围该第一硅贯穿电极。
5. 根据权利要求1所述的半导体结构,其中该第二硅贯穿电极设置在该基底的边缘。
6. 根据权利要求1所述的半导体结构,其中该电感包含多个第二硅贯穿电极设置在该基底中。
7. 根据权利要求6所述的半导体结构,其中该多个第二硅贯穿电极彼此相互串联。
8. 根据权利要求1所述的半导体结构,还包含多个介电层设置在该基底上,且该电容结构设置在该多个介电层中。
9. 根据权利要求8所述的半导体结构,其中该电容设置在该多个介电层中最靠近该基底的一层。
10. 根据权利要求1所述的半导体结构,其中该第一电极与该第二电极包含金属。
11. 根据权利要求1所述的半导体结构,其中该第一电极或该第二电极其中至少一者包含多晶硅。
12. 根据权利要求1所述的半导体结构,其中该电感结构设置在一第一芯片中,且此半导体结构还包含一第二芯片,其中该电容结构设置在该第二芯片中,且该电容结构通过一连接线路与该电感结构电性连接。
13. 根据权利要求12所述的半导体结构,其中该连接线路包含一锡球、一重布层或一打线。
14. 根据权利要求1所述的半导体结构,其中该电容结构还电性连接一电压提供单元。
15. 一种降低半导体结构中信号干扰的方法,包含:
 - 提供一半导体结构,包含:
 - 一基底;
 - 一第一硅贯穿电极,设置在该基底中;
 - 一电感结构,设置在该基底中,该电感包含一第二硅贯穿电极;以及
 - 一电容结构,与该电感结构电性连接以形成一LC电路,该电容结构包含一第一电极、一电容介电层以及一第二电极,该电容介电层设置在该第一电极与该第二电极之间,该LC电路具有一共振频率;以及
 - 对该第一硅贯穿电极提供一第一信号,其中该第一信号的频率与该共振频率实质上相同。

16. 根据权利要求15所述的降低半导体结构中信号干扰的方法,其中该电感包含多个第二硅贯穿电极设置在该基底中,彼此相互串联。

17. 根据权利要求15所述的降低半导体结构中信号干扰的方法,其中该半导体结构还包含多个介电层设置在该基底上,且该电容结构设置在该多个介电层中。

半导体结构与降低半导体结构中信号干扰的方法

技术领域

[0001] 本发明是关于一种半导体结构,特别来说,是一种可以避免高频信号对附近电路形成干扰的半导体结构。

背景技术

[0002] 在现代的信息社会中,由集成电路(integrated circuit, IC)所构成的微处理系统早已被普遍运用于生活的各个层面,例如自动控制的家电用品、移动通讯设备、个人计算机等,都有集成电路的使用。而随着科技的日益精进,以及人类社会对于电子产品的各种想象,使得集成电路也往更多元、更精密、更小型的方向发展。

[0003] 一般所称集成电路,是经由半导体制程中所生产的晶粒(die)而形成。制造晶粒的过程,是由生产一晶圆(wafer)开始:首先,在一片晶圆上区分出多个区域,并在每个区域上,通过各种半导体制程如沉积、微影、蚀刻或平坦化制程,以形成各种所需的电路路线。然后,在进行一般的测试步骤以测试内部元件是否能顺利运作。接着,再对晶圆上的各个区域进行切割而成各个晶粒,并加以封装成芯片(chip),最后再将芯片电连至一电路板,如一印刷电路板(printed circuit board, PCB),使芯片与印刷电路板的接脚(pin)电性连结后,便可执行各种编程的处理。

[0004] 为了提高芯片功能与效能,增加积极度以便在有限空间下能容纳更多半导体元件,相关厂商开发出许多半导体芯片的堆栈技术,包括了覆晶封装(flip-chip)技术、多芯片封装(multi-chip package, MCP)技术、封装堆栈(package on package, PoP)技术、封装内藏封装体(package in package, PiP)技术等,都可以通过芯片或封装体间彼此的堆栈来增加单位体积内半导体元件的积极度。近年来又发展一种称为穿硅通孔(through silicon via, TSV)的技术,可促进在封装体中各芯片间的内部连结(interconnect),以将堆栈效率进一步往上提升。

[0005] 然而,现有以硅贯穿电极作为信号传输的线路也面临了一些问题,由于硅贯穿电极相较于已知的金属内连线系统而言,其占有的体积较大,因此当硅贯穿电极所传输的信号也更容易对其它线路产生噪声,影响了元件的质量。

发明内容

[0006] 本发明于是提供了一种半导体结构,以解决前述问题。

[0007] 根据本发明的一个实施例,本发明提供了一种半导体结构,包含一基底、一第一硅贯穿电极、一电感结构以及一电容结构。第一硅贯穿电极设置在基底中,且具有一第一信号。电感结构设置在基底中。电容结构与电感结构电性相连,并与电感结构形成一LC电路以阻隔第一信号的干扰。

[0008] 根据本发明的另一个实施例,本发明提供了一种降低半导体结构中信号干扰的方法。首先提供一半导体结构,包含一基底、一第一硅贯穿电极设置在基底中、一电感结构设置在基底、一电容结构,与电感结构电性连接以形成一LC电路,且LC电路具有一共振频率。

接着,对第一硅贯穿电极提供一第一信号,其中第一信号的频率与共振频率实质上相同。

[0009] 通过硅贯穿电极作为电感,可以与电容结构形成LC电路,其共振频率可以和高频信号匹配,进而降低高频信号对其它电子元件的影响。因此,可以得到一质量较佳的元件。

附图说明

[0010] 图1至图11为本发明一种半导体结构的示意图。

[0011] [主要元件标号说明]

[0012]	300	基底	324a	电容结构
[0013]	302	介电层	324b	电容结构
[0014]	302b	内层介电层	324c	电容结构
[0015]	304	第一硅贯穿电极	324d	电容结构
[0016]	306	第一线路	326	第一电极
[0017]	308	第二硅贯穿电极	326a	第一电极
[0018]	308a	第二硅贯穿电极	326b	第一电极
[0019]	308b	第二硅贯穿电极	328	电容介电层
[0020]	308c	第二硅贯穿电极	328a	电容介电层
[0021]	310	第二线路	328b	电容介电层
[0022]	312	第三硅贯穿电极	330	第二电极
[0023]	314	第三线路	330a	第二电极
[0024]	316	金属内连线系统	330b	第二电极
[0025]	318	第一信号	332	连接线路
[0026]	320	第三信号	334	连接线路
[0027]	322	电子元件	336	连接线路
[0028]	324	电容结构	340	电压提供单元

具体实施方式

[0029] 为使本领域技术人员能更进一步了解本发明,下文特列举本发明的数个较佳实施例,并配合所附图式,详细说明本发明的构成内容及所欲达成的功效。

[0030] 请参考图1、图2与图3,所绘示为本发明一种半导体结构的示意图,其中图2为图1中沿着AA'线的剖面示意图,且图3为图1和图2的等效电路图。如图1与图2所示,本发明的半导体结构400包含一基底300以及设置在基底300上的多层介电层302。基底300例如是硅基底(silicon substrate)、磊晶硅基底(epitaxial silicon substrate)、硅锗半导体基底(silicon germanium substrate)、碳化硅基底(silicon carbide substrate)或硅覆绝缘基底(silicon-on-insulator substrate, SOI substrate)。介电层302包含各种介电材质,较佳是低介电常数材质,例如是氧化硅(SiO_2)、甲基硅酸盐介电材料(methylsilsesquioxane, MSQ)等材料,但并不以此为限。

[0031] 本发明的半导体结构400还包含一第一硅贯穿电极304、一第二硅贯穿电极308以及一第三硅贯穿电极312,设置在基底300中并贯穿基底300。于本发明的一实施例中,第一硅贯穿电极304、第二硅贯穿电极308及第三硅贯穿电极312其中之一、之二或全部也可以延

伸至一层或一层以上的介电层302中。第一硅贯穿电极304、第二硅贯穿电极308以及第三硅贯穿电极312包含导电层(图未示)以及设置在导电层与基底300之间的绝缘层(图未示),导电层可以包含一层或多层的金属层,例如一金属层(如金属铜)以及一阻障层(如氮化钛)。

[0032] 此外,本发明的半导体结构400还包含一金属内连线系统(metal interconnection system) 316,设置在介电层302中,并位于第一硅贯穿电极304、第二硅贯穿电极308以及第三硅贯穿电极312至少一者的上方。金属内连线系统316较佳是采用已知的金属内连线制程形成,其材质例如包含银(Ag)、铜(Cu)、铝(Al)、钼(Mo)、钛(Ti)、钽(Ta)或上述的氮化物,但并不以此为限。于一实施例中,金属内连线系统316包含一第一线路306、一第二线路310以及一第三线路314,其分别电性连接第一硅贯穿电极304、第二硅贯穿电极308以及第三硅贯穿电极312。

[0033] 第一线路306与第一硅贯穿电极304电性连接一第一信号318,于本发明较佳实施例中,第一信号318是一种高频信号,例如频率高于3MHz的信号。于一实施例中,第一信号318是一射频(radio frequency, RF)信号。第三线路314与第三硅贯穿电极312电性连接一第三信号320,第三信号320则为一般电子元件所需的输入/输出信号,通过此第三信号320可以驱动第三线路314连接在基底300上的电子元件322,例如是一金属氧化物半导体晶体管(metal oxide semiconductor transistor, MOS transistor)。

[0034] 由于第一信号318为一种高频信号,因此运作时候容易对邻近的第三信号320产生干扰(noise),进而影响了电子元件322的表现质量。因此本发明其中一个特点在于提供了一额外的「LC电路」在半导体结构400中,以降低前述问题。如图3的等效电路图所示,本发明在半导体结构400中提供一「LC电路」,其共振频率(resonant frequency, fr)可通过以下公式1得到:

$$[0035] \quad f_r = \frac{1}{2\pi\sqrt{C \cdot L}}$$

[0036] (公式1)

[0037] 其中C是指电容值,而L是指电感值。通过适当调整电容值与电感值,使LC电路的共振频率和高频的第一信号318相同,当高频的第一信号318传递经过第一硅贯穿电极304以及第一线路306时,其共振噪声就会被此LC电路所吸收,进而降低对第三硅贯穿电极312、第三线路314以及电子元件322的干扰。

[0038] 关于本发明LC电路的具体实施方式,请再参考图2。如图2所示,其中第二硅贯穿电极308是作为LC电路中的电感L,第二线路310中则具有一电容结构324以作为LC电路中的电容C。于本实施例中,电容结构324具有一第一电极326、一第二电极330以及设置在两者之间的电容介电层328,因此形成了一「金属-绝缘层-金属(metal-insulator-metal, MIM)」结构。

[0039] 于一实施例中,第一硅贯穿电极304、第二硅贯穿电极308与第三硅贯穿电极312在基底300的相对位置可以视产品设计而做调整。如图4所示,本实施例的第二硅贯穿电极308可以不设置在第一硅贯穿电极304以及第三硅贯穿电极312之间,例如,第二硅贯穿电极308可以设置在晶粒(die)或芯片(chip)中基底300的边缘或角落。

[0040] 如图5所示,于本发明另一实施例中,作为LC电路中电感可以包含多个第二硅贯穿电极308,例如第二硅贯穿电极308a、第二硅贯穿电极308b以及第二硅贯穿电极308c。于本

发明较佳实施例中,这些第二硅贯穿电极308彼此相互串联(in series),例如,第二硅贯穿电极308a通过一连接线路332与第二硅贯穿电极308b电性连接,第二硅贯穿电极308b通过一连接线路334与第二硅贯穿电极308c电性连接。较佳者,连接线路332与连接线路334位于基底300的不同侧上。最后,第二硅贯穿电极308a同样与第二线路310中的电容结构324电性连接。通过多个第二硅贯穿电极308之间的串联,可以增加LC电路中的电感值。如图6所示,若LC电路中的电感包含多个第二硅贯穿电极308,他们之间的排列较佳可以包围着第一硅贯穿电极304,以提供较佳的噪声抑制效果。而于另一实施例中,这些第二硅贯穿电极308也可以设置在其它位置,例如包围第三硅贯穿电极312,或者考虑到产品设计而设置在芯片的角落或边缘。

[0041] 如图7所示,于本发明另一实施例中,作为电感的第二硅贯穿电极308也可以具有连续的环状剖面,其可以完全包围第一硅贯穿电极304,既能提供屏蔽效果也可以同时作为电感。于一实施例中,第二硅贯穿电极308的连续剖面可以为任意的形状,例如圆形、矩形等。

[0042] 本发明的RC电路中的电容,除了图2所示的设置在金属内连线系统316中的MIM电容结构以外,也可以具有不同的实施方式。如图8所示,电容结构324a中的第一电极326a与第二电极330a的材料可以是金属,例如银(Ag)、铜(Cu)、铝(Al)、钼(Mo)、钛(Ti)、钽(Ta)或上述的氮化物,而电容介电层328a则可以是不同于介电层302的其它材质,例如是高介电常数材质,如是氧化铪(hafnium oxide, HfO_2)、硅酸铪氧化合物(hafnium silicon oxide, HfSiO_4)、硅酸铪氮氧化合物(hafnium silicon oxynitride, HfSiON)等,但并不以此为限。利用高介电常数材料与金属材料,可以增加电容结构324a的电容值。

[0043] 如图9所示,本实施例的电容结构324b是设置在多层介电层302中最靠近基底300的介电层302中,即一般所称的内层介电层(inter-layer dielectric, ILD) 302b。在本实施例中,第二硅贯穿电极308没有贯穿介电层302,也没有通过金属内连线系统316来连接电容结构324b,而是直接与电容结构324b电性接触。在本实施例中,此电容结构324b包含一第一电极326b、第二电极330b以及设置在两者之中的电容介电层228b。于一实施例中,第一电极326b与第二电极330b为多晶硅(poly-silicon),而电容介电层328b可以是二氧化硅,以形成一「多晶硅-绝缘层-多晶硅(poly-insulation-poly, PIP)」结构。于一实施例中,第一电极326b与第二电极330b其中一个是多晶硅,而另一个是金属层。在本实施例中,此电容结构324b可以搭配电子元件322的制程一起形成,之后再形成内层介电层302b覆盖电容结构324b与电子元件322,最后再形成内层介电层302b上方的金属内连线系统316。

[0044] 本发明的电容结构也可以位于另外一个芯片(chip)中,并通过线路与第二硅贯穿电极308电性连接。如图10所示,本实施例的半导体结构包含至少一第一芯片402以及一第二芯片404,两者相互堆栈。第一芯片402的结构与图2的芯片结构类似。如图10所示,本实施例的电容结构324c设置于第二芯片404中,而第二硅贯穿电极308则设置在第一芯片402中。其中,电容结构324c通过连接线路336与第一芯片402中的第二线路310连接,以电性连接到第二硅贯穿电极308。于一实施例中,连接线路336可以是锡球(solderbump)或是重布线层(redistribution layer, RLD)。或者,如图11所示,连接线路336也可以是打线(wiring bonding)。于本发明其它实施例中,本发明的多个芯片亦可依照其它封装制程而具有不同实施方式。例如,于一实施例中,第二芯片402可以是各种的电路板(print circuit board,

PCB)或是硅中介层(Si interposer),而电容结构可以是在电路板上的分立式(discrete)元件。

[0045] 而于本发明另一实施例中,如图11所示,电容结构324d还可以进一步连接至一电压提供单元340。藉由对电容结构324d提供适当的电压,可以调整电容结构324d的电容值,使得LC电路更能匹配第一信号318的频率,以达到最佳的信号阻断效果。

[0046] 值得注意的是,前述关于电容结构与电感的实施方式可以任意搭配,例如图5所示多个串联的第二硅贯穿电极308可以搭配图10电容结构324c位于另外一个芯片的实施方式,或者,此电容结构324c也可如图11所示进一步连接至一电压提供单元340,或者,图5中串连的电感也可以位于另一芯片上,或是为在电路板上的分立式元件。本发明的电容结构324也不限于前述的实施方式,例如电容结构324也可以是冠状电容(crown capacitor)或深沟渠电容(deep trench capacitor)等,并且,任何以多个电容结构或电感结构并联、串联的方式以形成LC电路的方式,都应属于本发明的揭露范围。

[0047] 根据本发明的特点,本发明还提供了一种利用硅贯穿电极与电容结构来降低高频信号的方法。相关的图示可以参考图2。首先提供一半导体结构400,其中半导体结构400具有一基底300以及设置在基底300上的多层介电层302,其中基底300具有一第一硅贯穿电极304以及一第二硅贯穿电极308,介电层302中具有一第一线路306以及一电容结构324。第一硅贯穿电极304电性连接第一线路306,第二硅贯穿电极308电性连接电容结构324,两者形成一LC电路,并具有一共振频率。接着,对第一线路306以及第一硅贯穿通孔304提供一第一信号318,其中第一信号318的频率与该共振频率实质上相同。

[0048] 综上所述,本发明是提供了一种半导体结构以及使用该半导体结构中的硅贯穿电极与电容结构来作为降低高频信号噪声的方法。藉由硅贯穿电极作为电感,可以与电容结构形成LC电路,其共振频率可以和高频信号匹配,进而降低高频信号对其它电子元件的影响。因此,可以得到一质量较佳的元件。

[0049] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求范围所做的均等变化与修饰,皆应属本发明的涵盖范围。

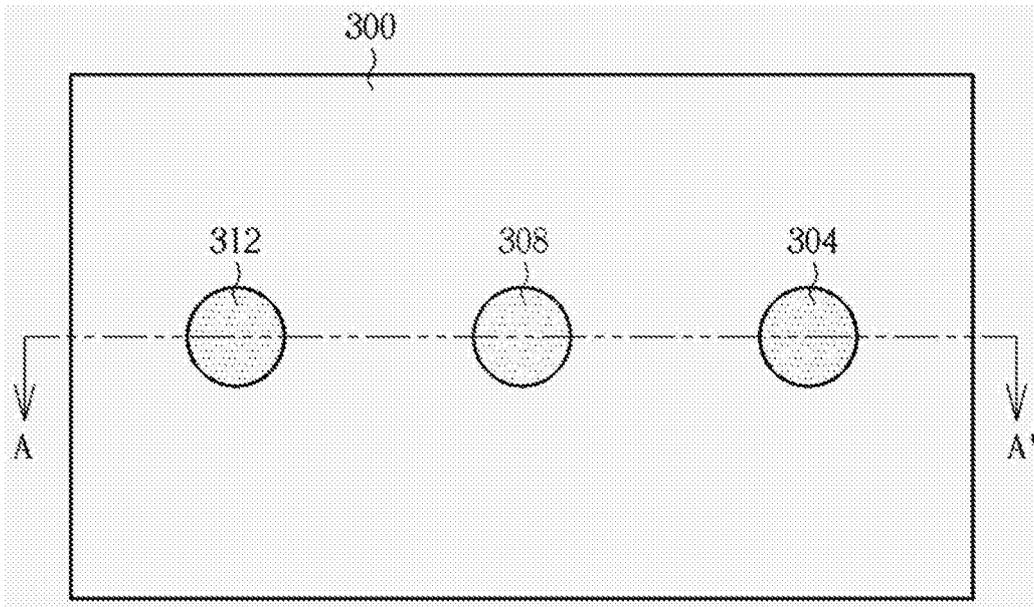


图1

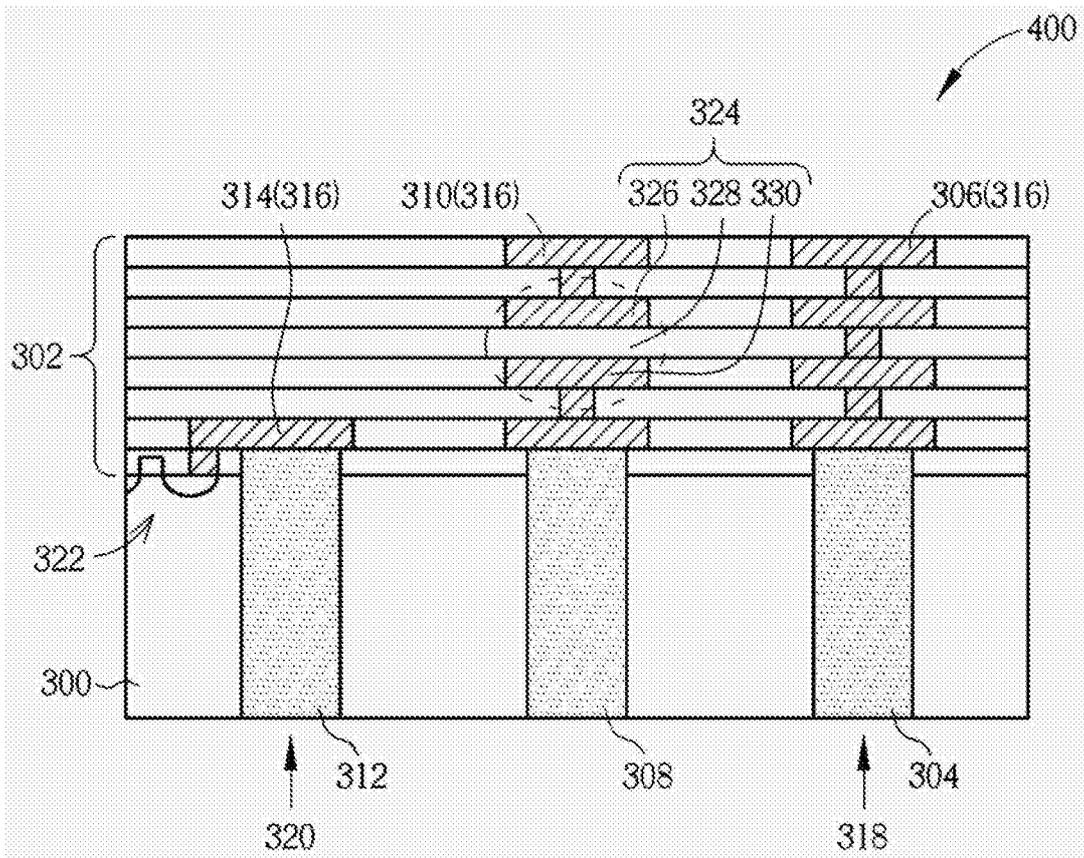


图2

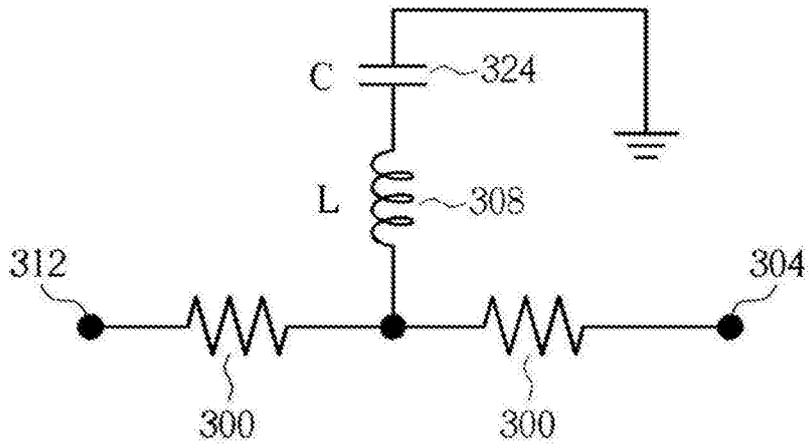


图3

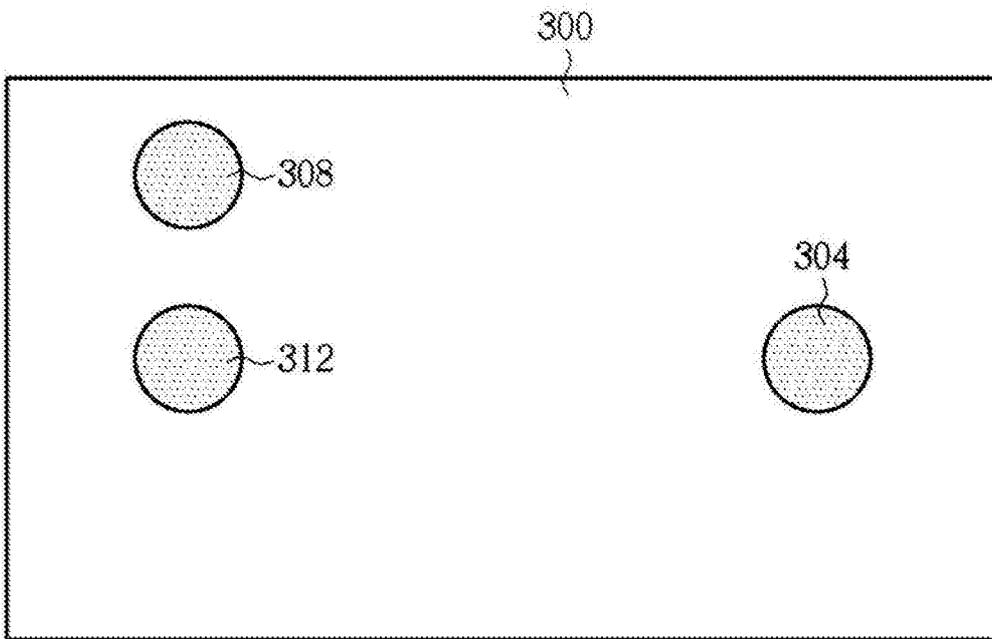


图4

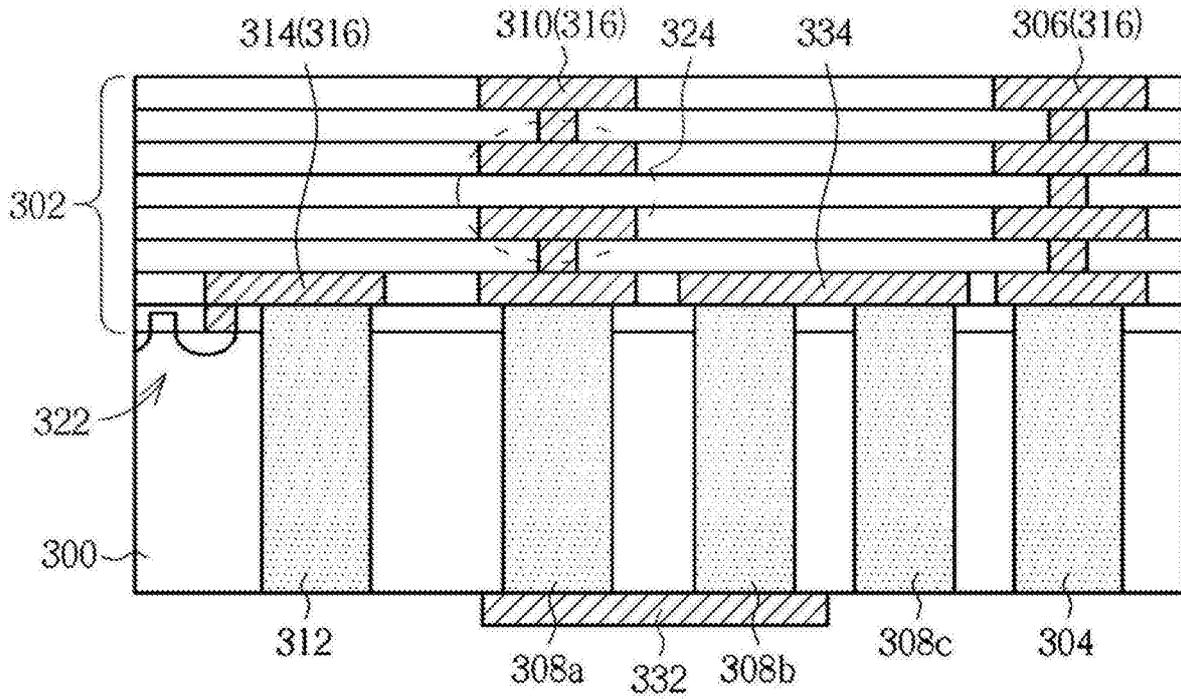


图5

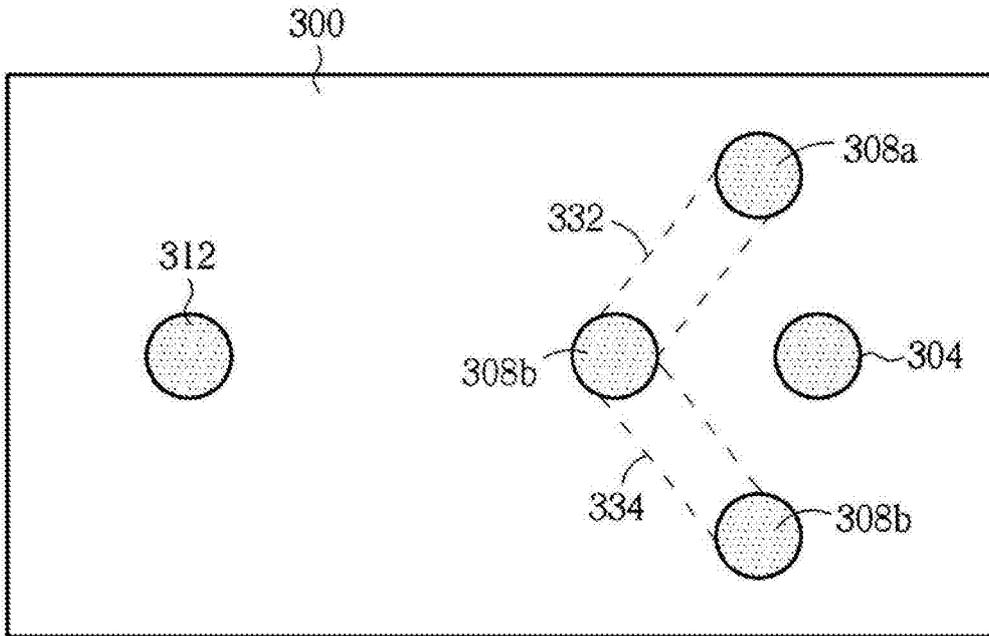


图6

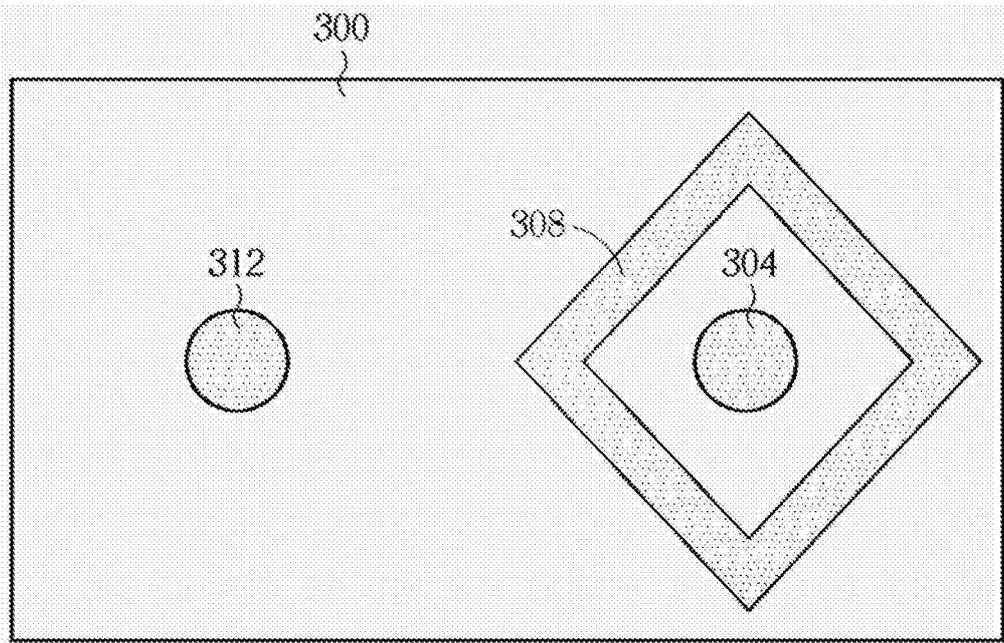


图7

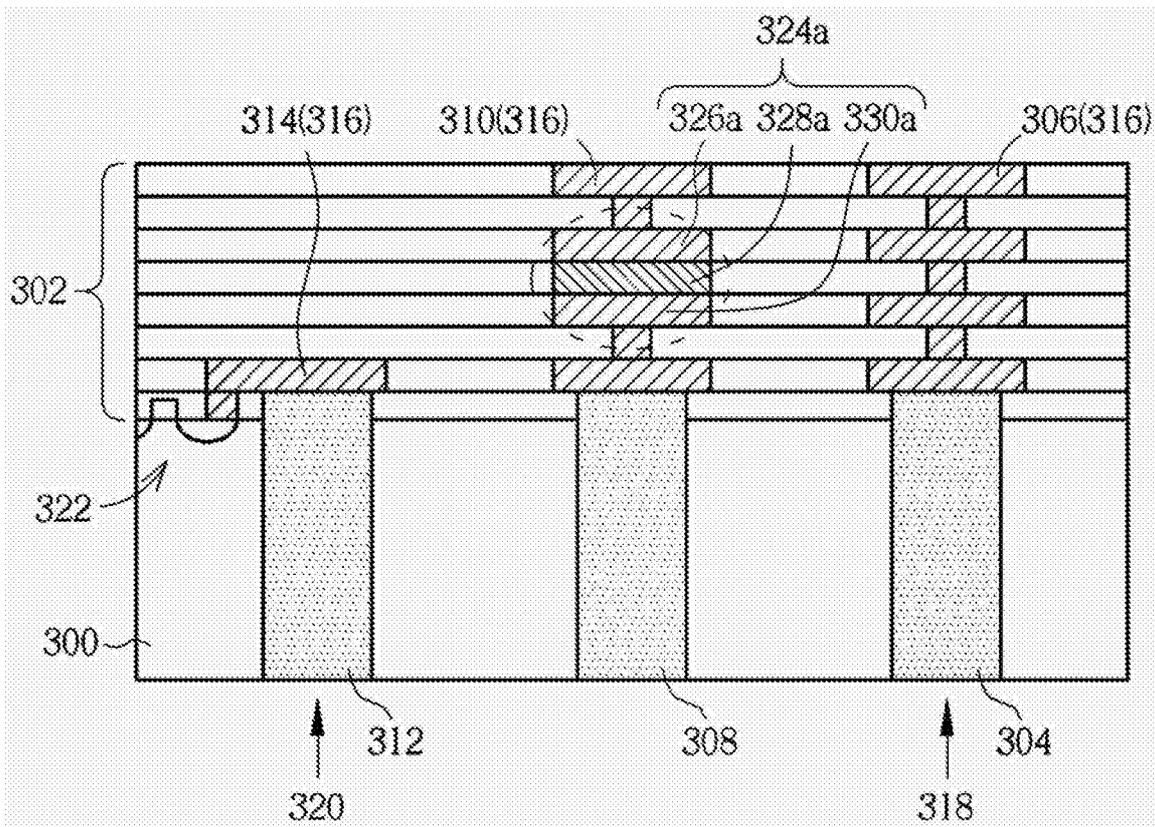


图8

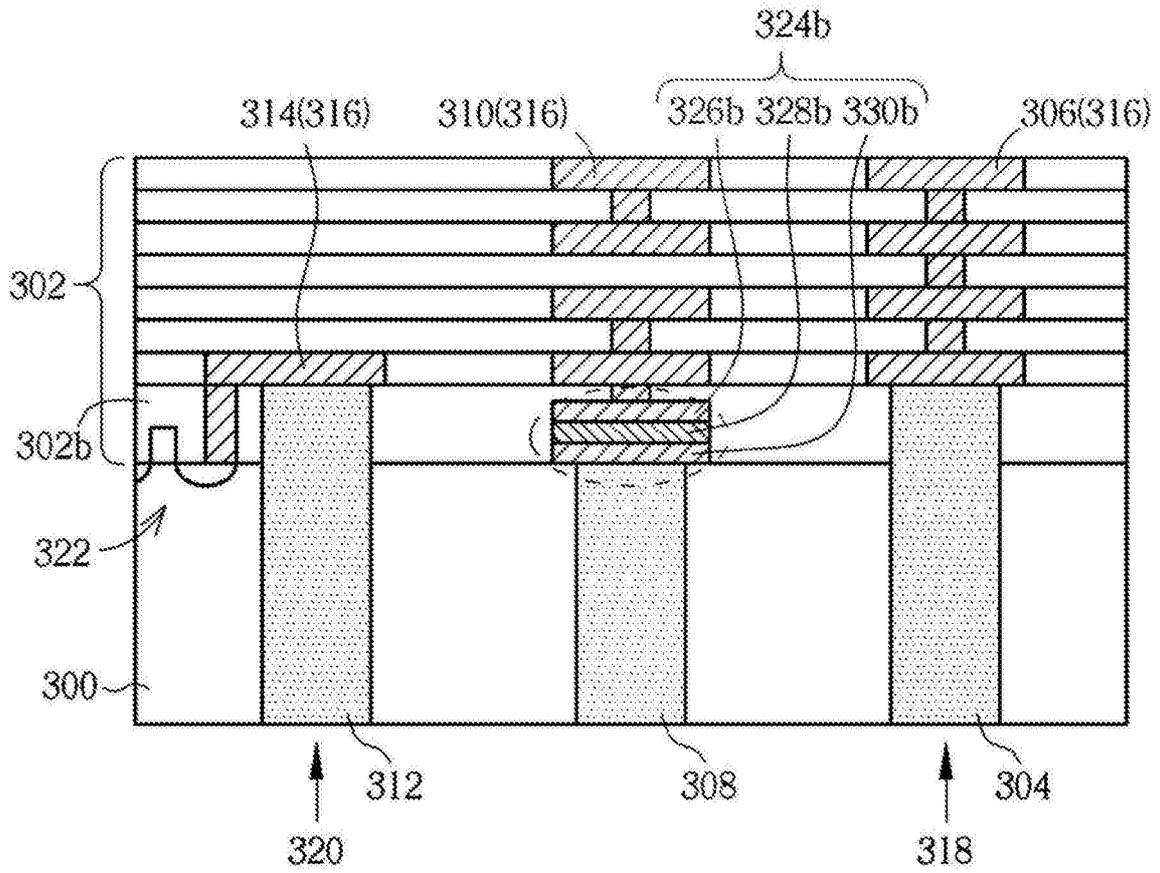


图9

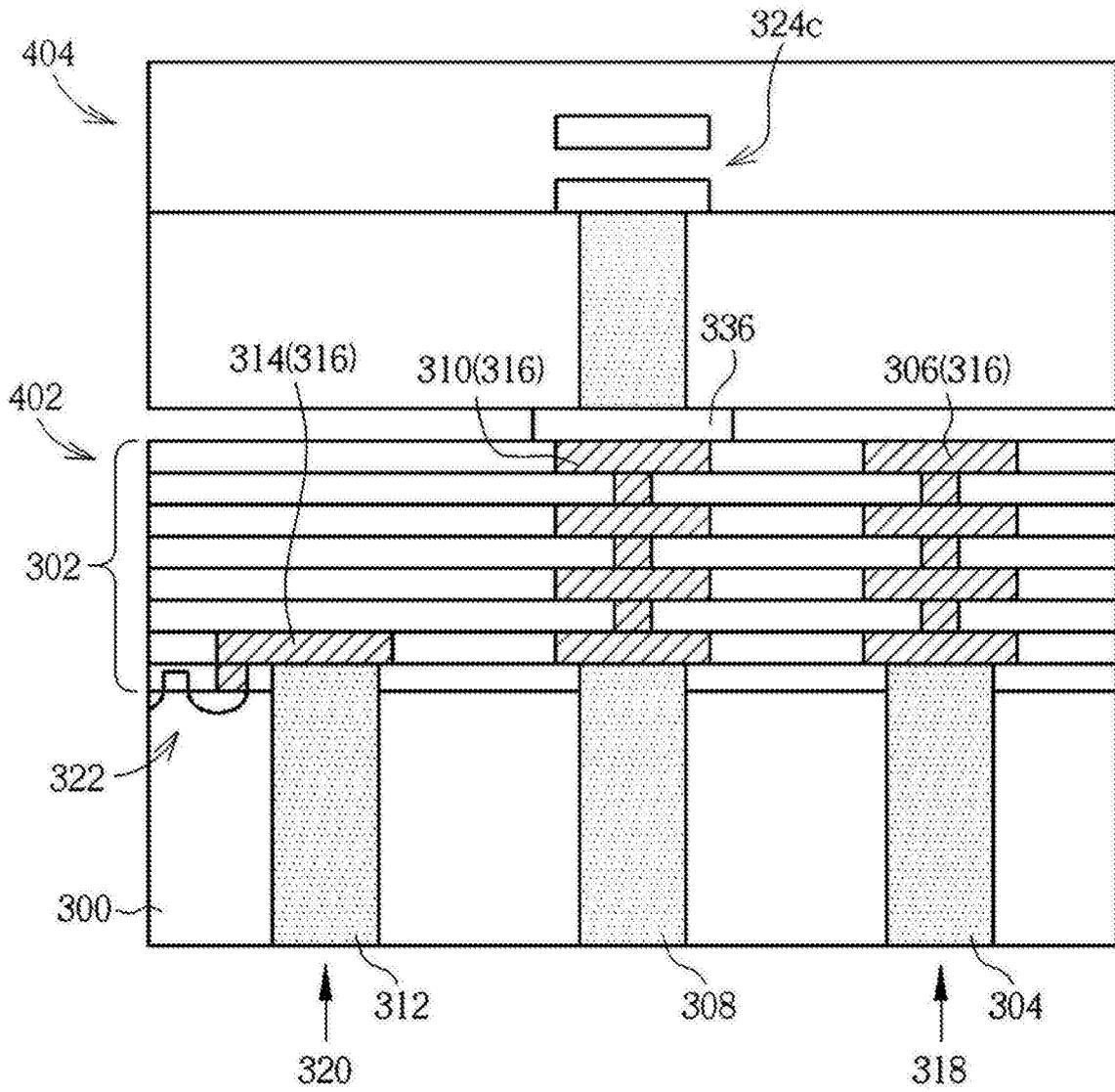


图10

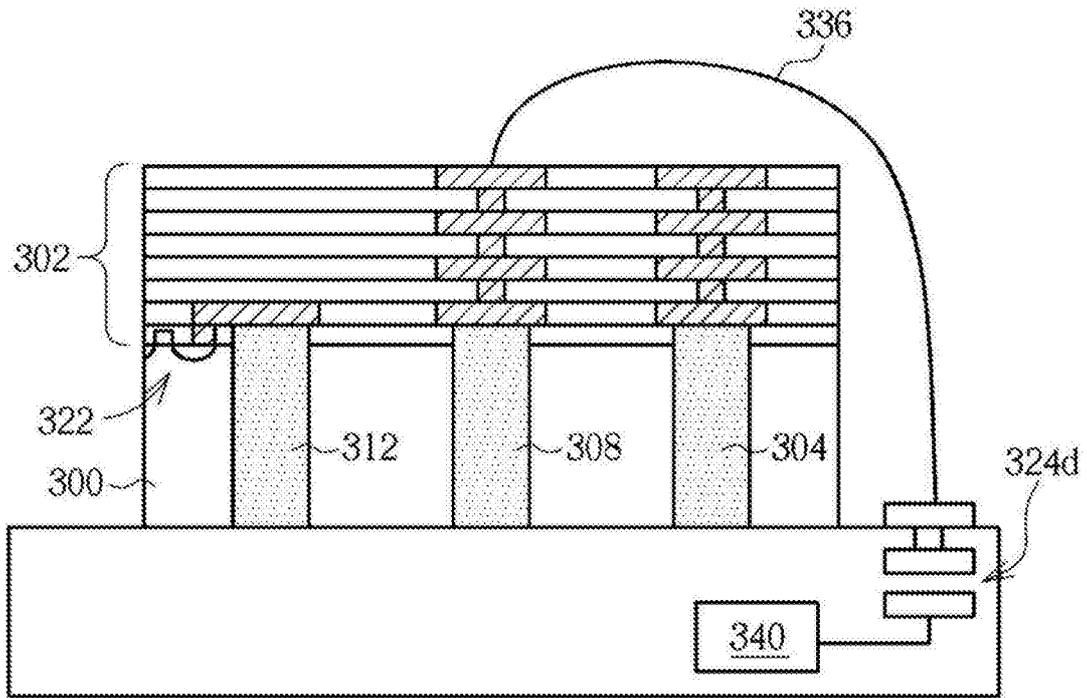


图11