



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월27일  
(11) 등록번호 10-1125025  
(24) 등록일자 2012년03월02일

(51) 국제특허분류(Int. Cl.)  
H01L 33/02 (2010.01) H01L 33/06 (2010.01)  
H01L 33/28 (2010.01) H01L 33/30 (2010.01)  
(21) 출원번호 10-2010-0071461  
(22) 출원일자 2010년07월23일  
심사청구일자 2010년07월23일  
(65) 공개번호 10-2012-0012998  
(43) 공개일자 2012년02월14일  
(56) 선행기술조사문헌  
KR1020060059783 A\*  
JP2007081312 A\*  
KR1020090116840 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지이노텍 주식회사  
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
(72) 발명자  
정환희  
서울특별시 중구 한강대로 416, 20층 엘지이노텍  
주 (남대문로5가, 서울스퀘어)  
이상열  
서울특별시 중구 한강대로 416, 20층 엘지이노텍  
주 (남대문로5가, 서울스퀘어)  
(뒷면에 계속)  
(74) 대리인  
김용인, 박영복

전체 청구항 수 : 총 14 항

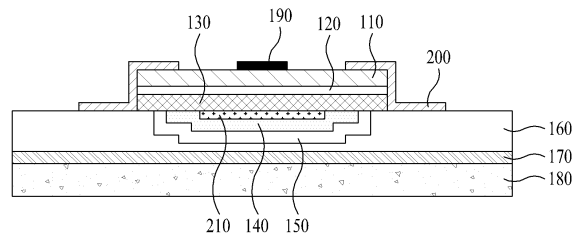
심사관 : 김한수

(54) 발명의 명칭 발광소자 및 그 제조방법

(57) 요약

실시예는 지지 기판 상에 접합되고, 하기의 질화물 반도체의 전영역에 형성된 채널 레이어(channel layer); 상기 채널 레이어 상에 형성된 제 2 전극; 상기 제 2 전극 상에 형성되고, 제 2 반도체층과 활성층 및 제 1 반도체층을 포함하는 질화물 반도체; 및 상기 제 1 반도체층 상에 형성된 제 1 전극을 포함하여 이루어지는 것을 특징으로 하는 발광소자를 제공한다.

대표도 - 도2



(72) 발명자

**송준오**

서울특별시 중구 한강대로 416, 20층 엘지이노텍  
주 (남대문로5가, 서울스퀘어)

**최광기**

서울특별시 중구 한강대로 416, 20층 엘지이노텍  
주 (남대문로5가, 서울스퀘어)

---

## 특허청구의 범위

### 청구항 1

제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함하는 발광 구조물;

상기 발광 구조물의 측면을 둘러싸는 패시베이션층;

상기 제1 도전형 반도체층 상의 제1 전극;

상기 제2 도전형 반도체층 상의 반사 전극;

상기 발광 구조물의 하부 영역에 형성되고, 상기 발광 구조물과 적어도 일부 영역에서 접촉하고, 상기 반사 전극의 하부면 및 측면과 접촉하며 상기 패시베이션층과 상기 반사 전극을 분리하는 채널 레이어(channel layer); 및

본딩 레이어를 통하여 상기 채널 레이어와 결합하는 지지 기판을 포함하는 발광소자.

### 청구항 2

제 1 항에 있어서, 상기 채널 레이어는,

금속으로 이루어지는 발광소자.

### 청구항 3

제 2 항에 있어서, 상기 채널 레이어는,

Ti, Ni, Pt, Pd, Rh, Ir 및 W로 구성되는 군으로부터 선택되는 물질로 이루어지는 발광소자.

### 청구항 4

제 1 항에 있어서,

상기 제 2 반도체층 상의 일부 영역에 형성된 CBL(current blocking layer)을 더 포함하는 발광소자.

### 청구항 5

제 4 항에 있어서,

상기 CBL과 상기 제 2 반도체층 상에 형성된 오믹층을 더 포함하는 발광소자.

### 청구항 6

제 5 항에 있어서,

상기 오믹층은 상기 CBL을 둘러싸며 형성되는 발광소자.

### 청구항 7

제 5 항에 있어서,

상기 반사 전극은 상기 오믹층을 둘러싸며 형성되는 발광소자.

### 청구항 8

제 5 항에 있어서, 상기 오믹층은,

ITO, AZO, IZO, Ni, Pt 및 Ag로 이루어지는 그룹으로부터 선택된 물질로 이루어지는 발광소자.

### 청구항 9

제 5 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 오믹층은 적어도 2개로 나뉘어 구비되고, 상기 제 2 전극은 상기 오믹층 상에 구비된 발광소자.

#### 청구항 10

제 1 항에 있어서, 상기 지지 기판은,

Mo, Si, W, Cu 및 Al로 이루어지는 그룹으로부터 선택된 물질로 이루어지는 발광소자.

#### 청구항 11

제 1 항에 있어서, 상기 제 1 전극 및 제 2 전극은,

Ti, Ni, Pt, Pd, Rh, Ir 및 W로 이루어지는 그룹으로부터 선택된 물질로 이루어지는 것을 특징으로 하는 발광소자.

#### 청구항 12

제 1 항에 있어서, 상기 본딩 레이어는,

In, Sn, Ag, Nb, Ni, Au 및 Au로 이루어지는 그룹으로부터 선택된 물질을 포함하는 발광소자.

#### 청구항 13

제 1 항에 있어서,

상기 채널 레이어는 상기 반사 전극을 둘러싸는 발광소자.

#### 청구항 14

삭제

#### 청구항 15

제 11 항에 있어서,

상기 패시베이션층은, 상기 발광 구조물의 둘레에서 상기 채널 레이어와 접촉하는 발광소자.

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

### 명세서

### 기술분야

[0001] 실시예는 발광소자에 관한 것으로서, 보다 상세하게는 발광소자의 채널 레이어의 형성에 관한 것이다.

### 배경기술

[0002] 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드나 레이저 다이오드와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하다.

[0003] 이러한 기술의 발달로 디스플레이 소자뿐만 아니라 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광소자 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광소자 조명 장치, 자동차 헤드 라이트 및 신호등에까지 응

용이 확대되고 있다.

[0004] 여기서, LED의 구조는 기판 상에 p형 반도체층, 활성층, n형 반도체층이 순차적으로 적층되고, 기판과 n형 전극이 와이어 본딩되어 있으므로 전류가 상호 통전될 수 있다.

[0005] 이때, 기판에 전류를 인가하면, 전류가 p형 반도체층과 n형 반도체층에 공급되기 때문에, p형 반도체층으로부터 활성층으로 정공(+)이 방출되고, n형 반도체층으로부터 활성층으로 전자(-)가 방출된다. 따라서, 활성층에서 정공과 전자가 결합하면서 에너지 준위가 낮아지게 되고, 에너지 준위가 낮아짐과 동시에 방출되는 에너지가 빛의 형태로 발산된다.

## 발명의 내용

### 해결하려는 과제

[0006] 실시예는 채널 레이어를 별도로 패터닝하는 번거러움을 피하고, 발광 영역에서 반사전극과 지지 기판 사이의 접합력이 향상된 발광소자를 제공하고자 한다.

### 과제의 해결 수단

[0007] 실시예는 지지 기판 상에 접합되고, 하기의 질화물 반도체의 전영역에 형성된 채널 레이어(channel layer); 상기 채널 레이어 상에 형성된 제 2 전극; 상기 제 2 전극 상에 형성되고, 제 2 반도체층과 활성층 및 제 1 반도체층을 포함하는 질화물 반도체; 및 상기 제 1 반도체층 상에 형성된 제 1 전극을 포함하여 이루어지는 것을 특징으로 하는 발광소자를 제공한다.

[0008] 다른 실시예는, 기판 상에, 제 1 반도체층과 활성층 및 제 2 반도체층을 포함하는 질화물 반도체를 적층하는 단계; 상기 제 2 반도체층 상에, 제 2 전극과 채널 레이어와 지지 기판을 형성하는 단계, 여기서 상기 채널 레이어는 상기 질화물 반도체의 전영역에 형성되고; 및 상기 기판을 제거하고, 상기 제 1 반도체층 상에 제 1 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 발광소자의 제조방법을 제공한다.

[0009] 여기서, 채널 레이어는, Ti, Ni, Pt, Pd, Rh, Ir 및 W로 구성되는 군으로부터 선택되는 물질로 이루어질 수 있다.

[0010] 그리고, 제 2 반도체층 상의 일부 영역에 형성된 CBL(current blocking layer)을 더 포함할 수 있다.

[0011] 그리고, CBL과 상기 제 2 반도체층 상에 형성된 오믹층을 더 포함할 수 있다.

[0012] 그리고, 오믹층은, ITO, AZO, IZO, Ni, Pt 및 Ag로 이루어지는 그룹으로부터 선택된 물질로 이루어질 수 있다.

[0013] 그리고, 오믹층은 적어도 2개로 나뉘어 구비되고, 상기 제 2 전극은 상기 오믹층 상에 구비될 수 있다.

[0014] 그리고, 지지 기판은, Mo, Si, W, Cu 및 Al로 이루어지는 그룹으로부터 선택된 물질로 이루어질 수 있다.

[0015] 그리고, 제 1 전극 및 제 2 전극은, Ti, Ni, Pt, Pd, Rh, Ir 및 W로 이루어지는 그룹으로부터 선택된 물질로 이루어질 수 있다.

[0016] 그리고, 채널 레이어는, 상기 지지 기판 상에, In, Sn, Ag, Nb, Ni, Au 및 Au로 이루어지는 그룹으로부터 선택된 물질을 포함하는 본딩 레이어를 통하여 접합될 수 있다.

[0017] 그리고, 지지 기판을 형성하는 단계는, 상기 채널 레이어 상에, In, Sn, Ag, Nb, Ni, Au 및 Au로 이루어지는 그룹으로부터 선택된 물질을 포함하는 본딩 레이어를 통하여 접합할 수 있다.

### 발명의 효과

[0018] 상술한 실시예에 따른 발광소자 및 그 제조방법은 채널 레이어가 발광소자의 전면적에 형성되므로 별도의 패터닝이 필요하지 않고, p형 전극과 본딩 레이어의 접합력이 개선된다.

### 도면의 간단한 설명

[0019] 도 1a 내지 도 1h는 발광소자의 제조방법의 일실시예를 나타낸 도면이고,

도 2 내지 도 4는 발광소자의 일실시예들을 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하 상기의 목적을 구체적으로 실현할 수 있는 본 발명의 실시예를 첨부한 도면을 참조하여 설명한다. 종래와 동일한 구성 요소는 설명의 편의상 동일 명칭 및 동일 부호를 부여하며 이에 대한 상세한 설명은 생략한다.
- [0021] 도 1a 내지 도 1h는 발광소자의 제조방법의 일실시예를 나타낸 도면이다. 이하에서, 도 1a 내지 도 1h는 발광소자의 제조방법의 일실시예를 설명한다.
- [0022] 먼저, 도 1a에 도시된 바와 같이 기판(100) 상에 질화물 반도체 등의 발광구조물을 적층한다. 여기서, 상기 질화물 반도체는 제1 도전형 반도체층으로서 n형 반도체층(110)과 활성층(120) 및 제2 도전형 반도체층으로서 p형 반도체층(130)을 포함하여 이루어진다.
- [0023] 이때, 상기 질화물 반도체와 기판(100) 사이에는 버퍼층(미도시)을 성장시킬 수 있는데, 재료의 격자 부정합 및 열 팽창 계수의 차이를 완화하기 위한 것으로서 구체적으로 저온 성장 GaN층 또는 AlN층 등을 형성할 수 있다.
- [0024] 그리고, n형 반도체층(110)과 활성층(120) 및 p형 반도체층(130)은, MOCVD(Metal Organic Chemical Vapor Deposition), MBE(Molecular Beam Epitaxy), HVPE(Hydride Vapor Phase Epitaxy)법과 같은 기상 증착법에 의해 성장시킬 수 있다.
- [0025] 그리고, 상기 n형 반도체층(110), 활성층(120), p형 반도체층(130)은 700 ~ 1100 °C의 온도에서 성장시킬 수 있다.
- [0026] 구체적으로, 기판(100)은 사파이어( $Al_2O_3$ ) 기판, 실리콘 카바이드(SiC) 기판, 실리콘(Si) 기판, 갈륨 아세나이드(GaAs) 기판 등이 사용되며, 특히 사파이어 기판이 대표적으로 사용된다.
- [0027] 그리고, n형 반도체층(110)은  $Al_xIn_yGa_{(1-x-y)}N$  조성식(여기서,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$  임)을 갖는 n-도핑된 반도체 물질로 이루어지며, 특히 n-GaN이 널리 사용되며, 4 마이크로 미터의 두께로 성장된다.
- [0028] 그리고, 활성층(120)은 다중 양자 우물(Multi-Quantum Well : MQW) 구조를 가지며, InGaN/GaN으로 이루어질 수 있으며, 후술하는 바와 같이 청색광을 방출할 수 있다.
- [0029] 또한, p형 반도체층(130)은 상기 n형 반도체층(120)과 마찬가지로,  $Al_xIn_yGa_{(1-x-y)}N$  조성식(여기서,  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$  임)을 갖는 질화물 반도체 물질가 0.1 마이크로 미터 정도의 두께로 성장되며, p-도핑된다.
- [0030] 이어서, 도 1b에 도시된 바와 같이 상기 p형 반도체층(130) 상에, 오믹층(140)과 제 2 전극(150)을 형성한다.
- [0031] 여기서, 상기 제 2 전극(150)은 p형 전극 또는 반사 전극으로서의 역할을 할 수 있는데, Ti, Ni, Pt, Pd, Rh, Ir 및 W로 이루어지는 그룹으로부터 선택된 물질로 이루어질 수 있다.
- [0032] 그리고, 상기 p형 반도체층(130)은 불순물 도핑 농도가 낮아 접촉 저항이 높으며 그로 인해 오믹 특성이 좋지 못하므로, 이러한 오믹 특성을 개선하기 위해 오믹층(140)으로 투명 전극 등을 형성한다.
- [0033] 그리고, 오믹층(140)으로는 ITO, AZO, IZO, Ni, Pt 및 Ag로 이루어지는 그룹으로부터 선택된 물질을 사용할 수 있다. 여기서, Ni/Au의 이중층으로 구성된 투명 전극층을 사용할 수도 있는데, Ni/Au의 이중층으로 구성된 투명 전극층은 전류 주입 면적을 증가시키면서 오믹 콘택을 형성하여 순방향 전압( $V_f$ )을 저하시킨다.
- [0034] 그리고, 도 1c에 도시된 바와 같이, 상기 기판(100) 상에 형성된 질화물 반도체와 제 2 전극(150) 상에, 채널 레이어(160)를 형성한다.
- [0035] 여기서, 상기 채널 레이어(160)는 Ti, Ni, Pt, Pd, Rh, Ir 및 W로 구성되는 군으로부터 선택되는 물질로 이루어질 수 있다. 그리고, 합금으로는 티타늄과 니켈의 합금 또는 티타늄과 백금의 합금을 사용하는 것이 바람직하다.
- [0036] 특히, 상기 채널 레이어(160)는 상기 질화물 반도체의 전영역 즉, 질화물 반도체층과 채널 모두를 덮고 형성된다. 여기서, 상기 채널 레이어(160)는 상술한 재료를 스퍼터링법 또는 전자빔 증착법으로 형성한다.
- [0037] 그리고, 도 1d에 도시된 바와 같이, 상기 채널 레이어(160) 상에 지지 기판(180)을 형성한다.
- [0038] 여기서, 지지 기판(180)은 Mo, Si, W, Cu 및 Al로 이루어지는 그룹으로부터 선택된 물질로 이루어질 수 있으며, 다른 재료로서 크롬(Cr), 니켈(Ni), 금(Au), 타이타늄(Ti) 및 백금(Pt) 등이 사용되어 도전성 지지막으로 작용

할 수도 있다.

- [0039] 그리고, 상기 지지 기판(180)은 본딩 레이어(170)를 통하여 상기 채널 레이어(160)와 접합될 수 있다. 이때, 상기 본딩 레이어(170)는 In, Sn, Ag, Nb, Ni, Au 및 Au로 이루어지는 그룹으로부터 선택된 물질로 이루어질 수 있다.
- [0040] 그리고, 도 1e에 도시된 바와 같이, 기판(100)을 제거한다. 여기서, 상기 기판(100)의 제거는 엑시머 레이저 등을 이용한 레이저 리프트 오프(Laser Lift Off: LLO)의 방법으로 할 수도 있으며, 건식 및 습식 식각의 방법으로 할 수도 있다.
- [0041] 그리고, 상기 기판(100)의 제거는 레이저 리프트 오프 방법으로 수행하는 것이 바람직하데, 상기 기판(100)에 일정 영역의 파장을 가지는 엑시머 레이저 광을 포커싱(focusing)하여 조사하면, 상기 기판(100)과 상기 n형 반도체층(110)의 경계면에 열 에너지가 집중되어 상기 n형 반도체층(110)의 계면이 갈륨과 질소 분자로 분리되면서 레이저 광이 지나가는 부분에서 순간적으로 기판(100)의 분리가 일어난다.
- [0042] 도 1f에는 기판이 제거된 상태의 발광소자가 도시되어 있다. 그리고, 도 1f에서는 도 1g에 도시된 채널 레이어(160)가 일부 제거되어 발광 구조물의 측면이 노출되어 있다.
- [0043] 이어서, 도 1g에 도시된 바와 같이 상기 n형 반도체층(100) 상에 제 1 전극(190)을 형성한다. 여기서, 상기 제 1 전극(190)은 n형 전극으로서의 역할을 할 수 있는데, Ti, Ni, Pt, Pd, Rh, Ir 및 W로 이루어지는 그룹으로부터 선택된 물질로 이루어질 수 있다.
- [0044] 그리고, 도 1h에 도시된 바와 같이, 상기 질화물 반도체의 측면에, 패시베이션층(passivation layer, 200)을 증착한다. 여기서, 상기 패시베이션층(200)은 절연물질로 이루어질 수 있으며, 상기 절연물질은 비전도성인 산화물이나 질화물로 이루어질 수 있다. 일 예로서, 상기 패시베이션층(200)은 실리콘 산화물( $\text{SiO}_2$ )로 이루어질 수 있다.
- [0045] 상술한 방법에 의하여 제조된 발광소자는, 도 1h에 도시된 바와 같이 채널 레이어(160)가 발광소자의 전면적에 형성되어 있으므로, 별도의 패터닝이 필요하지 않아 제조공정이 단순하고, 제 2 전극(150)과 본딩 레이어(170)의 접합력의 개선도 기대할 수 있다.
- [0046] 도 2는 발광소자의 다른 실시예를 나타낸 도면이다.
- [0047] 본 실시예는, 상기 제 2 반도체층(130) 상의 일부 상에 CBL(current blocking layer, 210)이 더 형성된 것을 특징으로 한다. 상기 CBL(210)은 완성된 발광소자에서 전류가 질화물 반도체의 중심부에 집중될 수 있으므로, 전류의 집중을 완화하기 위하여 금속 또는 절연성 물질로 형성될 수 있다.
- [0048] 도 3은 발광소자의 또 다른 실시예를 나타낸 도면이다.
- [0049] 본 실시예에서, n형 반도체층(110) 상에 요철 형상의 질화물 반도체층(220)이 형성되어 있다. 상기 요철 형상의 질화물 반도체층(220)은 MOCVD법 등으로 성장될 수 있고, 3차원 성장의 촉진 조건을 달리하여 요철 형상으로 성장될 수 있다.
- [0050] 즉, n형 반도체층(110)의 성장속도를 부분적으로 증가/감소시키거나, 성장온도를 부분적으로 증가/감소시키거나, 마그네슘 질화물( $\text{MgNx}$ ) 또는 실리콘 질화물( $\text{SiNx}$ )을 표면 처리하여, 요철 형상을 만들 수 있다. 또한, n형 반도체층(110)을 보다 두껍게 형성한 후, 습식 식각법 등으로 식각하여 요철 구조를 형성할 수도 있다.
- [0051] 본 실시예에서는, 발광소자 표면에 피라미드 형상의 요철이 형성되어, 활성층(120)에서 발생한 빛이 소자의 표면에 도달할때 소자 내부로 전반사되어 소모되는 빛을 줄여서, 발광소자의 광 추출 효율을 향상시킬 수 있다.
- [0052] 도 4는 발광소자의 또 다른 실시예를 나타낸 도면이다.
- [0053] 본 실시예에서는, 오믹층(140)을 서로 분리된 2개로 형성하고, 또한 상기 제 2 전극(150) 역시 각각의 오믹층(140) 상에 형성되므로 서로 분리되어 형성된다. 즉, 하나의 질화물 반도체에 대응하여 오믹층(140)이 분리되어 형성된 구조이다.
- [0054] 이때, 오믹층(140)의 형성은 ITO, AZO, IZO, Ni, Pt 및 Ag로 이루어지는 그룹으로부터 선택된 물질을 증착한 후에 패터닝하거나, 마스크를 씌우고 선택적으로 증착할 수도 있다.

[0055] 상술한 실시예에 따른 발광소자는, 종래의 발광소자, 특히 수직형 발광소자는 채널 영역에 산화물 또는 금속 (Oxide or Metal)을 형성하는데, 채널 영역에만 형성하기 위하여 별도의 패터닝을 해야하는 번거로움을 피할 수 있다. 또한, 상기 금속 또는 산화물이 형성되지 않는 각각의 발광 영역에서, 반사전극과 지지 기판 사이의 접합력을 향상시킬 수 있다.

[0056] 이상과 같이 실시예는 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

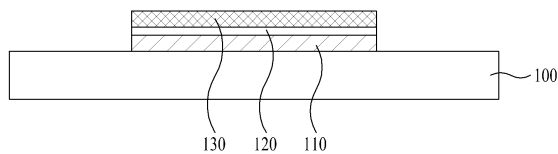
[0057] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

## 부호의 설명

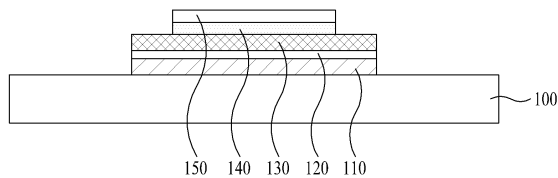
[0058]	100 : 기판	110 : n형 반도체층
	120 : 활성층	130 : p형 반도체층
	140 : 오믹층	150 : 제 2 전극
	160 : 채널 레이어	170 : 본딩 레이어
	180 : 지지 기판	190 : 제 1 전극
	200 : 패시베이션층	210 : CBL

## 도면

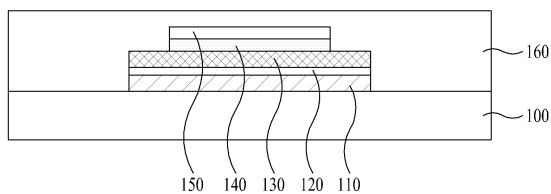
### 도면1a



### 도면1b

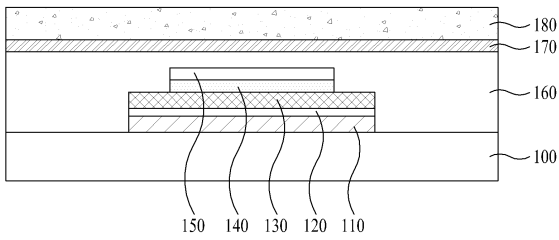


### 도면1c

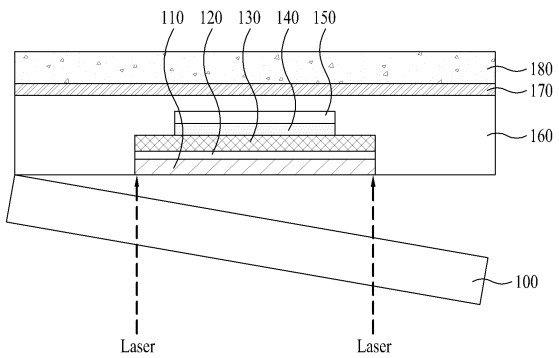




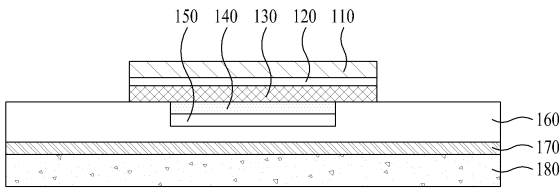
도면1d



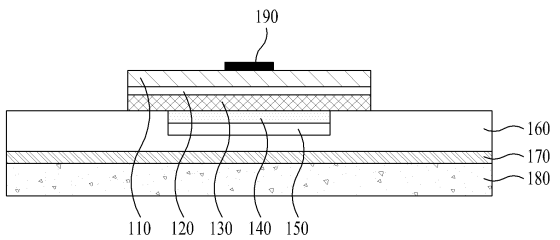
도면1e



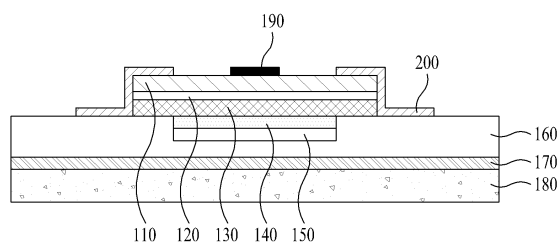
도면1f



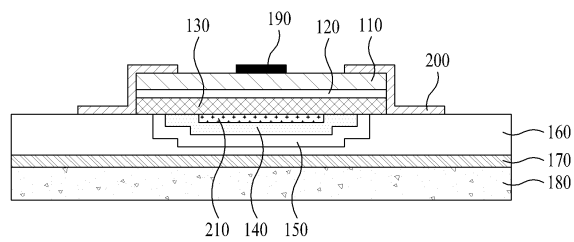
도면1g



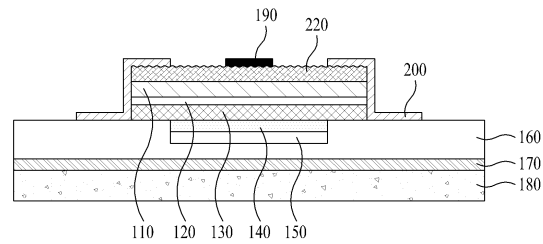
도면1h



도면2



도면3



도면4

