



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월18일  
(11) 등록번호 10-1808432  
(24) 등록일자 2017년12월06일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/28 (2006.01)  
H01L 27/32 (2006.01) H01L 51/00 (2006.01)  
(52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 21/28247 (2013.01)  
(21) 출원번호 10-2016-0078072  
(22) 출원일자 2016년06월22일  
심사청구일자 2016년06월22일  
(56) 선행기술조사문헌  
JP2010182819 A\*  
(뒷면에 계속)

(73) 특허권자  
경희대학교 산학협력단  
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)  
(72) 발명자  
장진  
서울특별시 서초구 잠원로 88, 302동 908호(잠원동, 신반포아파트)  
이수희  
서울특별시 동대문구 경희대로 26(회기동)  
(74) 대리인  
김연권

전체 청구항 수 : 총 13 항

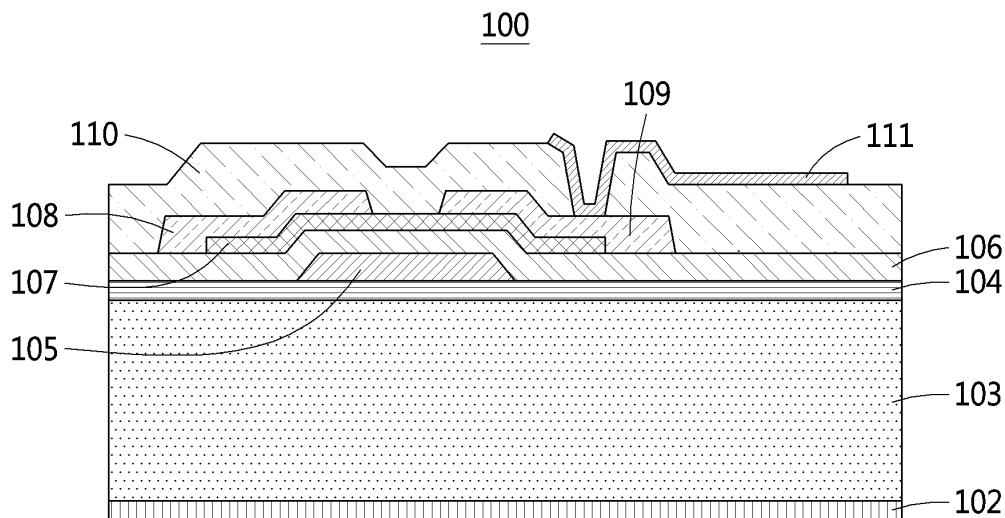
심사관 : 고연화

(54) 발명의 명칭 산화물 반도체 박막 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 산화물 반도체 박막 트랜지스터 및 그 제조방법을 개시한다. 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터는 플렉서블 기판; 상기 플렉서블 기판 상에 형성된 제1 게이트 전극; 상기 제1 게이트 전극 상에 형성된 게이트 절연층; 상기 제1 게이트 전극과 대응되도록 상기 게이트 절연층 상에 형성된 산화물 반도체층; 및 상기 산화물 반도체층 상에 서로 이격되어 형성된 소스/드레인 전극을 포함하고, 상기 소스/드레인 전극, 상기 산화물 반도체층 및 상기 제1 게이트 전극 중 적어도 하나 이상은 복수 개의 아일랜드 패턴으로 형성되어 외부 스트레스에 대한 내성을 가지는 것을 특징으로 한다.

대표도 - 도1



(52) CPC특허분류

*H01L 27/3262* (2013.01)

*H01L 29/78618* (2013.01)

*H01L 51/0097* (2013.01)

(56) 선행기술조사문헌

JP2007288080 A\*

KR1020120140549 A

KR1020150060034 A

KR1020070115482 A

KR1020090084642 A

\*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 10052044

부처명 산업통상지원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 유연기관 상의 8K 디스플레이용 고품위 TFT 개발

기 여 율 1/1

주관기관 경희대학교 산학협력단

연구기간 2015.06.01 ~ 2020.05.31

## 명세서

### 청구범위

#### 청구항 1

플렉서블 기판;

상기 플렉서블 기판 상에 형성된 제1 게이트 전극;

상기 제1 게이트 전극 상에 형성된 게이트 절연층;

상기 제1 게이트 전극과 대응되도록 상기 게이트 절연층 상에 형성된 산화물 반도체층;

상기 산화물 반도체층 상에 서로 이격되어 형성된 소스/드레인 전극;

상기 소스/드레인 전극 상에 형성된 패시베이션층; 및

상기 패시베이션층 상에 형성된 제2 게이트 전극

을 포함하고,

상기 소스/드레인 전극, 상기 산화물 반도체층, 상기 제1 게이트 전극 및 상기 제2 게이트 전극 중 적어도 하나 이상은 복수 개의 아일랜드 패턴으로 형성되어 외부 스트레스에 대한 내성을 가지는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 2

제1항에 있어서,

상기 복수 개의 아일랜드 패턴은 복수 개의 라인 패턴이 반복되어 형성된 복수 개의 라인 형상인 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 3

제2항에 있어서,

상기 복수 개의 라인 패턴은 지그재그 방향으로 연장된 복수 개의 지그재그 라인 형상인 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 4

제2항에 있어서,

상기 복수 개의 라인 패턴의 각각의 폭은 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 인 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 5

제4항에 있어서,

상기 복수 개의 라인 패턴의 각각이 이격되는 간격은 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 인 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 6

제1항에 있어서,

상기 복수 개의 아일랜드 패턴은 복수 개의 라인 패턴이 수직으로 교차하는 격자 형상인 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 7

삭제

#### 청구항 8

제1항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극을 전기적으로 연결하는 연결 전극을 더 포함하는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 9

제1항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 전기적으로 연결되어 동일한 전압을 인가받는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터.

#### 청구항 10

삭제

#### 청구항 11

기판;

상기 기판 상에 형성된 제1항 내지 제6항 및 제8항 중 어느 한 항에 따른 산화물 반도체 박막 트랜지스터; 및  
상기 산화물 반도체 박막 트랜지스터와 전기적으로 연결된 디스플레이 소자를 포함하는 디스플레이 장치.

#### 청구항 12

제11항에 있어서,

상기 디스플레이 소자는 유기 발광 소자인 것을 특징으로 하는 디스플레이 장치.

#### 청구항 13

플렉서블 기판 상에 제1 게이트 전극을 형성하는 단계;

상기 제1 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 제1 게이트 전극과 대응되는 상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층 상에 소스/드레인 전극을 서로 이격되되, 복수 개의 아일랜드 패턴으로 패턴화하여 형성하는 단계;

상기 소스/드레인 전극 상에 패시베이션층을 형성하는 단계; 및  
상기 패시베이션층 상에 제2 게이트 전극을 형성하는 단계  
를 포함하는 산화물 반도체 박막 트랜지스터의 제조방법.

#### 청구항 14

제13항에 있어서,

상기 제1 게이트 전극을 형성하는 단계는 상기 제1 게이트 전극을 복수 개의 아일랜드 패턴으로 패턴화하여 형성하는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터의 제조방법.

#### 청구항 15

제13항에 있어서,

상기 산화물 반도체층을 형성하는 단계는 상기 산화물 반도체층을 복수 개의 아일랜드 패턴으로 패턴화하여 형성하는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터의 제조방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 산화물 반도체 박막 트랜지스터 및 그 제조방법에 관한 것으로, 보다 상세하게는 장치의 수명 및 신뢰성을 향상시킨 플렉서블 디스플레이 장치용 산화물 반도체 박막 트랜지스터 및 그 제조방법에 관한 것이다.

#### 배경 기술

[0003] 최근 산화물 반도체(Oxide semiconductor)인 a-IGZO(Indium Gallium Zinc Oxide)를 이용한 박막 트랜지스터(Thin Film transistor; TFT)로 구동되는 디스플레이 장치의 개발이 빠르게 진행되고 있다. 이와 더불어, 플렉서블(Flexible) 디스플레이에 사용되는 구동 소자에 대해서도 상당 부분 연구가 진행되고 있다.

[0004] 일반적으로 플렉서블 디스플레이 장치는 가요성 기관에 디스플레이부를 형성하여 유연성을 부가한 장치로서, 필요시 그 형태를 휘거나 구부려 사용할 수 있는 매우 유용한 장점을 가지고 있다. 이러한 플렉서블 디스플레이 이동통신기기, 웨어러블(Wearable) 스마트 기기, 폴더블(Foldable) 기기, 자동차용 디스플레이, 디지털 사이니지(Digital Signage), 전자신문, 전자책, 전자칠판, 게시판, 광고 등 각종 다양한 응용으로 차세대 디스플레이 발전을 이룰 것으로 예상된다.

[0005] 한편, 플렉서블 디스플레이 장치는 휨(Bending) 발생시에도 표시 성능을 그대로 유지해야 함에도 불구하고, 휨의 정도에 따라 표시 성능의 불량이 발생하는 문제점을 발생시킨다.

[0006] 특히, 플렉서블 디스플레이 장치는 플렉서블 기관 상에 박막 트랜지스터가 형성되는데, 플렉서블 디스플레이 장치의 휨이 크게 발생할 경우, 휨에 의한 스트레스(stress)가 박막 트랜지스터에 전달되어 크랙(crack)이 발생함으로써 박막 트랜지스터의 특성을 저하시킨다.

[0007] 이는 플렉서블 디스플레이 장치를 반복적으로 휘거나 구부릴 경우, 또는 플렉서블 디스플레이 장치가 대면적화될 경우 심화될 수 있으며, 결과적으로 플렉서블 디스플레이 장치의 수명 및 신뢰성을 떨어뜨린다.

### 선행기술문헌

#### 특허문헌

[0009] (특허문헌 0001) 대한민국등록특허공보 제10-1272433호(2013.05.31, 박막 트랜지스터 및 이의 제조방법)

(특허문헌 0002) 대한민국등록특허공보 제10-0876081호(2008.12.19, 다채널 박막 트랜지스터 구조물)

(특허문헌 0003) 대한민국공개특허공보 제10-2014-0059576호(2014.05.16, 박막 트랜지스터 및 이를 포함하는 유기 발광 디스플레이 장치)

## 발명의 내용

### 해결하려는 과제

[0010] 본 발명의 실시예는 장치의 수명 및 신뢰성을 향상시킨 산화물 반도체 박막 트랜지스터 및 그 제조방법을 제공하고자 한다.

### 과제의 해결 수단

[0012] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터는 플렉서블 기판; 상기 플렉서블 기판 상에 형성된 제1 게이트 전극; 상기 제1 게이트 전극 상에 형성된 게이트 절연층; 상기 제1 게이트 전극과 대응되도록 상기 게이트 절연층 상에 형성된 산화물 반도체층; 및 상기 산화물 반도체층 상에 서로 이격되어 형성된 소스/드레인 전극을 포함하고, 상기 소스/드레인 전극, 상기 산화물 반도체층 및 상기 제1 게이트 전극 중 적어도 하나 이상은 복수 개의 아일랜드 패턴으로 형성되어 외부 스트레스에 대한 내성을 가지는 것을 특징으로 한다.

[0013] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 상기 복수 개의 아일랜드 패턴은 복수 개의 라인 패턴이 반복되어 형성된 복수 개의 라인 형상일 수 있다.

[0014] 상기 복수 개의 라인 패턴은 지그재그 방향으로 연장된 복수 개의 지그재그 라인 형상일 수 있다.

[0015] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 상기 복수 개의 라인 패턴의 각각의 폭은 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 일 수 있다.

[0016] 상기 복수 개의 라인 패턴의 각각이 이격되는 간격은 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 일 수 있다.

[0017] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 상기 복수 개의 아일랜드 패턴은 복수 개의 라인 패턴이 수직으로 교차하는 격자 형상일 수 있다.

[0018] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터는, 상기 소스/드레인 전극 상에 형성된 패시베이션층; 및 상기 패시베이션층 상에 형성된 제2 게이트 전극을 더 포함할 수 있고, 상기 제2 게이트 전극은 복수 개의 아일랜드 패턴으로 형성될 수 있다.

[0019] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터는, 상기 제1 게이트 전극 및 상기 제2 게이트 전극을 전기적으로 연결하는 연결 전극을 더 포함할 수 있다.

[0020] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 전기적으로 연결되어 동일한 전압을 인가받을 수 있다.

[0021] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터는 플렉서블 기판 상에 형성된 산화물 반도체층, 상기 산화물 반도체층 상에 형성된 제1 게이트 전극 및 소스/드레인 전극을 포함하는 코플라나(Coplanar)형 산화물 반도체 박막 트랜지스터에 있어서, 상기 소스/드레인 전극, 상기 산화물 반도체층 및 상기 제1 게이트 전극 중 적어도 하나 이상은 복수 개의 아일랜드 패턴으로 형성되어 외부 스트레스에 대한 내성을 가지는 것을 특징으로 한다.

[0022] 본 발명의 실시예에 따른 디스플레이 장치는 기판; 상기 산화물 반도체 박막 트랜지스터; 및 상기 산화물 반도체 박막 트랜지스터와 전기적으로 연결된 디스플레이 소자를 포함한다.

[0023] 본 발명의 실시예에 따른 디스플레이 장치에 있어서, 상기 디스플레이 소자는 유기 발광 소자일 수 있다.

[0024] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은 플렉서블 기판 상에 제1 게이트 전극을 형성하는 단계; 상기 제1 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 제1 게이트 전극과 대응되는 상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계; 및 상기 산화물 반도체층 상에 소스/드레인 전극을 서로 이격되되, 복수 개의 아일랜드 패턴으로 패턴화하여 형성하는 단계를 포함한다.

[0025] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법에 있어서, 상기 제1 게이트 전극을 형성하

는 단계는 상기 제1 게이트 전극을 복수 개의 아일랜드 패턴으로 패턴화하여 형성하는 것일 수 있다.

[0026] 상기 산화물 반도체층을 형성하는 단계는 상기 산화물 반도체층을 복수 개의 아일랜드 패턴으로 패턴화하여 형성하는 것일 수 있다.

### 발명의 효과

[0028] 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터는 소스/드레인 전극, 산화물 반도체층 및 게이트 전극 중 적어도 하나 이상을 복수 개의 아일랜드 패턴으로 형성하여 단면적을 줄임으로써 휨 또는 구부림 등의 외부 스트레스에 의한 손상, 특히 크랙(Crack) 발생을 방지하여 소자의 전기적 특성, 장치의 수명 및 신뢰성을 향상시킬 수 있다.

[0029] 또한, 본 발명의 실시예에 따른 고성능 전기적 특성을 가지는 산화물 반도체 박막 트랜지스터는 액정 디스플레이 장치(LCD) 또는 유기 발광 디스플레이 장치(AMOLED) 등의 플렉서블 디스플레이 장치의 화소 소자로 사용될 수 있다.

### 도면의 간단한 설명

[0031] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.

도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법의 전체적인 흐름을 도시한 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.

도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 다양한 형상으로 형성된 복수 개의 아일랜드 패턴의 평면도를 도시한 것이다.

도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 복수 개의 아일랜드 패턴으로 형성된 소스/드레인 전극, 산화물 반도체층 및/또는 게이트 전극의 광학현미경 이미지(Optical Microscope)이다.

도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터가 적용된 플렉서블 디스플레이 장치의 벤딩 테스트(Bending Test) 장비 및 신뢰성 테스트 장비를 도시한 것이다.

도 6a 및 도 6b는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터가 적용된 플렉서블 디스플레이 장치를 벤딩 테스트한 후에 관찰한 메탈(Metal) 전극의 크기에 따른 크랙(Crack) 발생 결과를 도시한 것이다.

도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터를 구비한 플렉서블 디스플레이 장치를 벤딩 테스트한 후에 측정한 비교예(도 7a) 및 실시예(도 7b, 도 7c) 각각의 산화물 반도체 박막 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 그래프를 도시한 것이다.

도 8a 내지 도 8d는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터를 구비한 플렉서블 디스플레이 장치를 벤딩 테스트한 후에 측정한 실시예 각각의 산화물 반도체 박막 트랜지스터의 전류-전압 특성을 나타낸 그래프를 도시한 것이다.

도 9a 내지 도 9h는 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터(듀얼 게이트(Dual Gate) 구조)의 제조방법의 전체적인 흐름을 도시한 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.

도 10a 내지 도 10g는 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터(코플라나(coplanar) 구조)의 제조방법의 전체적인 흐름을 도시한 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.

### 발명을 실시하기 위한 구체적인 내용

[0032] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0033] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0034] 본 명세서에서 사용되는 "실시예", "예", "측면", "예시" 등은 기술된 임의의 양상(aspect) 또는 설계가 다른

양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.

- [0035] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or'이기보다는 포함적인 논리합 'inclusive or'를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0036] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.
- [0037] 또한, 막, 층, 영역, 구성 요청 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 층, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0038] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 또한, 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0039] 이하, 도 1 및 도 2a 내지 도 2g를 참조하여 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터 및 이의 제조 방법에 대해 상세하게 설명하기로 한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.
- [0042] 도 1을 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)는 플렉서블 기판(103), 제1 게이트 전극(105), 게이트 절연층(106), 산화물 반도체층(107), 소스/드레인 전극(108, 109), 및 패시베이션층(110)을 포함한다. 실시예에 따라, 산화물 반도체 박막 트랜지스터(100)는 지지층(102), 버퍼층(104) 및 화소 전극(111)을 더 포함할 수 있다.
- [0043] 이하, 도 2a 내지 도 2g를 참조하여 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 각 구성 요소에 대해 보다 상세하게 설명하기로 한다.
- [0045] 도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법의 전체적인 흐름을 도시한 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.
- [0046] 도 2a를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 제조방법은, 캐리어 기판(101) 상에 지지층(102)은 및 플렉서블 기판(103)을 형성한다.
- [0047] 도 2a에 도시된 바와 같이, 지지층(102)은 캐리어 기판(101) 상에 형성된다. 다만, 지지층(102)은 반드시 필요한 구성은 아니다.
- [0048] 일 실시예에 따라, 지지층(102)은 탄소나노튜브-그래핀 산화물(Carbon Nano Tube-Graphene Oxide, CNT-GO)을 이용하여 투명성을 갖도록 형성할 수 있다. 탄소나노튜브-그래핀 산화물 지지층(102)은 휘어지는 성질이 있어 플렉서블 디스플레이 장치에 적용하기에 적합하다.
- [0049] 플렉서블 기판(103)은 지지층(102) 상에 형성된다. 플렉서블 기판(103)은 산화물 반도체 박막 트랜지스터의 여러 구성 요소들을 지지하기 위한 기판으로서, 가요성(flexibility)을 갖는 기판일 수 있다.
- [0050] 플렉서블 기판(103)은 특정 방향으로 벤딩(bending) 또는 폴딩(folding)될 수 있다. 예를 들어, 플렉서블 기판(103)은 가로 방향, 세로 방향 또는 사선 방향으로 폴딩될 수 있다.
- [0051] 플렉서블 기판(103)은 지지층(102)이 형성된 캐리어 기판(101) 상에 예를 들어 폴리이미드계 용액을 코팅함으로써 형성될 수 있고, 필름 형태일 수 있다.
- [0052] 플렉서블 기판(103)은 예를 들어, 폴리이미드계 고분자, 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자 또는 이들의 공중합체로 이루어진 그룹으로부터 선택되는 어느 하나의 물질로 이루어질 수 있다.
- [0053] 플렉서블 기판(103)은 예를 들어, 폴리에스테르(Polyester), 폴리비닐(Polyvinyl), 폴리카보네이트(Polycarbonate), 폴리에틸렌(Polyethylene), 폴리아세테이트(Polyacetate), 폴리이미드(Polyimide), 폴리에테르술폰(Polyethersulphone; PES), 폴리아크릴레이트(Polyacrylate; PAR), 폴리에틸렌나프탈레이트(Polyethylenenaphthalate; PEN) 및 폴리에틸렌테레프탈레이트(Polyethyleneterephthalate; PET)으로 이루어

진 그룹으로부터 선택되는 어느 하나의 물질로 이루어질 수 있다.

- [0054] 일 실시예에 따라, 산화물 반도체 박막 트랜지스터(100)가 구비되는 디스플레이 장치가 투명 플렉서블 디스플레이 장치로 구현되는 경우, 플렉서블 기판(103)은 투명한 플렉서블의 물질로 이루어질 수 있다.
- [0055] 플렉서블 기판(103)은 적어도 하나 이상의 박막 트랜지스터 영역을 포함할 수 있다. 박막 트랜지스터(TFT)는 박막 트랜지스터 영역에 배치될 수 있고, 박막 트랜지스터 영역은 플렉서블 기판(103)에서 매트릭스 형태로 배치될 수 있다.
- [0056] 플렉서블 기판(103)은 두께가 1  $\mu\text{m}$  내지 30  $\mu\text{m}$  범위 내에서 정해질 수 있으며, 바람직하게는 1  $\mu\text{m}$  내지 10  $\mu\text{m}$  범위 내에서 정해질 수 있다.
- [0057] 도 2b를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 제조방법은, 플렉서블 기판(103) 상에 버퍼층(buffer layer)(104)을 형성한다.
- [0058] 도 2b에 도시된 바와 같이, 버퍼층(104)은 플렉서블 기판(103) 상에 형성될 수 있다.
- [0059] 버퍼층(104)은 플렉서블 기판(103)을 통한 수분 또는 산소와 같은 외부 불순물의 침투를 방지하며, 플렉서블 기판(103)의 표면을 평탄화할 수 있다. 다만, 버퍼층(104)은 반드시 필요한 구성은 아니며, 플렉서블 기판(103)의 종류에 따라 채택되거나 생략될 수 있다.
- [0060] 또한, 도 2b에 도시된 바와 같이, 버퍼층(104)이 사용되는 경우, 버퍼층(104)은 실리콘옥사이드( $\text{SiO}_x$ ), 실리콘 나이트라이드( $\text{SiN}_x$ ), 알루미늄옥사이드( $\text{AlO}_x$ ) 등의 무기물 또는 아크릴 또는 폴리이미드 등의 유기물로 이루어질 수 있다.
- [0061] 도 2c를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 제조방법은, 버퍼층(104)이 형성된 플렉서블 기판(103) 상에 제1 게이트 전극(105)을 형성한다.
- [0062] 도 2c에 도시된 바와 같이, 제1 게이트 전극(105)은 버퍼층(104) 상에 형성될 수 있고, 제1 게이트 전극(105)은 하부 게이트 전극(Bottom Gate)일 수 있다.
- [0063] 제1 게이트 전극(105)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 제1 게이트 전극(105)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0064] 제1 게이트 전극(105)은 버퍼층(104) 상에 게이트 도전막(미도시)을 증착하고, 게이트 도전막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 게이트 도전막을 선택적으로 식각, 즉, 패터닝함으로써 형성될 수 있다.
- [0065] 일 실시예에 따라, 제1 게이트 전극(105)은 산화물 반도체층(107) 상에 형성된 소스/드레인 전극(108, 109)으로부터 수직 방향으로 0.1  $\mu\text{m}$  내지 3  $\mu\text{m}$  만큼 이격되도록 형성될 수 있다.
- [0066] 제1 게이트 전극(105)은 금속 물질로 형성될 수 있으며, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 조합으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다. 또한, 제1 게이트 전극(105)은 상술한 물질을 포함하는 단일층 또는 복층 구조로 형성될 수 있다.
- [0067] 도 2d를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 제조방법은, 제1 게이트 전극(105) 상에 게이트 절연층(106) 및 산화물 반도체막(107a)을 형성한다.
- [0068] 도 2d에 도시된 바와 같이, 게이트 절연층(Gate Insulator)(106)은 제1 게이트 전극(105) 상에 형성된다.
- [0069] 구체적으로, 게이트 절연층(106)은 제1 게이트 전극(105)이 형성된 버퍼층(104) 상에 형성되어 제1 게이트 전극(105)과 산화물 반도체층(107)(도 1 또는 도 2e 참조)을 절연시킨다. 즉, 제1 게이트 전극(105)과 산화물 반도체층(107)은 게이트 절연층(106)에 의하여 절연된다.
- [0070] 게이트 절연층(106)은 도 2d에 도시된 바와 같이, 제1 게이트 전극(105)을 포함하는 버퍼층(104)의 전면을 덮을 수 있고, 게이트 절연층(106)은 코팅 방법을 통하여 형성될 수 있다.
- [0071] 게이트 절연층(106)은 예를 들어, 실리콘옥사이드( $\text{SiO}_x$ ), 실리콘나이트라이드( $\text{SiN}_x$ ), 티타늄옥사이드( $\text{TiO}_x$ ), hafnium 옥사이드( $\text{HfO}_x$ ) 등의 무기물 또는 폴리비닐알코올(PVA), 폴리비닐피롤리돈(PVP), 폴리메틸메타크릴레이트

(PMMA) 등의 유기물일 수 있다. 또한, 게이트 절연층(106)은 상술한 물질을 포함하는 단일층 또는 복층 구조로 형성될 수 있으나, 이에 제한되지 않고, 다양한 물질로 형성될 수 있다.

- [0072] 산화물 반도체막(107a)은 게이트 절연층(106) 상에 형성된다.
- [0073] 구체적으로, 산화물 반도체막(107a)은 산화물 반도체층(107)의 형성을 위한 막으로서, 게이트 절연층(106) 상에서 게이트 절연층(106)의 전면을 덮도록 형성된다. 이후, 산화물 반도체막(107a) 상에 포토레지스트 패턴을 형성하고, 포토레지스트 패턴을 마스크로 하여 산화물 반도체막(107a)을 박막 트랜지스터 영역에서 제1 게이트 전극(105)과 대응되도록 패터닝함으로써 산화물 반도체층(107)(도 2e 참조)이 형성될 수 있다.
- [0074] 도 2e를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 제조방법은, 제1 게이트 전극(105) 상에 산화물 반도체층(107) 및 소스/드레인 전극(108, 109)을 형성한다.
- [0075] 도 2e에 도시된 바와 같이, 산화물 반도체층(107)은 게이트 절연층(106) 상에 제1 게이트 전극(105)과 대응되도록 형성된다.
- [0076] 산화물 반도체층(107)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 산화물 반도체층(107)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0077] 산화물 반도체층(107)은 채널이 형성되는 채널 영역 및 소스/드레인 전극(108, 109)과 각각 연결되는 소스/드레인 영역을 포함할 수 있다.
- [0078] 산화물 반도체층(107)은 화학기상증착(CVD)이나 물리기상증착(PVD) 방법을 통하여 형성될 수 있으며, 다양한 산화물 반도체 물질로 형성될 수 있다.
- [0079] 산화물 반도체층(107)은 예를 들어, 인듐갈륨징크옥사이드(IGZO), 징크옥사이드(ZnO), 인듐징크옥사이드(IZO), 인듐틴옥사이드(ITO), 징크틴옥사이드(ZTO), 갈륨징크옥사이드(GZO), 하프늄인듐징크옥사이드(HIZO), 징크인듐틴옥사이드(ZITO) 및 알루미늄징크옥사이드(AZTO)로 이루어진 그룹으로부터 선택되는 어느 하나를 포함하여 형성될 수 있으나, 이에 제한되지 않고, 다양한 물질로 형성될 수 있다.
- [0080] 산화물 반도체층(107)은 상술한 물질을 포함하는 비정질 또는 다결정질로 형성될 수 있다.
- [0081] 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)는 산화물 반도체층(107) 상에 에치스토퍼층(Etch Stopper Layer)(미도시)층을 더 포함할 수 있다.
- [0082] 상기 에치스토퍼층은 산화물 반도체층(107)의 안정성을 확보하기 위하여 산화물 반도체층(107)의 상부 표면에서 식각액으로부터의 보호를 위해 구비될 수 있다. 즉, 상기 에치스토퍼층은 소스/드레인 전극(108, 109)의 식각 공정에서 유입되는 식각액으로부터 산화물 반도체층(107)을 보호할 수 있다. 상기 에치스토퍼층은 예를 들어, 실리콘옥사이드(SiO<sub>x</sub>)로 이루어질 수 있다.
- [0083] 소스/드레인 전극(108, 109)은 산화물 반도체층(107) 상에 서로 이격되어 형성된다.
- [0084] 구체적으로, 소스/드레인 전극(108, 109)은 소스 전극(108) 및 드레인 전극(109)을 의미하고, 소스 전극(108) 및 드레인 전극(109)은 산화물 반도체층(107)이 형성된 게이트 절연층(106) 상에서 서로 이격되되, 각각 산화물 반도체층(107)과 전기적으로 연결되도록 형성된다.
- [0085] 소스/드레인 전극(108, 109)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 소스/드레인 전극(108, 109)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0086] 소스/드레인 전극(108, 109)은 산화물 반도체층(107)을 포함하는 게이트 절연층(106) 상에 소스/드레인 도전막(미도시)을 증착하고, 소스/드레인 도전막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 소스/드레인 도전막을 패터닝함으로써 형성될 수 있다.
- [0087] 소스/드레인 전극(108, 109)은 금속 물질로 형성될 수 있으며, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 조합으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다. 또한, 소스/드레인 전극(108, 109)은 상술한 물질을 포함하는 단일층 또는 복층 구조로 형성될 수 있다.
- [0088] 도 2f를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 제조방법은, 소스/드레

인 전극(108, 109) 상에 패시베이션층(Passivation Layer)(110)을 형성한다.

- [0089] 도 2f에 도시된 바와 같이, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)는 패시베이션층(Passivation Layer)(110)을 더 포함할 수 있다.
- [0090] 패시베이션층(110)은 소스/드레인 전극(108, 109) 상에 형성된다. 구체적으로, 패시베이션층(110)은 게이트 절연층(106), 산화물 반도체층(107) 및 소스/드레인 전극(108, 109)을 모두 덮도록(커버하도록) 형성된다.
- [0091] 패시베이션층(110)은 보호층으로서, 게이트 절연층(106)과 동일한 물질로 형성될 수 있다. 패시베이션층(110)은 예를 들어, 실리콘옥사이드, 실리콘나이트라이드 등의 물질 중 어느 하나로 구성된 단일층 또는 이들의 복층 구조로 형성될 수 있으나, 이에 제한되지 않고, 다양한 물질로 형성될 수 있다.
- [0092] 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)는 화소 전극(111)(도 1 참조)을 더 포함할 수 있다.
- [0093] 다시 도 1을 참조하면, 화소 전극(111)은 패시베이션층(110) 상에 형성된다. 화소 전극(111)은 소스/드레인 전극(108, 109)과 각각 전기적으로 연결되며, 소스/드레인 전극(108, 109)을 산화물 반도체 박막 트랜지스터(100) 외부의 다른 구성 요소와 전기적으로 연결시키는 역할을 수행한다. 화소 전극(111) 또한 금속 재질, 일례로 몰리브덴(Mo)으로 형성될 수 있다.
- [0094] 도 2g를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 제조방법은, 캐리어 기관(101)을 제거한다.
- [0095] 도 2g에 도시된 바와 같이, 캐리어 기관(101)은 지지층(102)으로부터 제거될 수 있다.
- [0096] 구체적으로, 산화물 반도체 박막 트랜지스터(100)의 제조가 완료되거나 산화물 반도체 박막 트랜지스터(100) 상에 예를 들어, OLED와 같은 소자가 형성된 후, 별도의 장치를 통하여 지지층(102)으로부터 캐리어 기관(101)을 물리적으로 제거할 수 있다.
- [0097] 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터는 디스플레이 장치, 특히 플렉서블 디스플레이 장치의 화소 소자, 예를 들어 유기 발광 소자를 구동시키기 위해 사용될 수 있다.
- [0098] 본 발명의 일 실시예에 따르면, 소스/드레인 전극(108, 109), 산화물 반도체층(107) 및 제1 게이트 전극(105) 중 적어도 하나 이상이 복수 개의 아일랜드 패턴으로 형성되는 것을 특징으로 한다. 이하, 도 3a 내지 도 3c를 참조하여 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 복수 개의 아일랜드 패턴에 대해 보다 상세하게 설명하기로 한다.
- [0100] 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 다양한 형상으로 형성된 복수 개의 아일랜드 패턴의 평면도를 도시한 것이다.
- [0101] 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 소스/드레인 전극(108, 109), 산화물 반도체층(107) 및 제1 게이트 전극(105) 중 적어도 하나 이상은 복수 개의 아일랜드 패턴으로 형성된다.
- [0102] 복수 개의 아일랜드 패턴은 라인 형상, 지그재그 라인 형상 또는 격자 형상 등의 다양한 형상으로 형성될 수 있다.
- [0103] 도 3a 내지 도 3c를 참조하면, 복수 개의 아일랜드 패턴은 도 3a에 도시된 바와 같이, 복수 개의 라인 패턴이 반복되어 형성된 복수 개의 라인 형상으로 형성될 수 있고, 도 3b에 도시된 바와 같이, 복수 개의 라인 패턴이 지그재그 방향으로 연장된 복수 개의 지그재그 라인 형상으로 형성될 수도 있으며, 도 3c에 도시된 바와 같이, 복수 개의 라인 패턴이 수직으로 교차하는 격자 형상으로 형성될 수도 있다.
- [0104] 복수 개의 아일랜드 패턴을 구성하는 복수 개의 라인 패턴의 폭(Lw)은 각각 1  $\mu\text{m}$  내지 10  $\mu\text{m}$ 일 수 있고, 바람직하게는 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 일 수 있다.
- [0105] 또한, 복수 개의 라인 패턴 사이의 간격(Lg), 즉 하나의 라인 패턴과 인접한 라인 패턴 사이의 간격(Lg)은 1  $\mu\text{m}$  내지 10  $\mu\text{m}$ 일 수 있고, 바람직하게는 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 일 수 있다. 이때, 복수 개의 라인 패턴 사이의 간격(Lg)은 모두 동일하거나, 서로 상이할 수 있다.
- [0106] 도 1에 도시된 바와 같이, 소스/드레인 전극(108, 109)은 산화물 반도체층(107)을 포함하는 게이트 절연층(106) 상에 소스/드레인 도전막(미도시)을 증착하고, 소스/드레인 도전막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 소스/드레인 도전막을 패터닝함으로써 형성될 수 있는데, 이때 상기 포토레지스

트 패턴을 다양한 형상으로 구현함으로써 다양한 형상을 가진 복수 개의 아일랜드 패턴으로 소스/드레인 전극(108, 109)을 형성할 수 있다.

- [0107] 보다 구체적으로, 소스/드레인 전극(108, 109)은 스퍼터링법을 통하여 소스/드레인 도전막을 증착한 후, 포토리소그래피(Photolithography) 공정을 통하여 소정의 아일랜드 패턴을 가지는 포토레지스트 패턴 마스크로 패터닝하여 형성할 수 있다.
- [0108] 본 발명의 일 실시예에 따르면, 산화물 반도체 박막 트랜지스터(100)의 소스/드레인 전극(108, 109)을 복수 개의 아일랜드 패턴으로 형성함으로써, 소스/드레인 전극(108, 109)의 단면적을 줄일 수 있고, 소스/드레인 전극(108, 109)의 단면적 감소로 인해 휨 또는 구부림 등의 외부 스트레스에 의한 손상, 특히 크랙(Crack) 발생을 방지할 수 있다.
- [0109] 이에 따라, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터 소자의 전기적 특성을 향상시킬 수 있고, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터를 구비한 플렉서블 디스플레이 장치의 수명 및 신뢰성을 향상시킬 수 있다.
- [0110] 또한, 본 발명의 일 실시예에 따른 고성능 전기적 특성을 가지는 산화물 반도체 박막 트랜지스터는 액정 디스플레이 장치(LCD) 또는 유기 발광 디스플레이 장치(AMOLED) 등의 플렉서블 디스플레이 장치의 화소 소자로 사용될 수 있다.
- [0111] 제1 게이트 전극(105) 및 산화물 반도체층(107)의 복수 개의 아일랜드 패턴도 소스/드레인 전극(108, 109)의 복수 개의 아일랜드 패턴과 마찬가지로 라인 형상, 지그재그 라인 형상 또는 격자 형상 등 다양한 형상으로 형성될 수 있다.
- [0112] 복수 개의 아일랜드 패턴으로 형성된 제1 게이트 전극(105)의 경우, 복수 개의 아일랜드 패턴으로 형성된 소스/드레인 전극(108, 109)의 제조방법과 동일한 방법을 이용하여 형성할 수 있고, 복수 개의 아일랜드 패턴으로 형성된 산화물 반도체층(107)의 경우도, 다양한 증착 방법을 통하여 산화물 반도체막(107a)을 형성한 후 패터닝시 소정의 형상을 가진 복수 개의 아일랜드 패턴화하여 형성할 수 있다.
- [0113] 본 발명의 일 실시예에 따르면, 소스/드레인 전극(108, 109)과 더불어 산화물 반도체층(107) 및/또는 제1 게이트 전극(105)을 복수 개의 아일랜드 패턴으로 형성함에 따라, 외부 스트레스에 의한 크랙(Crack) 발생을 보다 효과적으로 방지할 수 있다.
- [0115] 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터에 있어서, 복수 개의 아일랜드 패턴으로 형성된 소스/드레인 전극, 산화물 반도체층 및/또는 게이트 전극의 광학현미경 이미지(Optical Microscope)이다.
- [0116] 도 4a는 제1 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)이 기본 구조를 가지는 일반적인 산화물 반도체 박막 트랜지스터의 광학현미경 이미지이다.
- [0117] 도 4a를 참조하면, 일반적인 산화물 반도체 박막 트랜지스터의 제1 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)은 소정의 패턴 없이 일반적인 모습을 나타내는 것을 확인할 수 있다.
- [0118] 도 4b는 제1 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)이 라인 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 광학현미경 이미지이다.
- [0119] 도 4b를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 제1 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)이 라인 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 모습을 확인할 수 있다.
- [0120] 도 4c는 제1 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)이 격자 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 광학현미경 이미지이다.
- [0121] 도 4c를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 제1 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)이 격자 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 모습을 확인할 수 있다.
- [0122] 도 4d는 소스 전극(S) 및 드레인 전극(D)이 격자 형상을 갖는 복수 개의 아일랜드 패턴으로 형성되고, 산화물 반도체층(A)이 라인 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 광학현미경 이미지이다.
- [0123] 도 4d를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 소스 전극(S) 및 드레인 전극

(D)이 격자 형상을 갖는 복수 개의 아일랜드 패턴으로 형성될 뿐만 아니라, 산화물 반도체층(A)이 라인 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 모습을 확인할 수 있다.

- [0124] 도 4e는 소스 전극(S), 드레인 전극(D) 및 산화물 반도체층(A)이 격자 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 광학현미경 이미지이다.
- [0125] 도 4e를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 소스 전극(S), 드레인 전극(D) 및 산화물 반도체층(A)이 격자 형상을 갖는 복수 개의 아일랜드 패턴으로 형성된 모습을 확인할 수 있다.
- [0127] 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터가 적용된 플렉서블 디스플레이 장치의 벤딩 테스트(Bending Test) 장비 및 신뢰성 테스트 장비를 도시한 것이다.
- [0128] 구체적으로, 도 5a는 벤딩 테스트 장비의 실제 모습을 나타낸 것이고, 도 5b는 벤딩 테스트 장비 위에 놓여진 산화물 반도체 박막 트랜지스터를 구비한 플렉서블 디스플레이 장치에 벤딩 스트레스를 가했을 때의 모습을 나타낸 것이다.
- [0129] 또한, 도 5c 및 도 5d는 벤딩 테스트 장비(신뢰성 테스트 장비)의 단면도 및 평면도를 나타낸 것이다. 본 발명의 일 실시예에 따라 사용된 벤딩 테스트 장비는 벤딩 각도( $\theta$ )를  $0^\circ$  내지  $\pm 90^\circ$ 로 변화를 줄 수 있으며, 두 개의 클램프(clamps) 사이에 산화물 반도체 박막 트랜지스터 구비한 플렉서블 디스플레이 장치를 위치시켜 벤딩 스트레스에 대한 신뢰성 테스트를 진행할 수 있다.
- [0131] 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터가 적용된 플렉서블 디스플레이 장치를 벤딩 테스트한 후에 관찰한 메탈(Metal) 전극의 크기에 따른 크랙(Crack) 발생 결과를 도시한 것이다.
- [0132] 여기서, 메탈 전극은 구성 물질로서 몰리브덴(Mo)(도 6a 참조) 및 인듐징크옥사이드(IZO)(도 6b)가 사용되었다.
- [0133] 메탈 전극의 패턴 폭(Unit Width)을  $6\ \mu\text{m}$ 부터  $104\ \mu\text{m}$ 까지 사이즈를 달리하고, 벤딩 시간(Bending Time)(벤딩 횟수)을 0번부터 4,000번까지 달리하여, 패턴 폭 사이즈 및 벤딩 시간(벤딩 횟수)에 따른 크랙(Crack)의 발생을 관찰하였다. 이때, 벤딩 각도는  $90^\circ$ 로 진행하였다.
- [0134] 도 6a 및 도 6b를 참조하면, 소스/드레인 전극의 패턴 폭이 증가할수록, 벤딩 시간(벤딩 횟수)이 증가할수록 크랙이 발생하는 것을 확인할 수 있었고, 소스/드레인 전극의 패턴 폭이  $6\ \mu\text{m}$ 일 경우에는 크랙 발생이 없는 것을 확인할 수 있었다. 소스/드레인 전극의 패턴 폭이  $6\ \mu\text{m}$ 이하일 경우, 크랙이 발생하는 것을 최소화할 수 있으므로, 강한 물리적 변화에 의해서도 견고하게 유지할 수 있고, 고성능의 전기적 특성을 얻을 수 있는 것을 알 수 있다.
- [0136] 도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터를 구비한 플렉서블 디스플레이 장치를 벤딩 테스트한 후에 측정된 비교예(도 7a) 및 실시예(도 7b, 도 7c) 각각의 산화물 반도체 박막 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 그래프를 도시한 것이다.
- [0137] 여기서, 벤딩 테스트시, 벤딩 시간(Bending Time)(s)(벤딩 횟수)은 0번, 100번, 500번, 1,000번, 2,000번, 3,000번 및 5,000번으로 조건을 달리하였고, 벤딩 반경(Bending radius)은 벤딩 각도가  $90^\circ$ 가 되도록  $0.32\ \text{mm}$ 로 고정하였다.
- [0138] 도 7a는 기본 구조의 소스/드레인 전극(S/D)을 구비한 일반적인 산화물 반도체 박막 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 그래프이다.
- [0139] 도 7a를 참조하면, 복수 개의 아일랜드 패턴이 아닌 일반적인 구조의 산화물 반도체 박막 트랜지스터의 경우,  $90^\circ$ 의 벤딩 각도에 대해 벤딩 횟수(벤딩 시간)에 따라 전류-전압의 특성이 변화하는 것을 확인할 수 있었고, 메탈 전극의 크랙 발생으로 인해 콘택 저항이 커져 산화물 반도체 박막 트랜지스터의 특성이 저하되는 것을 확인할 수 있었다.
- [0140] 도 7b는 본 발명의 일 실시예에 따라 라인 형상을 갖는 복수 개의 아일랜드 패턴 구조의 소스/드레인 전극(S/D)을 구비한 산화물 반도체 박막 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 그래프이다.
- [0141] 또한, 도 7c는 본 발명의 일 실시예에 따라 격자 형상을 갖는 복수 개의 아일랜드 패턴 구조의 소스/드레인 전극(S/D)을 구비한 산화물 반도체 박막 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 그래프이다.
- [0142] 도 7b 및 도 7c에서, 상기 복수 개의 아일랜드 패턴의 각각의 폭은  $6\ \mu\text{m}$ 이하에서 크랙이 발생하는 것을 최소화할 수 있으므로, 상기 복수 개의 아일랜드 패턴의 각각의 폭은  $1\ \mu\text{m}$  내지  $5\ \mu\text{m}$ 이고, 상기 복수 개의 아일랜드

패턴의 각각이 이격되는 간격은 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 가 되도록 제조하였다.

- [0143] 도 7b 및 도 7c를 참조하면, 소스/드레인 전극이 라인 형상(도 7b 참조) 또는 격자 형상(도 7c 참조)의 복수 개의 아일랜드 패턴을 가짐으로써 강한 응력(strain)에 따른 스트레스(stress)에도 크랙 발생이 최소화되어, 우수한 전류-전압 특성을 나타내는 것을 확인할 수 있었다.
- [0145] 도 8a 내지 도 8d는 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터를 구비한 플렉서블 디스플레이 장치를 벤딩 테스트한 후에 측정한 실시예 각각의 산화물 반도체 박막 트랜지스터의 전류-전압 특성을 나타낸 그래프를 도시한 것이다.
- [0146] 도 8a은 본 발명의 일 실시예에 따라 격자 형상을 갖는 복수 개의 아일랜드 패턴 구조의 소스/드레인 전극(Source/Drain)과, 기본 구조의 산화물 반도체층(Active)을 구비한 산화물 반도체 박막 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 그래프이고, 도 8b은 상기 산화물 반도체 박막 트랜지스터의 드레인 전류-드레인 전압 특성을 나타낸 그래프이다.
- [0147] 도 8c은 본 발명의 일 실시예에 따라 격자 형상을 갖는 복수 개의 아일랜드 패턴 구조의 소스/드레인 전극(Source/Drain)과, 라인 형상을 갖는 복수 개의 아일랜드 패턴 구조의 산화물 반도체층(Active)을 구비한 산화물 반도체 박막 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 그래프이고, 도 8d은 상기 산화물 반도체 박막 트랜지스터의 드레인 전류-드레인 전압 특성을 나타낸 그래프이다.
- [0148] 도 8a 내지 도 8d에서, 상기 복수 개의 아일랜드 패턴의 각각의 폭은 6  $\mu\text{m}$ 이하에서 크랙이 발생하는 것을 최소화할 수 있으므로, 상기 복수 개의 아일랜드 패턴의 각각의 폭은 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 이고, 상기 복수 개의 아일랜드 패턴의 각각이 이격되는 간격은 1  $\mu\text{m}$  내지 5  $\mu\text{m}$ 가 되도록 제조하였다.
- [0149] 도 8a 내지 도 8d를 참조하면, 90°의 강한 응력에서도 벤딩 시간(벤딩 횟수) 60,000번까지 전기적 특성의 변화 없이 안정적인 산화물 반도체 박막 트랜지스터의 전기적 특성을 확인할 수 있었다. 이에 따라, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성이 향상된 것을 알 수 있었다.
- [0150] 구체적으로, 도 8a 및 도 8b의 경우, 벤딩 횟수(벤딩 시간)를 60,000번까지 측정하였을 때, 컨택 저항의 문제는 없으나 문턱 전압이 벤딩 횟수가 증가함에 따라 왼쪽으로 이동하는 것을 확인할 수 있었고, 도 8b에서 벤딩 횟수에 따른 전류의 변화가 큰 것을 확인할 수 있었다.
- [0151] 반면, 도 8c 및 도 8d의 경우, 소스/드레인 전극뿐만 아니라 산화물 반도체 층도 복수 개의 아일랜드 패턴 구조로 형성하여 크랙 발생을 줄임으로써, 벤딩 횟수(벤딩 시간) 60,000번까지 문턱 전압 및 전류의 변화가 없는 안정적인 산화물 반도체 특성을 확인할 수 있었다.
- [0153] 도 9a 내지 도 9h는 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터(듀얼 게이트(Dual Gate) 구조)의 제조방법의 전체적인 흐름을 도시한 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.
- [0154] 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터는 도 9h에 도시된 바와 같이, 플렉서블 기판(103), 제1 게이트 전극(105), 게이트 절연층(106), 산화물 반도체층(107), 소스/드레인 전극(108, 109), 패시베이션층(110) 및 제2 게이트 전극(112)을 포함하고, 지지층(102), 버퍼층(104) 및 연결전극(미도시)을 더 포함할 수 있다.
- [0155] 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 구성요소는 전술한 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터와 동일한 기술적 구성요소를 포함할 수 있고, 중복되는 구성요소에 대해서는 중복 기재를 생략하기로 한다.
- [0156] 도 9a를 참조하면, 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 캐리어 기판(101) 상에 지지층(102)은 및 플렉서블 기판(103)을 형성한다.
- [0157] 도 9a에 도시된 바와 같이, 지지층(102)은 캐리어 기판(101) 상에 형성된다. 다만, 지지층(102)은 반드시 필요한 구성은 아니다.
- [0158] 또한, 플렉서블 기판(103)은 지지층(102) 상에 형성된다. 플렉서블 기판(103)은 산화물 반도체 박막 트랜지스터의 여러 구성 요소들을 지지하기 위한 기판으로서, 가요성(flexibility)을 갖는 기판일 수 있다.
- [0159] 도 9b를 참조하면, 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 플렉서블 기판(103) 상에 버퍼층(buffer layer)(104)을 형성한다.

- [0160] 도 9b에 도시된 바와 같이, 버퍼층(104)은 플렉서블 기판(103) 상에 형성될 수 있다.
- [0161] 버퍼층(104)은 플렉서블 기판(103)을 통한 수분 또는 산소와 같은 외부 불순물의 침투를 방지하며, 플렉서블 기판(103)의 표면을 평탄화할 수 있다. 다만, 버퍼층(104)은 반드시 필요한 구성은 아니며, 플렉서블 기판(103)의 종류에 따라 채택되거나 생략될 수 있다.
- [0162] 도 9c를 참조하면, 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 버퍼층(104)이 형성된 플렉서블 기판(103) 상에 제1 게이트 전극(105)을 형성한다.
- [0163] 도 9c에 도시된 바와 같이, 제1 게이트 전극(105)은 버퍼층(104) 상에 형성된다. 제1 게이트 전극(105)은 하부 게이트 전극(Bottom Gate)일 수 있다.
- [0164] 제1 게이트 전극(105)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 제1 게이트 전극(105)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0165] 도 9d를 참조하면, 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 제1 게이트 전극(105) 상에 게이트 절연층(106) 및 산화물 반도체막(107a)을 형성한다.
- [0166] 도 9d에 도시된 바와 같이, 게이트 절연층(Gate Insulator)(106)은 제1 게이트 전극(105) 상에 형성된다.
- [0167] 또한, 산화물 반도체막(107a)은 게이트 절연층(106) 상에 형성된다.
- [0168] 구체적으로, 산화물 반도체막(107a)은 산화물 반도체층(107)의 형성을 위한 막으로서, 게이트 절연층(106) 상에서 게이트 절연층(106)의 전면을 덮도록 형성된다. 이후, 산화물 반도체막(107a) 상에 포토레지스트 패턴을 형성하고, 포토레지스트 패턴을 마스크로 하여 산화물 반도체막(107a)을 박막 트랜지스터 영역에서 제1 게이트 전극(105)과 대응되도록 패터닝함으로써 산화물 반도체층(107)(도 9e 참조)이 형성될 수 있다.
- [0169] 도 9e를 참조하면, 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 제1 게이트 전극(105) 상에 산화물 반도체층(107) 및 소스/드레인 전극(108, 109)을 형성한다.
- [0170] 도 9e에 도시된 바와 같이, 산화물 반도체층(107)은 게이트 절연층(106) 상에 제1 게이트 전극(105)과 대응되도록 형성된다.
- [0171] 산화물 반도체층(107)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 산화물 반도체층(107)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0172] 또한, 소스/드레인 전극(108, 109)은 산화물 반도체층(107) 상에 서로 이격되어 형성된다.
- [0173] 소스/드레인 전극(108, 109)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 소스/드레인 전극(108, 109)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0174] 도 9f를 참조하면, 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 소스/드레인 전극(108, 109) 상에 패시베이션층(Passivation Layer)(110)을 형성한다.
- [0175] 도 9f에 도시된 바와 같이, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터(100)는 패시베이션층(Passivation Layer)(110)을 더 포함할 수 있다.
- [0176] 도 9g를 참조하면, 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 패시베이션층(110) 상에 제2 게이트 전극(112)을 형성한다.
- [0177] 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터는 도 9g에 도시된 바와 같이, 제2 게이트 전극(112)을 더 포함하는 것을 특징으로 한다.
- [0178] 도 9g에 도시된 바와 같이, 제2 게이트 전극(112)은 패시베이션층(110) 상에 형성된다.
- [0179] 제2 게이트 전극(112)은 상부 게이트 전극(Top Gate)일 수 있고, 제1 게이트 전극(105)과 더불어 듀얼 게이트(Dual Gate) 구조를 이룰 수 있다.
- [0180] 제2 게이트 전극(112)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 제2 게이트 전극(112)이 복수 개의 아

일랜드 패턴으로 형성될 경우, 복수 개의 아일랜드 패턴으로 형성되는 제1 게이트 전극(105)과 마찬가지로, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.

- [0181] 제2 게이트 전극(112)은 패시베이션층(110) 상에 게이트 도전막(미도시)을 증착하고, 게이트 도전막 상에 포토 레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 게이트 도전막을 선택적으로 식각, 즉, 패터닝 함으로써 형성될 수 있다.
- [0182] 제2 게이트 전극(112)은 금속 물질로 형성될 수 있으며, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 조합으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다. 또한, 제2 게이트 전극(112)은 상술한 물질을 포함하는 단일층 또는 복층 구조로 형성될 수 있다.
- [0183] 일 실시예에 따라, 제2 게이트 전극(112)은 산화물 반도체층(107) 상에 형성된 소스/드레인 전극(108, 109)으로부터 수직 방향으로 0.1  $\mu\text{m}$  내지 3  $\mu\text{m}$  만큼 이격되도록 형성될 수 있다.
- [0184] 일 실시예에 따라, 산화물 반도체 박막 트랜지스터(100)는 제1 게이트 전극(105)과 제2 게이트 전극(112)을 전기적으로 연결하는 연결 전극(미도시)를 더 포함할 수 있다.
- [0185] 구체적으로, 상기 연결 전극은 제1 게이트 전극(105) 및 제2 게이트 전극(112)을 전기적으로 연결하기 위한 전극이고, 제1 게이트 전극(105) 및 제2 게이트 전극(112)은 상기 연결 전극을 통하여 동일한 전압을 인가받을 수 있다.
- [0186] 도 9h를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 캐리어 기판(101)을 제거한다.
- [0187] 도 9h에 도시된 바와 같이, 캐리어 기판(101)은 지지층(102)으로부터 제거될 수 있다.
- [0188] 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터는 소스/드레인 전극(108, 109), 산화물 반도체층(107), 제1 게이트 전극(105) 및 제2 게이트 전극(112) 중 적어도 하나 이상이 복수 개의 아일랜드 패턴으로 형성되어 외부 스트레스에 대한 내성을 가질 수 있다.
- [0189] 본 발명의 다른 실시예에 따른 산화물 반도체 박막 트랜지스터는 디스플레이 장치, 특히 플렉서블 디스플레이 장치의 화소 소자, 예를 들어 유기 발광 소자를 구동시키기 위해 사용될 수 있다.
- [0191] 도 10a 내지 도 10g는 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터(코플라나(Coplanar) 구조)의 제조방법의 전체적인 흐름을 도시한 산화물 반도체 박막 트랜지스터의 단면도를 도시한 것이다.
- [0192] 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터는 도 10g에 도시된 바와 같이, 플렉서블 기판(203), 산화물 반도체층(205), 소스/드레인 전극(206, 207), 게이트 절연층(208) 및 제1 게이트 전극(209)을 포함하고, 지지층(202) 및 버퍼층(204)을 더 포함할 수 있다.
- [0193] 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 구성요소는 전술한 본 발명의 일 실시예에 따른 산화물 반도체 박막 트랜지스터와 동일한 기술적 구성요소를 포함할 수 있고, 중복되는 구성요소에 대해서는 중복 기재를 생략하기로 한다.
- [0194] 도 10a를 참조하면, 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 캐리어 기판(201) 상에 지지층(202)은 및 플렉서블 기판(203)을 형성한다.
- [0195] 도 10a에 도시된 바와 같이, 지지층(202)은 캐리어 기판(201) 상에 형성된다. 다만, 지지층(202)은 반드시 필요한 구성은 아니다.
- [0196] 또한, 플렉서블 기판(203)은 지지층(202) 상에 형성된다. 플렉서블 기판(203)은 산화물 반도체 박막 트랜지스터의 여러 구성 요소들을 지지하기 위한 기판으로서, 가요성(flexibility)을 갖는 기판일 수 있다.
- [0197] 도 10b를 참조하면, 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 플렉서블 기판(203) 상에 버퍼층(buffer layer)(204)을 형성한다.
- [0198] 도 10b에 도시된 바와 같이, 버퍼층(204)은 플렉서블 기판(203) 상에 형성될 수 있다.
- [0199] 버퍼층(204)은 플렉서블 기판(203)을 통한 수분 또는 산소와 같은 외부 불순물의 침투를 방지하며, 플렉서블 기

판(203)의 표면을 평탄화할 수 있다. 다만, 버퍼층(204)은 반드시 필요한 구성은 아니며, 플렉서블 기판(203)의 종류에 따라 채택되거나 생략될 수 있다.

- [0200] 도 10c를 참조하면, 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 버퍼층(204)이 형성된 플렉서블 기판(203) 상에 산화물 반도체층(205)을 형성한다.
- [0201] 도 10c에 도시된 바와 같이, 산화물 반도체층(205)은 버퍼층(204) 형성된다.
- [0202] 산화물 반도체층(205)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 산화물 반도체층(205)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0203] 도 10d를 참조하면, 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 버퍼층(204) 및 산화물 반도체층(205) 상에 소스/드레인 전극(206, 207)을 형성한다.
- [0204] 도 10d에 도시된 바와 같이, 소스/드레인 전극(206, 207)은 버퍼층(204) 및 산화물 반도체층(205) 상에 산화물 반도체층(205)과 각각 전기적으로 연결되도록 서로 이격되어 형성된다.
- [0205] 소스/드레인 전극(206, 207)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 소스/드레인 전극(206, 207)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0206] 도 10e를 참조하면, 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 소스/드레인 전극(206, 207) 상에 게이트 절연층(208)을 형성한다.
- [0207] 도 10e에 도시된 바와 같이, 게이트 절연층(208)은 소스/드레인 전극(206, 207) 상에 형성된다.
- [0208] 도 10f를 참조하면, 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 게이트 절연층(208) 상에 제1 게이트 전극(209)을 형성한다.
- [0209] 도 10f에 도시된 바와 같이, 제1 게이트 전극(209)은 게이트 절연층(208) 상에 산화물 반도체층(205)과 대응되도록 형성된다. 제1 게이트 전극(209)은 상부 게이트 전극(Top Gate)일 수 있다.
- [0210] 제1 게이트 전극(209)은 복수 개의 아일랜드 패턴으로 형성될 수 있다. 제1 게이트 전극(209)이 복수 개의 아일랜드 패턴으로 형성될 경우, 휨 또는 구부림 등의 외부 스트레스에 대한 내성을 가지게 되어 크랙(Crack)과 같은 외부 스트레스에 의한 손상을 방지할 수 있다.
- [0211] 도 10g를 참조하면, 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조방법은, 캐리어 기판(201)을 제거한다.
- [0212] 도 10g에 도시된 바와 같이, 캐리어 기판(201)은 지지층(102)으로부터 제거될 수 있다.
- [0213] 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터는 산화물 반도체층(205), 소스/드레인 전극(206, 207) 및 제1 게이트 전극(209) 중 적어도 하나 이상은 복수 개의 아일랜드 패턴으로 형성되어 외부 스트레스에 대한 내성을 가질 수 있다.
- [0214] 본 발명의 또 다른 실시예에 따른 산화물 반도체 박막 트랜지스터는 디스플레이 장치, 특히 플렉서블 디스플레이 장치의 화소 소자, 예를 들어 유기 발광 소자를 구동시키기 위해 사용될 수 있다.
- [0216] 지금까지 산화물 반도체 박막 트랜지스터 및 이의 제조방법에 대해 설명하였으나, 이를 이용한 디스플레이 장치 및 이의 제조방법 역시 본 발명의 범위에 속한다.
- [0217] 구체적으로, 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터는 액정 디스플레이 장치(LCD) 또는 유기 발광 디스플레이 장치(AMOLED) 등의 플렉서블 디스플레이 장치의 화소 소자로 사용될 수 있다. 보다 구체적으로, 상술한 방법을 이용하여 산화물 반도체 박막 트랜지스터를 제조한 후, 소스/드레인 전극 중 어느 하나에 전기적으로 연결되는 화소 전극을 형성하는 단계를 거쳐, 디스플레이 장치를 제조할 수 있다.
- [0218] 예를 들어, 도 1에 도시된 바와 같이, 소스/드레인 전극(108, 109) 덮는 패시베이션층(110)을 형성하고, 덮는 패시베이션층(110)의 관통홀을 통해 드레인 전극(109)에 접촉하는 화소 전극(111)을 형성하며, 화소 전극(111) 상에 발광층(미도시)을 포함하는 중간층(미도시)을 형성하고, 그 위에 대향전극(미도시)을 형성함으로써, 유기 발광 디스플레이 장치를 제조할 수 있다.

[0220] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

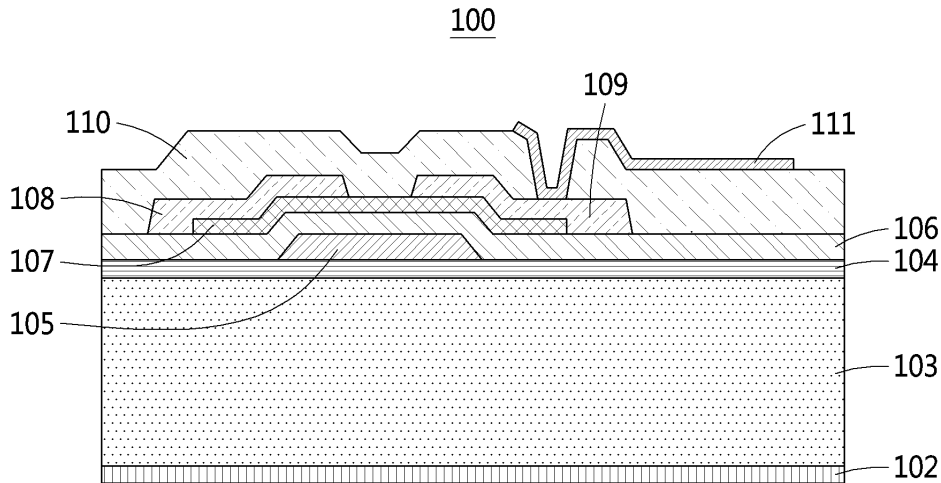
### 부호의 설명

[0222]

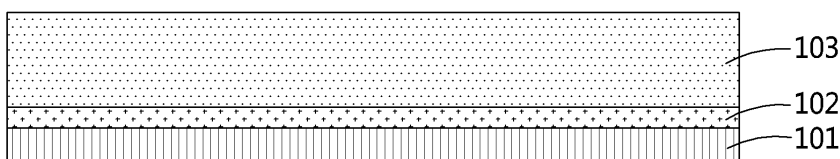
|                       |                |
|-----------------------|----------------|
| 100: 산화물 반도체 박막 트랜지스터 | 101: 캐리어 기판    |
| 102: 지지층              | 103: 플렉서블 기판   |
| 104: 버퍼층              | 105: 제1 게이트 전극 |
| 106: 게이트 절연층          | 107: 산화물 반도체층  |
| 108: 소스 전극            | 109: 드레인 전극    |
| 110: 패시베이션층           | 111: 화소 전극     |
| 112: 제2 게이트 전극        | 201: 캐리어 기판    |
| 202: 지지층              | 203: 플렉서블 기판   |
| 204: 버퍼층              | 205: 산화물 반도체층  |
| 206: 소스 전극            | 207: 드레인 전극    |
| 208: 게이트 절연층          | 209: 제1 게이트 전극 |

### 도면

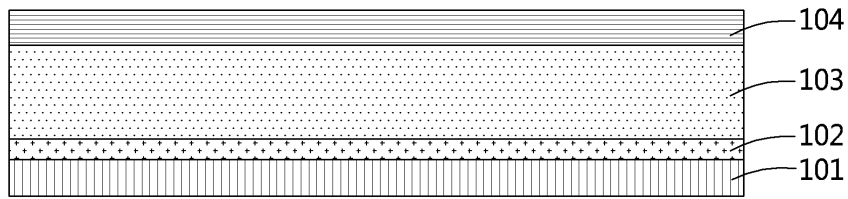
#### 도면1



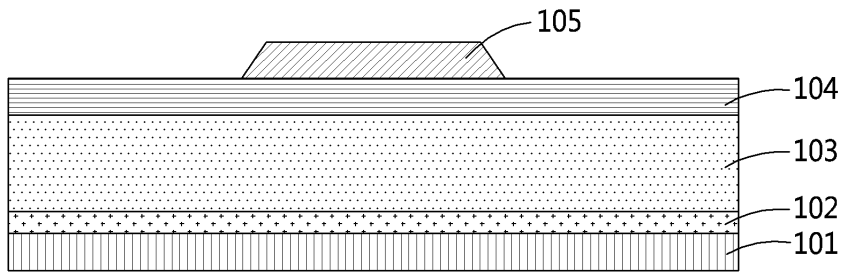
#### 도면2a



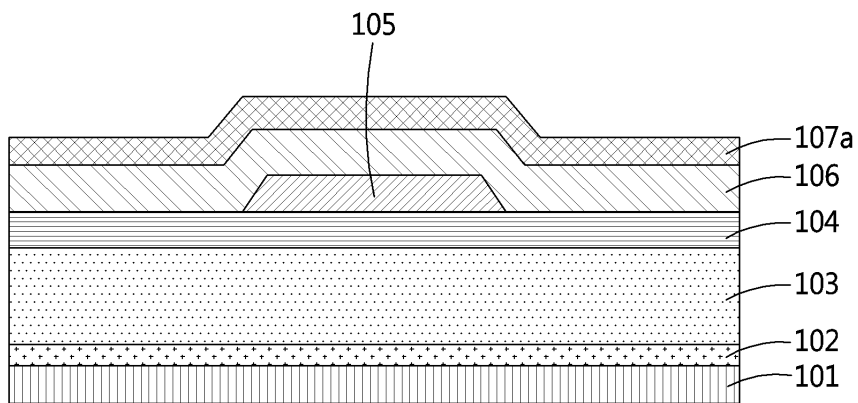
도면2b



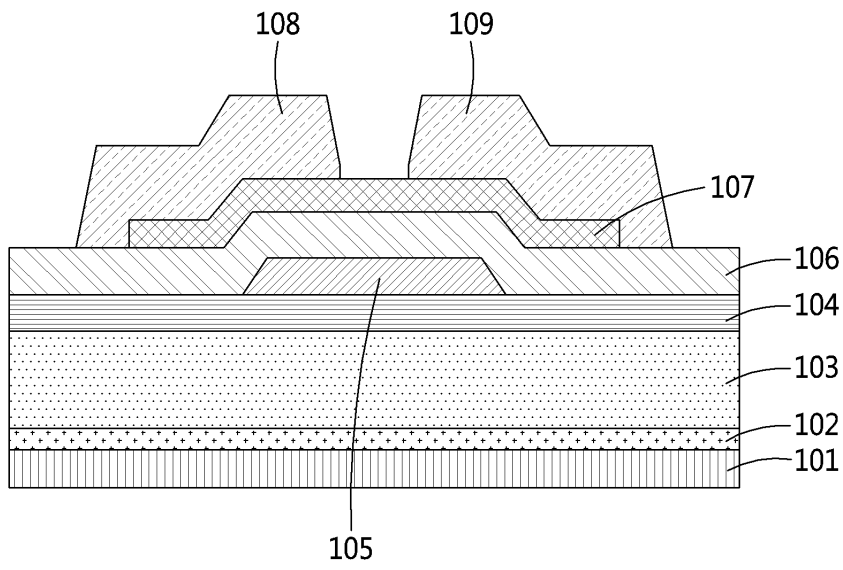
도면2c



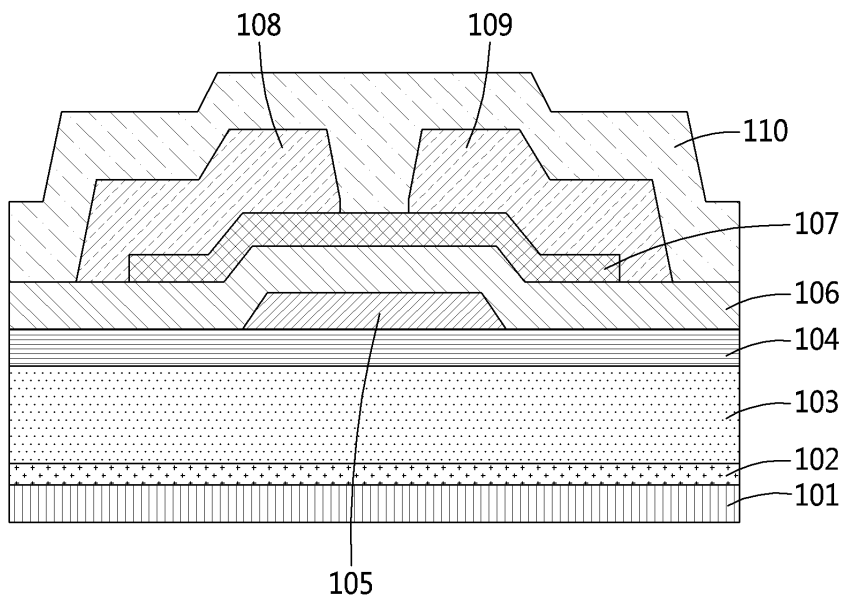
도면2d



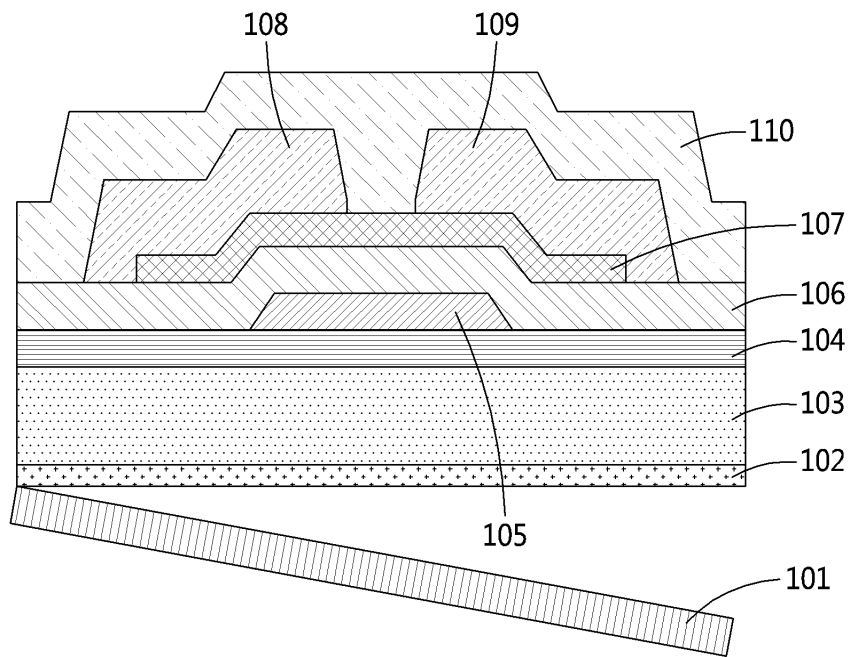
도면2e



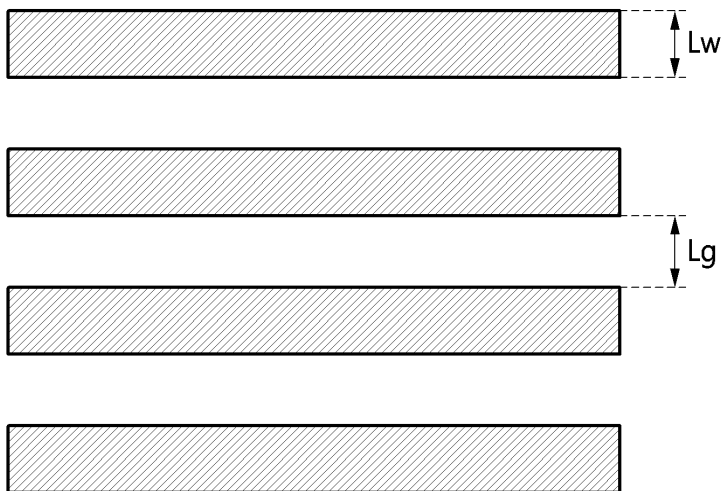
도면2f



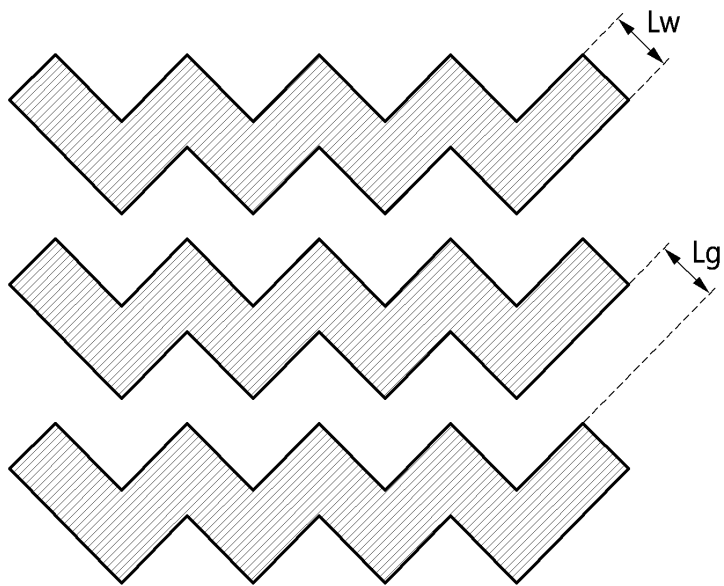
도면2g



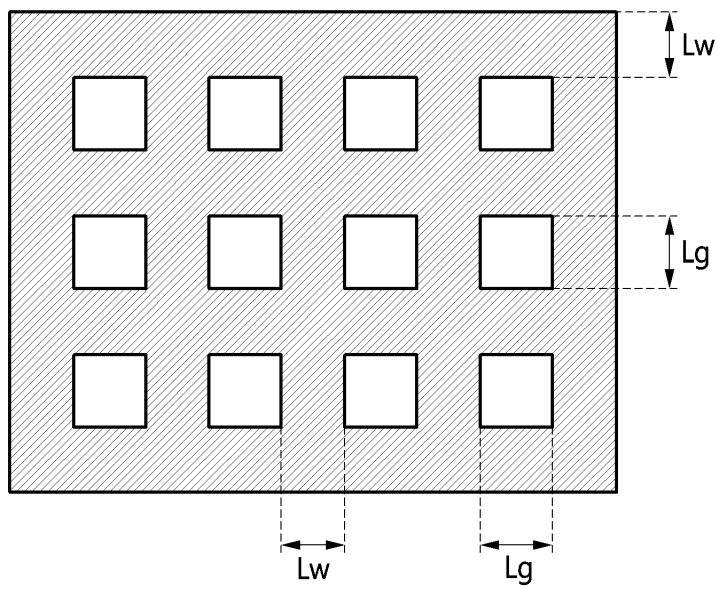
도면3a



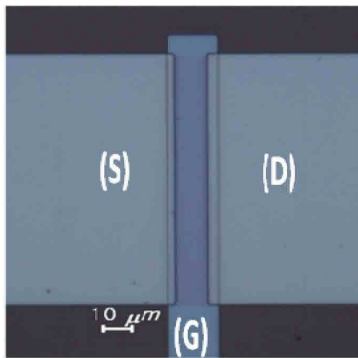
도면3b



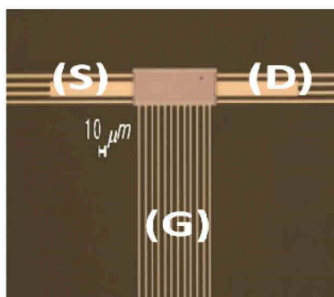
도면3c



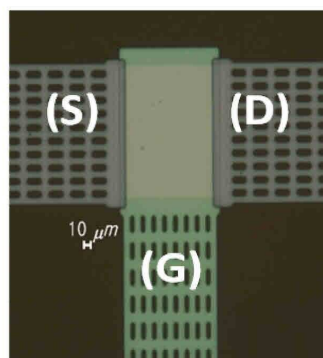
도면4a



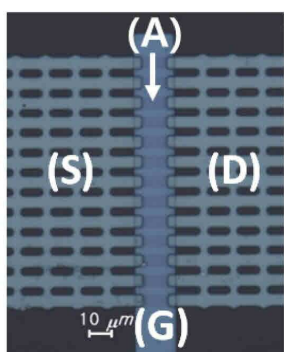
도면4b



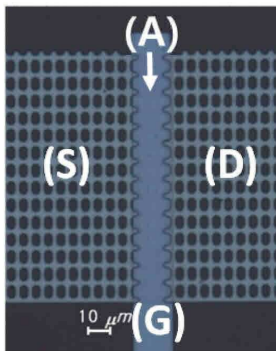
도면4c



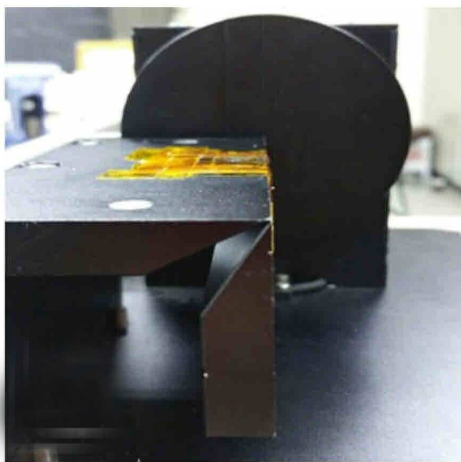
도면4d



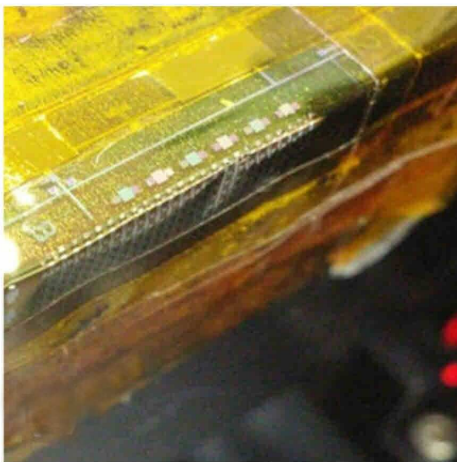
도면4e



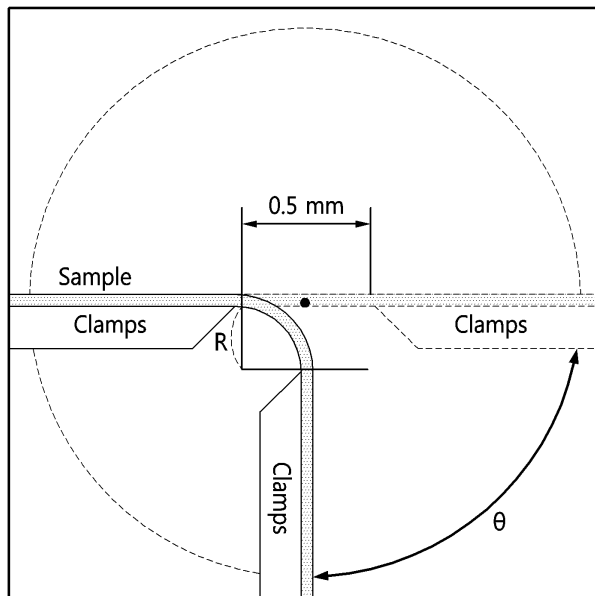
도면5a



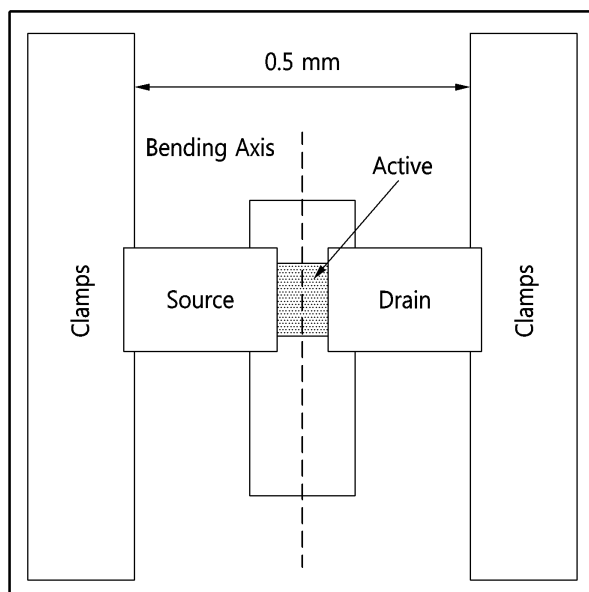
도면5b



도면5c



도면5d



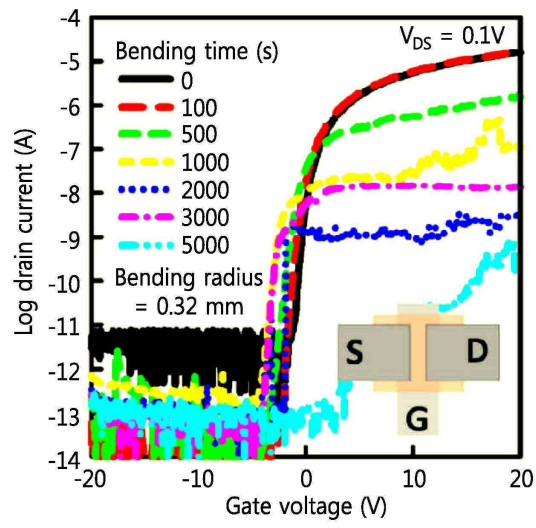
도면6a

| Mo                     | Unit Width<br>= 6 $\mu$ m | Unit Width<br>= 7 $\mu$ m | Unit Width<br>= 10 $\mu$ m | Unit Width<br>= 12 $\mu$ m | Unit Width<br>= 14 $\mu$ m | Unit Width<br>= 24 $\mu$ m | Unit Width<br>= 54 $\mu$ m | Unit Width<br>= 104 $\mu$ m |
|------------------------|---------------------------|---------------------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|-----------------------------|
| Bending Time<br>(0)    |                           |                           |                            |                            |                            |                            |                            |                             |
| Bending Time<br>(100)  |                           |                           |                            |                            |                            |                            |                            |                             |
| Bending Time<br>(500)  |                           |                           |                            |                            |                            |                            |                            | Crack                       |
| Bending Time<br>(1000) |                           |                           |                            |                            |                            | Crack                      | Crack                      | Crack                       |
| Bending Time<br>(2000) |                           |                           |                            |                            |                            | Crack                      | Crack                      | Crack                       |
| Bending Time<br>(3000) |                           |                           |                            |                            | Crack                      | Crack                      | Crack                      | Crack                       |
| Bending Time<br>(4000) |                           | Crack                     | Crack                      | Crack                      | Crack                      | Crack                      | Crack                      | Crack                       |

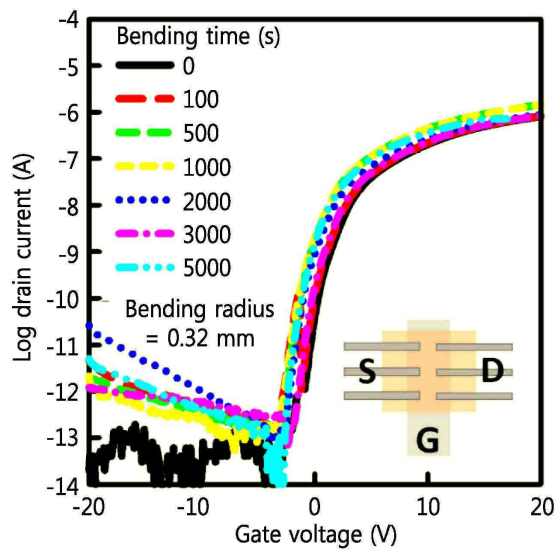
도면6b

| IZO                    | Unit Width<br>= 6 $\mu$ m | Unit Width<br>= 7 $\mu$ m | Unit Width<br>= 10 $\mu$ m | Unit Width<br>= 12 $\mu$ m | Unit Width<br>= 14 $\mu$ m | Unit Width<br>= 24 $\mu$ m | Unit Width<br>= 54 $\mu$ m | Unit Width<br>= 104 $\mu$ m |
|------------------------|---------------------------|---------------------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|-----------------------------|
| Bending Time<br>(0)    |                           |                           |                            |                            |                            |                            |                            |                             |
| Bending Time<br>(100)  |                           |                           |                            |                            |                            |                            |                            |                             |
| Bending Time<br>(500)  |                           |                           |                            |                            |                            |                            |                            | Crack                       |
| Bending Time<br>(1000) |                           |                           |                            |                            |                            |                            | Crack                      | Crack                       |
| Bending Time<br>(2000) |                           |                           |                            |                            |                            | Crack                      | Crack                      | Crack                       |
| Bending Time<br>(3000) |                           |                           |                            |                            | Crack                      | Crack                      | Crack                      | Crack                       |
| Bending Time<br>(4000) |                           | Crack                     |                            | Crack                      | Crack                      | Crack                      | Crack                      | Crack                       |

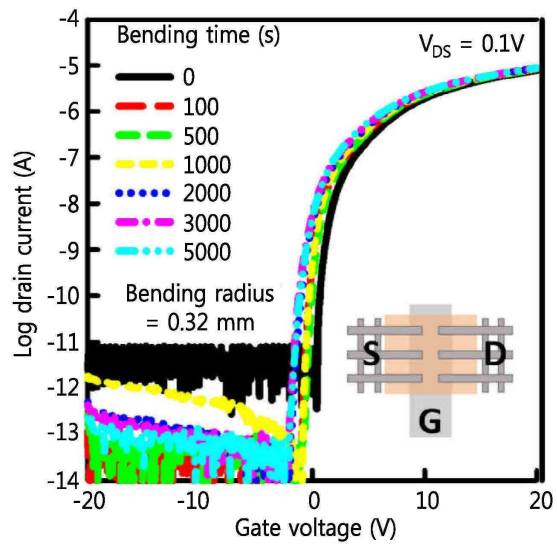
도면7a



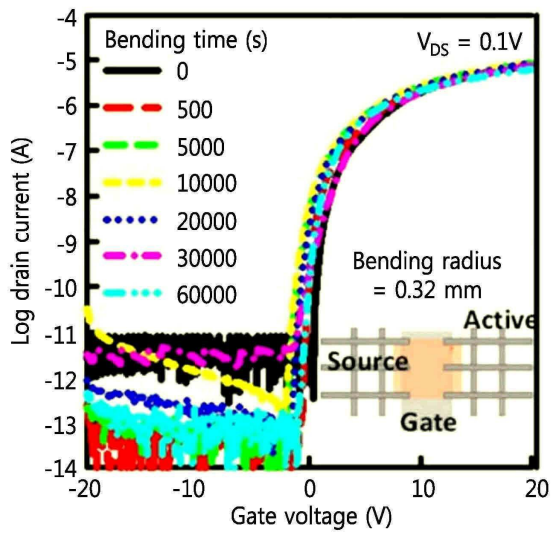
도면7b



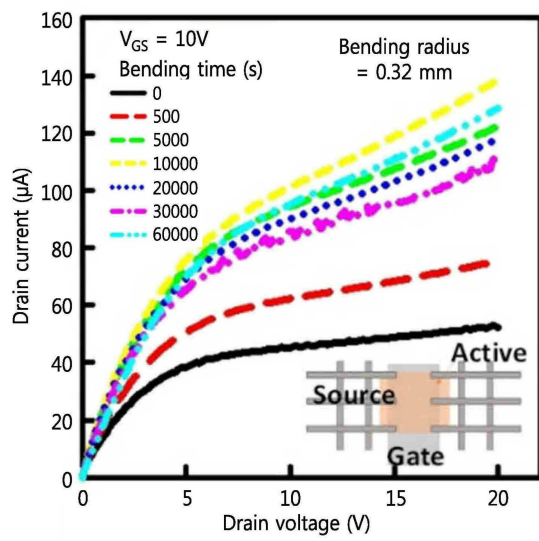
도면7c



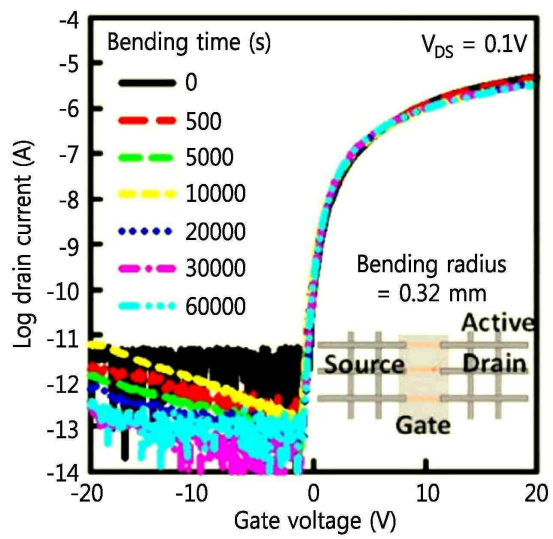
도면8a



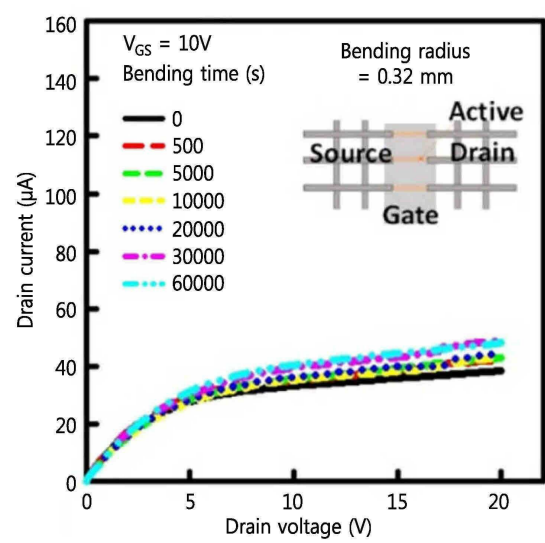
도면8b



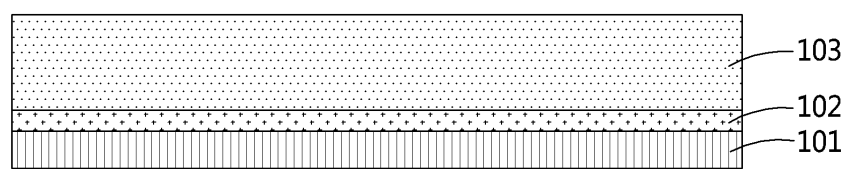
도면8c



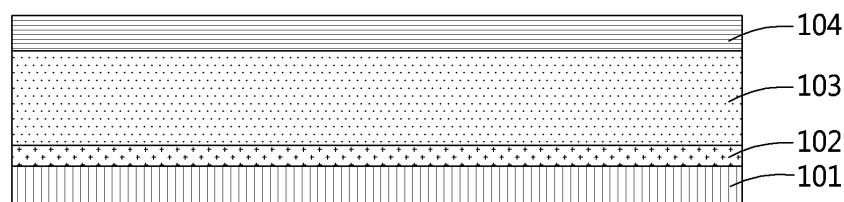
도면8d



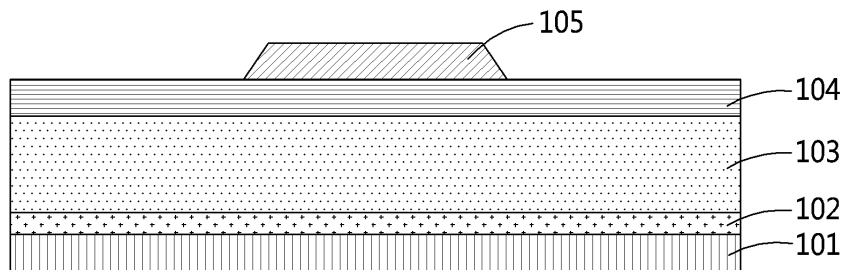
도면9a



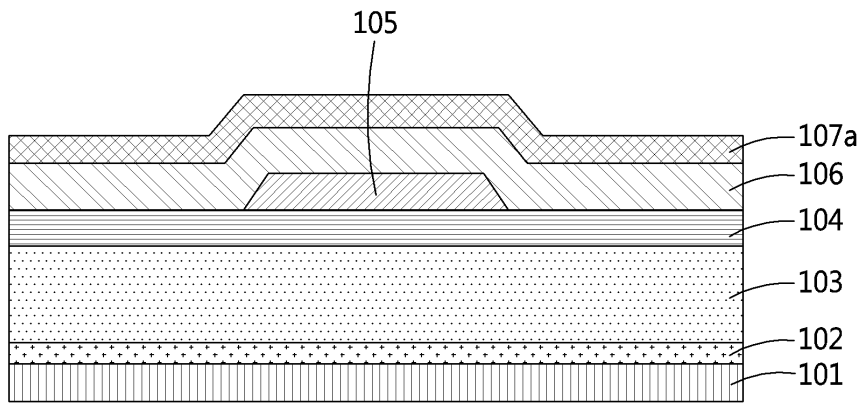
도면9b



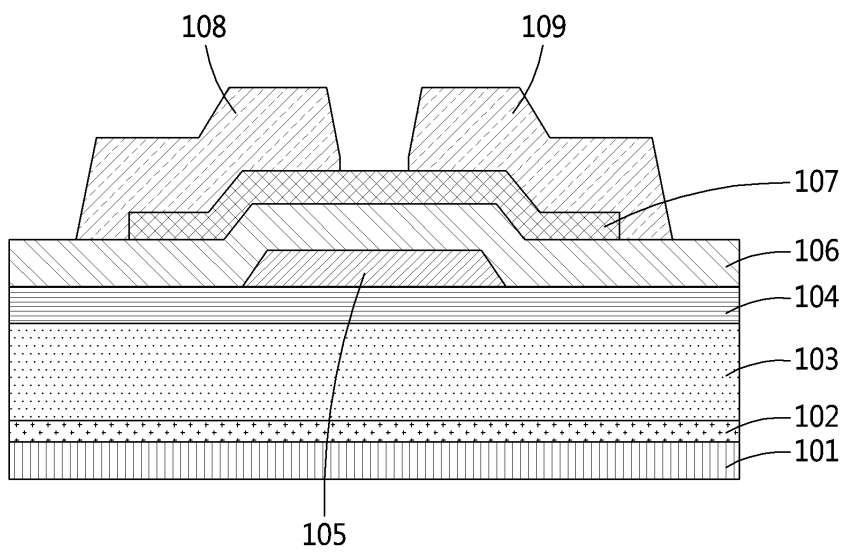
도면9c



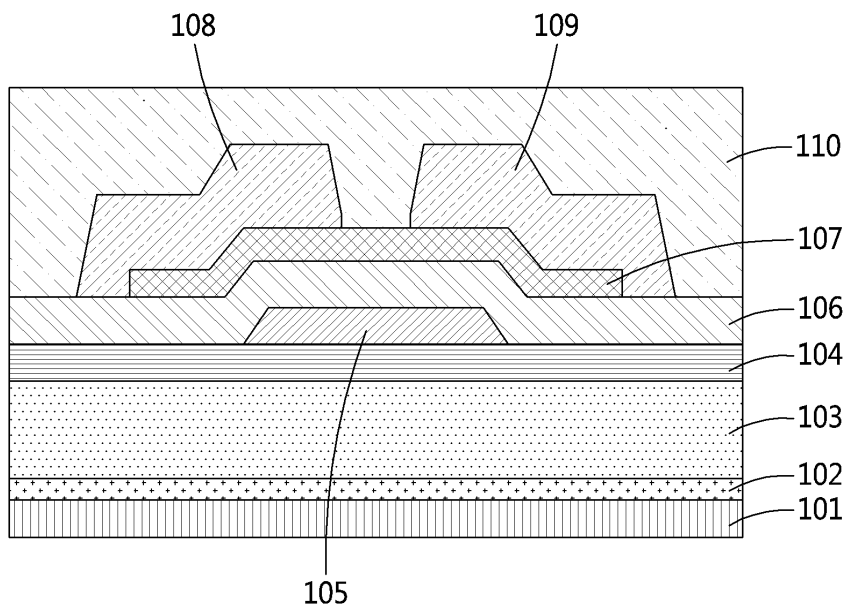
도면9d



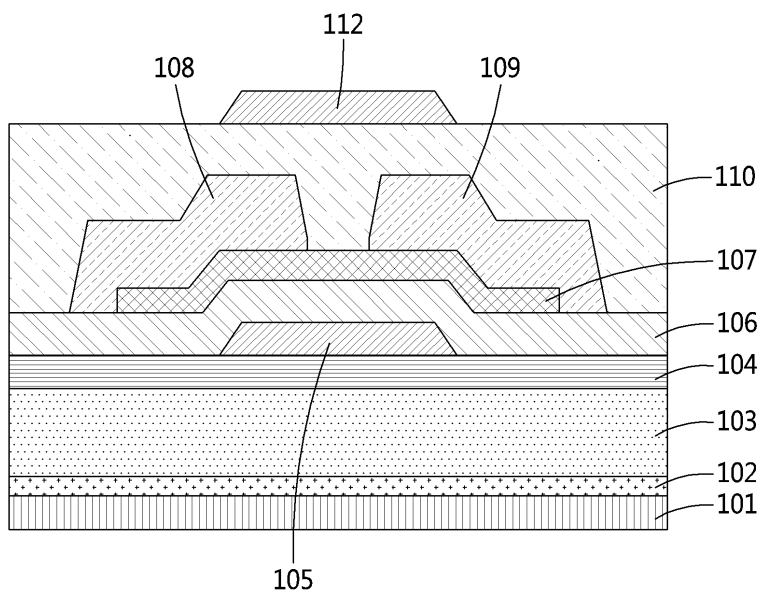
도면9e



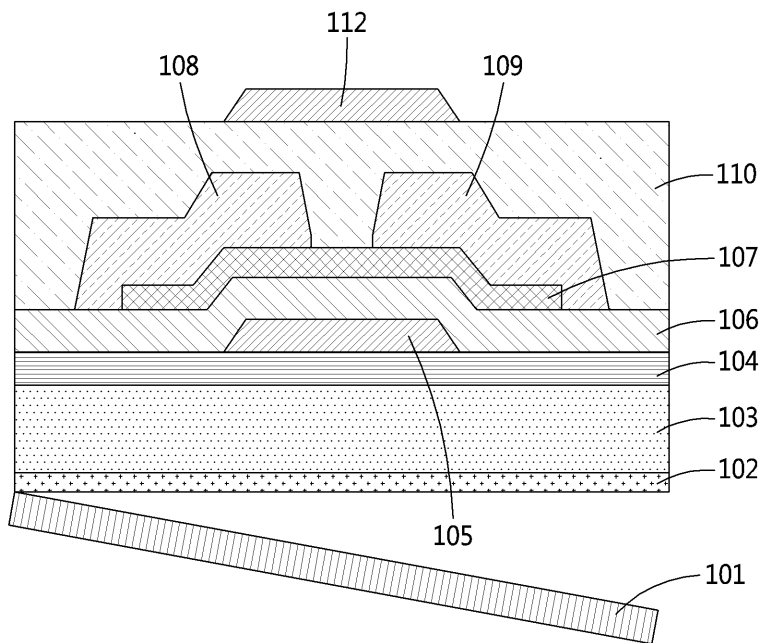
도면9f



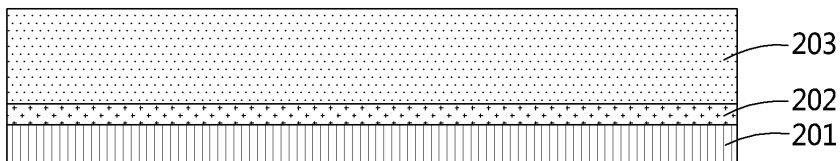
도면9g



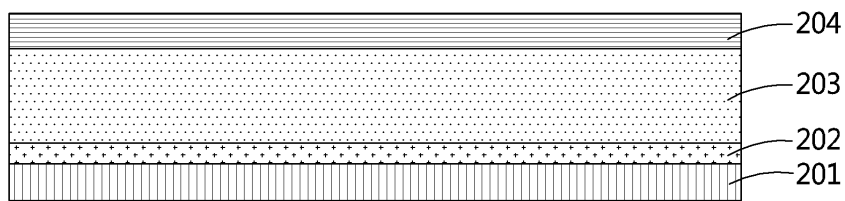
도면9h



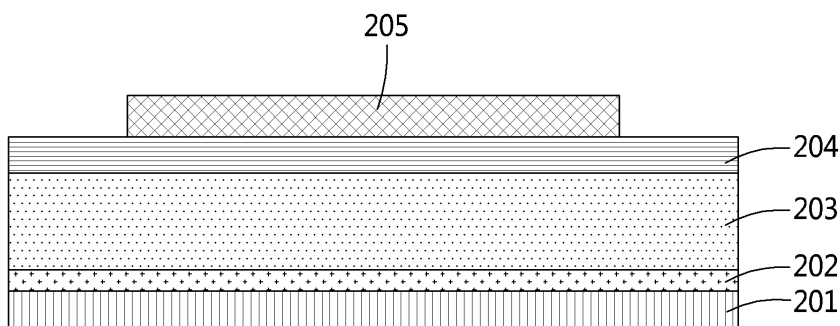
도면10a



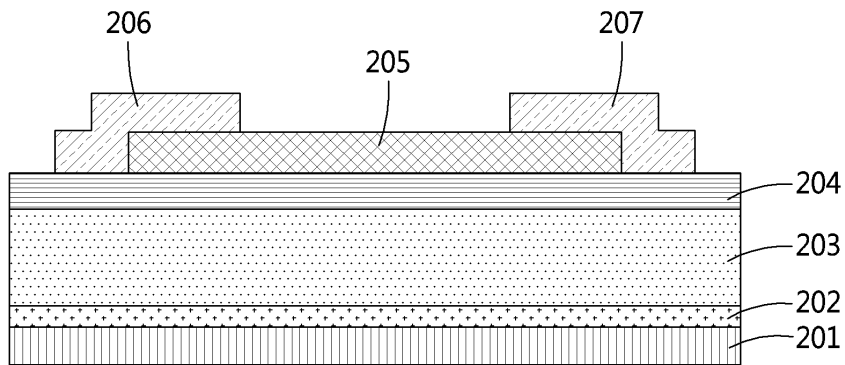
도면10b



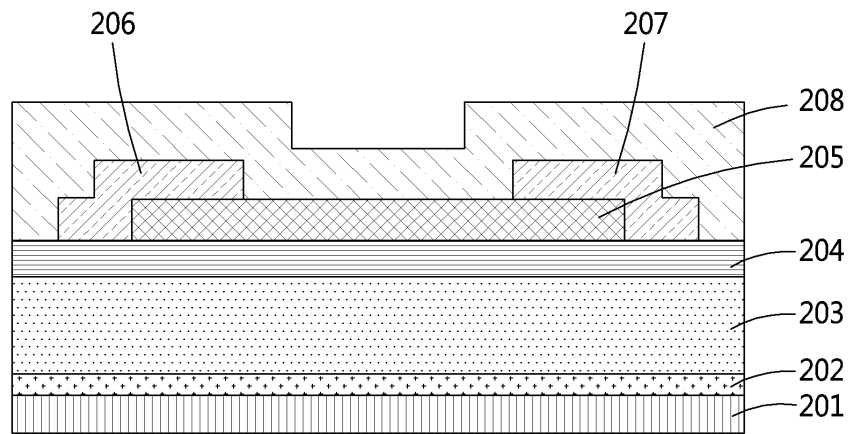
도면10c



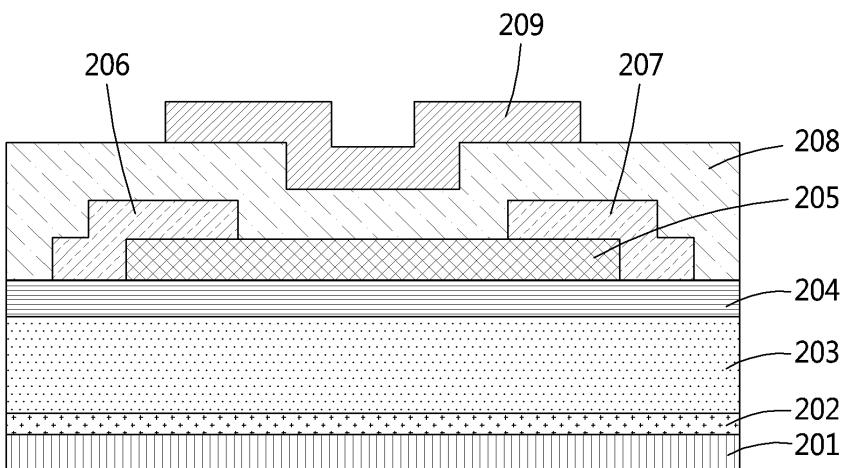
도면10d



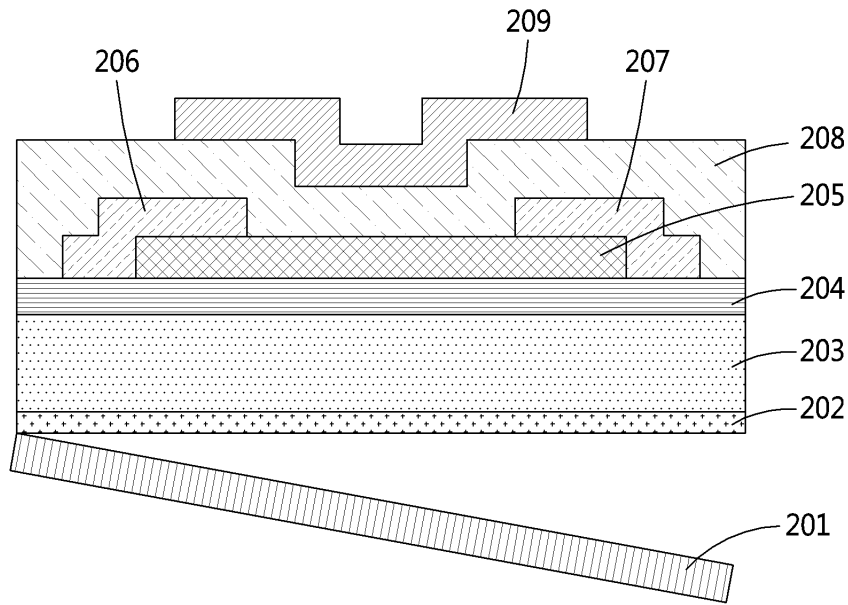
도면10e



도면10f



도면10g



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제13항

【변경전】

상기 패시베이션층

【변경후】

상기 패시베이션층

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 제9항

【변경전】

산화물 반도체 트랜지스터

【변경후】

산화물 반도체 박막 트랜지스터