

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4980904号
(P4980904)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int.Cl.	F I
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 5 1
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 1 0 0
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 C
H O 1 L 49/00 (2006.01)	H O 1 L 49/00 Z

請求項の数 15 (全 17 頁)

(21) 出願番号	特願2007-520891 (P2007-520891)	(73) 特許権者	507372659
(86) (22) 出願日	平成17年7月14日(2005.7.14)		ナノ イープリント リミテッド
(65) 公表番号	特表2008-507122 (P2008-507122A)		イギリス国、マンチェスター エム 1 3
(43) 公表日	平成20年3月6日(2008.3.6)		9 エヌ ティー、4 6 グラフトン
(86) 国際出願番号	PCT/GB2005/002756		ストリート、コア テクノロジー ファシ
(87) 国際公開番号	W02006/008467		リティ
(87) 国際公開日	平成18年1月26日(2006.1.26)	(74) 代理人	100100114
審査請求日	平成20年6月30日(2008.6.30)		弁理士 西岡 伸泰
(31) 優先権主張番号	0415995.0	(72) 発明者	ソン・エイミン
(32) 優先日	平成16年7月16日(2004.7.16)		イギリス国、エスケイ4 2 ビージー、ス
(33) 優先権主張国	英国 (GB)		トックポート、8 0 クレイグ ロード
		審査官	正山 旭

最終頁に続く

(54) 【発明の名称】 自己スイッチングメモリデバイス

(57) 【特許請求の範囲】

【請求項 1】

電荷キャリアを有する基板と、該基板表面上に形成された絶縁部とを具え、該絶縁部の両側には第 1 及び第 2 基板領域が形成され、該第 1 及び第 2 基板領域は絶縁部によって形成された細長チャネルによって接続されているメモリユニットであって、前記第 1 及び第 2 基板領域間の所定の電位差でチャネルが第 1 及び第 2 基板領域間に第 1 のコンダクタンスを与える第 1 の状態と、前記所定の電位差でチャネルが第 1 及び第 2 基板領域間に第 2 の異なるコンダクタンスを与える第 2 の状態との間で切り換え可能な少なくとも 1 つのメモリユニットと、

メモリユニットを第 1 の状態に変更するため、前記メモリユニットの第 1 及び第 2 基板領域に第 1 の電位差を、そしてメモリユニットを第 2 の状態に変更するため第 2 の異なる電位差を印加するよう構成された書き込み回路と、

メモリユニットの状態を読み出すため、前記メモリユニットの第 1 及び第 2 基板領域に前記所定の電位差を印加するよう構成された読み出し回路とを具えているメモリデバイス。

【請求項 2】

前記所定の電位差は、第 1 及び第 2 の電位差の一方より大きく、他方より小さい請求項 1 に記載のメモリデバイス。

【請求項 3】

第 2 の電位差は、第 1 の電位差に対し、同じ大きさを有するが、反対の極性である請求

10

20

項 1 又は請求項 2 に記載のメモリデバイス。

【請求項 4】

読み出し回路は、前記メモリユニットの第 1 及び第 2 基板領域間の電流の流れを測定するための電流センサを具えている請求項 1 乃至 3 の何れか 1 項に記載のメモリデバイス。

【請求項 5】

前記デバイスは、前記メモリユニットの第 1 及び第 2 基板領域に前記所定の電位差を印加することによって前記メモリユニットの状態を判断するよう構成されると共に、前記メモリユニットが第 1 の状態にあると判断された場合は第 1 の電位差を、そしてメモリユニットが第 2 の状態にあると判断された場合は第 2 の電位差をその後印加するよう構成されたリフレッシュ回路を具えている請求項 1 乃至 4 の何れか 1 項に記載のメモリデバイス。

10

【請求項 6】

メモリユニットは自己スイッチングダイオードである請求項 1 乃至 5 の何れか 1 項に記載のメモリデバイス。

【請求項 7】

前記デバイスは複数の前記メモリユニットを具えている請求項 1 乃至 6 の何れか 1 項に記載のメモリデバイス。

【請求項 8】

複数のメモリユニットの状態を同時に読み出すため、読み出し回路は、複数の前記メモリユニットのそれぞれの第 1 及び第 2 基板領域に前記所定の電位差を印加するよう構成されている請求項 7 に記載のメモリデバイス。

20

【請求項 9】

前記複数のメモリユニットは、複数の行及び複数の列に配置されてメモリアレイを形成し、各メモリユニットの第 1 基板領域はそれぞれの行ラインに接続されると共に各メモリユニットの第 2 基板領域はそれぞれの列ラインに接続され、

書き込み回路は、前記第 1 の電位差及び前記第 2 の電位差の少なくとも 1 つを与える様、第 1 の電圧を関連する列ラインに、そして第 2 の電圧を関連する行ラインに印加するよう構成され、前記第 1 及び第 2 の電圧は、アレイにおける残りのメモリユニットの状態を変更するには不十分である請求項 7 又は請求項 8 に記載のメモリデバイス。

【請求項 10】

読み出し回路は、列ラインの 1 つにセンス電圧を印加し、残りの列ラインには異なる一定の電圧を印加して、少なくとも 1 つのメモリユニットの状態を、該メモリユニットに接続された行ラインに接続された電流センス増幅器を用いて読み出すよう構成されている請求項 9 に記載のメモリデバイス。

30

【請求項 11】

前記少なくとも 1 つのメモリユニットは、書き込み回路及び読み出し回路に着脱可能に接続される請求項 1 乃至 10 に記載のメモリデバイス。

【請求項 12】

電荷キャリアを有する基板と、該基板表面上に形成された絶縁部とを具え、該絶縁部の両側には第 1 及び第 2 基板領域が形成され、該第 1 及び第 2 基板領域は絶縁部によって形成された細長チャネルによって接続されているメモリユニットであって、前記第 1 及び第 2 基板領域間の所定の電位差でチャネルが第 1 及び第 2 基板領域間に第 1 のコンダクタンスを与える第 1 の状態と、前記所定の電位差でチャネルが第 1 及び第 2 基板領域間に第 2 の異なるコンダクタンスを与える第 2 の状態との間で切り換え可能なメモリユニットに書き込みを行なう方法であって、

40

メモリユニットを第 1 の状態に変更するため、メモリユニットの第 1 及び第 2 基板領域間に第 1 の電位差を印加することと、

メモリユニットを第 2 の状態に変更するため、メモリユニットの第 1 及び第 2 基板領域に第 2 の異なる電位差を印加することとの少なくとも 1 つを含む方法。

【請求項 13】

50

電荷キャリアを有する基板と、該基板表面上に形成された絶縁部とを具え、該絶縁部の両側には第 1 及び第 2 基板領域が形成され、該第 1 及び第 2 基板領域は絶縁部によって形成された細長チャネルによって接続されているメモリユニットであって、前記第 1 及び第 2 基板領域間の所定の電位差でチャネルが第 1 及び第 2 基板領域間に第 1 のコンダクタンスを与える第 1 の状態と、前記所定の電位差でチャネルが第 1 及び第 2 基板領域間に第 2 の異なるコンダクタンスを与える第 2 の状態との間で切り換え可能なメモリユニットの読み出しを行なう方法であって、

第 1 及び第 2 基板領域に前記所定の電位差を印加することと、
メモリユニットの状態を読み出すことと
を含む方法。

10

【請求項 1 4】

メモリユニットの状態は、メモリユニットの第 1 及び第 2 基板領域間の電流の流れを示す信号を測定することによって読み出される請求項 1 3 に記載の方法。

【請求項 1 5】

電圧源と、メモリユニットの第 1 及び第 2 基板領域間に電位差を印加するための電極とを具えているスキャニングデバイスであって、請求項 1 2 及び請求項 1 3 の少なくとも 1 つの方法を実行するよう構成されたスキャニングデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、メモリデバイス、メモリへの書き込み及びメモリからの読み出しを行なうための方法及び装置、及び関連する製造の方法に関するものである。特に本発明の実施形態は、コンピュータ用のメモリとしての使用に適しているが、これに限定されない。

【背景技術】

【0002】

メモリは、後の検索用に情報を格納するために用いるデバイスである。メモリは、コンピュータ、又はコンピュータユニットを含むデバイス、例えば携帯電話機と関連している場合がある。情報は通常、ビットのシーケンスとしてデジタル形式で格納される。

【0003】

メモリデバイスは、コンピュータデバイスに常に接続されていてもよいし、コンピュータデバイスに着脱可能に接続されるよう構成された別個のデバイス(例えばセキュアデジタルフラッシュメモリ)であってもよい。メモリデバイスは現在、各種メディアの中に組み込まれていて、例えば、多くのバンキングカードが現在、ユーザの P I N (個人識別番号)の格納のため、カードにメモリデバイスを組み込んでいる。

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

電子産業の中には、メモリデバイスを含め、電子/電気回路の小型化に対する継続的要求がある。マイクロメートル寸法の集積回路を作るための周知の技術は共通に、異なる形状及びパターンを重ねて配列することを含む複数のステップ(例えばフォトリソグラフィ技術)と、その後の拡散及び注入ステップとを必要とする。しかしながら、このようなステップ(サブマイクロメートル寸法、例えばナノメートル寸法のデバイスを製造するための)の小型化は、異なるステップのそれぞれの間に要求される装置の正確な配列を含め、多くの理由により問題がある。このため、このような小型化されたデバイスを製造するために利用される製造装置のコストが比較的大きく増加することになる。

40

【0005】

その上、半導体デバイス寸法が急速にナノメートルスケールまで減少するにつれて、小型化された従来の半導体デバイスの動作に望ましくない影響を与える可能性がある物理現象が生じる。例えば、単電子トランジスタ(S E T)は、ゆらぎ背景電荷に極めて敏感であることが明らかになっている。S E T 近傍の 1 つの荷電不純物でもその動作に深刻に影響

50

する可能性がある。このように、表面理化特性の高度な制御が実現され得ない限り、既存の電子デバイスの性能は小型化に応じて悪化する可能性がある。

【 0 0 0 6 】

この中で言及したものでもそうでないものでも、先行技術の 1 以上の問題に対処することが本発明の実施形態の目的である。製造が比較的簡単な(そしてそれ故安価な)メモリデバイスを提供することが本発明の特定の実施形態の目的である。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の第 1 の態様によれば、移動電荷キャリアを有する基板と、該基板表面上に形成された絶縁部とを具え、該絶縁部の両側には第 1 及び第 2 基板領域が形成され、該第 1 及び第 2 基板領域は絶縁部によって形成された細長チャンネルによって接続されているメモリユニットであって、前記第 1 及び第 2 基板領域間の所定の電位差でチャンネルが第 1 及び第 2 基板領域間に第 1 のコンダクタンスを与える第 1 の状態と、前記所定の電位差でチャンネルが第 1 及び第 2 基板領域間に第 2 の異なるコンダクタンスを与える第 2 の状態との間で切り換え可能な少なくとも 1 つのメモリユニットと、メモリユニットを第 1 の状態に変更するため、前記メモリユニットの第 1 及び第 2 基板領域に第 1 の電位差を、そしてメモリユニットを第 2 の状態に変更するため第 2 の異なる電位差を印加するよう構成された書き込み回路と、メモリユニットの状態を読み出すため、前記メモリユニットの第 1 及び第 2 基板領域に前記所定の電位差を印加するよう構成された読み出し回路とを具えているメモリデバイスが提供される。

【 0 0 0 8 】

メモリユニットが 1 つの形体のパターンを利用してユニットの機能性を定義することができるので、このようなデバイスのメモリユニットは製造が比較的簡単である。このように、異なる形状及びパターンを重ねて配列することを必要とする複数のステップを必要とする、集積回路を製造する先行技術の過程と比較して、前記デバイスは比較的簡単な技術を用いて製造することができる。その上、メモリユニットは通常比較的小さく、例えば、メモリ性能に有害な影響を及ぼすことなく、前記ユニットをサブマイクロメートル寸法にすることができる。

【 0 0 0 9 】

好ましくは、前記所定の電位差は、第 1 及び第 2 の電位差の一方より大きく、他方より小さい。

【 0 0 1 0 】

第 2 の電位差は、第 1 の電位差に対し、同じ大きさを有するが、反対の極性であってもよい。

【 0 0 1 1 】

好ましくは、読み出し回路は、前記メモリユニットの第 1 及び第 2 領域間の電流の流れを測定するための電流センサを具えている。

【 0 0 1 2 】

好ましくは、前記デバイスは、前記メモリユニットの第 1 及び第 2 領域に前記所定の電位差を印加することによって前記メモリユニットの状態を判断するよう構成されると共に、前記メモリユニットが第 1 の状態にあると判断された場合は第 1 の電位差を、そしてメモリユニットが第 2 の状態にあると判断された場合は第 2 の電位差をその後印加するよう構成されたりフレッシュ回路を具えている。

【 0 0 1 3 】

メモリユニットは自己スイッチングダイオードであってもよい。

【 0 0 1 4 】

前記デバイスは複数の前記メモリユニットを具えていてもよい。

【 0 0 1 5 】

複数のメモリユニットの状態を同時に読み出すため、読み出し回路は、複数の前記メモリユニットのそれぞれの第 1 及び第 2 領域に前記所定の電位差を印加するよう構成しても

よい。

【0016】

好ましくは、前記複数のメモリユニットは、複数の行及び複数の列に配置されてメモリアレイを形成し、各メモリユニットの第1領域はそれぞれの行ラインに接続されると共に各メモリユニットの第2領域はそれぞれの列ラインに接続され、書き込み回路は、前記第1の電位差及び前記第2の電位差の少なくとも1つを与える様、第1の電圧を関連する列ラインに、そして第2の電圧を関連する行ラインに印加するよう構成され、前記第1及び第2の電圧は、アレイにおける残りのメモリユニットの状態を変更するには不十分である。

【0017】

読み出し回路は、列ラインの1つにセンス電圧を印加し、残りの列ラインには異なる一定の電圧を印加して、少なくとも1つのメモリユニットの状態を、該メモリユニットに接続された行ラインに接続された電流センス増幅器を用いて読み出すよう構成してもよい。

【0018】

前記少なくとも1つのメモリユニットは、書き込み回路及び読み出し回路に対して着脱可能に接続されるよう構成してもよい。

【0019】

本発明の第2の態様によれば、移動電荷キャリアを有する基板と、該基板表面上に形成された絶縁部とを具え、該絶縁部の両側には第1及び第2基板領域が形成され、該第1及び第2基板領域は絶縁部によって形成された細長チャンネルによって接続されているメモリユニットであって、前記第1及び第2基板領域間の所定の電位差でチャンネルが第1及び第2基板領域間に第1のコンダクタンスを与える第1の状態と、前記所定の電位差でチャンネルが第1及び第2基板領域間に第2の異なるコンダクタンスを与える第2の状態との間で切り換え可能な少なくとも1つのメモリユニットを提供することと、メモリユニットを第1の状態に変更するため、前記メモリユニットの第1及び第2基板領域に第1の電位差を、そしてメモリユニットを第2の状態に変更するため第2の異なる電位差を印加するよう構成された書き込み回路を提供することと、メモリユニットの状態を読み出すため、前記メモリユニットの第1及び第2基板領域に前記所定の電位差を印加するよう構成された読み出し回路を提供することを含む、メモリデバイスを製造する方法が提供される。

【0020】

本発明の第3の態様によれば、移動電荷キャリアを有する基板と、該基板表面上に形成された絶縁部とを具え、該絶縁部の両側には第1及び第2基板領域が形成され、該第1及び第2基板領域は絶縁部によって形成された細長チャンネルによって接続されているメモリユニットであって、前記第1及び第2基板領域間の所定の電位差でチャンネルが第1及び第2基板領域間に第1のコンダクタンスを与える第1の状態と、前記所定の電位差でチャンネルが第1及び第2基板領域間に第2の異なるコンダクタンスを与える第2の状態との間で切り換え可能なメモリユニットに書き込みを行なう方法であって、メモリユニットを第1の状態に変更するため、メモリユニットの第1及び第2基板領域間に第1の電位差を印加することと、メモリユニットを第2の状態に変更するため、メモリユニットの第1及び第2基板領域に第2の異なる電位差を印加することの少なくとも1つを含む方法が提供される。

【0021】

本発明の第4の態様によれば、移動電荷キャリアを有する基板と、該基板表面上に形成された絶縁部とを具え、該絶縁部の両側には第1及び第2基板領域が形成され、該第1及び第2基板領域は絶縁部によって形成された細長チャンネルによって接続されているメモリユニットであって、前記第1及び第2基板領域間の所定の電位差でチャンネルが第1及び第2基板領域間に第1のコンダクタンスを与える第1の状態と、前記所定の電位差でチャンネルが第1及び第2基板領域間に第2の異なるコンダクタンスを与える第2の状態との間で切り換え可能なメモリユニットの読み出しを行なう方法であって、第1及び第2基板領域に前記所定の電位差を印加することと、メモリユニットの状態を読み出すことを含む方

10

20

30

40

50

法が提供される。

【0022】

好ましくは、メモリユニットの状態は、メモリユニットの第1及び第2領域間の電流の流れを示す信号を測定することによって読み出される。

【0023】

本発明の第5の態様によれば、電圧源と、メモリユニットの第1及び第2領域間に電位差を印加するための電極とを具えているスキニングデバイスであって、請求項13及び請求項14の少なくとも1つの方法を実行するよう構成されたスキニングデバイスが提供される。

【0024】

次に、添付の図面を参照して、本発明の実施形態を単に例として説明する。

【発明を実施するための最良の形態】

【0025】

図1は、本発明の実施形態に従うナノメートルスケールのメモリデバイス100を示している。該デバイス100は、移動電荷キャリア(例えば電子又はホール)を有する基板120を具えているメモリユニット110を具えている。基板表面上には絶縁部130、132、134が形成され、該絶縁部130、132、134の両側に第1及び第2基板領域122、124を形成している。絶縁部132、134は、第1基板領域122を第2基板領域124に接続するチャンネル140を形成している。この細長チャンネル140は、第1基板領域から第2基板領域までの電荷キャリア流路となる。絶縁部はデバイス表面の両縁まで伸びている。

【0026】

細長チャンネル140は、この電荷キャリア流路のパラメータが第1及び第2領域122、124間の電位差に依存するような寸法にする。第1領域122には、この領域に電圧を供給するため、第1電極152が連結されている。第2領域124には、第2領域に電圧を印加するため、第2電極154が連結されている。両電極152、154はメモリスキニングデバイス150に連結されている。該スキニングデバイス150は、メモリデバイスから情報を読み出すための読み出し回路、又はメモリデバイスに情報を書き込むための書き込み回路を含むことができる。この特定の実施形態において、スキニングデバイス150は、読み出し回路と書き込み回路との両方を含む。スキニングデバイス150は、それぞれの電極152、154を介してメモリユニット110に連結されている。スキニングデバイス150は、第1及び第2領域122、124にそれぞれ印加されるべき電圧を発生させるため、電圧源を含む。読み出し回路は、両電極152、154間の電流の流れを判断するため、電流センサを含む。

【0027】

スキニング回路は、両電極152、154に第1の電位差を印加してメモリユニットを第1の状態に切り換えるよう、そして両電極152、154に第2の電位差を印加してメモリユニットを第2の異なる状態に切り換えるよう構成される。読み出し回路は、メモリユニットの第1及び第2領域に(即ち第1及び第2電極152、154に)所定の電位差を印加するよう、そしてその後その所定の電圧での両電極間の電流の流れを測定するよう構成される。メモリユニット110の導電性は、前記所定の読み出し電位差で、異なる状態に対して異なる。このように、前記所定の読み出し電位差での両電極間の電流の流れを測定することで、メモリユニットの状態の判断が可能になる。

【0028】

この特定の実施形態において、絶縁部は基板の表面における溝(トレンチ)である。該溝は、基板の表面をエッチングすることによって容易に形成することができる。移動電荷キャリアは電子であり、二次元電子ガス(2DEG)の形で供給される。2DEGは、基板の表面の所定の距離(例えば40nm)下に層として形成される。前記溝は2DEGの層を通して伸びている。チャンネル長は通常約1ミクロンの長さである。絶縁部によって形成されるチャンネルの幅は通常、チャンネル長の3分の1と4分の1との間であり、即ちチャンネル幅は通常サブミクロンである。

【0029】

10

20

30

40

50

メモリユニットの機能は、比較的狭い半導体チャネル140の高い表面積対体積比を利用している。このメモリユニットは、W O 0 2 / 0 8 6 9 7 3 として公開された国際特許出願 “Nanoelectronic devices and circuits” において説明され、Applied Physics Letters 83、1881(2003)、A. M. Songらによる記事においても報告された自己スイッチングダイオード(S S D、自己スイッチングデバイスとも称される)に基づいている。前記国際特許出願と公開記事との両方は、言及することによりこの中に組み込まれる。

【 0 0 3 0 】

これらの文献は、狭い半導体チャネルの境界を調整してその対称性を損なうことによって、どのようにダイオードのような電流電圧特性が実現されたかを説明している。ダイオードにおいてと違って、S S Dにおいては、ダイオードの非線形特性を獲得するためにドーピング接合もトンネル障壁も要求されない。

10

【 0 0 3 1 】

本発明者は、このようなS S Dの特性において興味深い予想外の効果、即ちS S Dはある程度のヒステリシスを有する電圧電流特性を示すということを確認した。更に、本発明者は、S S Dの適切な駆動によって、メモリユニット(又はこのようなユニットのアレイを組み込んだメモリアレイ)を実現することができるということを認識した。

【 0 0 3 2 】

図2は、メモリユニットとして利用される典型的なS S Dの電圧電流特性のヒステリシスを示している。Applied Physics Letters 86、042106(2005)、A. M. Songらによる記事 “Nanometre-scale two-terminal semiconductor memory operating at room temperature” も又、このようなメモリユニットの動作を説明しているが、その内容は、言及することによりこの中に組み込まれる。

20

【 0 0 3 3 】

図2は、24ケルビンの温度で測定された、典型的なメモリユニットの電圧電流特性を示している。図2の点線は、2つの基板領域122、124の電位差が約1ボルトという第1の下方スレッショルド電圧(例えば第1の電位差)に減少するときのメモリユニットの挙動を示している。2つの基板領域に印加された電位差が約-0.9Vという値を下回ると、メモリユニット中の電流の流れが急激に増加する(即ち電流破壊が起こる)ということが観察されるであろう。下方スレッショルド電圧は、破壊が起こる電圧より小さい。

【 0 0 3 4 】

30

実線は、2つの領域122、124間の電位差が下方スレッショルド電圧から約1ボルトという高い方の第2のスレッショルド電圧(例えば第2の電位差)を越えるまで増加するときの挙動を示している。第2のスレッショルド電圧は、点線及び実線が交差する点であり、第1のスレッショルド電圧に対してほとんど同じ大きさ(しかし反対の符号又は極性)である。実曲線が、特に逆バイアス状態においてより大きいコンダクタンスを示すということが観察されるであろう。しかしながら、印加電圧が第2のスレッショルド値(例えば+1Vの)から減少すれば、メモリユニット特性は点曲線に従うことになるであろう。

【 0 0 3 5 】

本発明者は、このことを利用してメモリユニットを2つの状態(図2において状態0及び状態1とされている)間で切り換える、即ち書き込み動作を実行することができるということを認識した。第2のスレッショルド値(例えば+1V)より大きい電圧の所定の第1の電位差を2つの基板領域に印加することによって、メモリユニットを第1の状態(状態0)に書き込むことができる。第1のスレッショルド値(例えば-1V)より小さい電圧の所定の第2の電位差を2つの基板領域に印加することによって、メモリユニットを第2の状態(状態1)に書き込むことができる。第1の状態(状態0)において、メモリユニットは、約-0.5Vで無視できるコンダクタンスを、そして第2の状態(状態1)にあるときにはより高いコンダクタンス(約-3マイクロアンペア)を有する。

40

【 0 0 3 6 】

そして、2つのスレッショルド値間の(例えば-0.5ボルトの)所定の電位差(読み出し電位又は電圧)を印加して、その電圧でのユニットのコンダクタンス又は電流の流れを判

50

断することによってメモリユニットの状態を読み出す(読み出し動作を実行する)ことができる。しかしながら、他の方法を利用してメモリ状態を判断してもよく、例えば、メモリユニット中の電荷分布(これはチャネルのコンダクタンスを判断すると理解されている)を測定してメモリ状態を判断することもできる。

【0037】

図2のグラフは比較的低い動作温度で得られたが、ヒステリシス効果(即ちメモリ効果)はより高い温度、例えば室温(300 K)でも観察される。通常、チャネルのコンダクタンスは室温の方が高い。1つの例のメモリユニットにおいて、メモリ状態0は室温でゼロコンダクタンス(電流)ではなく、その代わり約15~20 nAの電流に対応した。しかしながら、状態1におけるメモリユニットのコンダクタンスの大きさは依然として著しく高く、例えば約45 nAであった。

10

【0038】

メモリユニットの各電極に(即ちメモリユニットの各領域に)印加される実際の電圧は重要でなく、異なる状態間でユニットを切り換え、メモリユニットの状態を読み出すために利用するのは両電極間の電位差であるということに留意すべきである。例えば、-1 Vの電位差は、+1.2 Vの電圧を第1電極152に、そして+1.1 Vの電圧を第2電極154に印加することによって達成することができる。

【0039】

上記説明は、1つのメモリ状態(状態0)は小さい(又は無視できる)コンダクタンスを有するデバイスに対応するとして、そして他の状態(状態1)は同じ所定の印加電位差でより高いコンダクタンスの大きさを有するとしてメモリユニットを説明しているが、状態0及び状態1としての状態の呼称は純粹に便宜のためであるということが理解されるであろう。何れの状態を利用して、メモリユニットを「状態0」(例えば第1の状態)にあるとして示し、そのとき他の状態(例えば状態2)がメモリユニットを「状態1」にあるとして示してもよい。

20

【0040】

同様に、図2においてメモリユニットは+1 V及び-1 Vの電圧によって2つの状態間で切り換え可能であるとして示しているが、メモリユニットを異なる状態に書き込むために要求される実際の電位差は、2つの基板領域間のチャネル140の寸法を変動させることによって変動させることができる。

30

【0041】

このようなメモリユニットは、半導体動的アクセスメモリ(DRAM)、即ち現在多くのコンピュータにおいて用いられているメモリのような従来のメモリユニットを超える多くの利点を有する。各メモリユニットは、該メモリユニットに対処するため、2つの端子(電極)のみを要求する(SDRAMは3つの端子を有する)。更に、前記デバイスはサブマイクロメートル寸法でよく動作し、メモリユニット構造は平面である。従って、高い集積密度でこのようなメモリユニットのメモリアレイを形成することができる。又、以下で説明するように、高解像度リソグラフィの1つのステップのみによってこのようなメモリデバイスの製造を達成することができる。これは、複数ステップの高解像度配列が必要であるSDRAMの製造においてより非常に簡単である。従って、製造コストを非常に低くすることができる。

40

【0042】

メモリデバイスは多くの場合リフレッシュ回路を含み、周期的間隔でリフレッシュ動作を実行するよう構成されている。リフレッシュ動作は、読み出し動作(メモリの状態を判断する)に続く書き込み動作(判断された状態をそのメモリへ戻って書き込む)である。リフレッシュ動作は、メモリのメモリ保持時間が限定されているために要求される。

【0043】

この中で説明したメモリユニットのメモリ保持時間(メモリが1つの状態に認識できるくらいに留まっている時間の長さ)はSDRAMより非常に長いということが実験によって示された。SDRAMの通常のメモリ保持時間はミリ秒のオーダーである。しかしなが

50

ら、1つのメモリユニットの24Kでのメモリ保持状態は24時間以上であると判断され、一方300Kでのメモリ保持状態は分のオーダーであることが明らかになった。この中で説明したこのようなメモリユニットは従って従来のデバイスと比較して比較的低いリフレッシュ間隔で動作することができるので、デバイスの電力消費が減少する。更に、使用目的によっては、メモリユニットは場合によりリフレッシュ回路なしで動作することができる(例えば比較的限定された期間の状態の格納が要求される場合)。

【0044】

材料組成、デバイス設計、側壁コーティング及び表面処理の最適化によって、この電荷保有時間を著しく増加させることができるであろう。例えば、表面空乏深さがより大きい材料を用いることができる。更に、表面準位がより深い(エネルギーにおいて)材料でトレンチを充填することができる。

10

【0045】

次に、図3A～3Dを参照して典型的なメモリユニットの詳細な構造を説明する。

【0046】

図3Aは、メモリユニットを形成するために利用することができる典型的な半導体層構造を示している。該層構造は、InGaAs/InAlAs(インジウムガリウム砒素/インジウムアルミニウム砒素)又はInGaAs/InP(インジウムガリウム砒素/インジウム燐)を含む一連の半導体を利用して形成することができる。メモリユニットの基板は通常、量子井戸を有するウエハとして形成される。このヘテロ構造は量子井戸に二次元電子ガス(2DEG)を含む。ウエハは有機金属気相エピタキシーによって成長させることができる。従来のSi、Ge、又はSi/Ge材料系も、2DEGの有無に関わらず用いることができる。

20

【0047】

図3Aは典型的なウエハ120'を示している。該ウエハ120'は、変調ドープ $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}/\text{InP}$ 量子井戸ウエハである。メモリユニット110の基板120を形成するために利用されるウエハ120'は、少なくとも4つの別個の層120a、120b、120c、120dで形成されていると想定することができる。2つの層120a、120bはアンドープInPで形成され、これらの層は不純物(即ちドーパント)によって分離されている。

【0048】

第3層120cはアンドープGaInAsで形成されている。通常、この第3層は約9nmの厚さである。第3層は二次元電子ガスの量子井戸となっている。

30

【0049】

第4層はもう1つのアンドープInPの層である。このように、量子井戸を形成するために利用される層は、別の半導体の2つの層(120b、120d)の間に挟まれている。上部2層120a、120bは、メモリユニットの基板の表面の下の量子井戸の深さを決定する。通常、他の層120a、120bはそれぞれ20nmの厚さであり、即ち二次元電子ガスを含む量子井戸は基板表面の約40nm下に形成されている。通常、4.2Kの温度でのシートキャリア密度及び移動度はそれぞれ、 $4.5 \times 10^{15} \text{ m}^{-2}$ 及び $45 \text{ m}^2/\text{Vs}$ である。室温では、これらの数字はそれぞれ、 $4.7 \times 10^{15} \text{ m}^{-2}$ 及び $1.2 \text{ m}^2/\text{Vs}$ である。

【0050】

図3B及び3Cはそれぞれ、メモリユニット120の平面図、及び図3Bにおける線CCに沿った断面図を示している。

40

【0051】

ウエハ120'が形成されると、その後その表面に絶縁部(例えば絶縁溝130、132、134)が形成される。溝130、132、134は、ナノリソグラフィの1つのステップを用いて形成することができる。溝130、132、134は、二次元電子ガス層142を通してエッチングされる。

【0052】

これらの溝は、基板120の上面を2つの領域122、124に分離する働きをする。これら2つの領域122、124は、溝132、134によって形成されてそれらの間を伸びているチャンネル140によって接続されている。

50

【 0 0 5 3 】

溝130はメモリユニット120の上面の両縁まで伸びて該上面を2つの別個の領域122、124に分離し、チャネル140はこれら2つの表面領域122、124間の電流流路となっているということに留意すべきである。

【 0 0 5 4 】

チャネル144は幅 W_c 及び長さ L_c である。溝又はトレンチは幅 W_t であり、基板の表面の下 D_t の深さまで伸びている。二次元電子ガスは基板の表面の下の深さ D_g にある。 D_t は D_g より大きい。通常、 D_g は30nmと50nmとの間にある。通常、2DEGは5nmと10nmとの間の厚さである。チャネル幅 W_c は好ましくは10nmと50nmとの間にある。溝幅 W_t は好ましくは10nmと300nmとの間にある。好ましくは、チャネル長 L_c はチャネル幅 W_t の3から4倍であり、即ち好ましくは、 L_c は30nmと1.2 μ mとの間にある。好ましくは、ヒステリシス効果を高めるため、溝(トレンチ)130、132、134、及びチャネル140は比較的狭い。

10

【 0 0 5 5 】

メモリユニット120の図3A～3Cに関して示した特定の構成は単に例として提示されているということを理解すべきである。異なる材料を利用して空乏層を形成してもよい。メモリユニットの動作は弾道電子輸送に依存しないので、シリコン材料を用いて、例えば高度な相補型金属酸化物半導体(CMOS)技術によってメモリユニットを作製することもできるということが理解される。これら別々の層はどのような所望の厚さにすることもできる。

20

【 0 0 5 6 】

図3Cにおいて溝又はトレンチの輪郭は湾曲して半円に近いように示されている。しかしながら、溝の輪郭は任意の形状にすることができる。例えば、溝の輪郭は、V字形にすることもでき、又、メモリユニットの基板の上面近傍の比較的狭いネックからより広い基礎部まで伸ばすこともできる。

【 0 0 5 7 】

メモリユニット120の絶縁部を形成しているトレンチ/溝130、132、134に適当な材料を付着させることによってデバイス性能を向上させてもよい。トレンチに付着させる適当な材料には、 SiO_2 及び窒化シリコンが含まれる。

【 0 0 5 8 】

溝130、132、134は、図3Bにおける特定の構成において示されている。しかしながら、この構成は単に例として提示されているということを理解すべきである。溝132、134は平行であるように示され、各溝がそれぞれの直線に沿って伸びているが、他の幾何学的構成が可能であるということを理解すべきである。例えば、溝132、134はテーパ状チャネル(図3Bに示した均一幅の細長チャネルと対照的に)を形成してもよい。テーパは第2領域124に向いていてもそこから離れていてもよい。或いは、溝(即ち絶縁部)は、第1の幅 W_1 から第2の幅 W_2 まで、第3の幅 W_3 までチャネル長に沿って幅が変動するチャネルを形成してもよい。 W_2 は W_1 及び W_3 の両方より大きくてもよく、又、 W_2 は W_1 及び W_3 の両方より小さくてもよい。 W_1 及び W_3 は等しくても異なってもよい。

30

【 0 0 5 9 】

図4は、メモリユニットとして図2に関して示したデバイスの動作を示している。図4の上のチャートは、電極152、154を介して第1及び第2基板表面領域122、124に印加された電位差を、時間を関数として示している。下のチャートは、これに対応する両領域間の電流の流れを、これも時間を関数として示している。図2に示す如く、-0.5V(ボルト)で、電流は0(例えばメモリ状態「0」)、又は約-2.5 μ A(例えばメモリ状態「1」)の何れかとなり得る。15秒頃に-0.5Vの初期パルスを利用して初期メモリ状態を検出すると、ゼロでない電流によってメモリユニットがメモリ状態1にあるということが示された。約1分後の第2パルスでも依然としてゼロでない電流が生じ、メモリユニットがそのメモリ状態を維持しているということが示された。

40

【 0 0 6 0 】

50

それから 110 秒頃に 1 V の正パルス印加してメモリユニットを状態 1 から状態 0 に切り換えると、後の - 0.5 V のテストパルスでデバイスが状態 0 になったことが確認された(ゼロ電流が生じたことによって)。後の 200 秒頃に - 0.5 V ボルトのテスト電圧パルス(読み出し電圧パルス)によって、デバイスがメモリ状態 0 に保持されているということが示された。

【0061】

デバイスはそれから - 1 V のパルス(230 秒頃に)を印加することによってメモリ状態 0 から状態 1 に切り換えられ、その後次の - 0.5 V のパルスを印加したとき(270 秒頃に)、ゼロでない電流が生成された。

【0062】

図 4 に示した + 1 V 及び - 1 V の長期間スイッチングパルスは明確にするため利用したということに留意すべきである。このようなメモリユニットのメモリスイッチング時間は少なくとも μs のオーダー又はそれを下回ることが実験で示されている。

【0063】

この中で説明した自己スイッチングメモリユニットの正確なメカニズムは、従来の半導体メモリのそれと完全に異なっている。メモリ効果を理解するため、次のモデルを提案し、図 5 A ~ 5 D に関して説明する。

【0064】

図 5 A は、絶縁部 132、134 によって形成されたメモリユニットのチャネル 140 の平面図を示している。図 5 B ~ 5 D は、一連の異なる印加電圧について図 5 A における破線 B D に沿った伝導帯図を示している。図 5 B ~ 5 D の垂直軸はメモリユニット内の異なるエネルギーレベルに関連し、メモリユニット内のエネルギー状態の物理的位置ではないということに留意すべきである。

【0065】

図 5 B は、ゼロバイアスでの図 5 A における破線 B D に沿った伝導帯図を示している。III - V 半導体材料において典型的であるように、伝導帯 E_c は、表面準位 144 への電子の充填のため、エッチングされたトレンチ 132、134 の側壁の近くで上に曲がっている。表面準位は一般にバンドギャップの中央の近くにあり、エネルギー分布が狭い。ゼロバイアス(即ち $V = 0$)で、表面準位は 2 D E G 142 と平衡状態にあり、チャネルは完全に空乏であるので、フェルミエネルギー(E_f)はチャネル 140 において伝導帯の底より下にある。

【0066】

図 5 C は、印加バイアスが負のスレッシュホールド電圧(V_{th-})を越えているときの状態を示し、チャネル 140 への電荷移行によって表面準位が放電している。図 5 C 近傍の小さいグラフは図 2 の小さいバージョンであり、大きい矢印は、図 5 C が指しているそのグラフ上の関連する位置(即ち電流破壊時)を示している。

【0067】

印加バイアスが負のスレッシュホールド電圧を越えているとき、チャネル 140 における伝導帯は非常に下がるので、表面準位は、トンネル効果又は熱励起の何れか(温度及び電位分布によって決まる)によるチャネル 140 への電子移行によって著しく放電される。この作用は図 5 C における矢印によって示されている。電荷移行が起こった後、側壁表面は負性が少なく(又は正性が多く)なり、この電界効果は、実験結果(図 2 における実線)と一致して、デバイスの全体のコンダクタンスを高めている。

【0068】

表面準位とチャネル 140 との間の電位障壁のため、このような電荷移行は、図 5 C に示す如く、バイアスがあるスレッシュホールド電圧を越えて有効電位障壁幅を減少させるときに明白になるのみである。デバイスにスレッシュホールドより僅かに下のバイアスをかけても、長い間待機した後には多大な数の電子を放出することができ、同じ効果が起こるはずであるということに留意すべきであり、これは実験によって確認された。

【0069】

図 5 D は、印加バイアスが正のスレッシュホールド電圧($+V_{th}$)を越えている場合、逆の

10

20

30

40

50

過程が起こるということを示している。側壁表面が放電されると、大きい正バイアスが逆の電荷移行過程を引き起こし、これは、大きい正電圧の印加後、どのようにデバイスが回復するかを説明している。

【 0 0 7 0 】

上記モデルは実験的観察を性質的に説明している。

上記実施形態において、1つのメモリユニット120のみを具えているとしてメモリデバイス100を説明した。しかしながら、大抵の実施形態において、メモリデバイスは複数のメモリユニットを具え、各メモリユニットは書き込み及び読み出しが可能であるということが想定される。好ましくは、メモリユニットはこのようなメモリデバイスにおいてアレイに配列され、メモリユニットの少なくとも1つの列及び少なくとも1つの行を具えている。

10

【 0 0 7 1 】

メモリユニットをアレイに配列することで、該アレイ中の個々のメモリユニットのアドレス指定又はスキミング(読み出し又は書き込み)が簡素化される。アレイは通常、複数の行及び複数の列を具えるよう組織されるが、各メモリユニットの実際の幾何学的位置は特定の行又は列内になくてもよいということが理解されるであろう。行又は列という用語は単にアレイの組織を示している。このように、行及び列という用語は互換可能と考えることができる。

【 0 0 7 2 】

図6は、9つのメモリユニット(120a~120i)のアレイを具えているメモリデバイス100'を示している。メモリユニットはそれぞれスキミング回路150を介して書き込み及び読み出しができる。メモリユニットは、3つの行(120a、120b、120c; 120d、120e、120f; 120g、120h、120i)及び3つの列(120a、120d、120g; 120b、120e、120h; 120c、120f、120i)に配列されている。各行内のメモリユニットの第1電極は全て、共通の列アドレス指定ライン(C_1 、 C_2 、 C_3)、即ち共通の電気導体に接続されている。同様に、各行内の各メモリユニットの第2電極は全て、それぞれ共通の行アドレス指定ライン(R_1 、 R_2 、 R_3)に接続されている。これら列及び行アドレス指定ラインは、適当な電圧を供給してメモリユニットをアドレス指定するため、スキミング回路150に連結されている。

20

【 0 0 7 3 】

前述の如く、メモリユニット又はデバイスの異なる設計は、異なるスイッチング又はスレッシュOLD電圧を利用して各メモリユニットの異なる状態間を切り換えることができる。又、前述の如く、各メモリユニットの状態を切り換えて状態を読み出すために利用するのは、各メモリユニットの2つの領域に(即ち各メモリユニットの2つの電極に)印加される電位差である。換言すれば、電圧の絶対値は重要でない。

30

【 0 0 7 4 】

図7及び8はそれぞれ、書き込み及び読み出し動作中の、図6に示すデバイス100'のメモリユニットのアレイを示している。図7及び8に示すメモリユニットにおいて、負のスレッシュOLD電圧(状態0から状態1に切り換えるために要求される電位差)を $-4V$ 、正のスレッシュOLD電圧(状態1から状態0に切り換えるために要求される)を $+4V$ とする。読み出し電圧(各メモリユニットに印加され、その中のメモリの状態を検出する電位差)は $-2V$ に選択する。

40

【 0 0 7 5 】

図7は、列(C_2)内の特定のメモリユニット(120b、120h)を、当該メモリユニットに $-4V$ の総電圧を印加することによって状態1に書き込む動作を示している。メモリユニットは、列単位(又は行単位の基準)で書き込みができる。メモリユニットの動作の性質のため、ある列におけるメモリユニットのそれぞれでどの時点においても1つの状態の書き込み動作のみが実行されることが好ましい。例えば、ある列内の所定数のメモリユニットを状態1に、そしてその列における残りのメモリユニットを状態0に変更することが望まなければ、まず当該メモリユニットを全て状態1に変更する電圧を印加し、それから次の電圧を印加して残りの該当するメモリユニットを状態0に変更すべきである。

50

【0076】

メモリユニットを状態間で切り換えるために用いる電圧は、スレッシュホールド電圧に等しくすることも、スレッシュホールド電圧より大きくすることもできる。より大きいスイッチング電圧を利用することで、スイッチング速度が増加すると思われる。

【0077】

所定の列(C_2)における所定数のメモリユニット(120b、120h)に書き込みが行なわれているとすると、総スイッチング電圧の所定の一部が当該列ラインに印加される。この所定の一部はスレッシュホールド電圧より(対象にされていない列/行に印加される電圧に対して、例えば図7及び8においては、0Vに対して)小さい。それからスイッチング電圧の残りの一部を行単位の基準で印加し、書き込みを所望するメモリユニットのそれぞれに総スイッチング電圧を分割する。又、前記スイッチング電圧の残りの一部もスレッシュホールド電圧より小さい。

10

【0078】

このように、例えば、図7は、 C_2 に+2Vを印加し、 R_1 に-2Vを印加して、-4Vの総スイッチング電位をメモリユニット120bに供給していることを示している。これは、メモリユニット120bを状態1に書き込むのに十分である。同様に、 R_3 に-2Vを印加して-4Vの総電位差を120hに供給し、メモリユニット120hを状態1に切り換える。他のメモリユニットのそれぞれに対する残りの電位差はスイッチング電位より小さいので、これらのメモリは同じ状態に留まるということが観察されるであろう。

【0079】

20

図8は、メモリユニットの所定の列(C_2)の読み出し動作を示している。読み出し動作は、当該メモリユニットのそれぞれに所定の読み出し電圧を印加し、各メモリユニット中の電流の流れを読み出すことによって達成される。図8のために示す特定の実施形態における読み出し電圧は-2Vである。このように、各メモリユニットについて-2Vを達成するため、この実施形態においては、 C_2 に沿って+2Vを印加し、それから当該行ラインの全てに0Vを印加する。そしてメモリユニット120bの状態は C_2 と R_1 との間の電流の流れを測定することによって読み出され、メモリユニット120eの状態は C_2 と R_2 との間の電流の流れを測定することによって読み出される。

【0080】

読み出し動作のため、他の電圧を当該列/行ラインに印加することができるということが留意されよう。例えば、 C_2 に+1Vの電圧を、そして当該行ラインのそれぞれに-1Vの電圧を印加し、列 C_2 内のメモリユニット120b、120c及び120hのそれぞれに対して所望の-2Vの読み出し又はセンス電圧を達成することができる。換言すれば、読み出し電圧の所定の一部を当該列ラインに印加すると共に、該電圧の残りの一部を当該行ラインのそれぞれに印加することができる。行及び列のそれぞれの間に適当な電流増幅器を連結することによって、特定の列(又は行)におけるメモリユニットのそれぞれの状態を全て同時に読み出すことが可能である。

30

【0081】

又、デバイス100'におけるスキミング回路150は、リフレッシュ動作を実行するよう、即ちメモリユニットの状態を次々に読み出すよう、そして読み出し動作によって判断された状態をメモリユニットに書き込むよう構成される。

40

【0082】

この中に説明したように、本発明者は、容易に製造することができる簡易な構造に基づいて新規なメモリユニットを実現した。更に、該メモリユニットはサブマイクロメートル(ナノメートル)スケールで形成することができるので、メモリデバイスの小型化を可能にしている。

【図面の簡単な説明】

【0083】

【図1】図1は、本発明の実施形態に従うメモリデバイスの概略図である。

【図2】図2は、メモリユニットの実験上の電流電圧特性のグラフである。

50

【図 3】図 3 A は、チャネルのエッチングの前のメモリユニットの層構造を示す斜視図である。図 3 B は、チャネルがエッチングされた、図 3 A の構造の平面図である。図 3 C は、図 3 B の構造中の断面図であり、2 D E G (二次元電子ガス) の位置を示している。

【図 4】図 4 は 2 つのグラフを示し、それぞれ時間を関数として、メモリユニットに印加された電圧、及びその結果としてメモリユニットに生じた電流の流れを説明している。

【図 5】図 5 A はメモリユニットの概略平面図である。図 5 B ~ 5 D は、メモリユニットに対する互いに異なる印加電圧についての、図 5 A の点線に沿った伝導帯図を示している。

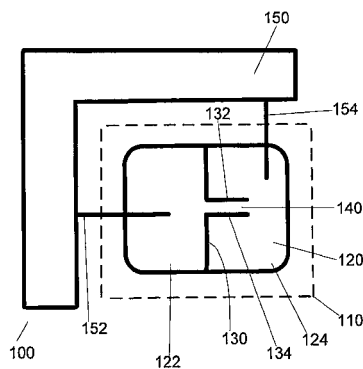
【図 6】図 6 は、本発明の更なる実施形態に従うメモリユニットのアレイを組み込んだメモリの概略図である。

【図 7】図 7 は、メモリユニットのアレイの概略図であり、書き込み動作中にアレイに印加される電圧を説明している。

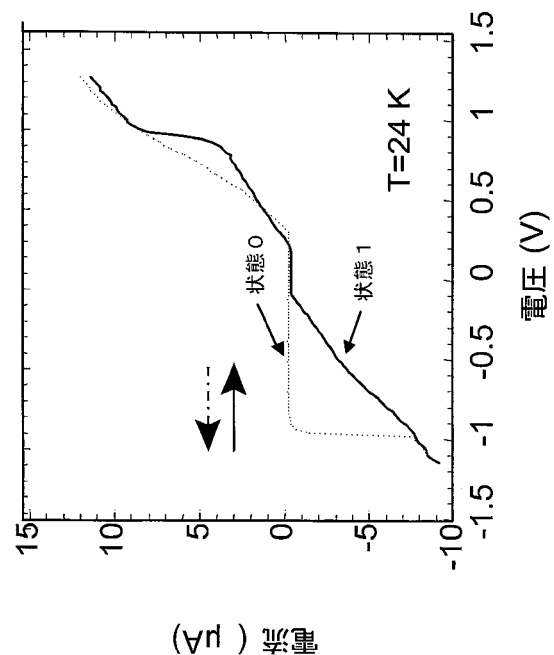
【図 8】図 8 は、メモリユニットのアレイの概略図であり、読み込み動作中にアレイに印加される電圧を示している。

10

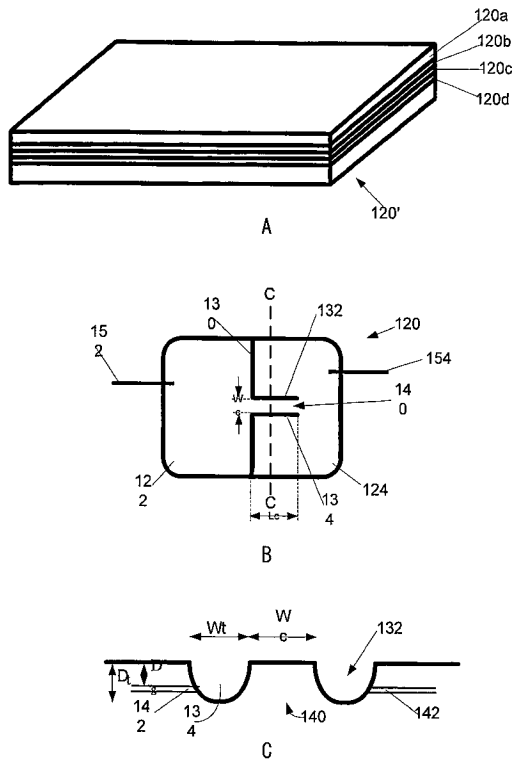
【図 1】



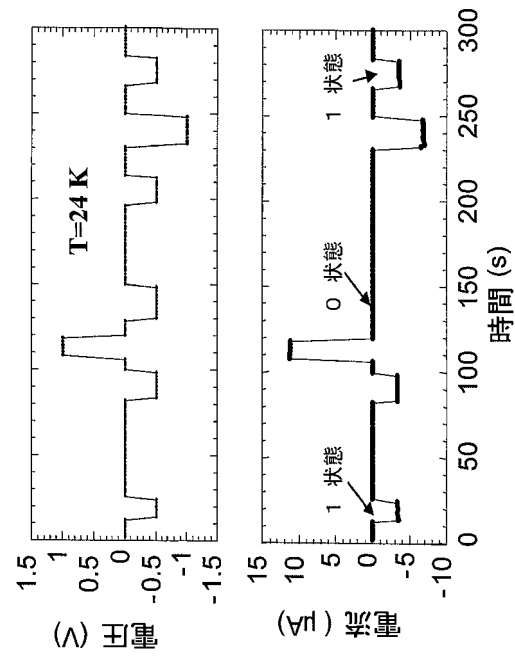
【図 2】



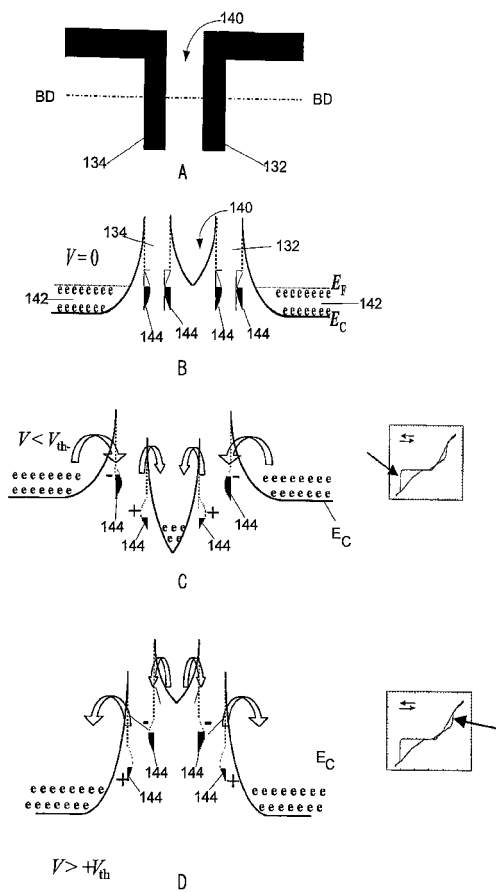
【図 3】



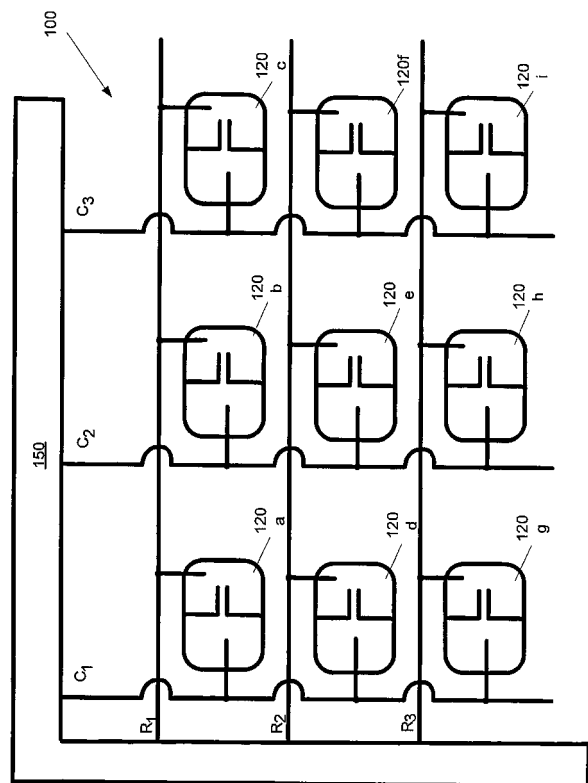
【図 4】



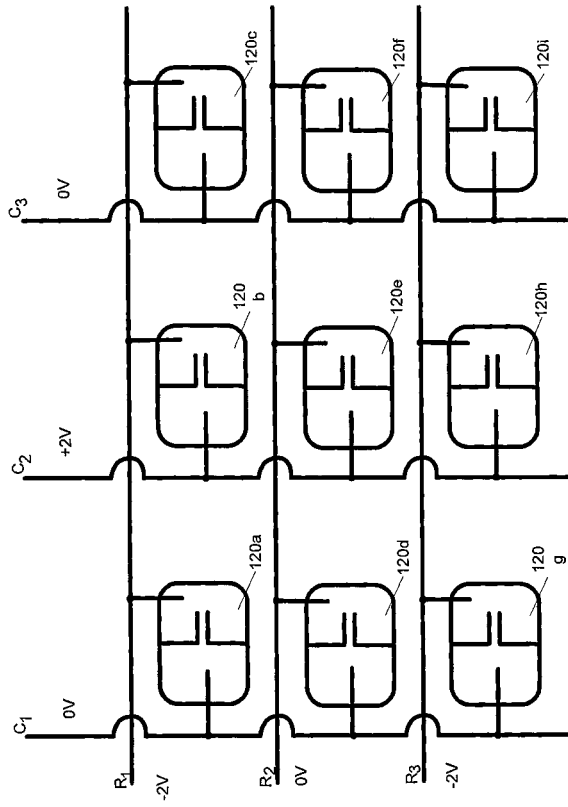
【図 5】



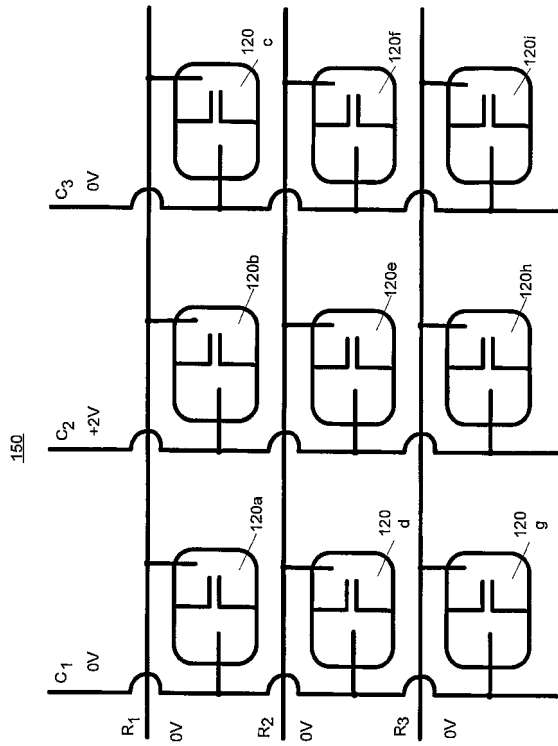
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開平 0 7 - 1 2 2 6 6 0 (J P , A)
特表 2 0 0 4 - 5 3 4 3 8 8 (J P , A)
国際公開第 0 2 / 0 8 6 9 7 3 (W O , A 1)
特開昭 6 2 - 0 4 2 5 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/10

G11C 13/00

H01L 45/00

H01L 49/00