



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월25일  
(11) 등록번호 10-1258268  
(24) 등록일자 2013년04월19일

(51) 국제특허분류(Int. Cl.)

H01L 21/8247 (2006.01) H01L 27/115

(2006.01)

(21) 출원번호 10-2007-0075044

(22) 출원일자 2007년07월26일

심사청구일자 2010년12월29일

(65) 공개번호 10-2009-0011452

(43) 공개일자 2009년02월02일

(56) 선행기술조사문헌

KR1020060037562 A\*

US20040174732 A1\*

KR1020030078888 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

고관협

서울특별시 서초구 잠원로3길 8, 한신타워아파트 102동 1707호 (잠원동)

하대원

서울 강남구 대치1동 청실아파트 12-1203

(74) 대리인

박상수

전체 청구항 수 : 총 20 항

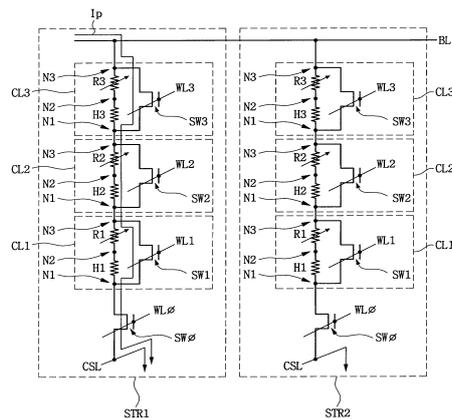
심사관 : 박태식

(54) 발명의 명칭 비휘발성 메모리 소자의 낸드형 저항성 메모리 셀 스트링들 및 그 제조방법들

(57) 요약

비휘발성 메모리 소자의 낸드형 저항성 메모리 셀 스트링이 제공된다. 상기 셀 스트링은 비트라인 및 상기 비트라인에 직렬 접속된 복수개의 저항성 메모리 셀들을 구비한다. 상기 복수개의 저항성 메모리 셀들의 각각은 제1 내지 제3 노드들, 상기 제1 및 제2 노드들에 각각 접속된 양 단들을 갖는 히터, 상기 제2 및 제3 노드들에 각각 접속된 양 단들을 갖는 가변저항체, 및 상기 제1 노드에 접속된 제1 단자와 상기 제3 노드에 접속된 제2 단자를 갖는 스위칭 소자를 구비한다. 상기 셀 스트링의 구조체 및 제조방법 또한 제공된다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

반도체 기관 상의 절연층;

상기 절연층 내에 차례로 적층되고, 복수개의 가변 저항체와 이에 병렬로 연결된 복수개의 스위칭 소자를 포함하며 전기적으로 직렬 접속된 복수개의 저항성 메모리 셀들; 및

상기 절연층 상에 배치되고 상기 복수개의 저항성 메모리 셀들중 최상부 저항성 메모리 셀에 전기적으로 접속된 비트라인을 포함하는 낸드형 저항성 메모리 셀 스트링.

**청구항 10**

반도체 기관상의 절연층;

상기 절연층 내에 차례로 적층되고 전기적으로 직렬 접속된 복수개의 저항성 메모리 셀들을 포함하고,

상기 저항성 메모리 셀들은 상기 절연층 내에 차례로 적층된 소오스, 채널 및 드레인을 갖는 바디 패턴과, 상기 바디 패턴의 측벽을 둘러싸는 게이트 전극을 구비하는 스위칭 소자;

상기 스위칭 소자에 인접한 상기 절연층 내에 배치되어 히터의 역할을 하는 하부 전극;

상기 절연층 내에 배치되어 상기 하부 전극의 상부면 및 상기 드레인의 상부면에 접촉하는 가변저항체; 및

상기 가변저항체 상의 상부전극을 포함하고,

상기 절연층 상에 배치되고, 상기 복수개의 저항성 메모리 셀 중 최상부 저항성 메모리 셀의 상부 전극과 접촉하는 비트라인을 포함하는 낸드형 저항성 메모리 셀 스트링.

**청구항 11**

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서,

상기 저항성 메모리 셀들은 차례로 적층된 하부 저항성 메모리 셀 및 상부 저항성 메모리 셀을 포함하되, 상기 상부 저항성 메모리 셀을 구성하는 상기 바디 패턴 및 상기 하부전극은 상기 하부 저항성 메모리 셀의 상기 상부전극에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링.

#### 청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제 10 항에 있어서,

상기 스위칭 소자들의 상기 게이트 전극들은 연장하여 워드라인들의 역할을 하되, 상기 워드라인들은 상기 비트라인을 가로지르도록 상기 절연층 내에 배치되는 낸드형 저항성 메모리 셀 스트링.

#### 청구항 13

제 10 항에 있어서,

상기 가변저항체는 상변이 물질층을 포함하는 낸드형 저항성 메모리 셀 스트링.

#### 청구항 14

제 10 항에 있어서,

상기 반도체 기관 및 상기 절연층 사이에 형성된 메인 스위칭 소자를 더 포함하되, 상기 메인 스위칭 소자는 상기 복수개의 적층된 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링.

#### 청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 14 항에 있어서, 상기 메인 스위칭 소자는

상기 반도체 기관 내에 배치된 메인 소오스 및 메인 드레인; 및

상기 메인 소오스 및 메인 드레인 사이의 상기 반도체 기관 상에 배치된 메인 게이트 전극을 포함하되,

상기 메인 드레인은 상기 최하부 저항성 메모리 셀을 구성하는 상기 하부전극 및 상기 바디 패턴에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링.

#### 청구항 16

반도체 기관 상의 절연층;

상기 절연층 내에 차례로 적층되고 전기적으로 직렬 접속된 복수개의 저항성 메모리 셀들을 포함하고,

상기 저항성 메모리 셀들은 상기 절연층 내에 차례로 적층된 소오스, 채널 및 드레인을 갖는 바디 패턴과,

상기 바디 패턴의 측벽을 둘러싸는 게이트 전극을 구비하는 스위칭 소자;

상기 스위칭 소자에 인접한 상기 절연층 내에 배치되어 히터의 역할을 하는 하부 전극;

상기 하부전극 상에 적층된 가변 저항체; 및

상기 가변저항체의 상부면 및 상기 드레인의 상부면을 덮는 상부 전극을 포함하고,

상기 절연층 상에 배치되고, 상기 복수개의 저항성 메모리 셀 중 최상부 저항성 메모리 셀의 상부전극과 접촉하는 비트라인을 포함하는 낸드형 저항성 메모리 셀 스트링.

#### 청구항 17

제 16 항에 있어서,

상기 가변저항체는 상기 하부전극과 자기정렬되어 국한된 형태(confined shape)를 갖는 낸드형 저항성 메모리 셀 스트링.

**청구항 18**

제 17 항에 있어서,

상기 가변저항체의 측벽 및 상기 절연층 사이의 절연성 스페이서를 더 포함하는 낸드형 저항성 메모리 셀 스트링.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 가변저항체는 상변이 물질층을 포함하는 낸드형 저항성 메모리 셀 스트링.

**청구항 20**

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 저항성 메모리 셀들은 차례로 적층된 하부 저항성 메모리 셀 및 상부 저항성 메모리 셀을 포함하되, 상기 상부 저항성 메모리 셀을 구성하는 상기 바디패턴 및 상기 하부전극은 상기 하부 저항성 메모리 셀의 상기 상부 전극에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링.

**청구항 21**

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 스위칭 소자들의 상기 게이트 전극들은 연장하여 워드라인들의 역할을 하되, 상기 워드라인들은 상기 비트 라인을 가로지르도록 상기 절연층 내에 배치되는 낸드형 저항성 메모리 셀 스트링.

**청구항 22**

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제 16 항에 있어서,

상기 반도체 기관 및 상기 절연층 사이에 형성된 메인 스위칭 소자를 더 포함하되, 상기 메인 스위칭 소자는 상기 복수개의 적층된 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링.

**청구항 23**

청구항 23은(는) 설정등록료 납부시 포기되었습니다.

제 22 항에 있어서, 상기 메인 스위칭 소자는

상기 반도체 기관 내에 배치된 메인 소오스 및 메인 드레인; 및

상기 메인 소오스 및 메인 드레인 사이의 상기 반도체 기관 상에 배치된 메인 게이트 전극을 포함하되, 상기 메인 드레인은 상기 최하부 저항성 메모리 셀을 구성하는 상기 하부전극 및 상기 바디 패턴에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링.

**청구항 24**

반도체 기관 상의 절연층;

상기 절연층 내에 차례로 적층되고 전기적으로 직렬 접속된 복수개의 저항성 메모리 셀들을 포함하고,  
 상기 저항성 메모리 셀들은 상기 절연층 내에 차례로 적층된 소오스, 채널 및 드레인을 갖는 바디 패턴과,  
 상기 바디 패턴의 측벽을 둘러싸는 게이트 전극을 구비하는 스위칭 소자;  
 상기 스위칭 소자에 인접한 상기 절연층 내에 배치된 가변저항체; 및  
 상기 가변저항체의 상부면 및 상기 드레인의 상부면을 덮는 상부전극을 포함하고,  
 상기 절연층 상에 배치되고, 상기 복수개의 저항성 메모리 셀 중 최상부 저항성 메모리 셀의 상부전극과 접촉하  
 는 비트 라인을 포함하는 낸드형 저항성 메모리 셀 스트링

**청구항 25**

제 24 항에 있어서,  
 상기 가변저항체는 프라세오디미움 칼슘 망간 산화층(Praseodymium Calcium Manganese Oxide layer; PCMO층)  
 또는 전이금속 산화층을 포함하는 낸드형 저항성 메모리 셀 스트링.

**청구항 26**

제 24 항에 있어서,  
 상기 가변저항체는 자기터널접합(magnetic tunnel junction; MTJ) 구조체를 포함하는 낸드형 저항성 메모리 셀  
 스트링.

**청구항 27**

청구항 27은(는) 설정등록료 납부시 포기되었습니다.

제 26 항에 있어서,  
 상기 자기터널접합 구조체는 차례로 적층된 고정층(pinned layer), 터널링 절연층 및 자유층(free layer)을 포  
 함하는 낸드형 저항성 메모리 셀 스트링.

**청구항 28**

청구항 28은(는) 설정등록료 납부시 포기되었습니다.

제 24 항에 있어서,  
 상기 저항성 메모리 셀들은 차례로 적층된 하부 저항성 메모리 셀 및 상부 저항성 메모리 셀을 포함하되,  
 상기 상부 저항성 메모리 셀을 구성하는 상기 바디패턴 및 상기 가변저항체는 상기 하부 저항성 메모리 셀의 상  
 기 상부전극에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링.

**청구항 29**

청구항 29은(는) 설정등록료 납부시 포기되었습니다.

제 24 항에 있어서,  
 상기 스위칭 소자들의 상기 게이트 전극들은 연장하여 워드라인들의 역할을 하되, 상기 워드라인들은 상기 비트  
 라인을 가로지르도록 상기 절연층 내에 배치되는 낸드형 저항성 메모리 셀 스트링.

**청구항 30**

청구항 30은(는) 설정등록료 납부시 포기되었습니다.

제 24 항에 있어서,  
 상기 반도체 기판 및 상기 절연층 사이에 형성된 메인 스위칭 소자를 더 포함하되, 상기 메인 스위칭 소자는 상  
 기 복수개의 적층된 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속되는 낸드형 저항성 메모  
 리 셀 스트링.

**청구항 31**

청구항 31은(는) 설정등록료 납부시 포기되었습니다.

제 30 항에 있어서, 상기 메인 스위칭 소자는  
상기 반도체 기관 내에 배치된 메인 소오스 및 메인 드레인; 및

**청구항 32**

삭제

**청구항 33**

반도체 기관 상에 절연층 및 상기 절연층 내에 차례로 적층된 복수개의 저항성 메모리 셀들을 형성하고,  
상기 저항성 메모리를 형성하는 단계는,  
상기 반도체 기관 상에 층간절연층을 형성하고,  
상기 층간절연층 내에 스위칭 소자를 형성하고,  
상기 스위칭 소자에 인접한 상기 층간 절연층을 관통하면서 상기 스위칭 소자를 덮는 정보저장 요소(data storage element)를 형성하는 것을 포함하고,  
상기 절연층 상에 상기 저항성 메모리 셀들 중 최상부 메모리 셀의 정보저장요소와 전기적으로 접속된 비트라인을 형성하는 것을 포함하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 34**

반도체 기관 상에 절연층 및 상기 절연층 내에 차례로 적층된 복수개의 저항성 메모리 셀들을 형성하고,  
상기 저항성 메모리를 형성하는 단계는,  
상기 반도체 기관 상에 층간절연층을 형성하고,  
상기 층간절연층을 관통하고 차례로 적층된 소오스, 채널 및 드레인을 갖는 바디패턴과,  
상기 바디 패턴을 구성하는 상기 채널의 측벽을 둘러싸는 절연된 게이트 전극을 포함하는 스위칭 소자를 형성하고,  
상기 스위칭 소자에 인접한 상기 층간 절연층을 관통하면서 상기 스위칭 소자를 덮는 정보저장 요소(data storage element)를 형성하는 것을 포함하고,  
상기 절연층 상에 상기 저항성 메모리 셀들 중 최상부 메모리 셀의 정보저장 요소와 전기적으로 접속된 비트라인을 형성하는 것을 포함하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 35**

제 34 항에 있어서, 상기 절연된 게이트 전극을 형성하는 것은  
상기 층간절연층을 식각하여 상기 바디 패턴을 노출시키면서 라인 형태를 갖는 그루브를 형성하고,  
상기 노출된 바디 패턴의 측벽 상에 게이트 절연층을 형성하고,  
상기 그루브 내에 상기 게이트 절연층과 접촉하는 게이트 전극을 형성하는 것을 포함하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 36**

제 34 항에 있어서, 상기 정보저장 요소를 형성하는 것은  
상기 층간절연층을 관통하는 홀을 형성하고,  
상기 홀 내에 하부전극을 형성하고,

상기 하부전극 및 상기 바디 패턴을 덮는 가변저항체와 아울러서 상기 가변저항체 상에 적층된 상부전극을 형성하는 것을 포함하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 37**

제 36 항에 있어서,

상기 가변저항체는 상변이 물질층으로 형성하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 38**

청구항 38은(는) 설정등록료 납부시 포기되었습니다.

제 36 항에 있어서,

상기 복수개의 저항성 메모리 셀들은 하부 저항성 메모리 셀 및 상기 하부 저항성 메모리 셀 상의 상부 저항성 메모리 셀을 포함하되,

상기 상부 저항성 메모리 셀을 구성하는 상기 하부전극 및 상기 바디 패턴은 상기 하부 저항성 메모리 셀을 구성하는 상기 상부전극에 접촉하도록 형성되고, 상기 비트라인은 상기 최상부 저항성 메모리 셀을 구성하는 상기 상부전극에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 39**

청구항 39은(는) 설정등록료 납부시 포기되었습니다.

제 36 항에 있어서,

상기 절연층을 형성하기 전에, 상기 반도체 기판에 메인 스위칭 소자를 형성하는 것을 더 포함하되, 상기 메인 스위칭 소자는 상기 복수개의 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 40**

제 34 항에 있어서, 상기 정보저장 요소를 형성하는 것은

상기 층간절연층을 관통하는 홀을 형성하고,

상기 홀의 하부영역 내에 하부전극을 형성하고,

상기 하부전극 상의 상기 홀 내에 가변저항체를 형성하고,

상기 가변저항체 및 상기 바디 패턴을 덮는 상부전극을 형성하는 것을 포함하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 41**

제 40 항에 있어서,

상기 가변저항체를 형성하기 전에, 상기 하부전극 상의 상기 홀의 측벽 상에 절연성 스페이서를 형성하는 것을 더 포함하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 42**

청구항 42은(는) 설정등록료 납부시 포기되었습니다.

제 40 항에 있어서,

상기 가변저항체는 상변이 물질층으로 형성하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 43**

청구항 43은(는) 설정등록료 납부시 포기되었습니다.

제 40 항에 있어서,

상기 복수개의 저항성 메모리 셀들은 하부 저항성 메모리 셀 및 상기 하부 저항성 메모리 셀 상의 상부 저항성 메모리 셀을 포함하되,

상기 상부 저항성 메모리 셀을 구성하는 상기 하부전극 및 상기 바디 패턴은 상기 하부 저항성 메모리 셀을 구성하는 상기 상부전극에 접촉하도록 형성되고, 상기 비트라인은 상기 최상부 저항성 메모리 셀을 구성하는 상기 상부전극에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 44**

청구항 44은(는) 설정등록료 납부시 포기되었습니다.

상기 절연층을 형성하기 전에, 상기 반도체 기판에 메인 스위칭 소자를 형성하는 것을 더 포함하되, 상기 메인 스위칭 소자는 상기 복수개의 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 45**

제 34 항에 있어서, 상기 정보저장 요소를 형성하는 것은

상기 층간절연층을 관통하는 홀을 형성하고,

상기 홀 내에 가변저항체를 형성하고,

상기 가변저항체 및 상기 바디 패턴을 덮는 상부전극을 형성하는 것을 포함하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 46**

제 45 항에 있어서,

상기 가변저항체는 프라세오디미움 칼슘 망간 산화층(PCMO층) 또는 전이금속 산화층으로 형성하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 47**

제 45 항에 있어서,

상기 가변저항체는 차례로 적층된 고정층(pinned layer), 터널링 절연층 및 자유층(free layer)을 구비하는 자기터널접합(MTJ) 구조체로 형성하는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 48**

청구항 48은(는) 설정등록료 납부시 포기되었습니다.

제 45 항에 있어서,

상기 복수개의 저항성 메모리 셀들은 하부 저항성 메모리 셀 및 상기 하부 저항성 메모리 셀 상의 상부 저항성 메모리 셀을 포함하되,

상기 상부 저항성 메모리 셀을 구성하는 상기 가변저항체 및 상기 바디 패턴은 상기 하부 저항성 메모리 셀을 구성하는 상기 상부전극에 접촉하도록 형성되고, 상기 비트라인은 상기 최상부 저항성 메모리 셀을 구성하는 상기 상부전극에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링의 제조방법.

**청구항 49**

청구항 49은(는) 설정등록료 납부시 포기되었습니다.

제 45 항에 있어서,

상기 절연층을 형성하기 전에, 상기 반도체 기판에 메인 스위칭 소자를 형성하는 것을 더 포함하되, 상기 메인 스위칭 소자는 상기 복수개의 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속되는 낸드형 저항성 메모리 셀 스트링의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 특히 비휘발성 메모리 소자의 낸드형 저항성 메모리 셀 스트링들 및 그 제조방법들에 관한 것이다.

배경 기술

[0002] 반도체 기억소자들은 휘발성 메모리 소자들 또는 비휘발성 메모리 소자들로 분류될 수 있다. 상기 비휘발성 메모리 소자들은 그들의 전원이 차단될지라도, 그들 내에 저장된 데이터들이 소멸되지 않는 특징을 갖는다. 이에 따라, 상기 비휘발성 메모리 소자들은 컴퓨터, 이동통신 단말기(mobile communication system) 및 메모리 카드 등에 널리 채택되고 있다.

[0003] 상기 비휘발성 메모리 소자로서 플래쉬 메모리 소자가 널리 사용되고 있다. 상기 플래쉬 메모리 소자는 적층 게이트 구조(stacked gate structure)를 갖는 메모리 셀들을 주로 채택하고 있다. 상기 적층 게이트 구조는 채널 영역 상에 차례로 적층된 터널 산화층, 부유 게이트, 게이트층간 절연층(inter-gate dielectric layer) 및 제어 게이트 전극을 포함한다. 상기 플래쉬 메모리 셀의 신뢰성 및 프로그램 효율을 향상시키기 위해서는 상기 터널 산화층의 막질(film quality)이 개선되어야 하고, 셀의 커플링 비율(coupling ratio)이 증가되어야 한다.

[0004] 상기 플래쉬 메모리 소자 대신에 새로운 비휘발성 메모리 소자, 예컨대 저항성 메모리 소자(resistive memory device)가 최근에 제안된 바 있다. 상기 저항성 메모리 소자는 자기램 소자(magnetic random access memory device; MRAM device), 상변이 메모리 소자(phase change memory device) 및 저항램 소자(resistance random access memory device; RRAM device)를 포함할 수 있으며, 상기 저항성 메모리 소자의 단위 셀은 두 개의 전극들 및 이들 사이에 개재된 가변저항성 물질층(variable resistive material layer)을 갖는 데이터 저장요소(data storage element)를 구비할 수 있다. 상기 저항성 메모리 소자가 자기램 소자인 경우에, 상기 가변저항성 물질층은 차례로 적층된 고정층(pinned layer), 터널링 절연층 및 자유층(free layer)를 포함하고 상기 고정층 및 자유층은 강자성층을 구비한다. 또한, 상기 저항성 메모리 소자가 상변이 메모리 소자인 경우에, 상기 가변저항성 물질층은 칼코게나이드층(chalcogenide layer)과 같은 상변이 물질층(phase change material layer)을 포함한다. 더 나아가서, 상기 저항성 메모리 소자가 저항램 소자인 경우에, 상기 가변저항성 물질층은 프라세오디미움 칼슘 망간 산화층(Praseodymium Calcium Manganese Oxide layer; (Pr,Ca)MnO<sub>3</sub>, 이하 "PCMO층"이라 언급하기로 함)일 수 있다.

[0005] 상기 가변저항성 물질층, 즉 데이터 저장 물질층(data storage material layer)은 상기 전극들 사이에 인가되는 전기적인 신호(전압 또는 전류)의 극성(polarity) 및/또는 크기(magnitude)에 따라서 제1 저항 또는 또는 상기 제1 저항보다 높은 제2 저항을 갖는다.

[0006] 상기 저항램 소자는 대한민국 공개특허공보 제10-2004-79328호(Korean laid-open patent No. 10-2004-79328)에 "비휘발성 반도체 메모리장치"라는 제목으로 개시되어 있다. 상기 대한민국 공개특허공보 제10-2004-79328호에 따르면, 하나의 비트라인에 복수개의 낸드형 셀 유닛들이 병렬로 접속되고, 상기 낸드형 셀 유닛들의 각각은 직렬 접속된 복수개의 가변저항 소자들 및 직렬 접속된 복수개의 스위칭 모스 트랜지스터들을 포함한다. 상기 스위칭 모스 트랜지스터들의 각각은 상기 가변저항 소자들중 어느 하나와 병렬 접속된다. 상기 스위칭 모스 트랜지스터들은 반도체 기판에 1차원적으로 배열되고, 상기 가변저항 소자들은 각각 상기 모스 트랜지스터들 상에 제공된다. 따라서, 상기 낸드형 셀 유닛들을 채택하는 저항램 소자의 집적도를 개선시키는 데 한계가 있을 수 있다.

[0007] 이에 더하여, 상기 상변이 메모리 소자가 일본공개특허 공보 제2005-260014호(Japanese laid-open patent No. 2005-260014)에 "반도체 장치"라는 제목으로 개시되어 있다. 상기 일본공개특허 공보 제2005-260014호에 따르면, 반도체 기판 상에 한 쌍의 상변이 메모리 셀들이 적층되고, 상기 한 쌍의 상변이 메모리 셀들 사이에 비트라인이 개재된다. 즉, 상기 한 쌍의 적층된 상변이 메모리 셀들은 그들 사이에 배치된 하나의 비트라인을 공유한다. 결과적으로, 상기 일본공개특허 공보 제2005-260014호는 노어형 상변이 메모리 소자를 개시하고

있다.

**발명의 내용**

**해결 하고자하는 과제**

- [0008] 본 발명이 해결하고자 하는 과제는 집적도를 개선시키기에 적합한 낸드형 저항성 메모리 셀 스트링들을 제공하는 데 있다.
- [0009] 본 발명이 해결하고자 하는 다른 과제는 집적도를 개선시킬 수 있는 낸드형 저항성 메모리 셀 스트링의 제조방법들을 제공하는 데 있다.

**과제 해결수단**

- [0010] 본 발명의 일 양태에 따르면, 낸드형 저항성 메모리 셀 스트링이 제공된다. 상기 낸드형 저항성 메모리 셀 스트링은 비트라인 및 상기 비트라인에 직렬 접속된 복수개의 저항성 메모리 셀들을 포함한다. 상기 복수개의 저항성 메모리 셀들의 각각은 제1 내지 제3 노드들, 상기 제1 및 제2 노드들에 각각 접속된 양 단들을 갖는 히터, 상기 제2 및 제3 노드들에 각각 접속된 양 단들을 갖는 가변저항체, 및 상기 제1 노드에 접속된 제1 단자와 상기 제3 노드에 접속된 제2 단자를 갖는 스위칭 소자를 포함한다.
- [0011] 본 발명의 실시예들에서, 상기 복수개의 저항성 메모리 셀들은 제1 내지 제3 저항성 메모리 셀들을 포함할 수 있다. 이 경우에, 상기 제1 저항성 메모리 셀의 상기 제3 노드는 상기 제2 저항성 메모리 셀의 상기 제1 노드에 접속될 수 있고, 상기 제2 저항성 메모리 셀의 상기 제3 노드는 상기 제3 저항성 메모리 셀의 상기 제1 노드에 접속될 수 있고, 상기 제3 저항성 메모리 셀의 상기 제3 노드는 상기 비트라인에 접속될 수 있다.
- [0012] 다른 실시예들에서, 상기 스위칭 소자들은 모스 트랜지스터들일 수 있다. 이 경우에, 상기 스위칭 소자들의 상기 제1 및 제2 단자들은 각각 상기 모스 트랜지스터들의 소오스들 및 드레인들에 해당할 수 있다. 또한, 상기 모스 트랜지스터들의 게이트 전극들은 연장하여 워드라인들에 해당할 수 있다.
- [0013] 또 다른 실시예들에서, 상기 복수개의 저항성 메모리 셀들은 상기 비트라인으로부터 가장 멀리 떨어진 제1 저항성 메모리 셀을 포함할 수 있다. 이 경우에, 상기 제1 저항성 메모리 셀의 상기 제1 노드는 메인 스위칭 소자에 접속될 수 있다. 상기 메인 스위칭 소자는 소오스, 드레인 및 게이트 전극을 구비하는 메인 모스 트랜지스터일 수 있고, 상기 메인 모스 트랜지스터의 상기 드레인은 상기 제1 저항성 메모리 셀의 상기 제1 노드에 접속될 수 있다. 상기 메인 모스 트랜지스터의 상기 소오스는 공통 소오스 라인을 통하여 접지될 수 있고, 상기 메인 모스 트랜지스터의 상기 게이트 전극은 연장하여 메인 워드라인에 해당할 수 있다.
- [0014] 또 다른 실시예들에서, 상기 가변저항체들은 상변이 물질로 이루어진 저항체들일 수 있다.
- [0015] 본 발명의 다른 양태에 따르면, 상기 낸드형 저항성 메모리 셀 스트링은 반도체 기판 상의 절연층, 상기 절연층 내에 차례로 적층되고 전기적으로 직렬 접속된 복수개의 저항성 메모리 셀들, 및 상기 절연층 상에 배치되고 상기 복수개의 저항성 메모리 셀들중 최상부 저항성 메모리 셀에 전기적으로 접속된 비트라인을 포함한다.
- [0016] 본 발명의 실시예들에서, 상기 저항성 메모리 셀들의 각각은 상기 절연층 내에 배치된 바디 패턴 및 상기 바디 패턴의 측면을 둘러싸는 게이트 전극을 구비하는 스위칭 소자, 상기 스위칭 소자에 인접한 상기 절연층 내에 배치되어 히터의 역할을 하는 하부전극, 상기 절연층 내에 배치되어 상기 하부전극의 상부면 및 상기 바디 패턴의 상부면과 접촉하는 가변저항체, 및 상기 가변저항체 상의 상부전극을 포함할 수 있다. 상기 바디 패턴은 차례로 적층된 소오스, 채널 및 드레인을 구비할 수 있고, 상기 가변저항체는 상기 드레인의 상부면과 접촉할 수 있다. 또한, 상기 비트라인은 상기 최상부 저항성 메모리 셀의 상부전극에 전기적으로 접속될 수 있다. 상기 저항성 메모리 셀들은 차례로 적층된 하부 저항성 메모리 셀 및 상부 저항성 메모리 셀을 포함할 수 있다. 이 경우에, 상기 상부 저항성 메모리 셀을 구성하는 상기 바디 패턴 및 상기 하부전극은 상기 하부 저항성 메모리 셀의 상기 상부전극에 전기적으로 접속될 수 있다. 상기 가변저항체는 상변이 물질층을 포함할 수 있다. 상기 반도체 기판 및 상기 절연층 사이에 메인 스위칭 소자가 배치될 수 있다. 상기 메인 스위칭 소자는 상기 복수개의 적층된 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속될 수 있다.
- [0017] 다른 실시예들에서, 상기 저항성 메모리 셀들의 각각은 상기 절연층 내에 배치된 바디 패턴 및 상기 바디 패턴의 측면을 둘러싸는 게이트 전극을 구비하는 스위칭 소자, 상기 스위칭 소자에 인접한 상기 절연층 내에 배치되어 히터의 역할을 하는 하부전극, 상기 하부전극 상의 가변저항체, 및 상기 가변저항체의 상부면 및 상기 바디

패턴의 상부면을 덮는 상부전극을 포함할 수 있다. 상기 바디 패턴은 차례로 적층된 소오스, 채널 및 드레인을 구비할 수 있고, 상기 상부전극은 상기 드레인의 상부면과 접촉할 수 있다. 또한, 상기 비트라인은 상기 최상부 저항성 메모리 셀의 상부전극에 전기적으로 접속될 수 있다. 상기 가변저항체는 상기 하부전극과 자기정렬되어 국한된 형태(confined shape)를 가질 수 있다. 상기 가변저항체의 측벽 및 상기 절연층 사이에 절연성 스페이서가 배치될 수 있다. 상기 가변저항체는 상변이 물질층을 포함할 수 있다. 상기 저항성 메모리 셀들은 차례로 적층된 하부 저항성 메모리 셀 및 상부 저항성 메모리 셀을 포함할 수 있다. 이 경우에, 상기 상부 저항성 메모리 셀을 구성하는 상기 바디패턴 및 상기 하부전극은 상기 하부 저항성 메모리 셀의 상기 상부전극에 전기적으로 접속될 수 있다. 상기 반도체 기판 및 상기 절연층 사이에 메인 스위칭 소자가 배치될 수 있다. 상기 메인 스위칭 소자는 상기 복수개의 적층된 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속될 수 있다.

[0018] 또 다른 실시예들에서, 상기 저항성 메모리 셀들의 각각은 상기 절연층 내에 배치된 바디 패턴 및 상기 바디 패턴의 측벽을 둘러싸는 게이트 전극을 구비하는 스위칭 소자, 상기 스위칭 소자에 인접한 상기 절연층 내에 배치된 가변저항체, 및 상기 가변저항체의 상부면 및 상기 바디 패턴의 상부면을 덮는 상부전극을 포함할 수 있다. 상기 바디 패턴은 차례로 적층된 소오스, 채널 및 드레인을 구비할 수 있고, 상기 상부전극은 상기 드레인의 상부면과 접촉할 수 있다. 또한, 상기 비트라인은 상기 최상부 저항성 메모리 셀의 상부전극에 전기적으로 접속될 수 있다. 상기 가변저항체는 프라세오디미움 칼슘 망간 산화층(Praseodymium Calcium Manganese Oxide layer; PCMO층) 또는 전이금속 산화층을 포함할 수 있다. 이와는 달리, 상기 가변저항체는 자기터널접합(magnetic tunnel junction; MTJ) 구조체를 포함할 수 있다. 상기 자기터널접합 구조체는 차례로 적층된 고정층(pinned layer), 터널링 절연층 및 자유층(free layer)을 포함할 수 있다. 상기 저항성 메모리 셀들은 차례로 적층된 하부 저항성 메모리 셀 및 상부 저항성 메모리 셀을 포함할 수 있다. 이 경우에, 상기 상부 저항성 메모리 셀을 구성하는 상기 바디패턴 및 상기 가변저항체는 상기 하부 저항성 메모리 셀의 상기 상부전극에 전기적으로 접속될 수 있다. 상기 반도체 기판 및 상기 절연층 사이에 메인 스위칭 소자가 배치될 수 있다. 상기 메인 스위칭 소자는 상기 복수개의 적층된 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속될 수 있다.

[0019] 본 발명의 또 다른 양태에 따르면, 상기 낸드형 저항성 메모리 셀을 제조하는 방법이 제공된다. 이 방법은 반도체 기판 상에 절연층 및 상기 절연층 내에 차례로 적층된 복수개의 저항성 메모리 셀들을 형성하는 것과, 상기 절연층 상에 상기 저항성 메모리 셀들중 최상부 저항성 메모리 셀에 전기적으로 접속된 비트라인을 형성하는 것을 포함한다.

[0020] 본 발명의 실시예들에서, 상기 저항성 메모리 셀들의 각각을 형성하는 것은 상기 반도체 기판 상에 층간절연층을 형성하는 것과, 상기 층간절연층 내에 스위칭 소자를 형성하는 것과, 상기 스위칭 소자에 인접한 상기 층간절연층을 관통하면서 상기 스위칭 소자를 덮는 정보저장 요소(data storage element)를 형성하는 것을 포함할 수 있다. 상기 스위칭 소자를 형성하는 것은 상기 층간절연층을 관통하고 차례로 적층된 소오스, 채널 및 드레인을 갖는 바디 패턴을 형성하는 것과, 상기 바디 패턴을 구성하는 상기 채널의 측벽을 둘러싸는 절연된 게이트 전극을 형성하는 것을 포함할 수 있다. 상기 절연된 게이트 전극을 형성하는 것은 상기 층간절연층을 식각하여 상기 바디 패턴을 노출시키면서 라인 형태를 갖는 그루브를 형성하는 것과, 상기 노출된 바디 패턴의 측벽 상에 게이트 절연층을 형성하는 것과, 상기 그루브 내에 상기 게이트 절연층과 접촉하는 게이트 전극을 형성하는 것을 포함할 수 있다.

[0021] 다른 실시예들에서, 상기 정보저장 요소를 형성하는 것은 상기 층간절연층을 관통하는 홀을 형성하는 것과, 상기 홀 내에 하부전극을 형성하는 것과, 상기 하부전극 및 상기 바디 패턴을 덮는 가변저항체와 아울러서 상기 가변저항체 상에 적층된 상부전극을 형성하는 것을 포함할 수 있다. 상기 가변저항체는 상변이 물질층으로 형성할 수 있다. 상기 복수개의 저항성 메모리 셀들은 하부 저항성 메모리 셀 및 상기 하부 저항성 메모리 셀 상의 상부 저항성 메모리 셀을 포함하도록 형성될 수 있다. 이 경우에, 상기 상부 저항성 메모리 셀을 구성하는 상기 하부전극 및 상기 바디 패턴은 상기 하부 저항성 메모리 셀을 구성하는 상기 상부전극에 접촉하도록 형성될 수 있고, 상기 비트라인은 상기 최상부 저항성 메모리 셀을 구성하는 상기 상부전극에 전기적으로 접속될 수 있다. 상기 절연층을 형성하기 전에, 상기 반도체 기판에 메인 스위칭 소자를 추가로 형성할 수 있다. 상기 메인 스위칭 소자는 상기 복수개의 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속될 수 있다.

[0022] 또 다른 실시예들에서, 상기 정보저장 요소를 형성하는 것은 상기 층간절연층을 관통하는 홀을 형성하는 것과, 상기 홀의 하부영역 내에 하부전극을 형성하는 것과, 상기 하부전극 상의 상기 홀 내에 가변저항체를 형성하는 것과, 상기 가변저항체 및 상기 바디 패턴을 덮는 상부전극을 형성하는 것을 포함할 수 있다. 상기 가변저항체를 형성하기 전에, 상기 하부전극 상의 상기 홀의 측벽 상에 절연성 스페이서를 추가로 형성할 수 있다. 상기 가변저항체는 상변이 물질층으로 형성할 수 있다. 상기 복수개의 저항성 메모리 셀들은 하부 저항성 메모리 셀

및 상기 하부 저항성 메모리 셀 상의 상부 저항성 메모리 셀을 포함하도록 형성될 수 있다. 이 경우에, 상기 상부 저항성 메모리 셀을 구성하는 상기 하부전극 및 상기 바디 패턴은 상기 하부 저항성 메모리 셀을 구성하는 상기 상부전극에 접촉하도록 형성될 수 있고, 상기 비트라인은 상기 최상부 저항성 메모리 셀을 구성하는 상기 상부전극에 전기적으로 접속될 수 있다.

[0023] 또 다른 실시예들에서, 상기 정보저장 요소를 형성하는 것은 상기 층간절연층을 관통하는 홀을 형성하는 것과, 상기 홀 내에 가변저항체를 형성하는 것과, 상기 가변저항체 및 상기 바디 패턴을 덮는 상부전극을 형성하는 것을 포함할 수 있다. 상기 가변저항체는 프라세오디미움 칼슘 망간 산화층(PCMO층) 또는 전이금속 산화층으로 형성할 수 있다. 이와는 달리, 상기 가변저항체는 차례로 적층된 고정층(pinned layer), 터널링 절연층 및 자유층(free layer)을 구비하는 자기터널접합(MTJ) 구조체로 형성할 수 있다. 상기 복수개의 저항성 메모리 셀들은 하부 저항성 메모리 셀 및 상기 하부 저항성 메모리 셀 상의 상부 저항성 메모리 셀을 포함하도록 형성될 수 있다. 이 경우에, 상기 상부 저항성 메모리 셀을 구성하는 상기 가변저항체 및 상기 바디 패턴은 상기 하부 저항성 메모리 셀을 구성하는 상기 상부전극에 접촉하도록 형성될 수 있고, 상기 비트라인은 상기 최상부 저항성 메모리 셀을 구성하는 상기 상부전극에 전기적으로 접속될 수 있다.

**효 과**

[0024] 상술한 본 발명의 실시예들에 따르면, 반도체 기판 상에 직렬 접속된 복수개의 저항성 메모리 셀들이 차례로 적층되고, 상기 저항성 메모리 셀들의 각각은 가변저항성 물질을 포함하는 정보저장 요소 및 상기 정보저장 요소에 병렬 접속된 스위칭 소자를 구비하도록 형성된다. 따라서, 낸드형 저항성 메모리 셀 스트링을 구비하는 비휘발성 메모리 소자의 집적도를 개선시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0025] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0026] 도 1은 본 발명의 일 실시예에 따른 저항성 메모리 소자의 셀 어레이 블록의 일 부분을 도시한 등가회로도이다.

[0027] 도 1을 참조하면, 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1, STR2)이 제공된다. 상기 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1, STR2)은 하나의 비트라인(BL)을 공유한다. 즉, 상기 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1, STR2)은 상기 비트라인(BL)에 병렬 접속된다. 상기 제1 낸드형 저항성 메모리 셀 스트링(STR1)은 도 1에 도시된 바와 같이 상기 제2 낸드형 저항성 메모리 셀 스트링(STR2)과 동일한 구성(the same configuration)을 갖는다. 따라서, 본 실시예에서, 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1, STR2)중 어느 하나, 예컨대 제1 낸드형 저항성 메모리 셀 스트링(STR1)만을 설명하기로 한다.

[0028] 상기 제1 낸드형 저항성 메모리 셀 스트링(STR1)은 상기 비트라인(BL)에 직렬 접속된 복수개의 저항성 메모리 셀들 및 메인 스위칭 소자(SW0)를 구비한다. 본 실시예에서, 상기 제1 낸드형 저항성 메모리 셀 스트링(STR1)은 도 1에 도시된 바와 같이 직렬 접속된 제1 내지 제3 저항성 메모리 셀들(CL1, CL2, CL3)을 포함하는 것으로 가정한다. 그러나, 본 발명에 따른 낸드형 저항성 메모리 셀 스트링을 구성하는 저항성 메모리 셀들의 개수는 "3"에 한정되지 않는다. 예를 들면, 본 발명에 따른 낸드형 저항성 메모리 셀 스트링은 2개, 4개 또는 그 이상의 직렬 접속된 저항성 메모리 셀들(two, four or more serially-connected resistive memory cells)을 포함할 수도 있다. 본 실시예에서, 상기 저항성 메모리 셀들(CL1, CL2, CL3)은 상변이 메모리 셀들일 수 있다. 즉, 상기 제1 내지 제3 저항성 메모리 셀들(CL1, CL2, CL3)은 각각 제1 내지 제3 상변이 메모리 셀들일 수 있다.

[0029] 상기 메인 스위칭 소자(SW0)는 게이트 전극, 소오스 및 드레인을 구비하는 MOS 트랜지스터일 수 있다. 이 경우에, 상기 메인 스위칭 소자(SW0)의 소오스는 공통 소오스 라인(CSL)을 통하여 접지될 수 있고, 상기 메인 스위칭 소자(SW0)의 드레인은 상기 제1 상변이 메모리 셀(CL1)에 전기적으로 접속된다. 또한, 상기 메인 스위칭 소자(SW0)의 게이트 전극은 상기 제1 낸드형 저항성 메모리 셀 스트링(STR1)의 메인 워드라인(WL0)의 역할을 할 수 있다.

- [0030] 상기 제1 상변이 메모리 셀(CL1)은 제1 내지 제3 노드들(N1, N2, N3), 상기 제1 및 제2 노드들(N1, N2)에 각각 접속된 양 단들을 갖는 제1 히터(H1), 상기 제2 및 제3 노드들(N2, N3)에 각각 접속된 양 단들을 갖는 제1 가변 저항체(R1), 및 상기 제1 및 제3 노드들(N1, N3)에 각각 접속된 제1 및 제2 단자들을 갖는 제1 스위칭 소자(SW1)를 구비한다. 즉, 상기 제1 히터(H1) 및 상기 제1 가변저항체(R1)는 서로 직렬 접속되고, 상기 제1 스위칭 소자(SW1)는 상기 제1 히터(H1) 및 제1 가변저항체(R1)를 구비하는 제1 정보저장 요소(data storage element)에 병렬 접속된다. 상기 제1 스위칭 소자(SW1)는 소오스, 드레인 및 게이트 전극을 갖는 모스 트랜지스터일 수 있다. 이 경우에, 상기 제1 스위칭 소자(SW1)의 소오스 및 드레인은 각각 상기 제1 노드(N1) 및 제3 노드(N3)에 접속되고, 상기 제1 스위칭 소자(SW1)의 게이트 전극은 제1 워드라인(WL1)의 역할을 한다. 또한, 상기 제1 상변이 메모리 셀(CL1)의 제1 노드(N1)는 상기 메인 스위칭 소자(SW0)의 드레인에 접속된다.
- [0031] 상기 제2 상변이 메모리 셀(CL2) 역시 상기 제1 상변이 메모리 셀(CL1)과 동일한 구성을 갖는다. 즉, 상기 제2 상변이 메모리 셀(CL2)은 제1 내지 제3 노드들(N1, N2, N3), 상기 제1 및 제2 노드들(N1, N2)에 각각 접속된 양 단들을 갖는 제2 히터(H2), 상기 제2 및 제3 노드들(N2, N3)에 각각 접속된 양 단들을 갖는 제2 가변 저항체(R2), 및 상기 제1 및 제3 노드들(N1, N3)에 각각 접속된 제1 및 제2 단자들을 갖는 제2 스위칭 소자(SW2)를 구비한다. 상기 제2 스위칭 소자(SW2) 역시 소오스, 드레인 및 게이트 전극을 갖는 모스 트랜지스터일 수 있다. 상기 제2 스위칭 소자(SW2)의 소오스 및 드레인은 각각 상기 제2 상변이 메모리 셀(CL2)의 제1 및 제3 노드들(N1, N3)에 각각 접속되고, 상기 제2 스위칭 소자(SW2)의 게이트 전극은 제2 워드라인(WL2)의 역할을 한다. 상기 제2 상변이 메모리 셀(CL2)의 제1 노드(N1)는 상기 제1 상변이 메모리 셀(CL1)의 제3 노드(N3)에 접속된다.
- [0032] 상기 제3 상변이 메모리 셀(CL3) 역시 상기 제1 상변이 메모리 셀(CL1)과 동일한 구성을 갖는다. 즉, 상기 제3 상변이 메모리 셀(CL3)은 제1 내지 제3 노드들(N1, N2, N3), 상기 제1 및 제2 노드들(N1, N2)에 각각 접속된 양 단들을 갖는 제3 히터(H3), 상기 제2 및 제3 노드들(N2, N3)에 각각 접속된 양 단들을 갖는 제3 가변 저항체(R3), 및 상기 제1 및 제3 노드들(N1, N3)에 각각 접속된 제1 및 제2 단자들을 갖는 제3 스위칭 소자(SW3)를 구비한다. 상기 제3 스위칭 소자(SW3) 역시 소오스, 드레인 및 게이트 전극을 갖는 모스 트랜지스터일 수 있다. 상기 제3 스위칭 소자(SW3)의 소오스 및 드레인은 각각 상기 제3 상변이 메모리 셀(CL3)의 제1 및 제3 노드들(N1, N3)에 각각 접속되고, 상기 제3 스위칭 소자(SW3)의 게이트 전극은 제3 워드라인(WL3)의 역할을 한다. 상기 제3 상변이 메모리 셀(CL3)의 제1 및 제3 노드들(N1, N3)은 각각 상기 제2 상변이 메모리 셀(CL2)의 제3 노드(N3) 및 상기 비트라인(BL)에 접속된다. 상기 제1 내지 제3가변 저항체들(R1, R2, R3)은 상변이 물질로 이루어진 저항체들일 수 있다.
- [0033] 이제, 상기 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1, STR2)을 구동시키는 방법을 설명하기로 한다. 이하에서, 용어 "제1 스트링"은 상기 제1 낸드형 저항성 메모리 셀 스트링(STR1)을 나타내고, 용어 "제2 스트링"은 상기 제2 낸드형 저항성 메모리 셀 스트링(STR2)을 나타낸다. 또한, 용어 "제1 셀", "제2 셀" 및 "제3 셀"은 각각 상기 제1 내지 제3 저항성 메모리 셀들(CL1, CL2, CL3)을 나타낸다.
- [0034] 먼저, 도 1에 보여진 제1 및 제2 스트링들(STR1, STR2)을 구성하는 복수개의 셀들(CL1, CL2, CL3)중 어느 하나를 선택적으로 프로그램시키는 방법을 설명하기로 한다. 상기 프로그램 방법은 상기 제1 및 제2 스트링들(STR1, STR2)중 어느 하나를 선택하는 것과, 상기 선택된 스트링을 구성하는 복수개의 셀들(CL1, CL2, CL3)중 어느 하나를 선택하는 것과, 상기 선택된 셀에 프로그램 신호를 인가하는 것을 포함할 수 있다.
- [0035] 본 실시예에서, 상기 선택된 셀은 상기 제1 스트링들(STR1)을 구성하는 제1 내지 제3 셀들(CL1, CL2, CL3)중 상기 제2 셀(CL2)인 것으로 가정한다. 이 경우에, 상기 프로그램 방법은 상기 제1 스트링(STR1)을 선택하는 것과, 상기 제1 스트링(STR1)을 구성하는 제2 셀(CL2)을 선택하는 것과, 상기 선택된 제2 셀(CL2)에 프로그램 신호를 인가하는 것을 포함할 수 있다.
- [0036] 상기 제1 스트링(STR1)은 상기 제1 메인 스위칭 소자(SW0)를 턴온시킴으로써 선택될 수 있고, 상기 제1 스트링(STR1)의 제2 셀(CL2)은 상기 제1 스트링(STR1)을 구성하는 상기 제2 스위칭 소자(SW2)를 턴오프시킴으로써 선택될 수 있다. 상기 제1 스트링(STR1)의 상기 제2 셀(CL2)이 선택되는 동안, 상기 제2 스트링(STR2)은 상기 제2 스트링(STR2)을 구성하는 메인 스위칭 소자(SW0)를 턴오프시킴으로써 비선택될 수 있고, 상기 제1 스트링(STR1)의 제1 및 제3 셀들(CL1, CL3)은 상기 제1 스트링(STR1)을 구성하는 제1 및 제3 스위칭 소자들(SW1, SW3)을 턴온시킴으로써 비선택될 수 있다. 또한, 상기 프로그램 신호를 인가하는 것은 상기 선택된 스트링, 즉 제1 스트링(STR1)에 접속된 비트라인(BL)에 프로그램 전류(I<sub>p</sub>)를 인가함으로써 달성될 수 있다.
- [0037] 상술한 프로그램 모드 하에서, 상기 프로그램 전류(I<sub>p</sub>)는 도 1에 도시된 바와 같이 상기 제1 스트링(STR1)을 구

성하는 제3 스위칭 소자(SW3), 제2 가변저항체(R2), 제2 히터(H2), 제1 스위칭 소자(SW1) 및 메인 스위칭 소자(SW0)를 통하여 접지단자로 흐른다. 즉, 상기 프로그램 전류(I<sub>p</sub>)는 상기 제1 스트링(STR1)을 구성하는 제1 내지 제3 셀들(CL1, CL2, CL3)중 선택된 제2 셀(CL2)의 제2 가변저항체(R2) 및 제2 히터(H2)만을 통하여 접지단자로 흐른다. 이에 따라, 상기 제2 히터(H2)는 상기 프로그램 전류(I<sub>p</sub>)가 흐르는 동안 주울 열을 발생시키고, 상기 선택된 제2 가변저항체(R2)는 상기 주울 열에 기인하여 제1 저항 또는 상기 제1 저항보다 높은 제2 저항을 갖도록 변화될 수 있다.

[0038] 다음에, 도 1의 제1 스트링(STR1)을 구성하는 제2 셀(CL2)에 저장된 정보를 선택적으로 독출하는 방법을 설명하기로 한다. 상기 독출 방법은 상기 제1 스트링(STR1)을 선택하는 것과, 상기 제1 스트링(STR1)을 구성하는 제2 셀(CL2)을 선택하는 것과, 상기 선택된 제2 셀(CL2)에 읽기 신호를 인가하는 것을 포함할 수 있다.

[0039] 상기 제1 스트링(STR1) 및 상기 제1 스트링(STR1)을 구성하는 제2 셀(CL2)은 상기 프로그램 모드에서 설명된 것과 동일한 방법을 사용하여 선택될 수 있다. 또한, 상기 읽기 신호 역시 상기 선택된 스트링, 즉 상기 제1 스트링(STR1)에 접속된 비트라인(BL)에 읽기 전압을 인가함으로써 달성될 수 있다.

[0040] 상기 읽기 전압이 상기 선택된 비트라인(BL)에 인가되는 동안, 상기 선택된 비트라인(BL)에 유도되는 전압(또는 상기 선택된 비트라인(BL)을 통하여 흐르는 전류)은 상기 선택된 셀의 가변저항체(즉, 상기 제1 스트링(STR1)을 구성하는 제2 셀(CL2)의 제2 가변저항체(R2))의 전기적인 저항에 따라 결정될 수 있다. 따라서, 상기 선택된 셀 내에 저장된 정보는 상기 선택된 비트라인(BL)에 유도되는 전압(또는 상기 선택된 비트라인(BL)을 통하여 흐르는 전류)을 감지증폭기(도시하지 않음)를 사용하여 검출(detect)함으로써 읽혀질 수 있다.

[0041] 상술한 읽기 모드 동안, 상기 선택된 셀의 가변저항체 및 히터를 통하여 흐르는 읽기 전류는 상기 프로그램 전류(I<sub>p</sub>) 보다 작아야 한다. 이는, 상기 선택된 셀이 프로그램되는 것을 방지하기 위함이다.

[0042] 도 2는 본 발명의 일 실시예에 따른 저항성 메모리 소자의 셀 어레이 블록의 일 부분을 도시한 등가회로도이다.

[0043] 도 2를 참조하면, 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1', STR2')이 제공되고, 상기 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1', STR2') 역시 도 1을 참조하여 설명된 실시예처럼 하나의 비트라인(BL)을 공유한다. 즉, 상기 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1', STR2')은 상기 비트라인(BL)에 병렬 접속된다. 상기 제1 낸드형 저항성 메모리 셀 스트링(STR1')은 도 2에 도시된 바와 같이 상기 제2 낸드형 저항성 메모리 셀 스트링(STR2')과 동일한 구성(the same configuration)을 갖는다. 또한, 상기 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1', STR2')의 각각은 도 1을 참조하여 설명된 제1 또는 제2 낸드형 저항성 메모리 셀 스트링(STR1 또는 STR2)과 유사한 구성을 갖는다. 즉, 상기 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1', STR2')의 각각은 상기 비트라인(BL)에 직렬 접속된 복수개의 저항성 메모리 셀들(CL1', CL2', CL3') 및 메인 스위칭 소자(SW0)를 구비한다.

[0044] 본 실시예는 상기 저항성 메모리 셀들(CL1', CL2', CL3')의 각각의 구성에 있어서 도 1에 보여진 실시예와 다르다. 즉, 본 실시예에 따른 상기 제1 저항성 메모리 셀(CL1')은 도 2에 도시된 바와 같이 병렬 접속된 제1 가변저항체(R1) 및 제1 스위칭 소자(SW1)를 구비하고, 상기 제2 및 제3 저항성 메모리 셀들(CL2', CL3')은 상기 제1 저항성 메모리 셀(CL1')과 동일한 구성을 갖는다. 다시 말해서, 상기 제2 저항성 메모리 셀(CL2') 역시 병렬 접속된 제2 가변저항체(R2) 및 제2 스위칭 소자(SW2)를 구비하고, 상기 제3 저항성 메모리 셀(CL3') 역시 병렬 접속된 제3 가변저항체(R3) 및 제3 스위칭 소자(SW3)를 구비한다.

[0045] 본 실시예에서, 상기 저항성 메모리 셀들(CL1', CL2', CL3')은 저항램 셀들(RRAM cells) 또는 자기램 셀들(MRAM cells)일 수 있다. 즉, 상기 제1 내지 제3 저항성 메모리 셀들(CL1', CL2', CL3')은 각각 제1 내지 제3 저항램 셀들 또는 제1 내지 제3 자기램 셀들일 수 있다.

[0046] 상술한 제1 및 제2 낸드형 저항성 메모리 셀 스트링들(STR1', STR2')은 도 1을 참조하여 설명된 것과 동일한 프로그램 방법 및 독출 방법을 사용하여 구동될 수 있다. 본 실시예에서, 상기 저항성 메모리 셀들(CL1', CL2', CL3')이 자기램 셀들인 경우에, 상기 자기램 셀들은 디지털 라인을 구비하지 않는다. 따라서, 본 실시예에 따른 낸드형 자기램 셀 스트링들의 자기램 셀들은 미국특허 제7,164,598호에 개시된 스핀 주입 메카니즘(spin injection mechanism)을 사용하여 프로그램될 수 있다.

[0047] 도 3은 도 1의 등가회로도를 갖는 낸드형 저항성 메모리 셀 스트링들중 어느 하나를 도시한 단면도이다.

[0048] 도 3을 참조하면, 반도체 기판(1)의 소정영역에 소자분리층(3)이 제공되어 활성영역(3a)을 한정한다. 상기 활성

영역(3a) 내에 메인 소오스(9s) 및 메인 드레인(9d)이 제공되고, 상기 메인 소오스(9s) 및 메인 드레인(9d) 사이의 채널 영역 상부에 메인 게이트 전극(7a)이 배치된다. 상기 메인 게이트 전극(7a)은 상기 채널 영역으로부터 게이트 절연층(5)에 의해 절연된다. 상기 메인 게이트 전극(7a)은 상기 활성영역(3a)을 가로지르도록 연장하여 메인 워드라인(도 1의 WL0)의 역할을 할 수 있다. 상기 메인 소오스(9s)에 인접한 활성영역(3a) 상에 다른 하나의 메인 게이트 전극(7b)이 배치될 수 있다. 즉, 상기 메인 소오스(9s)는 상기 메인 게이트 전극들(7a, 7b) 사이의 활성영역 내에 위치할 수 있다. 상기 메인 게이트 전극(7a), 메인 소오스(9s) 및 메인 드레인(9d)은 메인 스위칭 소자(도 1의 SW0)를 구성한다.

[0049] 상기 메인 스위칭 소자(9s, 9d, 7a) 및 소자분리층(3)은 하부 절연층(11)으로 덮여진다. 상기 하부 절연층(11) 내에 공통 소오스 라인(13s) 및 드레인 패드(13d)가 제공될 수 있다. 상기 공통 소오스 라인(13s)은 상기 메인 워드라인(7a)에 평행하도록 배치될 수 있다. 상기 공통 소오스 라인(13s) 및 드레인 패드(13d)는 각각 상기 하부 절연층(11)을 관통하는 소오스 콘택홀(11s) 및 드레인 콘택홀(11d)을 통하여 상기 메인 소오스(9s) 및 메인 드레인(9d)에 전기적으로 접속된다.

[0050] 상기 공통 소오스 라인(13s), 드레인 패드(13d) 및 하부 절연층(11) 상에 제1 절연층(15)이 배치되고, 상기 제1 절연층(15) 내에 제1 스위칭 소자(SW1)가 배치된다. 상기 제1 스위칭 소자(SW1)는 상기 제1 절연층(15)을 관통하는 제1 바디 패턴(17b) 및 상기 제1 바디 패턴(17b)의 측벽을 둘러싸는 제1 게이트 전극(23)을 구비한다. 상기 제1 바디 패턴(17b)은 차례로 적층된 제1 소오스(17s), 제1 채널(17c) 및 제1 드레인(17d)을 구비한다. 상기 제1 게이트 전극(23)은 적어도 상기 제1 채널(17c)의 측벽을 둘러싸고, 상기 제1 소오스(17s)는 상기 드레인 패드(13d)에 전기적으로 접속된다. 결과적으로, 상기 제1 스위칭 소자(SW1)는 수직 모스 트랜지스터일 수 있다. 상기 제1 게이트 전극(23)은 상기 메인 워드라인(7a)과 평행하도록 연장하여 제1 워드라인(도 1의 WL1) 역할을 한다.

[0051] 상기 제1 스위칭 소자(SW1)에 인접한 상기 제1 절연층(15) 내에 제1 하부전극(27; 도 1의 제1 히터(H1))이 배치된다. 상기 제1 하부전극(27)은 상기 드레인 패드(13d)에 전기적으로 접속된다. 상기 제1 하부전극(27)의 상부면 및 상기 제1 드레인(17d)의 상부면은 제1 상변이 물질 패턴(29; 도 1의 제1 가변저항체(R1))으로 덮여지고, 상기 제1 상변이 물질 패턴(29) 상에 제1 상부전극(31)이 적층된다. 상기 제1 하부전극(27), 제1 상변이 물질 패턴(29) 및 제1 상부전극(31)은 제1 정보저장 요소(data storage element)를 구성한다. 상기 제1 상변이 물질 패턴(29)은 일반적으로 결정 상태의 초기 상태를 갖는다. 상기 제1 스위칭 소자(SW1) 및 제1 정보저장 요소(27, 29, 31)는 제1 저항성 메모리 셀(도 1의 CL1), 즉 제1 상변이 메모리 셀을 구성한다.

[0052] 상기 제1 상부전극(31) 및 제1 절연층(15) 상에 제2 절연층(33)이 제공된다. 상기 제2 절연층(33) 내에 상기 제1 스위칭 소자(SW1)와 동일한 구조를 갖는 제2 스위칭 소자(SW2)가 배치된다. 즉, 상기 제2 스위칭 소자(SW2)는 상기 제2 절연층(33)을 관통하여 상기 제1 상부전극(31)에 접촉하는 제2 바디 패턴(35b) 및 상기 제2 바디 패턴(35b)의 측벽을 둘러싸는 제2 게이트 전극(37)을 구비한다. 상기 제2 바디 패턴(35b) 역시 차례로 적층된 제2 소오스(35s), 제2 채널(35c) 및 제2 드레인(35d)을 구비한다. 상기 제2 게이트 전극(37) 역시 상기 제1 워드라인(23)과 평행하도록 연장하여 제2 워드라인(도 1의 WL2) 역할을 할 수 있다.

[0053] 상기 제2 스위칭 소자(SW2)에 인접하여 제2 정보저장 요소가 배치된다. 상기 제2 정보저장 요소 역시 상기 제1 정보저장 요소와 동일한 구조를 가질 수 있다. 즉, 상기 제2 정보저장 요소는 상기 제2 절연층(33)을 관통하여 상기 제1 상부전극(31)에 전기적으로 접속된 제2 하부전극(39; 도 1의 제2 히터(H2)), 상기 제2 하부전극(39) 및 상기 제2 드레인(35d)을 덮는 제2 상변이 물질 패턴(41; 도 1의 제2 가변저항체(R2)) 및 상기 제2 상변이 물질 패턴(41) 상의 제2 상부전극(43)을 포함할 수 있다. 상기 제2 상변이 물질 패턴(41) 역시 결정 상태의 초기 상태를 갖는다. 상기 제2 스위칭 소자(SW2) 및 제2 정보저장 요소(39, 41, 43)는 제2 저항성 메모리 셀(도 1의 CL2), 즉 제2 상변이 메모리 셀을 구성한다.

[0054] 상기 제2 상부전극(43) 및 제2 절연층(33) 상에 제3 절연층(45)이 제공된다. 상기 제3 절연층(45) 내에 상기 제1 스위칭 소자(SW1)와 동일한 구조를 갖는 제3 스위칭 소자(SW3)가 배치된다. 즉, 상기 제3 스위칭 소자(SW3)는 상기 제3 절연층(45)을 관통하여 상기 제2 상부전극(43)에 접촉하는 제3 바디 패턴(47b) 및 상기 제3 바디 패턴(47b)의 측벽을 둘러싸는 제3 게이트 전극(49)을 구비한다. 상기 제3 바디 패턴(47b) 역시 차례로 적층된 제3 소오스(47s), 제3 채널(47c) 및 제3 드레인(47d)을 구비하고, 상기 제3 게이트 전극(49) 역시 상기 제1 워드라인(23)과 평행하도록 연장하여 제3 워드라인(도 1의 WL3) 역할을 할 수 있다.

[0055] 상기 제3 스위칭 소자(SW3)에 인접하여 제3 정보저장 요소가 배치된다. 상기 제3 정보저장 요소 역시 상기 제1 정보저장 요소와 동일한 구조를 가질 수 있다. 즉, 상기 제3 정보저장 요소는 상기 제3 절연층(45)을 관통하여

상기 제2 상부전극(43)에 전기적으로 접속된 제3 하부전극(51; 도 1의 제3 히터(H3)), 상기 제3 하부전극(51) 및 상기 제3 드레인(47d)을 덮는 제3 상변이 물질 패턴(53; 도 1의 제3 가변저항체(R3)) 및 상기 제3 상변이 물질 패턴(53) 상의 제3 상부전극(55)을 포함할 수 있다. 상기 제3 상변이 물질 패턴(53) 역시 결정 상태의 초기 상태를 갖는다. 상기 제3 스위칭 소자(SW3) 및 제3 정보저장 요소(51, 53, 55)는 제3 저항성 메모리 셀(도 1의 CL3), 즉 제3 상변이 메모리 셀을 구성한다.

[0056] 상기 제3 상부전극(55) 및 제3 절연층(45) 상에 상부 절연층(57)이 배치되고, 상기 상부 절연층(57) 상에 비트라인(61; 도 1의 BL)이 배치된다. 상기 비트라인(61)은 상기 상부 절연층(57)을 관통하는 비트라인 콘택 플러그(59)를 통하여 상기 제3 상부전극(55)에 전기적으로 접속될 수 있다. 상기 비트라인(61)은 상기 메인 워드라인(7a)과 교차하도록 배치될 수 있다.

[0057] 결과적으로, 본 실시예에 따른 낸드형 저항성 메모리 셀 스트링은 반도체 기판(1)에 형성된 메인 스위칭 소자, 상기 메인 스위칭 소자 상에 차례로 적층된 복수개의 저항성 메모리 셀들, 및 상기 복수개의 저항성 메모리 셀들중 최상부 저항성 메모리 셀에 전기적으로 접속된 비트라인을 구비한다. 상기 메인 스위칭 소자는 상기 복수개의 저항성 메모리 셀들중 최하부 저항성 메모리 셀에 전기적으로 접속되고, 상기 복수개의 적층된 저항성 메모리 셀들은 서로 직렬 접속된다.

[0058] 도 3에 도시된 상기 제1 내지 제3 저항성 메모리 셀들중 어느 하나는 도 1을 참조하여 설명된 것과 동일한 방법을 사용하여 선택적으로 프로그램되거나 독출될 수 있다. 따라서, 본 실시예에 따른 낸드형 저항성 메모리 셀 스트링을 구동시키는 방법에 대한 설명은 생략하기로 한다.

[0059] 한편, 상기 제1 저항성 메모리 셀이 선택적으로 프로그램되는 동안, 상기 제1 상변이 물질 패턴(29) 및 상기 제1 하부전극(27) 사이의 계면에서 주울 열이 발생하여 상기 제1 상변이 물질 패턴(29)의 일 부분(즉, 상기 제1 하부전극(27)의 상부면에 인접한 제1 상변이 영역(29v))이 결정 상태 또는 비정질 상태로 변환될 수 있다. 이에 따라, 상기 제1 상변이 물질 패턴(29)은 제1 저항 또는 상기 제1 저항보다 높은 제2 저항을 가질 수 있다. 이와 마찬가지로, 상기 제2 저항성 메모리 셀이 선택적으로 프로그램되는 동안 상기 제2 상변이 물질 패턴(41)의 일 부분(즉, 상기 제2 하부전극(39)의 상부면에 인접한 제2 상변이 영역(41v))이 결정 상태 또는 비정질 상태로 변환될 수 있고, 상기 제3 저항성 메모리 셀이 선택적으로 프로그램되는 동안 상기 제3 상변이 물질 패턴(53)의 일 부분(즉, 상기 제3 하부전극(51)의 상부면에 인접한 제3 상변이 영역(53v))이 결정 상태 또는 비정질 상태로 변환될 수 있다.

[0060] 도 4는 도 1의 등가회로도를 갖는 다른 낸드형 저항성 메모리 셀 스트링들중 어느 하나를 도시한 단면도이다. 본 실시예는 정보저장 요소의 형태에 있어서 도 3의 실시예와 다르다.

[0061] 도 4를 참조하면, 반도체 기판(1) 상에 도 3에 보여진 것과 동일한 형태들을 갖는 메인 스위칭 소자(9s, 9d, 7a), 하부 절연층(11), 드레인 패드(13d) 및 공통 소오스 라인(13s)이 제공된다. 상기 하부 절연층(11), 드레인 패드(13d) 및 공통 소오스 라인(13s) 상에 제1 절연층(15)이 배치되고, 상기 제1 절연층(15) 내에 도 3에 보여진 것과 동일한 형태를 갖는 제1 스위칭 소자(SW1)가 배치된다. 상기 드레인 패드(13d)는 상기 제1 절연층(15)을 관통하는 제1 홀(101)에 의해 노출되고, 상기 제1 홀(101) 내에 제1 하부전극(103; 도 1의 제1 히터(H1))이 배치된다. 상기 제1 하부전극(103)은 리세스되어 상기 제1 절연층(15)의 상부면보다 낮은 상부면을 가질 수 있다. 상기 제1 하부전극(101) 상의 제1 홀(101)은 제1 상변이 물질 패턴(107; 도 1의 제1 가변저항체(R1))으로 채워질 수 있다. 이에 더하여, 상기 제1 상변이 물질 패턴(107)의 측벽 및 상기 제1 절연층(15) 사이에 제1 절연성 스페이서(105)가 개재될 수 있다. 즉, 본 실시예에서, 상기 제1 상변이 물질 패턴(107)은 상기 제1 홀(101)에 의해 상기 제1 하부전극(103)과 자기정렬될 수 있다. 다시 말해서, 상기 제1 상변이 물질 패턴(107)은 국한된 형태(confined shape)를 가질 수 있다. 상기 제1 상변이 물질 패턴(107) 및 상기 제1 드레인(17d)은 제1 상부전극(109)으로 덮여진다. 상기 제1 하부전극(103), 제1 상변이 물질 패턴(107) 및 제1 상부전극(109)은 제1 정보저장 요소를 구성한다. 상기 제1 스위칭 소자(SW1) 및 제1 정보저장 요소(103, 107, 109)는 제1 저항성 메모리 셀(도 1의 CL1), 즉 제1 상변이 메모리 셀을 구성한다.

[0062] 상기 제1 상부전극(109)은 도 4에 도시된 바와 같이 상기 제1 드레인(17d)의 상부면과 직접 접촉할 수 있다. 이에 따라, 상기 제1 상부전극(109) 및 상기 제1 스위칭 소자(SW1) 사이의 전기적 기생저항이 도 3의 실시예에 비하여 현저히 감소될 수 있다. 이는 도 3의 실시예에서 제1 상부전극(31) 및 제1 스위칭 소자(SW1) 사이에 제1 상변이 물질 패턴(29)이 존재하는 반면에 본 실시예에서는 상기 제1 상부전극(109) 및 제1 스위칭 소자(SW1) 사이에 어떠한 저항성 물질층도 존재하지 않기 때문이다.

- [0063] 상기 제1 절연층(15) 및 제1 상부전극(109) 상에 제2 절연층(111)이 배치된다. 상기 제2 절연층(111) 내에 도 3에 보여진 것과 동일한 형태를 갖는 제2 스위칭 소자(SW2)가 배치된다. 또한, 상기 제2 절연층(111) 내에 상기 제1 정보저장 요소(103, 107, 109)와 동일한 형태를 갖는 제2 정보저장 요소가 배치된다. 즉, 상기 제2 정보저장 요소는 상기 제2 절연층(111)을 관통하여 상기 제1 상부전극(109)에 전기적으로 접속된 제2 하부전극(115; 도 1의 제2 히터(H2)), 상기 제2 하부전극(115) 상의 제2 상변이 물질 패턴(119; 도 1의 제2 가변저항체(R2)), 및 상기 제2 상변이 물질 패턴(119) 및 상기 제2 드레인(35d)을 덮는 제2 상부전극(121)을 포함할 수 있다. 상기 제2 상변이 물질 패턴(119)의 측벽 및 제2 절연층(111) 사이에 제2 절연성 스페이서(117)가 개재될 수 있다. 상기 제2 상부전극(121) 역시 도 4에 도시된 바와 같이 상기 제2 드레인(35d)의 상부면과 직접 접촉할 수 있다. 상기 제2 스위칭 소자(SW2) 및 제2 정보저장 요소(115, 119, 121)는 제2 저항성 메모리 셀(도 1의 CL2), 즉 제2 상변이 메모리 셀을 구성한다.
- [0064] 상기 제2 절연층(111) 및 제2 상부전극(121) 상에 제3 절연층(123)이 배치되고, 상기 제3 절연층(123) 내에 도 3에 보여진 것과 동일한 형태를 갖는 제3 스위칭 소자(SW3)가 배치된다. 또한, 상기 제3 절연층(123) 내에 상기 제1 정보저장 요소(103, 107, 109)와 동일한 형태를 갖는 제3 정보저장 요소가 배치된다. 즉, 상기 제3 정보저장 요소는 상기 제3 절연층(123)을 관통하여 상기 제2 상부전극(121)에 전기적으로 접속된 제3 하부전극(127; 도 1의 제3 히터(H3)), 상기 제3 하부전극(127) 상의 제3 상변이 물질 패턴(131; 도 1의 제3 가변저항체(R3)), 및 상기 제3 상변이 물질 패턴(131) 및 상기 제3 드레인(47d)을 덮는 제3 상부전극(133)을 포함할 수 있다. 상기 제3 상변이 물질 패턴(131)의 측벽 및 제3 절연층(123) 사이에 제3 절연성 스페이서(129)가 개재될 수 있다. 상기 제3 상부전극(133) 역시 도 4에 도시된 바와 같이 상기 제3 드레인(47d)의 상부면과 직접 접촉할 수 있다. 상기 제3 스위칭 소자(SW3) 및 제3 정보저장 요소(127, 131, 133)는 제3 저항성 메모리 셀(도 1의 CL3), 즉 제3 상변이 메모리 셀을 구성한다.
- [0065] 상기 제3 상부전극(133) 및 제3 절연층(123) 상에 상부 절연층(135)이 배치되고, 상기 상부 절연층(135) 상에 비트라인(139; 도 1의 BL)이 배치된다. 상기 비트라인(139)은 상기 상부 절연층(135)을 관통하는 비트라인 콘택 플러그(137)를 통하여 상기 제3 상부전극(133)에 전기적으로 접속될 수 있다. 상기 비트라인(139)은 상기 메인 워드라인(7a)과 교차하도록 배치될 수 있다.
- [0066] 도 4에 도시된 상기 제1 내지 제3 저항성 메모리 셀들중 어느 하나는 도 1을 참조하여 설명된 것과 동일한 방법을 사용하여 선택적으로 프로그램되거나 독출될 수 있다. 따라서, 본 실시예에 따른 낸드형 저항성 메모리 셀 스트링을 구동시키는 방법에 대한 설명 역시 생략하기로 한다.
- [0067] 본 실시예에 따르면, 상기 제1 내지 제3 상부전극들(109, 121, 133)이 각각 상술한 바와 같이 상기 제1 내지 제3 드레인들(17d, 35d, 47d)과 직접 접촉할 수 있고, 그에 따라, 상기 상부전극들(109, 121, 133) 및 상기 스위칭 소자들(SW1, SW2, SW3) 사이의 전기적 기생저항이 도 3의 실시예에 비하여 현저히 감소될 수 있다. 이러한 기생저항이 감소하면, 비선택된 저항성 메모리 셀의 스위칭 소자를 통하여 흐르는 전류의 양이 증가되어 상기 비선택된 저항성 메모리 셀의 정보저장 요소가 소프트 프로그램되는 것을 현저히 억제시킬 수 있다. 이에 더하여, 상기 상부전극들(109, 121, 133) 및 상기 스위칭 소자들(SW1, SW2, SW3) 사이의 전기적 기생저항이 감소하면, 읽기 모드에서 비트라인에 유도되는 신호를 감지하는 감지증폭기의 센싱 마진을 증가시킬 수 있다.
- [0068] 도 5는 도 2의 등가회로도를 갖는 또 다른 낸드형 저항성 메모리 셀 스트링들중 어느 하나를 도시한 단면도이다. 본 실시예는 정보저장 요소의 형태에 있어서 도 4의 실시예와 다르다. 즉, 본 실시예에 따르면, 도 4의 제1 하부전극(103), 제1 상변이 물질 패턴(107) 및 제1 절연성 스페이서(105) 대신에 제1 가변저항체(151)가 제공되고, 도 4의 제2 하부전극(115), 제2 상변이 물질 패턴(119) 및 제2 절연성 스페이서(117) 대신에 제2 가변저항체(153)가 제공된다. 이와 마찬가지로, 도 4의 제3 하부전극(127), 제3 상변이 물질 패턴(131) 및 제3 절연성 스페이서(129) 대신에 제3 가변저항체(155)가 제공된다. 결과적으로, 상기 제1 내지 제3 가변저항체들(151, 153, 155)은 각각 상기 제1 내지 제3 스위칭 소자들(SW1, SW2, SW3)에 병렬 접속된다.
- [0069] 상기 제1 내지 제3 가변저항체들(151, 153, 155)의 각각은 저항램 셀에 사용되는 가변저항성 물질(variable resistive material), 예컨대 프라세오디미움 칼슘 망간 산화층(Praseodymium Calcium Manganese Oxide layer; PCMO층) 또는 전이금속 산화층을 포함할 수 있다. 이와는 달리, 상기 제1 내지 제3 가변저항체들(151, 153, 155)의 각각은 자기램 셀에 사용되는 자기터널접합(magnetic tunnel junction; MTJ) 구조체일 수 있다. 즉, 상기 제1 내지 제3 가변저항체들(151, 153, 155)의 각각은 차례로 적층된 고정층(pinned layer), 터널링 절연층 및 자유층(free layer)을 포함할 수 있다.

- [0070] 이제, 본 발명의 실시예들에 따른 낸드형 저항성 메모리 셀 스트링의 제조방법들을 설명하기로 한다.
- [0071] 도 6a 내지 도 13a는 도 3에 보여진 낸드형 저항성 메모리 셀 스트링을 제조하는 방법을 설명하기 위한 평면도들이고, 도 6b 내지 도 13b는 각각 도 6a 내지 도 13a에 대응하는 단면도들이다.
- [0072] 도 6a 및 도 6b를 참조하면, 반도체 기판(1)의 소정영역에 소자분리층(3)을 형성하여 활성영역(3a)을 한정한다. 상기 활성영역 상에 게이트 절연막(5)을 형성하고, 상기 게이트 절연막(5)을 갖는 기판 상에 게이트 도전막을 형성한다. 상기 게이트 도전막을 패터닝하여 상기 활성영역(3a)을 가로지르는 한 쌍의 메인 게이트 전극들(7a, 7b)을 형성한다. 상기 메인 게이트 전극들(7a, 7b) 및 상기 소자분리층(3)을 이온주입 마스크들로 사용하여 상기 활성영역(3a) 내로 불순물 이온들을 주입하여 메인 소오스(9s) 및 메인 드레인(9d)을 형성한다. 상기 메인 게이트 전극(7a), 메인 소오스(9s) 및 메인 드레인(9d)은 메인 스위칭 소자(도 1의 SW0)를 구성한다.
- [0073] 상기 메인 스위칭 소자(7a, 9s, 9d)를 갖는 기판 상에 하부 절연층(11)을 형성한다. 상기 하부 절연층(11) 내에 또는 상에 통상의 방법을 사용하여 공통 소오스 라인(13s) 및 드레인 패드(13d)를 형성한다. 상기 공통 소오스 라인(13s)은 상기 하부 절연층(11)을 관통하는 소오스 콘택홀(11s)을 통하여 상기 메인 소오스(13s)에 접촉하도록 형성되고, 상기 드레인 패드(13d)는 상기 하부 절연층(11)을 관통하는 드레인 콘택홀(11d)을 통하여 상기 메인 드레인(9d)에 접촉하도록 형성된다. 상기 메인 게이트 전극(7a) 및 공통 소오스 라인(13s)은 도 6a에 도시된 바와 같이 상기 활성영역(3a)을 가로지르는 라인 형태를 갖도록 형성될 수 있다.
- [0074] 도 7a 및 도 7b를 참조하면, 상기 공통 소오스 라인(13s) 및 드레인 패드(13d)를 갖는 기판 상에 제1 절연층(15)을 형성하고, 상기 제1 절연층(15)을 패터닝하여 상기 드레인 패드(13d)의 제1 영역을 노출시키는 제1 바디 홀(15a)을 형성한다. 상기 제1 바디 홀(15a) 내에 그리고 상기 제1 절연층(15) 상에 실리콘층과 같은 반도체층을 형성하고, 상기 반도체층을 평탄화시키어 상기 제1 절연층(15)의 상부면을 노출시킨다. 그 결과, 상기 제1 바디 홀(15a) 내에 반도체 패턴이 형성될 수 있다. 이어서, 상기 반도체 패턴을 식각하여 상기 제1 바디 홀(15a) 내에 리세스된 반도체 패턴(17a)을 형성한다. 상기 리세스된 반도체 패턴(17a)은 도 7b에 도시된 바와 같이 상기 제1 절연층(15)의 상부면보다 낮은 상부면을 가질 수 있다.
- [0075] 도 8a 및 도 8b를 참조하면, 상기 리세스된 반도체 패턴(17a) 내로 불순물 이온들을 주입하여 차례로 적층된 제1 소오스(17s), 제1 채널(17c) 및 제1 드레인(17d)을 형성한다. 상기 제1 소오스(17s), 제1 채널(17c) 및 제1 드레인(17d)은 제1 바디 패턴(17b)을 구성한다. 이어서, 상기 제1 바디 패턴(17b) 상의 제1 바디 홀(15a) 내에 제1 바디 캐핑 패턴(19)을 형성한다. 상기 제1 바디 캐핑 패턴(19)은 상기 제1 절연층(15)에 대하여 식각 선택비를 갖는 물질층으로 형성할 수 있다. 예를 들면, 상기 제1 절연층(15)이 실리콘 산화층으로 형성되는 경우에, 상기 제1 바디 캐핑 패턴(19)은 실리콘 질화층 또는 실리콘 산질화층과 같은 절연층으로 형성될 수 있다.
- [0076] 도 9a 및 도 9b를 참조하면, 상기 제1 절연층(15)을 패터닝하여 상기 제1 바디 패턴(17b) 및 제1 바디 캐핑 패턴(19)의 측벽들을 노출시키는 제1 그루브(15b)를 형성한다. 상기 제1 그루브(15b)는 도 9a에 도시된 바와 같이 상기 공통 소오스 라인(13s)에 평행한 라인 형태를 갖도록 형성될 수 있다. 또한, 상기 제1 그루브(15b)는 적어도 상기 제1 채널(17c)의 측벽을 노출시키도록 형성될 수 있다. 다시 말해서, 상기 제1 그루브(15b)는 상기 제1 소오스(17s)에 인접한 상기 드레인 패드(13d)가 노출되지 않도록 형성될 수 있다. 이와는 달리, 상기 제1 그루브(15b)는 상기 제1 소오스(17s)에 인접한 상기 드레인 패드(13d)가 노출되도록 형성될 수 있다. 이 경우에, 상기 제1 그루브(15b)는 상기 제1 소오스(17s), 제1 채널(17c), 제1 드레인(17d) 및 제1 바디 캐핑 패턴(19)의 측벽들 모두를 노출시킬 수 있다.
- [0077] 상기 제1 그루브(15b)를 갖는 기판 상에 제1 게이트 절연막(21)을 형성한다. 상기 제1 게이트 절연막(21)은 화학기상증착(chemical vapor deposition; CVD) 기술 또는 원자층증착(atomic layer deposition; ALD) 기술과 같은 당업계에서 잘 알려진 증착 기술을 사용하여 형성할 수 있다. 이와는 달리, 상기 제1 게이트 절연막(21)은 열산화 기술(thermal oxidation technique)을 사용하여 형성할 수도 있다. 이 경우에, 상기 제1 게이트 절연막(21)은 상기 드레인 패드(13d)의 노출된 영역 및 상기 제1 바디 패턴(17b)의 측벽 상에 선택적으로 형성될 수 있다.
- [0078] 상기 제1 게이트 절연막(21) 상에 게이트 도전층을 형성하고, 상기 게이트 도전층을 평탄화시키어 상기 제1 그루브(15b) 내에 제1 게이트 전극(23)을 형성한다. 상기 제1 게이트 전극(23)은 상기 제1 절연층(15)의 상부면보다 낮은 상부면을 갖도록 리세스될 수 있다. 좀 더 구체적으로, 상기 제1 게이트 전극(23)은 상기 제1 드레인(17d)의 상부면보다 낮은 상부면을 갖도록 리세스될 수 있다. 상기 제1 게이트 전극(23) 및 제1 바디 패턴(17b)은 제1 스위칭 소자(SW1), 즉 제1 수직 모스 트랜지스터를 구성한다.

- [0079] 도 10a 및 도 10b를 참조하면, 상기 제1 게이트 전극(23)이 형성된 기판 상에 제1 게이트 캐핑 절연층을 형성하고, 상기 제1 게이트 캐핑 절연층을 평탄화시켜 상기 제1 게이트 전극(23) 상의 제1 그루브(15b) 내에 잔존하는 제1 게이트 캐핑 패턴(25)을 형성한다.
- [0080] 도 11a 및 도 11b를 참조하면, 상기 제1 바다 캐핑 패턴(19)을 제거하여 상기 제1 드레인(17d)을 노출시키고, 상기 제1 절연층(15)을 패터닝하여 상기 드레인 패턴(13d)의 제2 영역을 노출시키는 제1 홀(15c)을 형성한다. 상기 제1 바다 캐핑 패턴(19)은 상기 제1 홀(15c)을 형성한 후에 제거될 수도 있다.
- [0081] 도 12a 및 도 12b를 참조하면, 상기 제1 홀(15c) 내에 제1 하부전극(27)을 형성한다. 상기 제1 하부전극(27)은 상기 제1 홀(15c)을 갖는 기판 상에 타이타늄 질화막(TiN) 또는 타이타늄 알루미늄 질화막(TiAlN)과 같은 하부전극층을 증착하고 상기 하부전극층을 평탄화시킴으로써 형성될 수 있다.
- [0082] 상기 제1 하부전극(27)을 갖는 기판 상에 가변저항성 물질층 및 상부전극층을 차례로 형성하고, 상기 상부전극층 및 가변저항성 물질층을 패터닝하여 상기 제1 하부전극(27) 및 상기 제1 드레인(17d)을 덮는 제1 가변저항체(29) 및 상기 제1 가변저항체(29) 상에 적층된 제1 상부전극(31)을 형성한다. 상기 가변저항성 물질층은 칼코게나이드층과 같은 상변이 물질층으로 형성할 수 있고, 상기 상부전극층은 타이타늄 질화막(TiN) 또는 타이타늄 알루미늄 질화막(TiAlN)과 같은 도전층으로 형성할 수 있다. 상기 제1 하부전극(27), 제1 가변저항체(29) 및 제1 상부전극(31)은 제1 정보저장 요소를 구성한다. 또한, 상기 제1 정보저장 요소(27, 29, 31) 및 상기 제1 스위칭 소자(SW1)는 제1 저항성 메모리 셀, 즉 제1 상변이 메모리 셀(도 1의 CL1)을 구성한다.
- [0083] 도 13a 및 도 13b를 참조하면, 상기 제1 상부전극(31) 및 제1 절연층(15) 상에 제2 절연층(33)을 형성하고, 도 7a 내지 도 12a 및 도 7b 내지 도 12b를 참조하여 설명된 것과 동일한 방법을 사용하여 상기 제1 절연층(33) 내에 제2 스위칭 소자(SW2) 및 제2 하부전극(39)을 형성한다. 이어서, 도 12a 및 도 12b를 참조하여 설명된 것과 동일한 방법을 사용하여 상기 제2 하부전극(39) 및 상기 제2 스위칭 소자(SW2)를 덮는 제2 가변저항체(41) 및 상기 제2 가변저항체(41) 상에 적층된 제2 상부전극(43)을 형성한다. 상기 제2 하부전극(39), 제2 가변저항체(41) 및 제2 상부전극(43)은 제2 정보저장 요소를 구성하고, 상기 제2 정보저장 요소(39, 41, 43) 및 제2 스위칭 소자(SW2)는 제2 저항성 메모리 셀, 즉 제2 상변이 메모리 셀(도 1의 CL2)을 구성한다.
- [0084] 계속해서, 상기 제2 저항성 메모리 셀 상에 제3 절연층(45)을 형성하고, 도 7a 내지 도 12a 및 도 7b 내지 도 12b를 참조하여 설명된 것과 동일한 방법을 사용하여 상기 제3 절연층(45) 내에 제3 스위칭 소자(SW3) 및 제3 하부전극(51)을 형성한다. 이어서, 도 12a 및 도 12b를 참조하여 설명된 것과 동일한 방법을 사용하여 상기 제3 하부전극(51) 및 상기 제3 스위칭 소자(SW3)를 덮는 제3 가변저항체(53) 및 상기 제3 가변저항체(53) 상에 적층된 제3 상부전극(55)을 형성한다. 상기 제3 하부전극(51), 제3 가변저항체(53) 및 제3 상부전극(55)은 제3 정보저장 요소를 구성하고, 상기 제3 정보저장 요소(51, 53, 55) 및 제3 스위칭 소자(SW3)는 제3 저항성 메모리 셀, 즉 제3 상변이 메모리 셀(도 1의 CL3)을 구성한다.
- [0085] 상기 제3 저항성 메모리 셀을 갖는 기판 상에 상부 절연층(57)을 형성하고, 상기 상부 절연층(57) 내에 상기 제3 상부전극(55)에 전기적으로 접속된 비트라인 콘택 플러그(59)를 형성한다. 상기 비트라인 콘택 플러그(59)를 갖는 기판 상에 금속층과 같은 도전층을 형성하고, 상기 도전층을 패터닝하여 상기 비트라인 콘택 플러그(59)를 덮는 비트라인(61)을 형성한다. 상기 비트라인(61)은 평면도로부터 보여질 때 상기 메인 게이트 전극(7a)과 교차하도록 형성될 수 있다.
- [0086] 도 14 내지 도 17은 도 4에 보여진 낸드형 저항성 메모리 셀 스트링을 제조하는 방법을 설명하기 위한 단면도들이다.
- [0087] 도 14 및 도 15를 참조하면, 반도체 기판(1) 상에 도 6a 내지 도 10a 및 도 6b 내지 도 10b를 참조하여 설명된 것과 동일한 방법을 사용하여 메인 스위칭 소자(7a, 9s, 9d), 하부 절연층(11), 공통 소오스 라인(13s), 드레인 패턴(13d), 제1 절연층(15) 및 제1 스위칭 소자(SW1)를 형성한다. 상기 제1 절연층(15)을 패터닝하여 상기 드레인 패턴(13d)의 소정영역을 노출시키는 제1 홀(101)을 형성하고, 상기 제1 홀(101) 내에 제1 하부전극(103)을 형성한다. 상기 제1 스위칭 소자(SW1)의 제1 바다 패턴(17b) 상의 제1 바다 캐핑 패턴(19)은 상기 제1 홀(101)의 형성 전 또는 후에 제거될 수 있다. 상기 제1 하부전극(103)은 타이타늄 질화막(TiN) 또는 타이타늄 알루미늄 질화막(TiAlN)과 같은 도전층으로 형성할 수 있다. 또한, 상기 제1 하부전극(103)은 상기 제1 절연층(15)의 상부면보다 낮은 상부면을 갖도록 리세스된 형태를 갖도록 형성된다.
- [0088] 도 16을 참조하면, 상기 제1 하부전극(103) 상의 상기 제1 홀(101)의 측벽 상에 제1 절연성 스페이서(105)를 형성할 수 있다. 상기 제1 절연성 스페이서(105)는 상기 제1 절연층(15)에 대하여 식각 선택비를 갖는 물질층으로

형성할 수 있다. 예를 들면, 상기 제1 절연층(15)이 실리콘 산화층으로 형성된 경우에, 상기 제1 절연성 스페이서(105)는 실리콘 질화층 또는 실리콘 산질화층으로 형성할 수 있다. 상기 제1 절연성 스페이서(105)를 갖는 기판 상에 가변저항성 물질층을 형성하고, 상기 가변저항성 물질층을 평탄화시키어 상기 제1 절연성 스페이서(105)에 의해 둘러싸여진 제1 홈(101) 내에 제1 가변저항체(107)를 형성한다. 상기 가변저항성 물질층은 칼코게나이드층과 같은 상변이 물질층으로 형성할 수 있다. 결과적으로, 상기 제1 가변저항체(107)는 상기 제1 홈(101)에 의해 상기 제1 하부전극(103)에 자기정렬될 수 있고, 국한된 형태(confined shape)를 갖도록 형성될 수 있다.

[0089] 상기 제1 가변저항체(107)를 갖는 기판 상에 상부전극층을 형성하고, 상기 상부전극층을 패터닝하여 상기 제1 가변저항체(107) 및 상기 제1 드레인(17d)을 덮는 제1 상부전극(109)을 형성한다. 상기 상부전극층은 타이타늄 질화막(TiN) 또는 타이타늄 알루미늄 질화막(TiAlN)과 같은 도전층으로 형성할 수 있다.

[0090] 상기 제1 하부전극(103), 제1 가변저항체(107) 및 제1 상부전극(109)은 제1 정보저장 요소를 구성하고, 상기 제1 정보저장 요소(103, 107, 109) 및 제1 스위칭 소자(SW1)는 제1 저항성 메모리 셀, 즉 제1 상변이 메모리 셀(도 1의 CL1)을 구성한다.

[0091] 도 17을 참조하면, 상기 제1 상부전극(109)을 갖는 기판 상에 제2 절연층(111)을 형성하고, 상기 제2 절연층(111) 내에 도 14를 참조하여 설명된 것과 동일한 방법을 사용하여 제2 스위칭 소자(SW2)를 형성한다. 이어서, 상기 제2 절연층(111)을 패터닝하여 상기 제1 상부전극(109)의 소정영역을 노출시키는 제2 홈(113)을 형성하고, 상기 제2 홈(113) 내에 도 15 및 도 16을 참조하여 설명된 것과 동일한 방법을 사용하여 제2 하부전극(115), 제2 절연성 스페이서(117) 및 제2 가변저항체(119)를 형성한다. 이어서, 상기 제2 가변저항체(119) 및 제2 드레인(35d)을 덮는 제2 상부전극(121)을 형성한다.

[0092] 상기 제2 하부전극(115), 제2 가변저항체(119) 및 제2 상부전극(121)은 제2 정보저장 요소를 구성하고, 상기 제2 정보저장 요소(115, 119, 121) 및 제2 스위칭 소자(SW2)는 제2 저항성 메모리 셀, 즉 제2 상변이 메모리 셀(도 1의 CL2)을 구성한다.

[0093] 계속해서, 상기 제2 상부전극(121) 및 상기 제2 절연층(111) 상에 제3 절연층(123)을 형성하고, 상기 제3 절연층(123) 내에 도 14를 참조하여 설명된 것과 동일한 방법을 사용하여 제3 스위칭 소자(SW3)를 형성한다. 이어서, 상기 제3 절연층(123)을 패터닝하여 상기 제2 상부전극(121)의 소정영역을 노출시키는 제3 홈(125)을 형성하고, 상기 제3 홈(125) 내에 도 15 및 도 16을 참조하여 설명된 것과 동일한 방법을 사용하여 제3 하부전극(127), 제3 절연성 스페이서(129) 및 제3 가변저항체(131)를 형성한다. 이어서, 상기 제3 가변저항체(131) 및 제3 드레인(47d)을 덮는 제3 상부전극(133)을 형성한다.

[0094] 상기 제3 하부전극(127), 제3 가변저항체(131) 및 제3 상부전극(133)은 제3 정보저장 요소를 구성하고, 상기 제3 정보저장 요소(127, 131, 133) 및 제3 스위칭 소자(SW3)는 제3 저항성 메모리 셀, 즉 제3 상변이 메모리 셀(도 1의 CL3)을 구성한다.

[0095] 상기 제3 상부전극(133) 및 제3 절연층(123) 상에 상부 절연층(135)을 형성하고, 상기 상부 절연층(135) 상에 비트라인(139)을 형성한다. 상기 비트라인(139)은 상기 상부 절연층(135)을 관통하는 비트라인 콘택 플러그(137)를 통하여 상기 제3 상부전극(133)에 전기적으로 접속될 수 있다. 상기 비트라인(139)은 도 13a 및 도 13b를 참조하여 설명된 것과 동일한 방법을 사용하여 형성할 수 있다.

[0096] 도 5에 보여진 낸드형 저항성 메모리 셀 스트링을 제조하는 방법은 제1 내지 제3 가변저항체들(151, 153, 155)을 형성하는 방법에 있어서 도 14 내지 도 17에 보여진 실시예의 제조방법과 다르다. 즉, 도 5의 제1 내지 제3 가변저항체들(151, 153, 155)의 각각은 저항램 셀에 사용되는 가변저항성 물질(variable resistive material), 예컨대 프라세오디미움 칼슘 망간 산화층(Praseodymium Calcium Manganese Oxide layer; PCMO층) 또는 전이금속 산화층으로 형성될 수 있다. 이와는 달리, 상기 제1 내지 제3 가변저항체들(151, 153, 155)의 각각은 일반적인 자기램 셀에 사용되는 자기터널접합(magnetic tunnel junction; MTJ) 구조체를 제조하는 방법을 사용하여 제작될 수 있다. 즉, 상기 제1 내지 제3 가변저항체들(151, 153, 155)의 각각은 차례로 적층된 고정층(pinned layer), 터널링 절연층 및 자유층(free layer)을 포함하도록 형성될 수 있다.

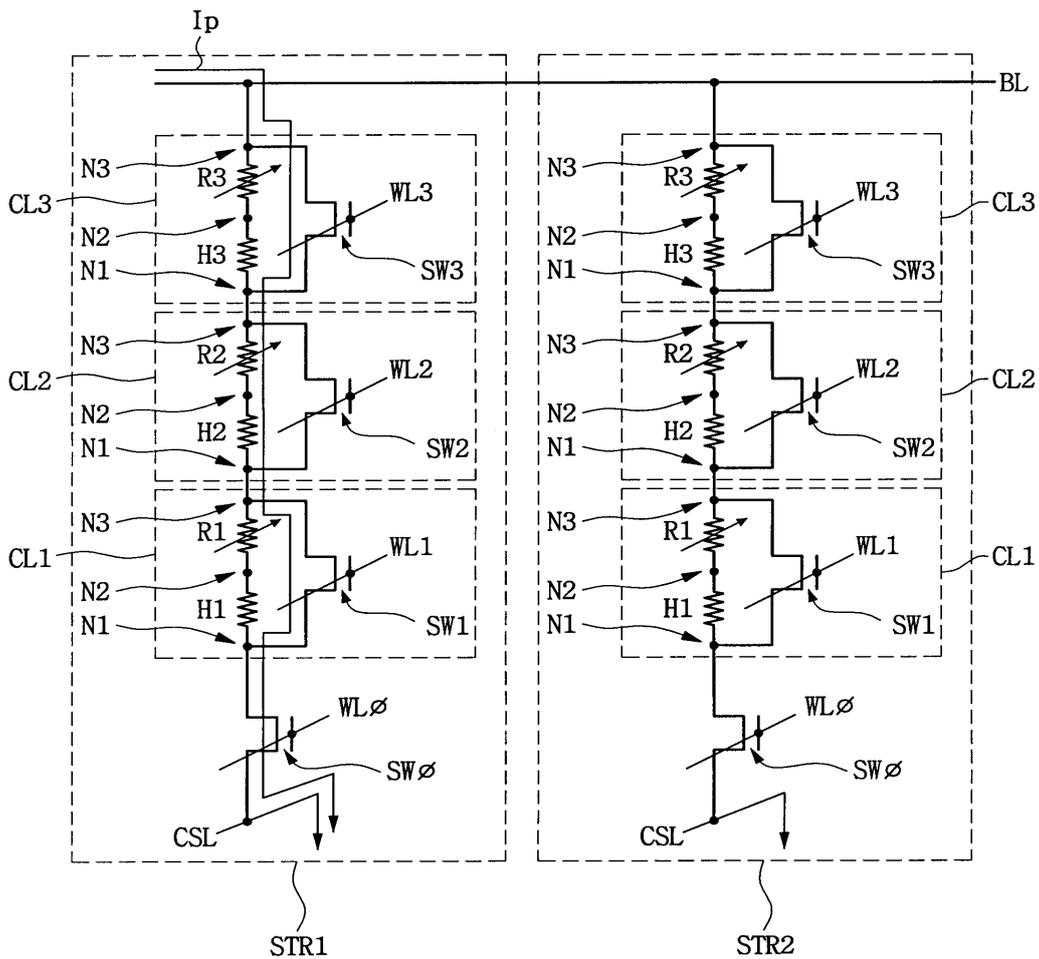
**도면의 간단한 설명**

[0097] 도 1은 본 발명의 일 실시예에 따른 낸드형 저항성 메모리 셀 스트링들을 도시한 등가회로도이다.

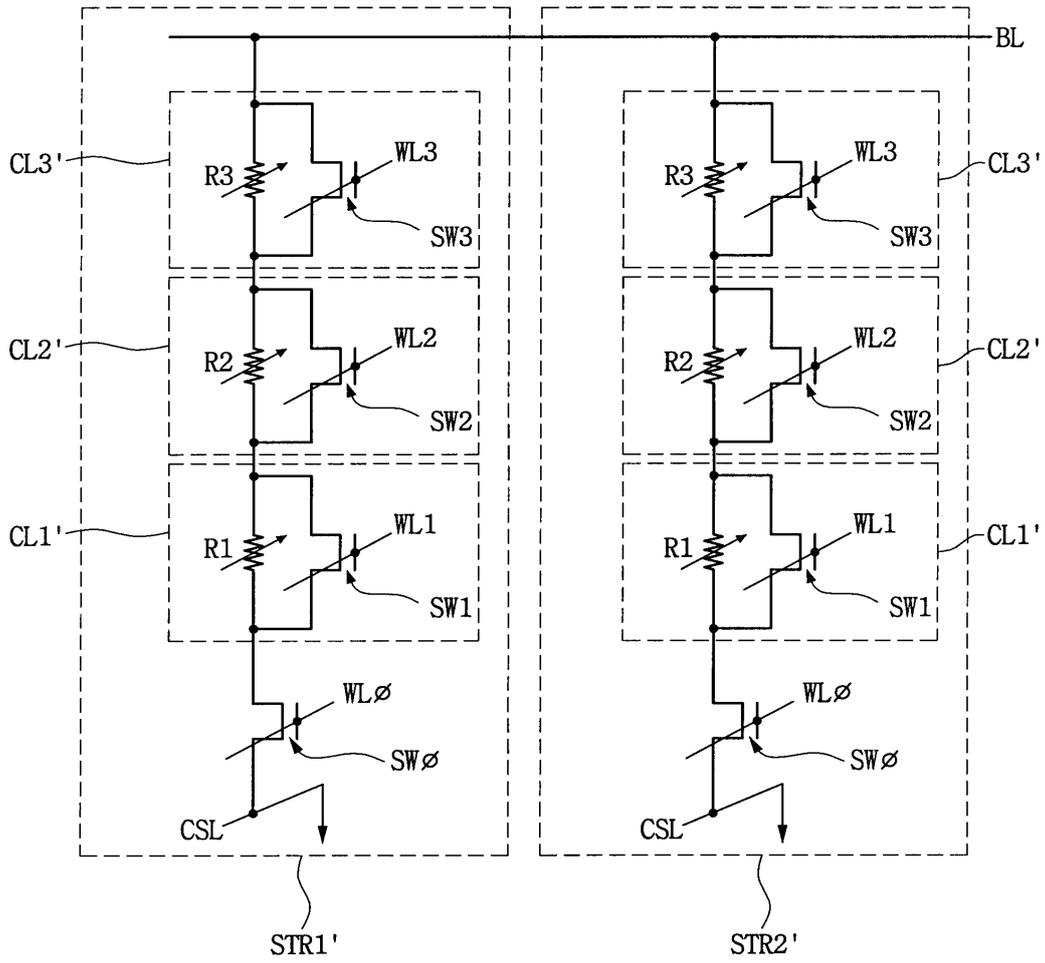
- [0098] 도 2는 본 발명의 다른 실시예에 따른 낸드형 저항성 메모리 셀 스트링들을 도시한 등가회로도이다.
- [0099] 도 3은 도 1의 등가회로도를 갖는 낸드형 저항성 메모리 셀 스트링들중 어느 하나를 도시한 단면도이다.
- [0100] 도 4는 도 1의 등가회로도를 갖는 다른 낸드형 저항성 메모리 셀 스트링들중 어느 하나를 도시한 단면도이다.
- [0101] 도 5는 도 2의 등가회로도를 갖는 또 다른 낸드형 저항성 메모리 셀 스트링들중 어느 하나를 도시한 단면도이다.
- [0102] 도 6a 내지 도 13a는 도 3의 낸드형 저항성 메모리 셀 스트링의 제조방법을 설명하기 위한 평면도들이다.
- [0103] 도 6b 내지 도 13b는 도 3의 낸드형 저항성 메모리 셀 스트링의 제조방법을 설명하기 위한 단면도들이다.
- [0104] 도 14 내지 도 17은 도 4의 낸드형 저항성 메모리 셀 스트링의 제조방법을 설명하기 위한 단면도들이다.

**도면**

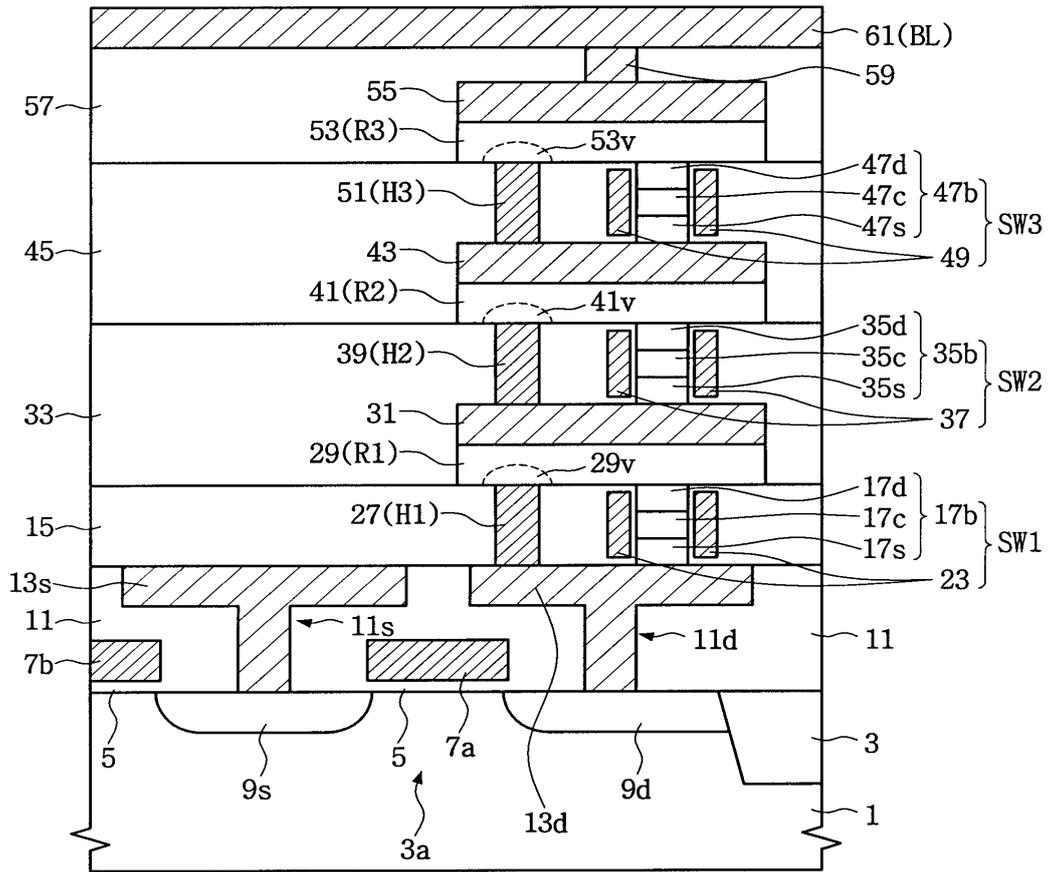
**도면1**



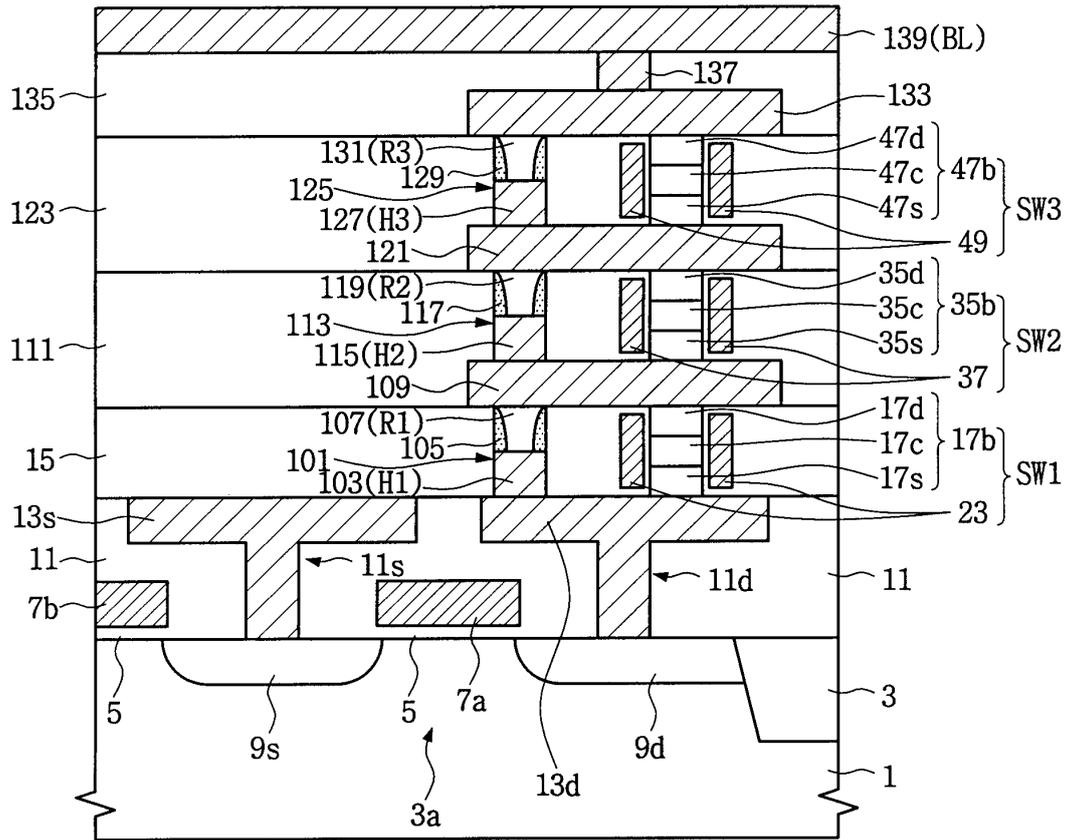
도면2



도면3

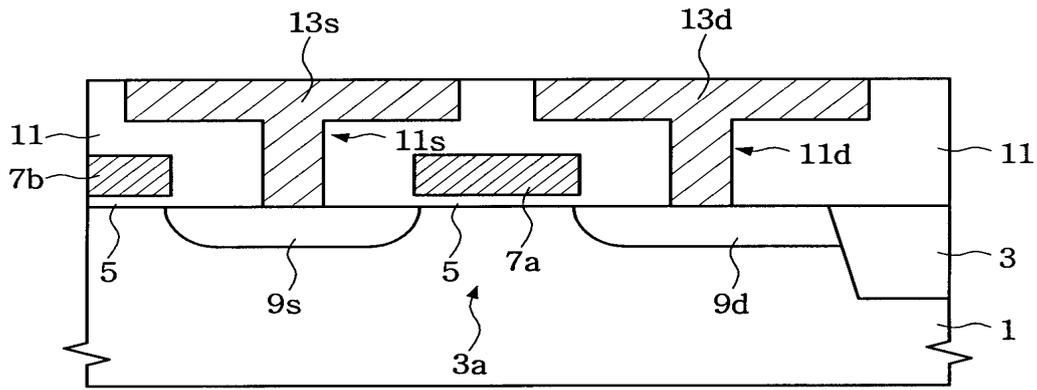


도면4

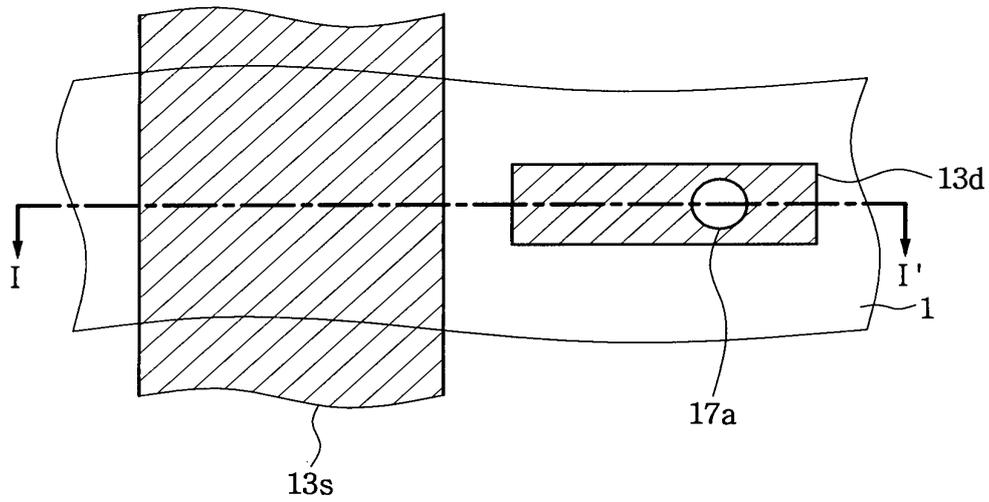




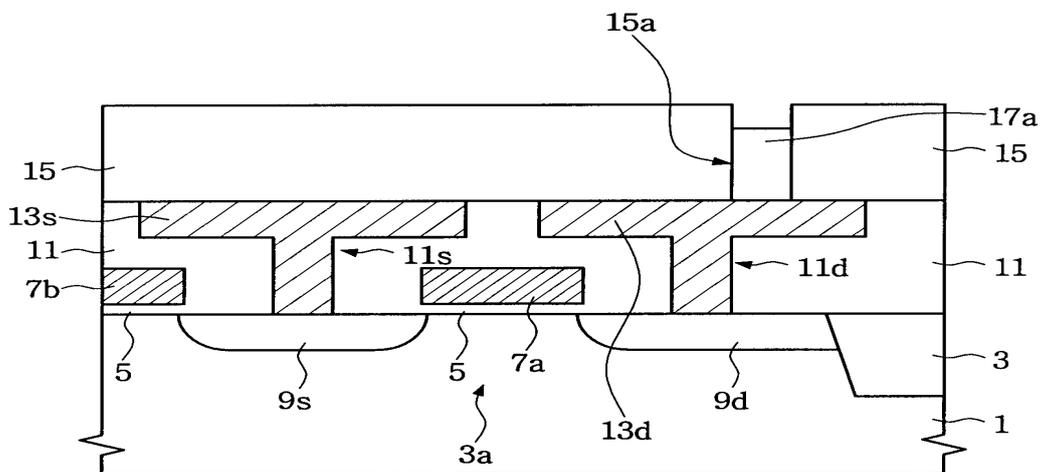
도면6b



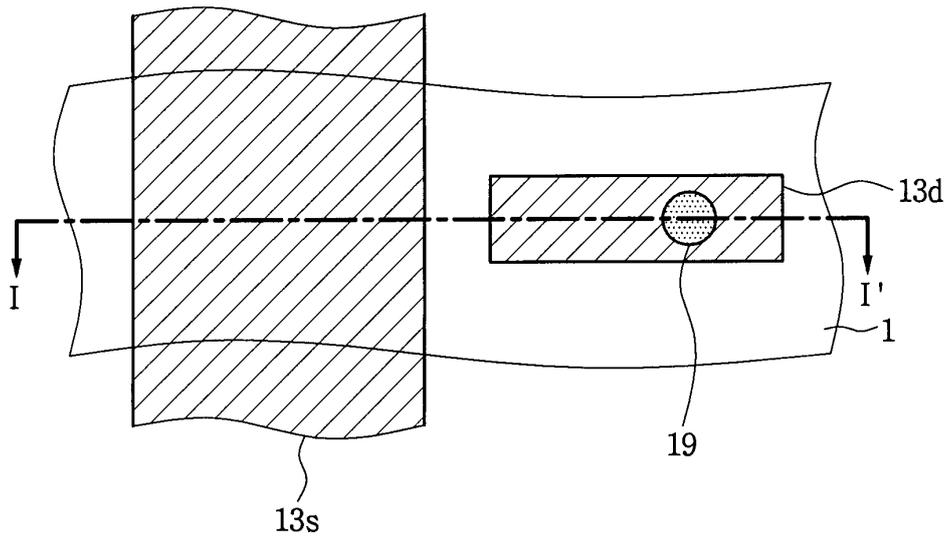
도면7a



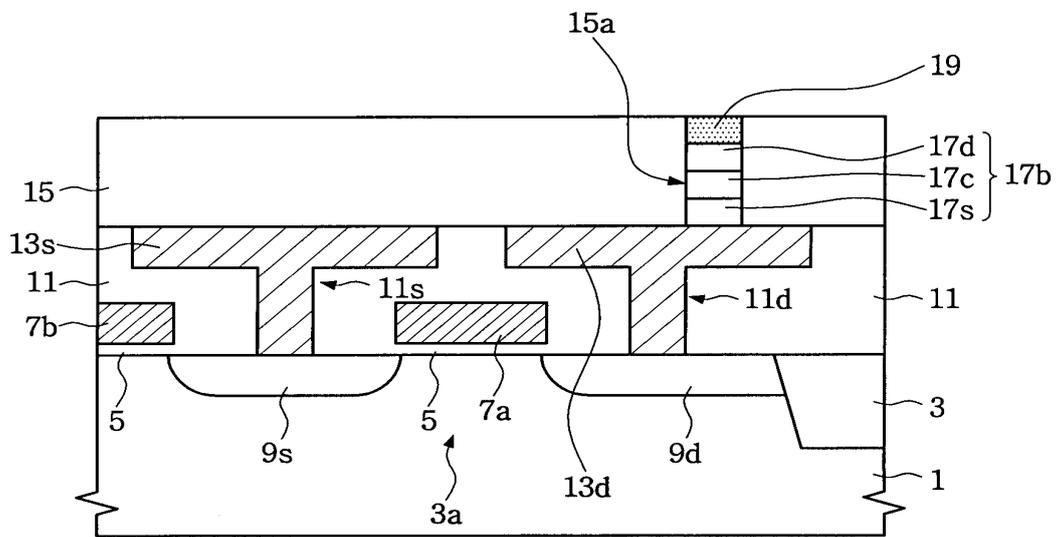
도면7b



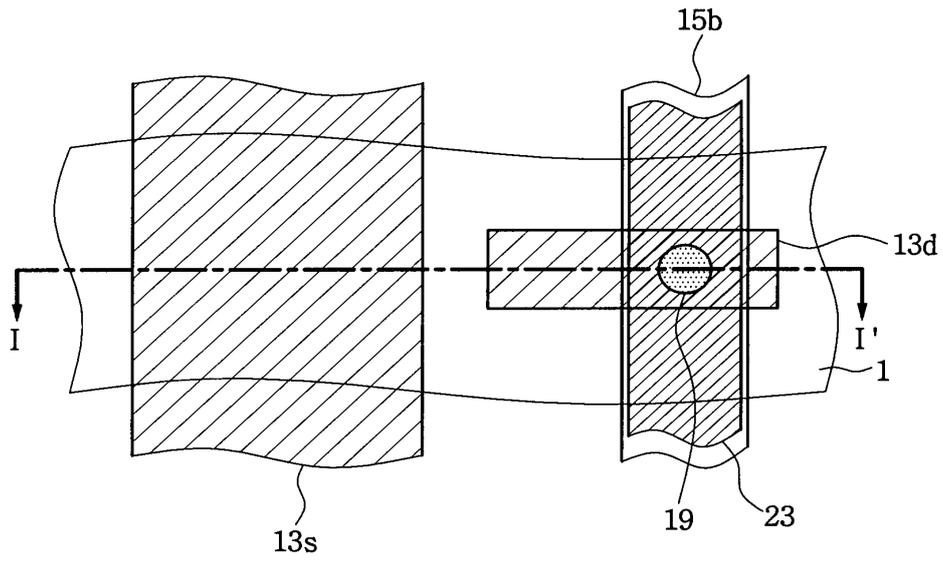
도면8a



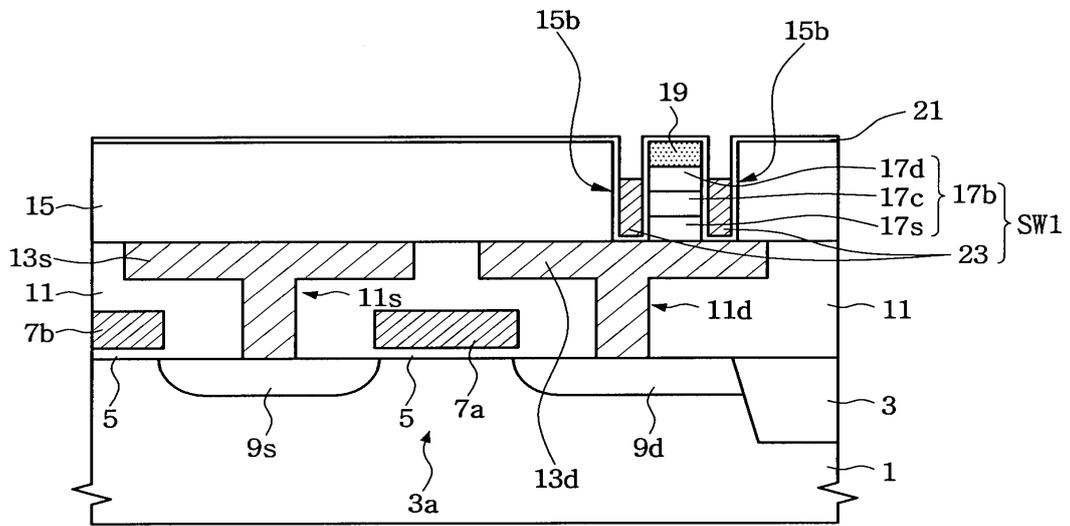
도면8b



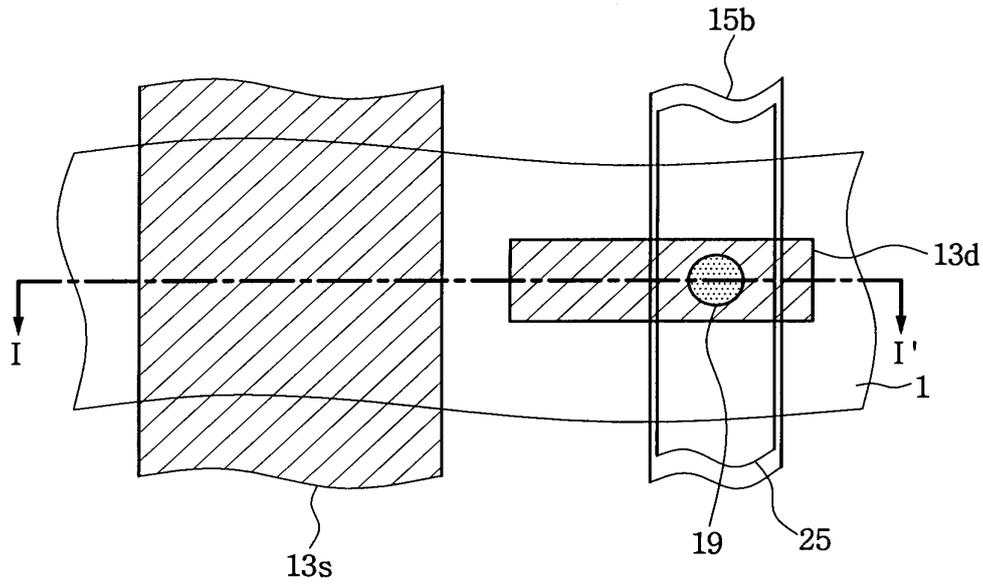
도면9a



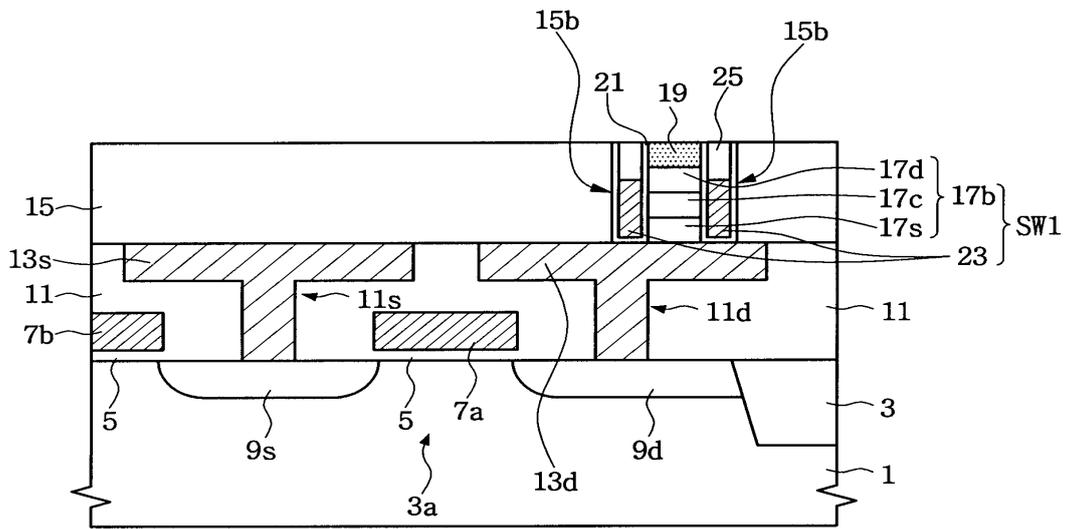
도면9b



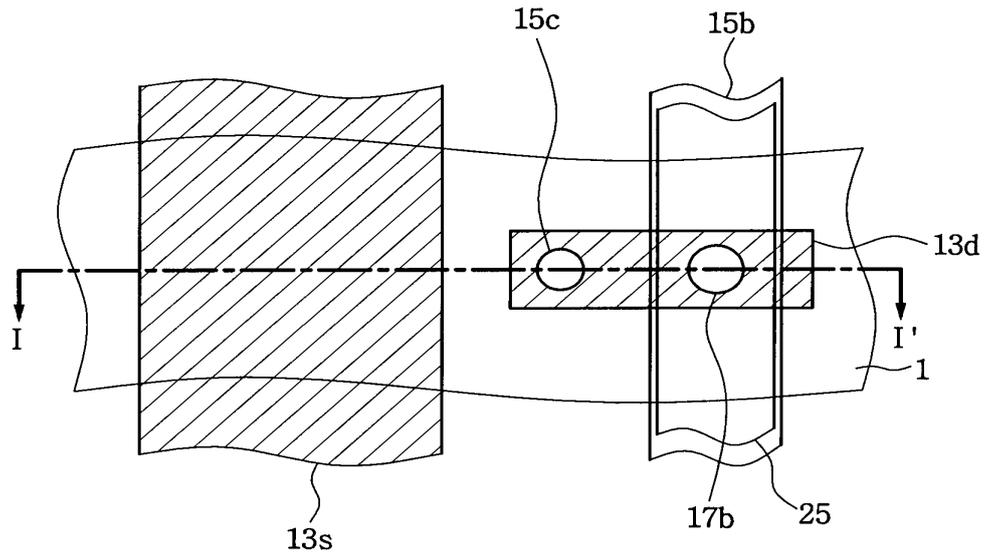
도면10a



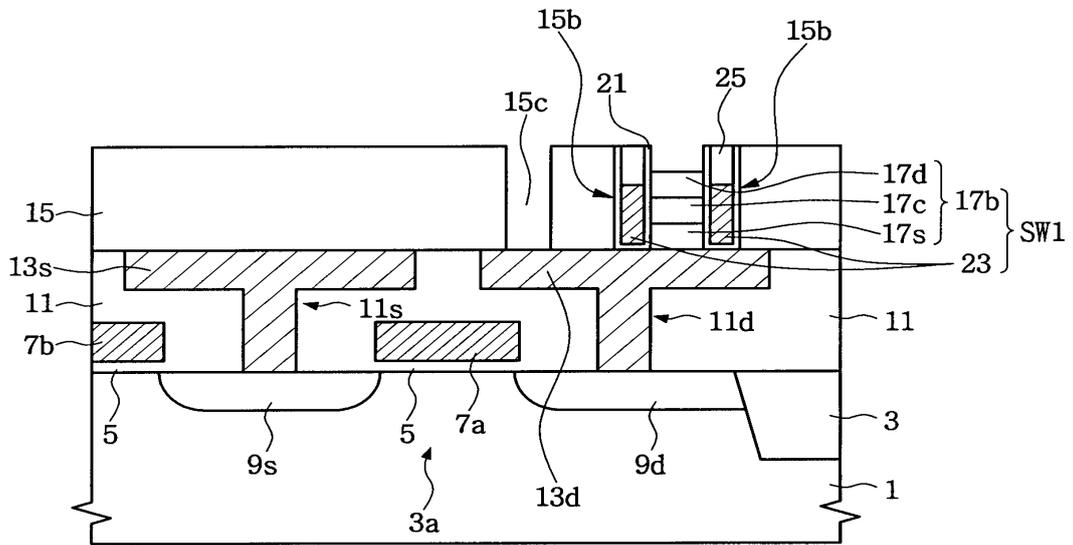
도면10b



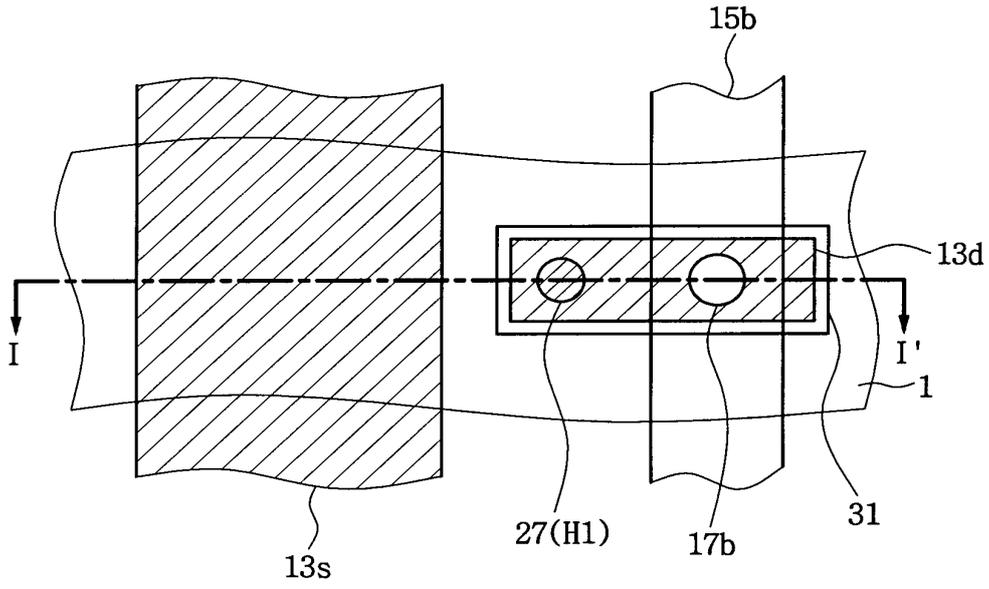
도면11a



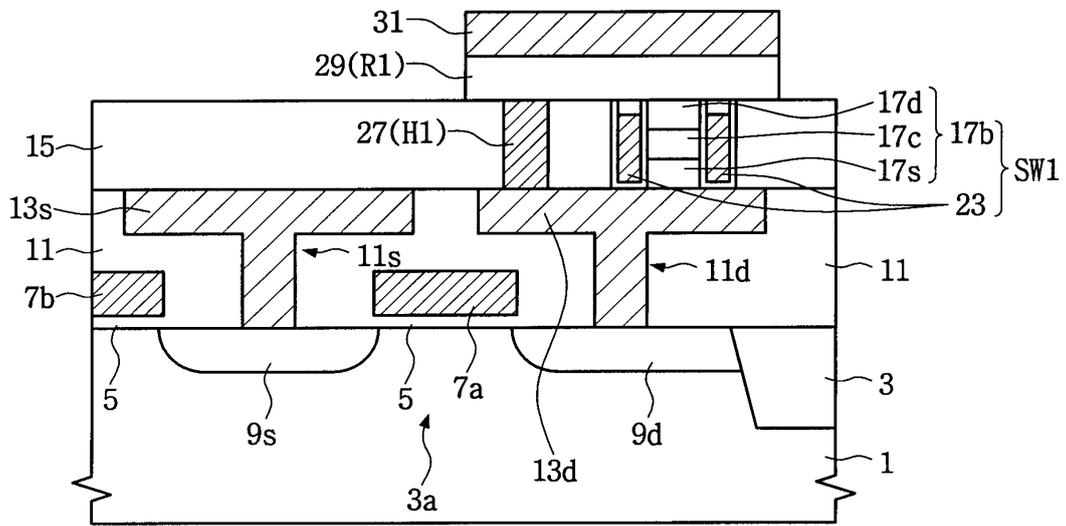
도면11b



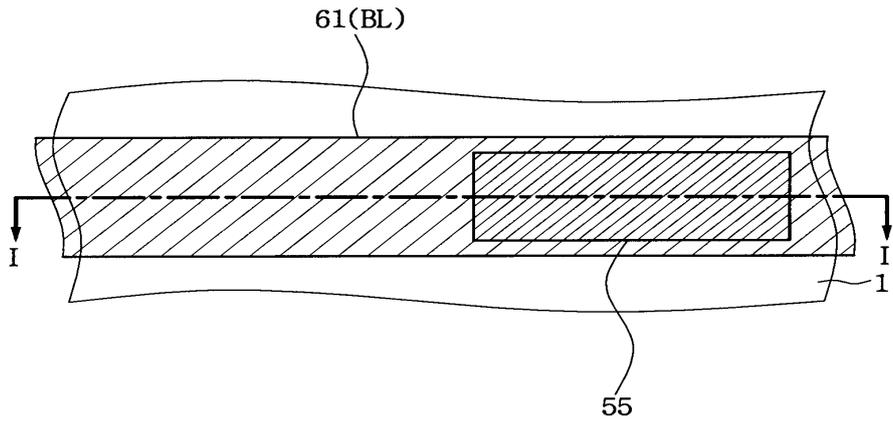
도면12a



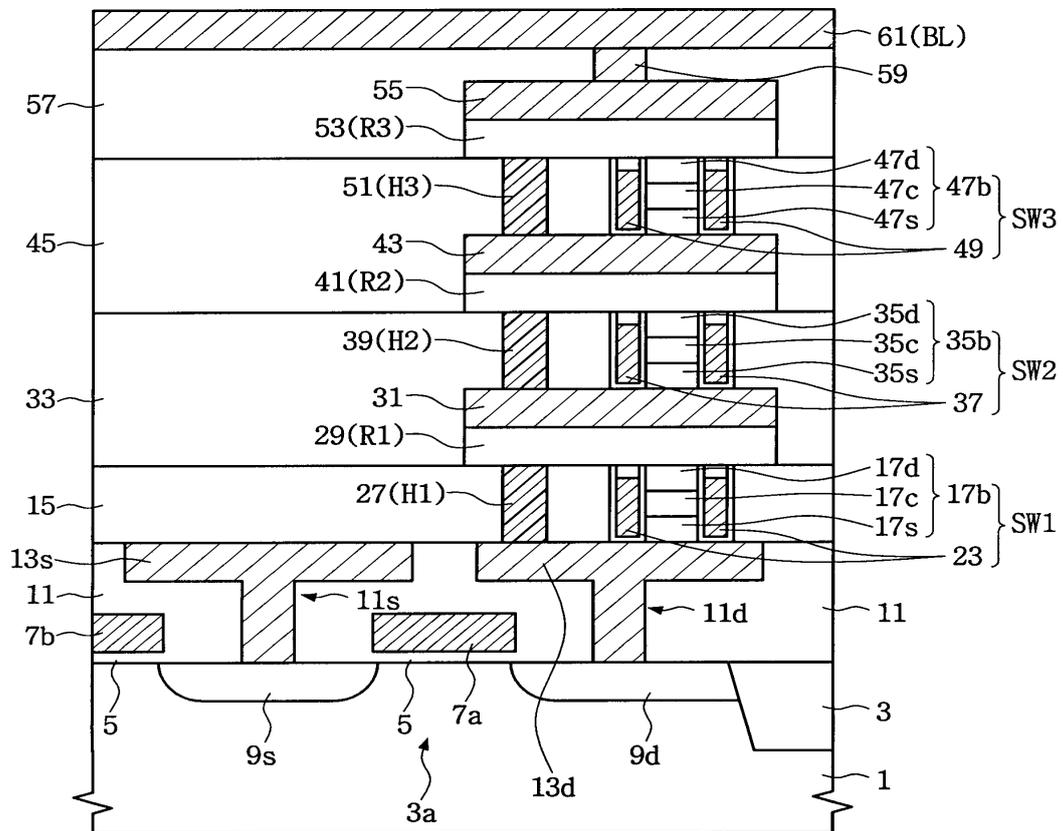
도면12b



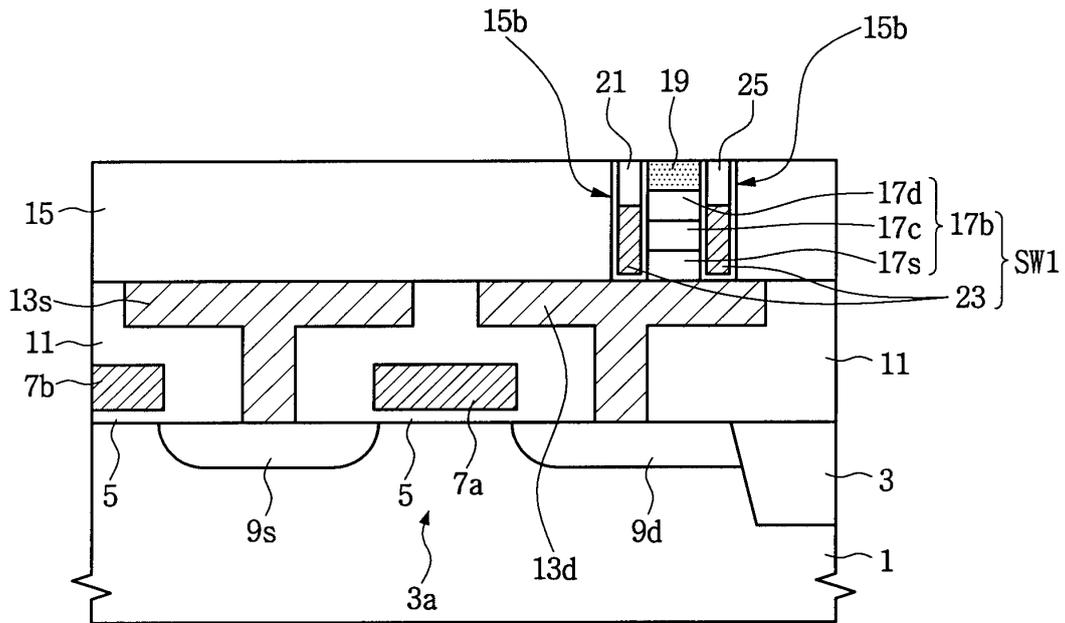
도면13a



도면13b



도면14



도면15

