

發明專利說明書 200301957

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91132063 ※IPC分類：H01L 24/8234, 27/81

※申請日期：91.10.29

壹、發明名稱

(中文) 半導體積體電路裝置之製造方法

(日文) 半導体集積回路装置の製造方法

貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 古川 亮一

(英文)

住居所地址：(中文) 日本國東京都千代田區丸內一丁目5番1號新丸大樓日立製作所股份有限公司知的財產權本部

(英文)

國籍：(中文) 日本

(英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商日立製作所股份有限公司

(英文) HITACHI, LTD.

住居所或營業所地址：(中文) 日本國東京都千代田區神田駿河台四丁目6番地

(英文)

國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 庄山 悅彦

(英文) ETSUHIKO SHOYAMA

發明人 2

姓名：(中文) 酒井 哲

(英文)

住居所地址：(中文) 日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓

日立製作所股份有限公司知的財產權本部

(英文)

國籍：(中文) 日本

(英文) JAPAN

發明人 3

姓名：(中文) 山本 智志

(英文)

住居所地址：(中文) 日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓

日立製作所股份有限公司知的財產權本部

(英文)

國籍：(中文) 日本

(英文) JAPAN

捌、聲明事項

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 日本；2001 年 11 月 15 日；特願 2001-350636

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.1. 日本；2001 年 11 月 15 日；特願 2001-350636

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

☐ 熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

本發明係關於半導體積體電路裝置之製造技術，尤其是，可應用於在同一基板上形成閘極絕緣膜厚度不同之2種以上MISFET(金屬絕緣半導體場效電晶體)之半導體積體電路裝置上的有效技術相關。

【先前技術】

為了追求半導體積體電路裝置之高積體化、低消耗電力化，半導體裝置之動作電壓逐代減少。此時，為了維持及提升裝置性能，MISFET必須依據比例定律而微細化，閘極絕緣膜之厚度應不斷變薄。然而，例如CMOS邏輯大型積體(LSI)(互補金氧半導體邏輯大型積體)等時，因為其內部電路及輸出入電路之動作電壓不同，故需要閘極絕緣膜厚度較厚之MISFET。

因為上述理由，近年來之半導體裝置不斷導入在同一基板上形成閘極絕緣膜厚度不同之複數種MISFET的處理。例如，日本特開2000-188338號公報即提出一種處理，係分別在半導體基板之第1區域上形成由氧化矽構成之閘極絕緣膜、以及在半導體基板之第2區域上形成由氮化矽或氧化鉭構成之閘極絕緣膜的處理。

【發明內容】

本發明所卻解決之問題如下所示。

例如，閘極長度0.2 μm 以下之MISFET，在氧化矽膜換算下，要求3 nm左右之較薄膜厚的閘極絕緣膜。然而，採用

氧化膜之閘極絕緣膜的膜厚降至較薄之3 nm左右時，會使貫通流過閘極絕緣膜之直接隧道電流增大，而產生從低消耗電力化觀點無法忽視之程度的閘極漏電流，因此，以氧化矽構成閘極絕緣膜之MISFET，在增加閘極絕緣膜電容及提升電流驅動能力上有其限度。

可以考慮選擇之對策上，就是使用相對電容率大於氮化矽之氧化鈦(TiO_2)、氧化鈺(HfO_2)等高介電質膜，增加閘極絕緣膜之物理膜厚。

此時，在同一基板上形成閘極絕緣膜厚度不同之MISFET的前述半導體裝置，必須導入下述處理，就是以高介電質膜形成部分閘極絕緣膜，且以氧化矽膜形成其他部分。

然而，前述半導體裝置之製法中，因為從半導體基板表面外露至形成由氮化矽或氧化鈺構成之閘極絕緣膜為止之期間，半導體基板之表面會曝露於大氣中，大氣中含有之碳(C)等雜質(異物)會附著於前述半導體基板表面，而有會使堆積其上之閘極絕緣膜的耐壓降低的問題。

又，因為半導體基板表面曝露於大氣中，半導體基板表面會形成自然氧化膜，即使在其上堆積高介電質膜來形成閘極絕緣膜，閘極絕緣膜之電容亦會降低，想要實現高電流驅動能力之高性能MISFET有其實質上的困難。

本發明之目的就是提供一種技術，在半導體基板上形成具有由高介電質膜構成之閘極絕緣膜的MISFET之過程中，可抑制在半導體基板及閘極絕緣膜之界面形成非期望之自然氧化膜。

本發明之其他目的就是提供一種技術，在半導體基板上形成具有由高介電質膜構成之閘極絕緣膜的MISFET之過程中，可提升前述閘極絕緣膜之絕緣耐壓。

本發明之前述以及其他目的及新型特徵，在本說明書之陳述及附錄圖面有詳細說明。

【實施方式】

以下所示，係以簡單方式針對本專利申請之發明中較具代表性者進行說明。

在採用以高介電質膜當做閘極絕緣膜之本發明半導體積體電路裝置製造方法中，具有除去半導體基板表面之氧化矽膜的步驟、洗淨前述半導體基板表面的步驟、以及將高介電質膜堆積於前述半導體基板表面的步驟，且在洗淨前述半導體基板表面後至堆積前述高介電質膜為止之期間，會使前述半導體基板保持於惰性氣體環境內，因而防止前述閘極絕緣膜之絕緣耐壓降低，且可防止前述閘極絕緣膜之電容降低而提升電流驅動能力。

本發明之半導體積體電路裝置製造方法，係具有：(a)步驟，準備主面具有第1區域及第2區域之矽基板；(b)步驟，藉除去在前述矽基板主面上形成之含自然氧化膜在內的薄膜，使前述矽基板主面之矽層外露；(c)步驟，在前述(b)步驟後，在前述矽層上形成相對電容率小於氮化矽膜之第1絕緣膜；(d)步驟，保留前述第1區域之前述第1絕緣膜，選擇性的除去前述第2區域之前述第1絕緣膜，使前述第2區域之前述矽層外露；(e)步驟，在前述(d)步驟後，在前述第1

區域之前述第1絕緣膜上、及前述第2區域之前述矽層上形成相對電容率大於氮化矽膜之第2絕緣膜；(f)步驟，在前述第2絕緣膜上形成第1導體層；以及(g)步驟，藉前述第1導體層之圖案化，在前述第1區域之前述第2絕緣膜上，形成由前述第1導體層構成之第1 MISFET的閘極，在前述第2區域之前述第2絕緣膜上，形成由前述第1導體層構成之第2 MISFET的閘極；且，至少從前述(b)步驟至前述(e)步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

以下將參照圖面詳細說明本發明之實施形態。又，以說明實施形態為目的之全部圖面中，對具有相同機能之構件採用相同符號，並省略其重複說明。又，以下之實施形態中，除了特別必要以外，原則上，不對同一或相同部分實施重複說明。

(實施形態1)

本實施形態之CMOS-LSI係從降低電路之消耗電力的觀點，以低電壓驅動構成內部電路之MISFET。因此，構成內部電路之MISFET的閘極絕緣膜係由較薄之絕緣膜所構成。另一方面，而會承受高電壓之外部輸出入(I/O)電路的MISFET，則因為必須確保閘極耐壓，故以較厚之絕緣層來形成閘極絕緣膜。

以下係利用圖1~圖19、依步驟順序來說明本實施形態之CMOS-LSI的製造方法。又，表示CMOS-LSI之製造方法的半導體基板剖面圖(圖1、圖2、圖5~圖19)的左側區域係內部電路區域，右側區域則係I/O電路區域。

首先，如圖1所示，例如，在半導體基板（以下稱為基板）1形成元件分離溝2，前述基板1係由具有1~10 Ωcm 程度之電阻率的p型單晶矽所構成。元件分離溝2之形成上，係對元件分離區域之基板1進行蝕刻並在形成溝後，在含有溝之內部的基板1上以CVC法（化學蒸汽沉積法）堆積氧化矽膜3，其次，再以化學機械研磨法除去溝外部之氧化矽膜3。

其次，如圖2所示，實施基板1之熱氧化，在其表面上形成膜厚10 nm以下之較薄氧化矽膜7。接著，經由氧化矽膜7對基板1之一部分實施硼之離子植入、以及對其他之一部分實施磷之離子植入後，實施基板1之熱處理，使前述雜質（硼及磷）擴散至基板1之內部，在n通道型MISFET形成區域形成p型井4，在p通道型MISFET形成區域形成n型井5。此時，為了控制MISFET之定限電壓，在p型井4之表面（通道形成區域）實施硼之離子植入，在n型井5之表面（通道形成區域）實施磷之離子植入。

其次，將前述基板1移至圖3所示之處理裝置100。此處理裝置100之構成上係具有複數處理室、裝載機106、及卸載機107的多腔式，複數之處理室則由蝕刻室101、氧化處理室102、氮化處理室103、曝光處理室104、及成膜處理室105所構成。處理裝置100之中央部設有搬運系，具有以將晶圓狀態之基板1對前述各處理室執行搬入（搬出）為目的之機械臂108。搬運系內部充填著氮或稀有氣體等惰性氣體，可以在基板1不會接觸大氣之狀態下實施對各處理室之搬入（搬出）。

搬運至前述處理裝置100之晶圓狀態下的基板1，會被載置於裝載機106內，接著，在裝載機106內執行氣體置換後，經由搬運系送往蝕刻室101。

如圖4所示，蝕刻室101之構成上具有：含有以載置基板1為目的之載置台201的腔室202、及設於腔室202之外部的電漿產生部203。當基板1收容於腔室202內後，電漿產生部203會供應氟系氣體、或氟系氣體及氫之混合氣體，利用以微波等形成之電漿使這些氣體分解，產生氟基、或氟基及氫基，如圖5所示，分解及除去在基板1表面上形成之較薄的氧化矽膜7。

如上所示，在具有和腔室202分離之電漿產生部203的蝕刻室101中，分解及除去氧化矽膜7，可使基板1表面不易受到電漿的傷害，故可抑制缺陷晶體導致之元件特性變動。又，氧化矽膜7之除去亦可利用氟酸等實施濕蝕刻，然而，採用濕蝕刻方式時，在除去氧化矽膜7後，必須以純水洗淨基板1並進行乾燥，和前述乾式方式時相比，在除去氧化矽膜7後移至下一步驟之間的多腔化相當困難。

其次，從蝕刻室101取出除去氧化矽膜7之基板1，並搬運至氧化處理室102。其次，在氧化處理室102內實施基板1表面之濕式氧化，如圖6所示，在基板1(p型井4、n型井5)之表面形成膜厚1~4 nm程度的氧化矽膜6。此氧化矽膜6會被當做MISFET之閘極絕緣膜的一部份，而前述MISFET則會構成I/O電路。

如上面所述，從洗淨基板1表面開始至形成氧化矽膜(開

極絕緣膜)6為止之處理，因在基板1不會曝露於大氣中之狀態下實施，可使在除去氧化矽膜7後之基板1表面上形成之非期望自然氧化膜的厚度極薄，而可獲得較薄且高品質之氧化矽膜(閘極絕緣膜)6。

其次，從氧化處理室102取出形成氧化矽膜6之基板1，並搬運至氮化處理室103，實施基板1表面之氮化。利用此方式，如圖7所示，氧化矽膜6會被氮化而成為氧氮化矽膜8。氧化矽膜6之氮化處理方面，例如，在氮化處理室103內供應氮(NH_3)氣，以燈退火將基板1急速加熱至 900°C 左右。氮化處理亦可利用以氮為來源氣體之電漿處理。此時，使用之前述蝕刻室101若採用分離設置收容基板1之腔室202、以及產生電漿之電漿產生部203的方式，則可降低電漿對基板1的傷害。

前述氮化處理並非必要步驟，然而，將氧化矽膜6改變成氧氮化矽膜8，在後面步驟中，實施在氧氮化矽膜8之上部堆積高介電質膜時，具有其和高介電質膜之界面有不易發生氧化之優點。

其次，從氮化處理室103取出形成氧氮化矽膜8之基板1並搬運至曝光處理室104，如圖8所示，以光阻膜40覆蓋基板1表面之一部分(I/O電路區域)。圖上並未標示，曝光處理室104之內部設有將光阻膜40旋塗於基板1表面之旋塗裝置、將特定圖案複印至塗敷於基板1表面之光阻膜40上的曝光裝置、對完成曝光處理之光阻膜40實施顯影的顯影裝置、以及除去基板1表面之光阻膜40的灰化裝置。

其次，將形成光阻膜40之基板1從曝光處理室104取出並移至前述蝕刻室101，如圖9所示，除去未覆蓋光阻膜40之區域(內部電路區域)的氮化矽膜8。

其次，將基板1從蝕刻室101移至曝光處理室104，利用灰化處理除去光阻膜40後，再移至成膜處理室105。如圖10所示，在基板1上堆積氧化矽換算膜厚為2 nm~5 nm程度之高介電質膜9。此高介電質膜9除了當做構成內部電路之MISFET的閘極絕緣膜使用以外，亦可當做構成I/O電路之MISFET的閘極絕緣膜之一部分。

此時，前述高介電質膜9係由相對電容率大於氮化矽之材料所構成的薄膜，更具體而言，就是相對電容率為8.0以上之材料所構成的薄膜。具有如前述之高相對電容率的材料如，氧化鈦(TiO_2)、氧化鈦(HfO_2)、氧化鋁(Al_2O_3)、氧化鋯(ZrO_2)、氧化鈦(RuO_2)等。又，亦可使用PZT、PLT、PLZT、 PbTiO_3 、 SrTiO_3 、 BaTiO_3 、BST、SBT、或 Ta_2O_5 等鈦鈦礦型或複合鈦鈦礦型晶體構造之高介電質或強介電質。高介電質膜9之形成上，可以使用CVD法、噴濺法、或ALD(原子層沈積)法等，然而，高介電質膜9為如氧化鈦膜時，則以Tetraisooproxy Titanium ($\text{Ti}(\text{iso-OC}_3\text{H}_7)_4$)及氧做為來源氣體之CVD法(成膜溫度400℃程度)實施堆積。

一般，由如前述金屬氧化物構成之高(強)介電質膜，因剛成膜後之膜中會有缺氧等缺陷晶體，直接將其當做閘極絕緣膜使用，會有閘極耐壓降低、漏電電流較大之虞慮。因此，當有前述虞慮時，實施以介電質膜9之改質、晶化為

目的之熱處理。實施此熱處理時，首先將基板1移至氧化處理室102，在含氧之高溫環境下實施基板1之熱處理。其次，將基板1移至氮化處理室103，在含氮之高溫環境下實施基板1之熱處理。此時，為了儘量抑制高介電質膜9及其下層之基板1(或氧氮化矽膜8)的界面產生非期望之氧化物，氧化處理室102內之熱處理應儘可能採較低之溫度。

利用到目前為止之步驟，在內部電路區域之基板1表面上形成由高介電質膜9構成之薄閘極絕緣膜9a，在I/O電路區域之基板1表面上形成由氧氮化矽膜8構成之厚閘極絕緣膜9b。

如上面所述，本實施形態中，因在基板1上形成膜厚不同之2種閘極絕緣膜9a、9b時，採用處理裝置100，故基板1可以在不會曝露於大氣之狀態下實施連續處理，因而可形成自然氧化膜成分之比例及異物附著量極少的高品質閘極絕緣膜9a、9b。

其次，如圖11所示，在p型井4之上部會形成n型多晶矽膜10n，在n型井5之上部形成p型多晶矽膜10p。這些多晶矽膜(10n、10p)會被當做MISFET之閘極材料使用。

前述多晶矽膜(10n、10p)之形成上，係在基板1上以CVD法堆積無摻雜之多晶矽膜，接著，利用以光阻膜為遮罩之離子植入法，在p型井4之上部之多晶矽膜實施磷摻雜，在n型井5之上部之多晶矽膜實施硼摻雜。

前述無摻雜之多晶矽膜的堆積上，可以利用前述處理裝置100之成膜處理室105來實施，亦可利用單獨之CVD裝置來

實施。在成膜處理室105內實施堆積時，形成閘極絕緣膜9a、9b至堆積無摻雜之多晶矽膜為止的期間，因基板1不會曝露於大氣中，故閘極絕緣膜9a、9b之表面不會形成非期望之自然氧化膜，且可抑制異物附著的不良。

又，閘極材料除了前述多晶矽膜(10n、10p)以外，尚可由如含有數%至數十%之Ge(鍺)的矽膜、多晶矽膜及高融點金屬矽化物膜之積層膜(複晶矽膜)、以及多晶矽膜及高融點金屬膜之積層膜(複金屬膜)等導體膜所構成。

以下，係針對多晶矽膜(10n、10p)堆積後之步驟進行簡單說明。

如圖12所示，以光阻膜41為遮罩，實施n型多晶矽膜10n及p型多晶矽膜10p之乾蝕刻，在p型井4之上部形成由n型多晶矽膜10n構成之閘極11n，在n型井5之上部形成由p型多晶矽膜10p構成之閘極11p。

其次，除去光阻膜41後，如圖13所示，在閘極11n之兩側的p型井4實施磷或砷之離子植入，形成低雜質濃度之n⁻型半導體區域12，在閘極11p之兩側的n型井5實施硼之離子植入，形成低雜質濃度之p⁻型半導體區域13。n⁻型半導體區域12之形成，其目的係使n通道型MISFET具有LDD(輕摻雜汲極)構造，p⁻型半導體區域13之形成，其目的則係使p通道型MISFET具有LDD構造。

其次，如圖14所示，在閘極11n、11p之側壁上形成側壁隔件14。側壁隔件14之形成，係以CVD法在基板1上堆積氮化矽膜，接著，以異向實施氮化矽膜之蝕刻，保留閘極11n、

11p之側壁。

接著，在閘極11n之兩側的p型井4實施磷或砷之離子植入，且在閘極11p之兩側的n型井5實施硼之離子植入後，實施基板1之熱處理，使該雜質擴散，在p型井4形成高雜質濃度之 n^+ 型半導體區域(源極、汲極)16，在n型井5形成高雜質濃度之 p^+ 型半導體區域(源極、汲極)17。

其次，如圖15所示，針對在 n^+ 型半導體區域(源極、汲極)16、 p^+ 型半導體區域(源極、汲極)17之各上部形成之閘極絕緣膜9a、9b進行蝕刻除去後，在基板1上以噴濺法堆積鈷(Co)膜18a。或者，亦可以堆積Ti(鈦)膜來取代鈷膜18a。

接著，實施基板1之熱處理，使鈷膜18a及矽(基板1及閘極11n、11p)進行反應後，以濕蝕刻除去未反應之鈷膜18a。利用此方式，如圖16所示，在 n^+ 型半導體區域(源極、汲極)16、 p^+ 型半導體區域(源極、汲極)17、及閘極11n、11p之各表面形成鈷矽化物層18。利用在閘極11n、11p之表面形成鈷矽化物層18，可使閘極11n、11p成為多晶矽膜(10n或10p)及鈷矽化物層18之積層膜(複晶矽膜)。

利用到目前為止之步驟，可分別完成構成內部電路之n通道型MISFET(Q_{n1})及p通道型MISFET(Q_{p1})、及構成I/O電路之n通道型MISFET(Q_{n2})及p通道型MISFET(Q_{p2})。

其次，如圖17所示，以CVD法在基板1堆積氮化矽膜19並在氮化矽膜19之上部以CVD法堆積氧化矽膜20後，如圖18所示，將在氧化矽膜20之上部形成的光阻膜42當做遮罩，實施氧化矽膜20及其下層之氮化矽膜19的乾蝕刻，而在 n^+

型半導體區域(源極、汲極)16及 p^+ 型半導體區域(源極、汲極)17之上部分別形成接觸孔21。

在除去光阻膜42後，如圖19所示，在含接觸孔21之內部的氧化矽膜20上，以CVD法或噴濺法堆積鎢(W)膜，接著，以光阻膜為遮罩實施此鎢膜之乾蝕刻，在氧化矽膜20之上部形成鎢配線22~28。

其後，在鎢配線22~28之上部利用層間絕緣膜形成複數層之配線，圖上省略此部分之圖示。

如上面所述，利用本實施形態，可防止大氣中含有之碳(C)等雜質(異物)混入基板1及閘極絕緣膜9a、9b之界面，亦可抑制非期望之自然氧化膜的形成。構成內部電路之MISFET(Q_{n1} 、 Q_{p1})，可利用此方式來抑制其隧道漏電流，同時，可確保驅動能力。又，構成I/O電路之MISFET(Q_{n2} 、 Q_{p2})，可利用此方式以氧氮化矽膜8及高介電質膜9之積層膜來形成閘極絕緣膜9b，而可確保高電壓動作時之信賴性。

(實施形態2)

本實施形態係適合置換閘極型之MISFET，參照圖20~圖29說明其製造步驟。

首先，如圖20所示，在由p型單晶矽所構成之基板1上形成元件分離溝2後，在基板1表面以熱氧化或CVD法堆積氧化矽膜50。

接著，如圖21所示，實施利用CVD法堆積於基板1上之無摻雜多晶矽膜的圖案化，在形成閘極之區域形成虛擬閘極51。

其次，如圖22所示，以磷之離子植入在虛擬閘極51之兩側的基板1上形成低雜質濃度的 n^- 型半導體區域52，以及在虛擬閘極51之側壁形成由氧化矽構成之側壁隔件53後，利用磷之離子植入，在虛擬閘極51之兩側的基板1上形成高雜質濃度的 n^+ 型半導體區域(源極、汲極)54。

其次，如圖23所示，在基板1上以CVD法依序實施氮化矽膜55及氧化矽膜56之堆積後，如圖24所示，以化學機械研磨法除去氧化矽膜56之一部分及其下層之氮化矽膜55的一部分，使虛擬閘極51之上面外露，接著，如圖25所示，以蝕刻除去虛擬閘極51。

接著，將基板1移入前述圖3所示處理裝置100之蝕刻室101，如圖26所示，對因除去虛擬閘極51而外露之區域的氧化矽膜50進行蝕刻，使基板1表面露出。

接著，將基板1移至處理裝置100之成膜處理室105，如圖27所示，在因除去氧化矽膜50而外露之基板1表面、及氧化矽膜56上堆積高介電質膜57後，如圖28所示，在高介電質膜57之上部堆積W膜58。

接著，將基板1從處理裝置100移出，以化學機械研磨法除去氧化矽膜56上部之W膜58、及高介電質膜57，形成由W膜58構成之閘極59，並在閘極59之側壁及底部形成由高介電質膜57構成之閘極絕緣膜60。利用到目前為止之步驟，可以在基板1上形成 n 通道型MISFET Qn_3 。

利用此方式，因從氧化矽膜50之除去至W膜58之堆積的步驟都是在處理裝置100內連續實施，故可抑制基板1及閘極

絕緣膜60之界面形成非期望之自然氧化膜，同時可抑制異物附著之不良。

以上，係本發明者以實施形態來具體說明本發明，然而，本發明並非限定為前述實施形態，只要在不背離其要旨之範圍內可以實施各種變更。

在前述之實施形態的說明中，構成內部電路之MISFET的閘極絕緣膜係由高介電質膜所形成，而構成I/O電路之MISFET的閘極絕緣膜則係由氧化矽膜(或氧氮化矽膜)及高介電質膜的積層膜所形成，然而，本發明並未限定為此形態，亦可廣泛應用於如下之處理，例如，以高介電質膜形成部分MISFET之閘極絕緣膜、以及以氧化矽膜(或氧氮化矽膜)及高介電質膜之積層膜形成其他之一部分之MISFET的閘極絕緣膜。

又，本發明亦可利用整體為惰性氣體環境之無塵室來取代前述實施形態之處理裝置100。此時，搬運系、裝載部/卸載部皆為惰性氣體環境下。

本專利申請之發明可獲得的效果，簡單地針對其具代表性者說明如下。

以高介電質膜形成閘極絕緣膜之一部分，並以氧化矽膜形成其他之一部分的過程中，因為可防入非期望之異物混入半導體基板及閘極絕緣膜之界面，且可抑制非期望之自然氧化膜的形成，故可抑制隧道漏電電流並同時確保MISFET之驅動能力。

【圖式簡單說明】

圖 1 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 2 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 3 係本發明一實施形態之 MISFET 製造上所使用之處理裝置的概略圖。

圖 4 係處理裝置之蝕刻室的概略圖。

圖 5 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 6 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 7 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 8 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 9 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 10 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 11 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 12 係本發明一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 13 係本發明一實施形態之 MISFET 製造方法的半導體基

板重要部位剖面圖。

圖14係本發明一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖15係本發明一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖16係本發明一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖17係本發明一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖18係本發明一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖19係本發明一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖20係本發明另一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖21係本發明另一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖22係本發明另一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖23係本發明另一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖24係本發明另一實施形態之MISFET製造方法的半導體基板重要部位剖面圖。

圖25係本發明另一實施形態之MISFET製造方法的半導體

基板重要部位剖面圖。

圖 26 係本發明另一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 27 係本發明另一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 28 係本發明另一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖 29 係本發明另一實施形態之 MISFET 製造方法的半導體基板重要部位剖面圖。

圖式代表符號說明

- | | |
|---------|---------|
| 1 | 半導體基板 |
| 2 | 元件分離溝 |
| 3 | 氧化矽膜 |
| 4 | p 型井 |
| 5 | n 型井 |
| 6 | 氧化矽膜 |
| 7 | 氧化矽膜 |
| 8 | 氧氮化矽膜 |
| 9 | 高介電質膜 |
| 9a | 薄閘極絕緣膜 |
| 9b | 厚閘極絕緣膜 |
| 10n | n 型多晶矽膜 |
| 10p | p 型多晶矽膜 |
| 11n、11p | 閘極 |

(18)

- 12 n^- 型半導體區域
- 13 p^- 型半導體區域
- 14 側壁隔件
- 16 n^+ 型半導體區域(源極、汲極)
- 17 p^+ 型半導體區域(源極、汲極)
- 18a 鈷膜
- 18 鈷矽化物層
- 19 氮化矽膜
- 20 氧化矽膜
- 21 接觸孔
- 22~28 鎢配線
- 40、41、42 光阻膜
- 50 氧化矽膜
- 51 虛擬閘極
- 52 n^- 型半導體區域
- 53 側壁隔件
- 54 n^+ 型半導體區域(源極、汲極)
- 55 氮化矽膜
- 56 氧化矽膜
- 57 高介電質膜
- 58 W膜
- 59 閘極
- 60 閘極絕緣膜
- 100 處理裝置

101	蝕刻室
102	氧化處理室
103	氮化處理室
104	曝光處理室
105	成膜處理室
106	裝載機
107	卸載機
201	載置台
202	腔室
203	電漿產生部
Q_{n_1} 、 Q_{n_2} 、 Q_{n_3}	n通道型MISFET
Q_{p_1} 、 Q_{p_2}	p通道型MISFET

肆、中文發明摘要

本發明之課題，係在同一基板上形成閘極絕緣膜厚度不同之MISFET(金屬絕緣半導體場效電晶體)的過程中，抑制在半導體基板及閘極絕緣膜之界面形成非期望之自然氧化膜。

本發明之解決手段，係以氧氮化矽膜構成以構成內部電路為目的之MISFET(Q_{n1} 、 Q_{p1})的閘極絕緣膜9a，而以氧氮化矽膜及高介電質膜之積層膜構成以構成I/O電路為目的之MISFET(Q_{n2} 、 Q_{p2})的閘極絕緣膜9b。在基板1上形成2種閘極絕緣膜9a、9b之過程，係在多腔式處理裝置內連續實施，因基板1不會曝露於大氣下，基板1及閘極絕緣膜9a、9b之界面不會混入非期望之異物，可抑制自然氧化膜之形成。

伍、日文發明摘要

【課題】 ゲート絶縁膜の厚さが互いに異なるMISFETを同一基板上に形成するプロセスにおいて、半導体基板とゲート絶縁膜との界面に不所望の自然酸化膜が形成されることを抑制する。

【解決手段】 内部回路を構成するMISFET(Q_{n1} 、 Q_{p1})のゲート絶縁膜9aは、酸化窒化シリコン膜で構成され、I/O回路を構成するMISFET(Q_{n2} 、 Q_{p2})のゲート絶縁膜9bは、酸化窒化シリコン膜と高誘電体膜の積層膜で構成される。基板1上に2種のゲート絶縁膜9a、9bを形成するプロセスは、マルチチャンバ方式の処理装置内で連続して行われ、基板1が大気に曝されることはないので、基板1とゲート絶縁膜9a、9bとの界面に不所望の異物が混入したり、自然酸化膜が形成されたりすることを抑制できる。

拾、申請專利範圍

1. 一種半導體積體電路裝置之製造方法，其特徵為具有：
 - (a) 步驟，準備主面具有第1區域及第2區域之矽基板；
 - (b) 步驟，藉除去在前述矽基板主面上形成之含自然氧化膜在內的薄膜，使前述矽基板主面之矽層外露；
 - (c) 步驟，在前述(b)步驟後，在前述矽層上形成相對電容率小於氮化矽膜之第1絕緣膜；
 - (d) 步驟，保留前述第1區域之前述第1絕緣膜，選擇性的除去前述第2區域之前述第1絕緣膜，使前述第2區域之前述矽層外露；
 - (e) 步驟，在前述(d)步驟後，在前述第1區域之前述第1絕緣膜上、及前述第2區域之前述矽層上形成相對電容率大於氮化矽膜之第2絕緣膜；
 - (f) 步驟，在前述第2絕緣膜上形成第1導體層；以及
 - (g) 步驟，藉前述第1導體層之圖案化，在前述第1區域之前述第2絕緣膜上，形成由前述第1導體層構成之第1 MISFET的閘極，在前述第2區域之前述第2絕緣膜上，形成由前述第1導體層構成之第2 MISFET的閘極；且，至少從前述(b)步驟至前述(e)步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。
2. 如申請專利範圍第1項之半導體積體電路裝置製造方法

，其中

前述(b)步驟中除去含前述自然氧化膜在內之薄膜的手段，係利用電漿之乾蝕刻。

3. 如申請專利範圍第1項之半導體積體電路裝置製造方法，其中

前述第1絕緣膜係以氧化矽為主要成分之絕緣膜。

4. 如申請專利範圍第1項之半導體積體電路裝置製造方法，其中

前述(c)步驟及(d)步驟之間，更含有在含氮環境下實施前述矽基板之熱處理的第1熱處理步驟，且至少從前述(b)步驟至前述(e)步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

5. 如申請專利範圍第4項之半導體積體電路裝置製造方法，其中

前述第1絕緣膜係以氧氮化矽為主要成分之絕緣膜。

6. 如申請專利範圍第1項之半導體積體電路裝置製造方法，其中

前述第2絕緣膜之相對電容率為8.0以上。

7. 如申請專利範圍第1項之半導體積體電路裝置製造方法，其中

至少從前述(b)步驟至前述(e)步驟為止，係在具有多腔之同一裝置內連續實施。

8. 如申請專利範圍第1項之半導體積體電路裝置製造方法，其中

從前述(b)步驟至前述(f)步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

9. 如申請專利範圍第1項之半導體積體電路裝置製造方法，其中

前述(e)步驟及(f)步驟之間，更含有實施前述矽基板之熱處理的第2熱處理步驟，且至少從前述(b)步驟至前述第2熱處理步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

10. 一種半導體積體電路裝置之製造方法，其特徵為具有：

(a) 步驟，準備主面具有第1區域、第2區域、第3區域、及第4區域之矽基板；

(b) 步驟，藉除去在前述矽基板主面上形成之含自然氧化膜在內的薄膜，使前述矽基板主面之矽層外露；

(c) 步驟，在前述(b)步驟後，在前述矽層上形成相對電容率小於氮化矽膜之第1絕緣膜；

(d) 步驟，保留前述第1區域及第2區域之前述第1絕緣膜，選擇性的除去前述第3區域及第4區域之前述第1絕緣膜，使前述第3區域及第4區域之前述矽層外露；

(e) 步驟，在前述(d)步驟後，在前述第1區域及第2區域之前述第1絕緣膜上、以及前述第3區域及第4區域之前述矽層上形成相對電容率大於氮化矽膜之第2絕緣膜；

(f) 步驟，在前述第1及第3區域之前述第2絕緣膜上形成第1導體層，在前述第2及第4區域之前述第2絕緣膜上形成第2導體層；以及

(g) 步驟，藉前述第1及第2導體層之圖案化，在前述第1區域之前述第2絕緣膜上，形成由前述第1導電型之前述第1導體層構成之第1 MISFET的閘極，在前述第2區域之前述第2絕緣膜上，形成由前述第2導電型之前述第2導體層構成之第2 MISFET的閘極，在前述第3區域之前述第2絕緣膜上，形成由前述第1導電型之前述第1導體層構成之第3 MISFET的閘極，在前述第4區域之前述第2絕緣膜上，形成由前述第2導電型之前述第2導體層構成之第4 MISFET的閘極；且，

至少從前述(b)步驟至前述(e)步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

11. 如申請專利範圍第10項之半導體積體電路裝置製造方法，其中

前述(b)步驟中除去含前述自然氧化膜在內之薄膜的手段，係利用電漿之乾蝕刻。

12. 如申請專利範圍第10項之半導體積體電路裝置製造方法，其中

前述第1絕緣膜係以氧化矽為主要成分之絕緣膜。

13. 如申請專利範圍第10項之半導體積體電路裝置製造方法，其中

前述(c)步驟及(d)步驟之間，更含有在含氮環境下實施前述矽基板之熱處理的第1熱處理步驟，且至少從前述(b)步驟至前述(e)步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

14. 如申請專利範圍第13項之半導體積體電路裝置製造方法，其中

前述第1絕緣膜係以氧氮化矽為主要成分之絕緣膜。

15. 如申請專利範圍第10項之半導體積體電路裝置製造方法，其中

前述第2絕緣膜之相對電容率為8.0以上。

16. 如申請專利範圍第10項之半導體積體電路裝置製造方法，其中

至少從前述(b)步驟至前述(e)步驟為止，係在具有多腔之同一裝置內連續實施。

17. 如申請專利範圍第10項之半導體積體電路裝置製造方法，其中

從前述(b)步驟至前述(f)步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

18. 如申請專利範圍第10項之半導體積體電路裝置製造方法，其中

前述(e)步驟及(f)步驟之間，更含有實施前述矽基板之熱處理的第2熱處理步驟，且至少從前述(b)步驟至前述第2熱處理步驟為止，係在前述矽基板不會曝露於大氣之狀態下連續實施。

19. 一種半導體積體電路裝置之製造方法，其特徵為具有：

- (a) 步驟，準備主面具有第1區域及第2區域之矽基板；
- (b) 步驟，在前述矽基板表面形成相對電容率小於氮化膜之第1絕緣膜；
- (c) 步驟，保留前述第1區域之前述第1絕緣膜，選擇性的除去前述第2區域之前述第1絕緣膜，使前述第2區域之前述矽基板表面外露；
- (d) 步驟，洗淨前述第2區域之前述矽基板表面；
- (e) 步驟，在前述(d)步驟後，在前述第1區域之前述第1絕緣膜上、及前述第2區域之前述矽基板上形成相對電容率大於氮化矽膜之第2絕緣膜；
- (f) 步驟，在前述第2絕緣膜上形成第1導體層；以及
- (g) 步驟，藉前述第1導體層之圖案化，在前述第1區域之前述第2絕緣膜上，形成由前述第1導體層構成之第1 MISFET的閘極，在前述第2區域之前述第2絕緣膜上，形成由前述第1導體層構成之第2 MISFET的閘極；且，

至少從前述(d)步驟結束至前述(e)步驟開始之期間，使前述矽基板處於惰性氣體環境下。

20. 一種半導體積體電路裝置之製造方法，其特徵為具有：

- (a) 步驟，準備主面上具有由氧化矽膜形成之第1絕緣膜的矽基板；
- (b) 步驟，除去前述矽基板表面之前述第1絕緣膜；

- (c) 步驟，洗淨前述矽基板表面；
 - (d) 步驟，在前述矽基板上形成相對電容率大於氮化矽膜之第2絕緣膜；
 - (e) 步驟，在前述第2絕緣膜上形成第1導體層；以及
 - (f) 步驟，藉前述第1導體層之圖案化，形成由前述第1導體層構成之第1 MISFET的閘極；且，
- 至少從前述(c)步驟結束至前述(d)步驟開始之期間，使前述矽基板處於惰性氣體環境下。

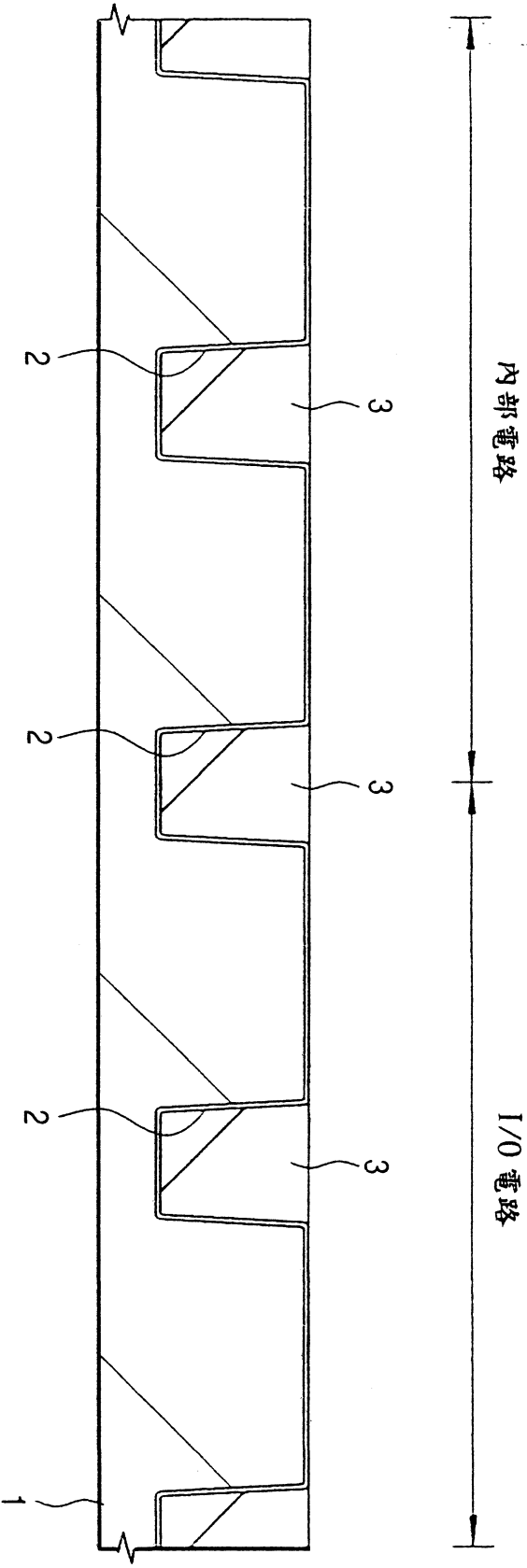


圖 1

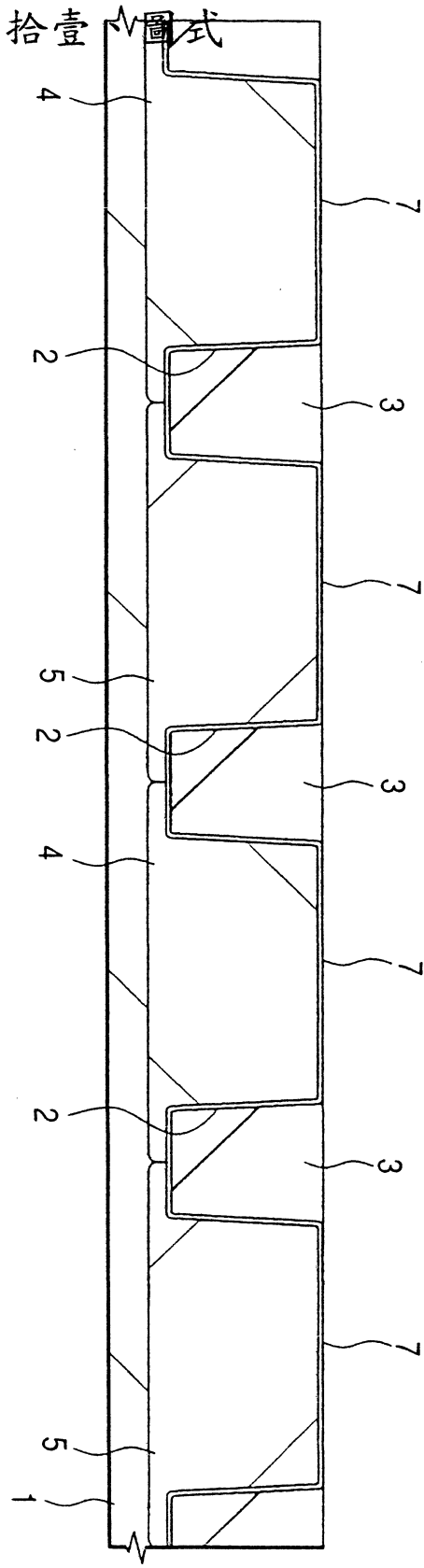


圖 2

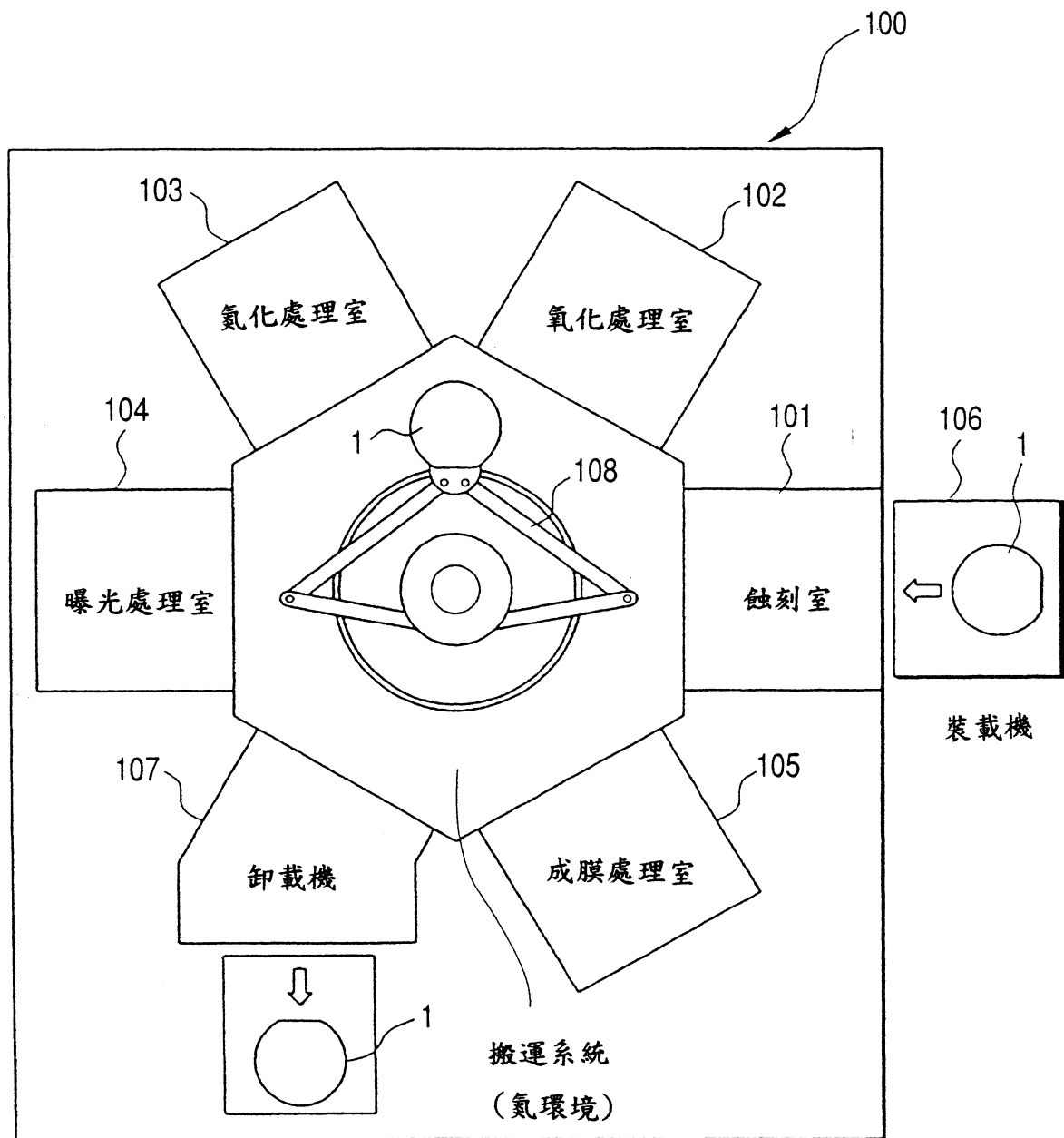


圖 3

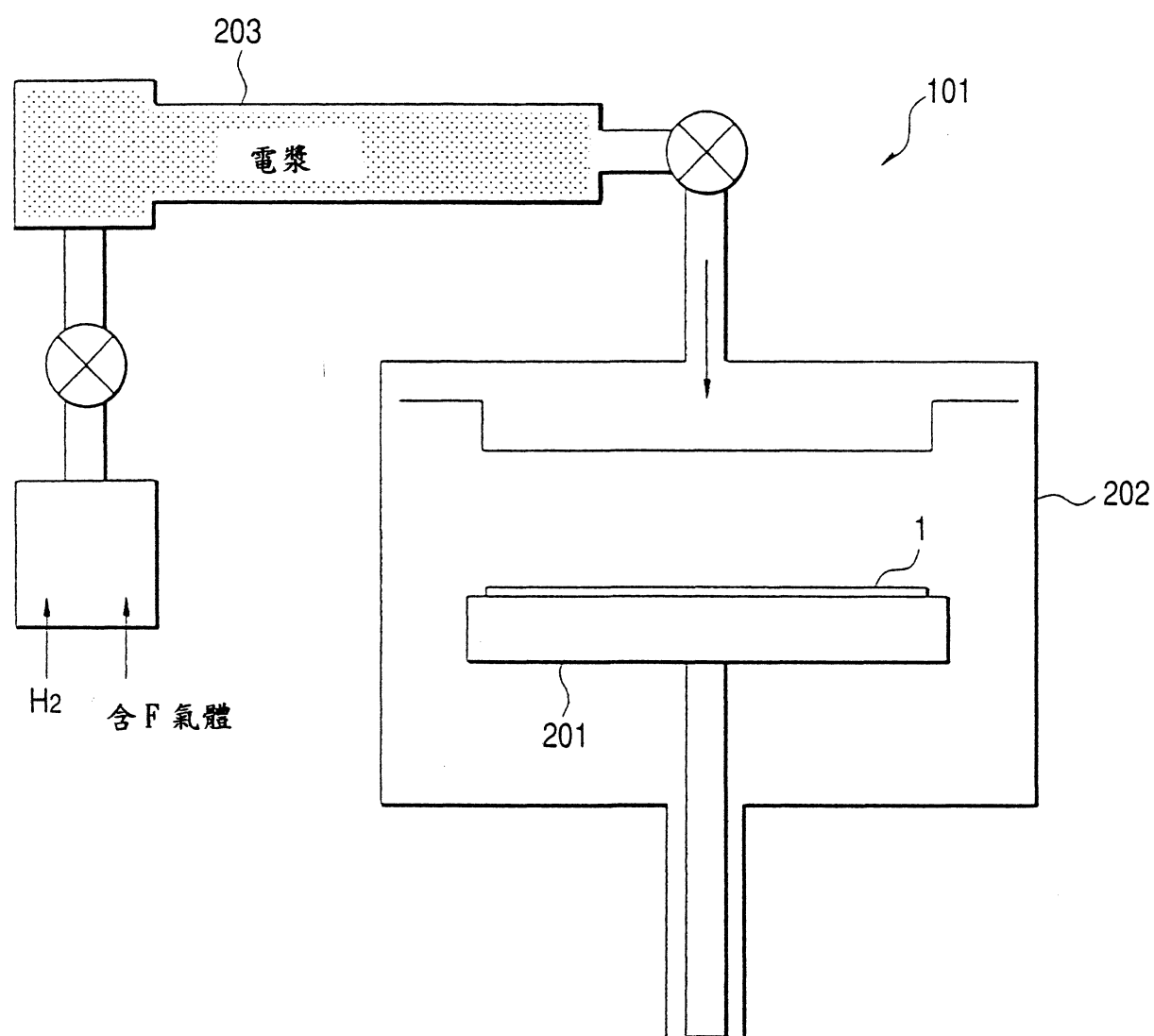


圖 4

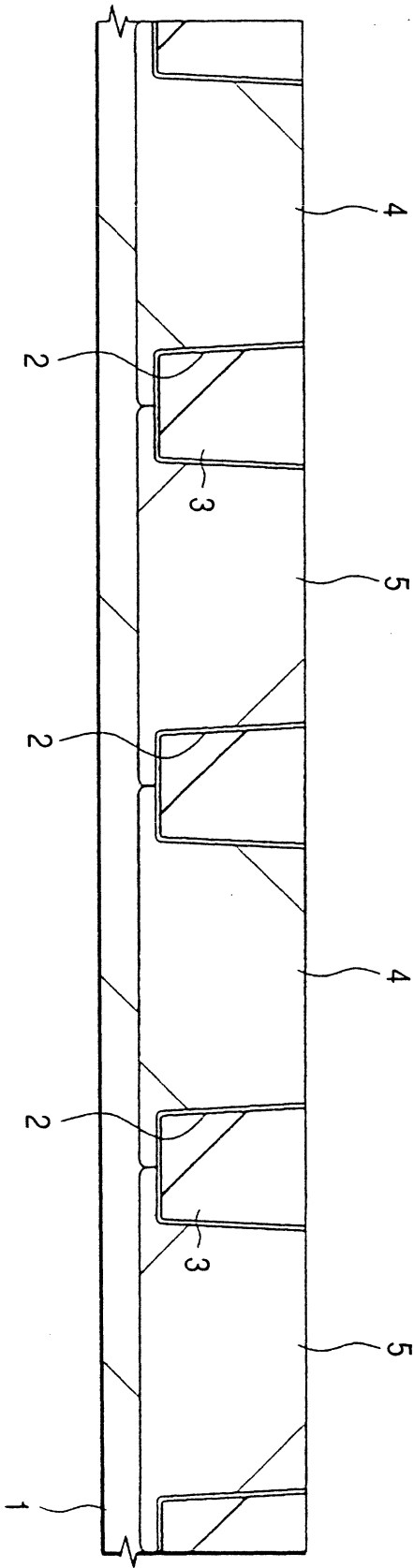


圖 5

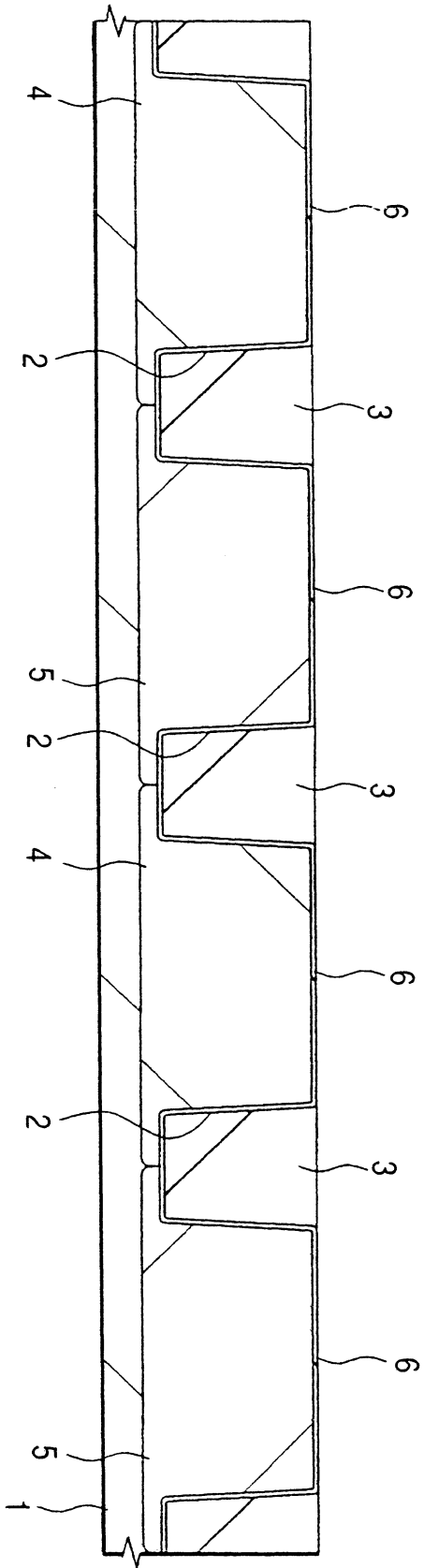


圖 6

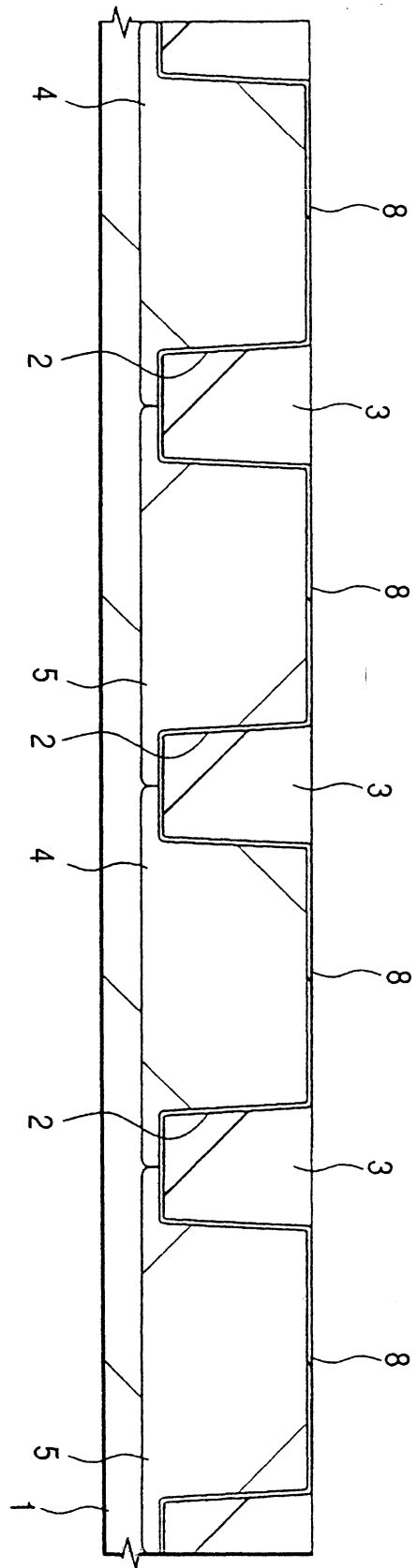


圖 7

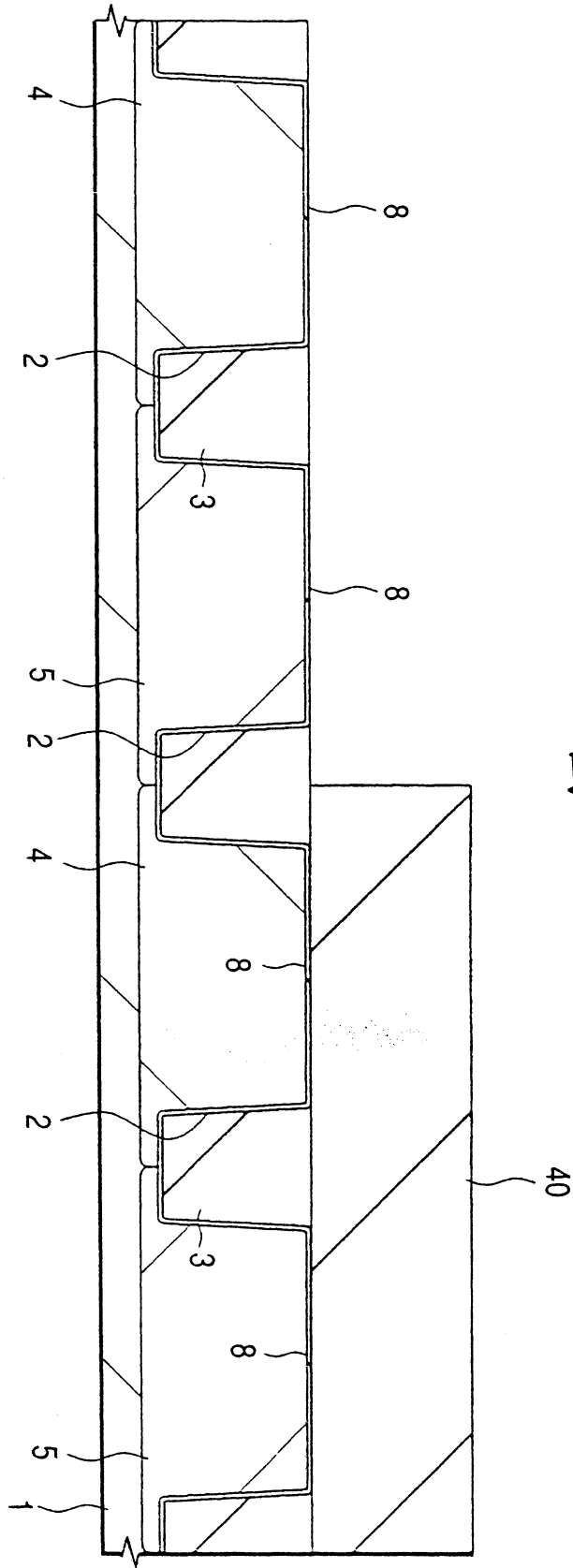
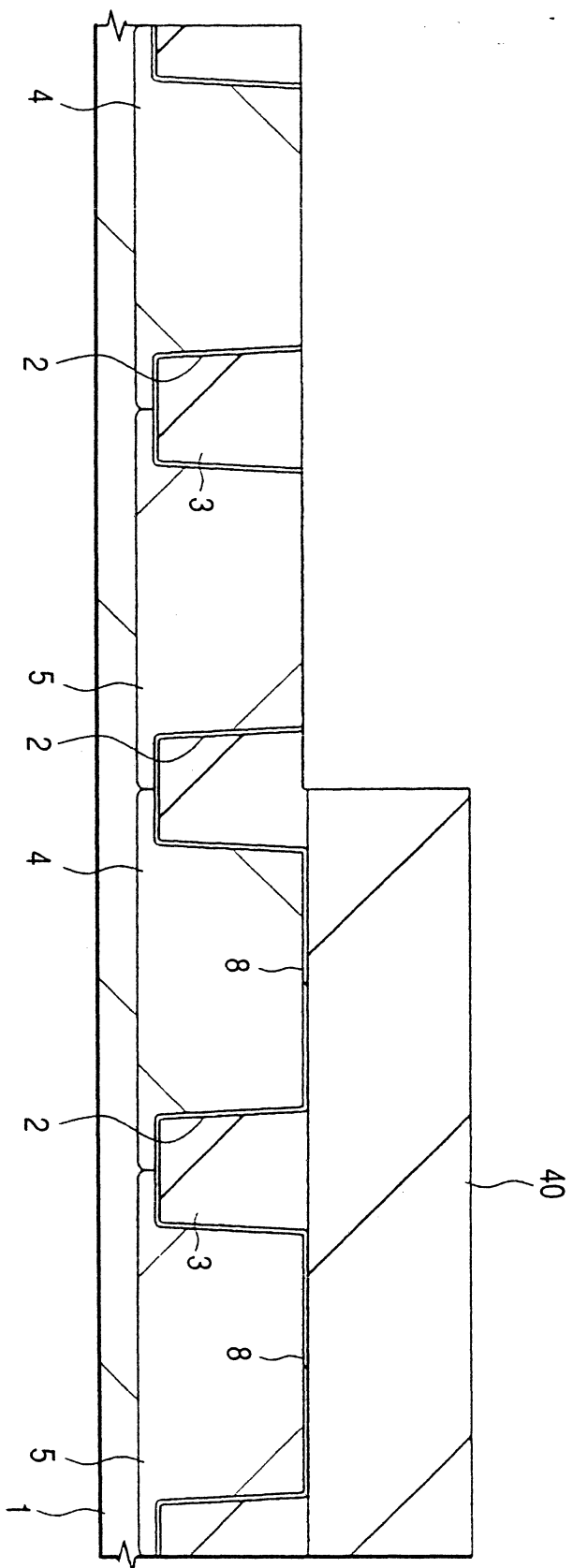
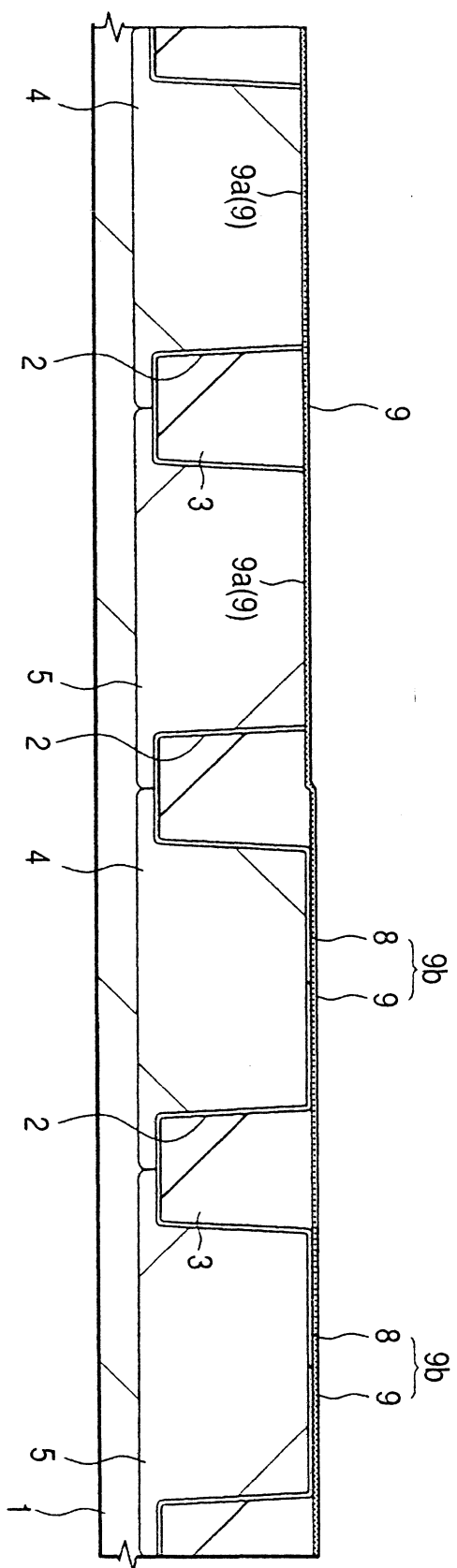


圖 8



9



10

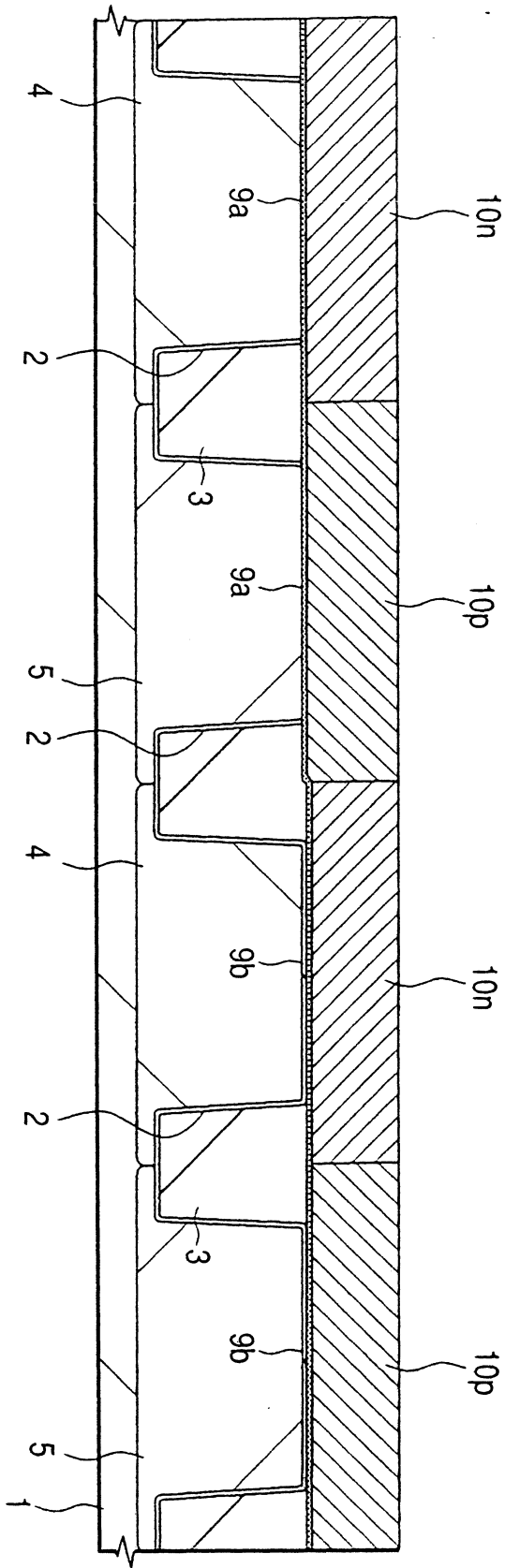


圖 11

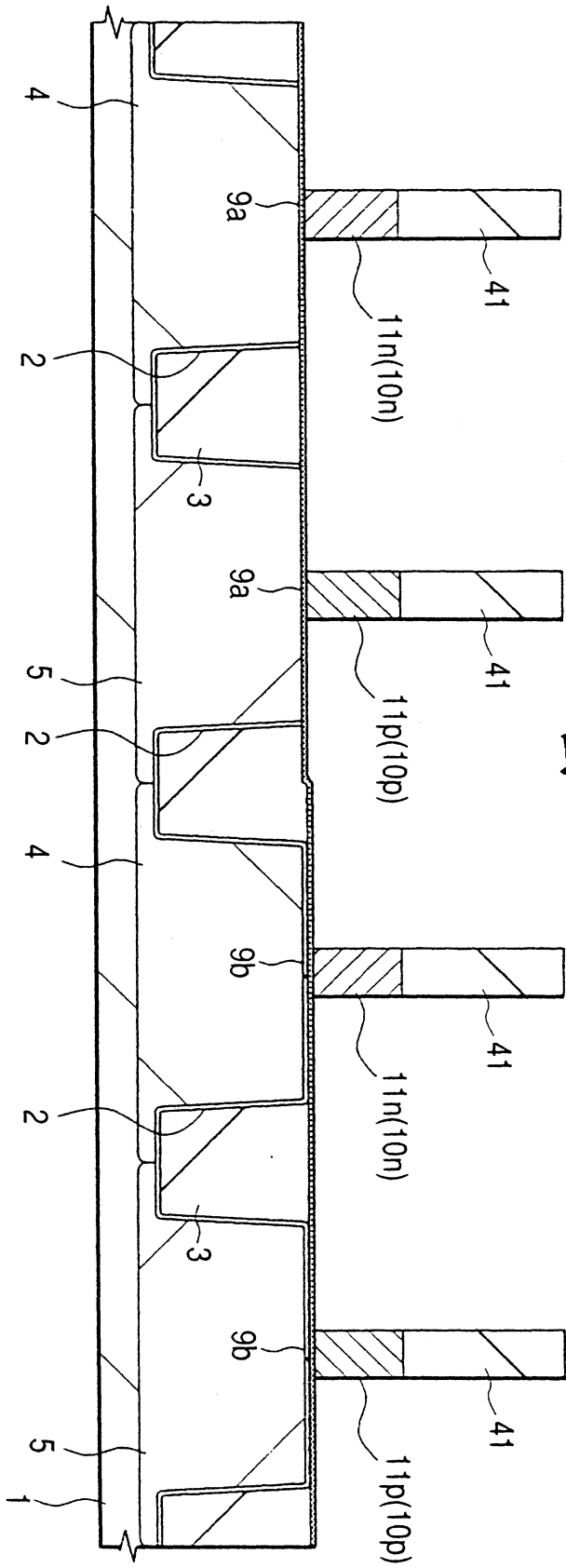


圖 12

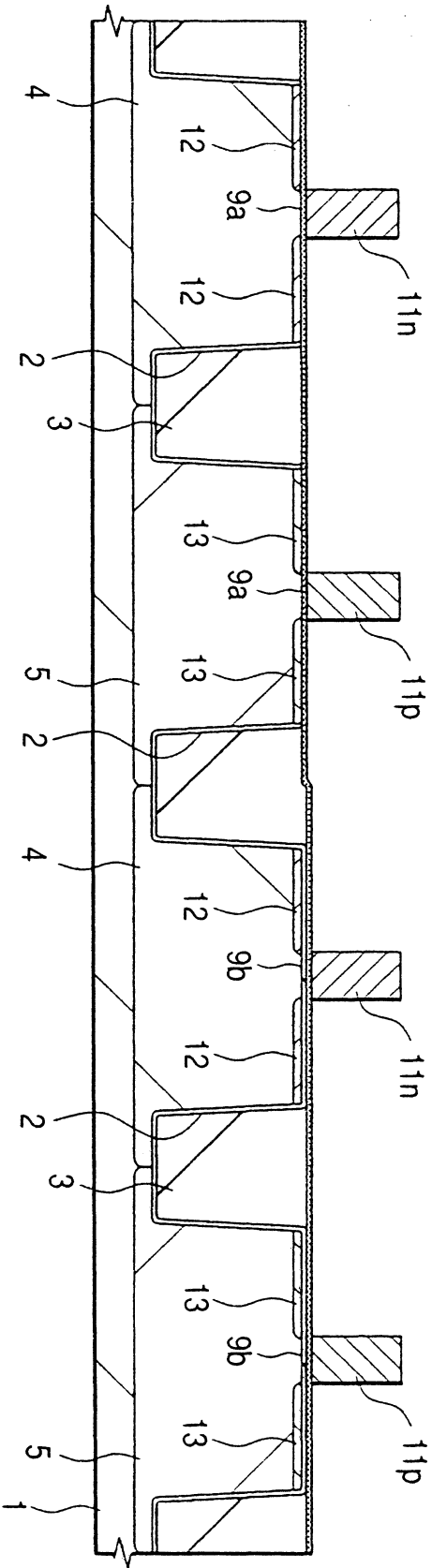


圖 13

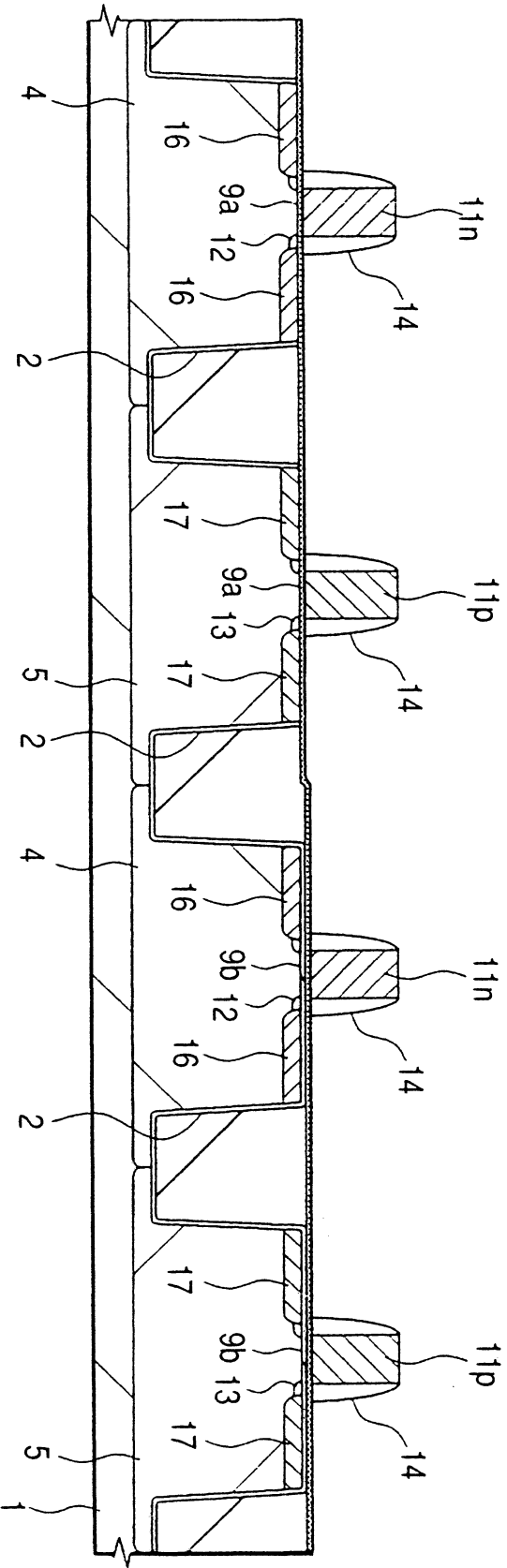


圖 14

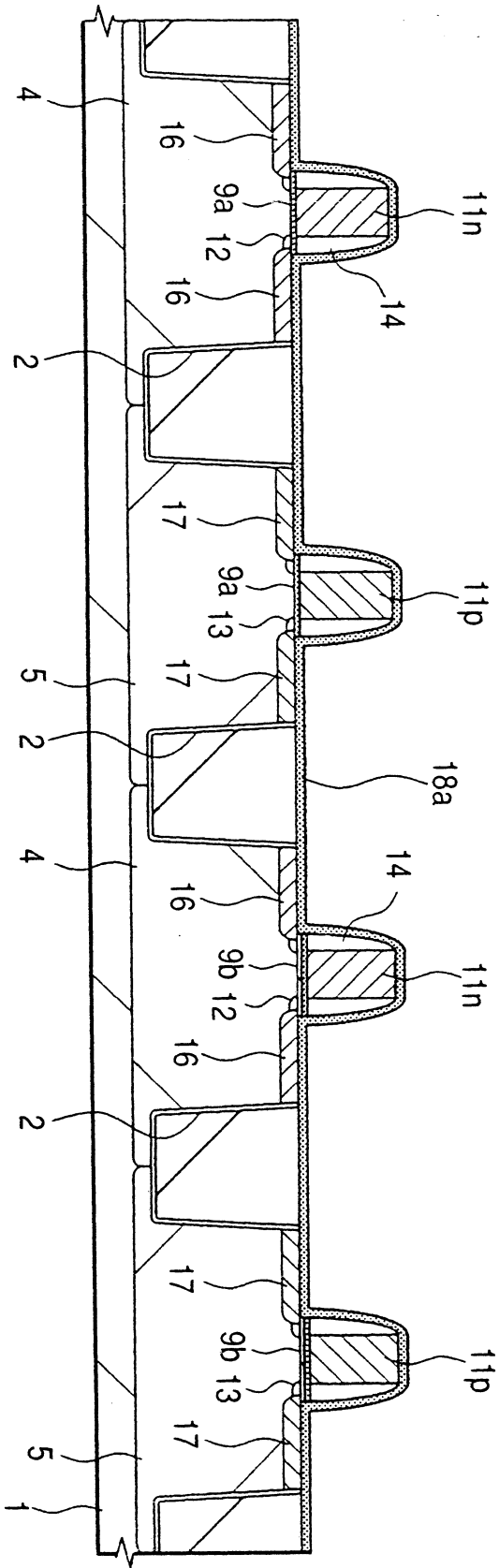


圖 15

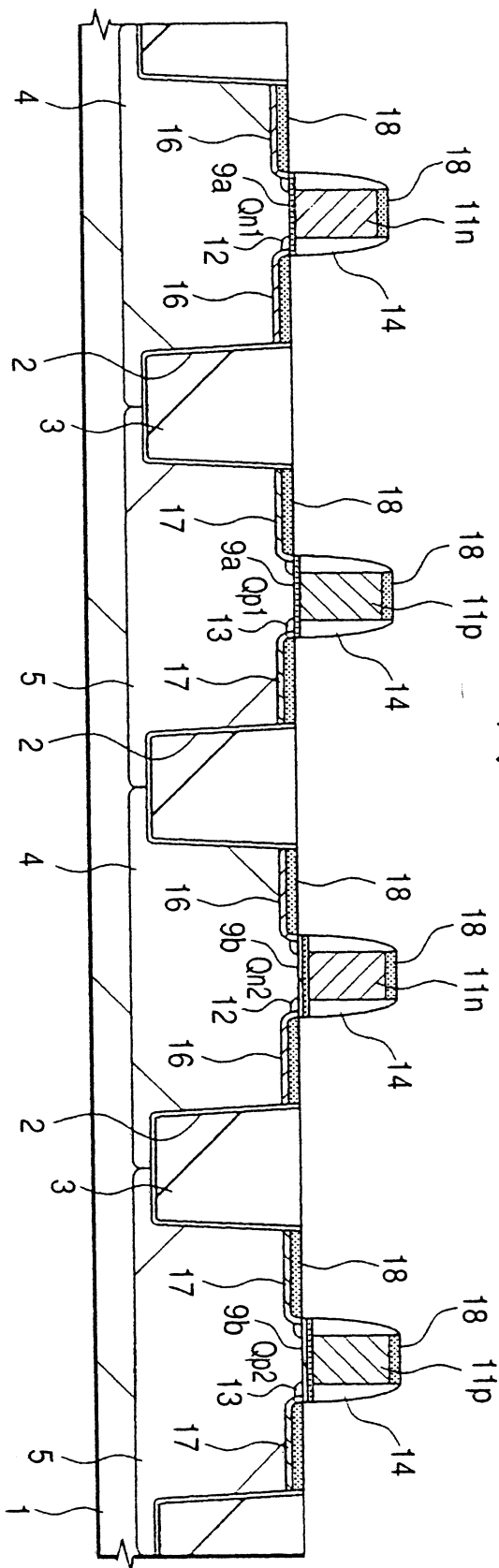


圖 16

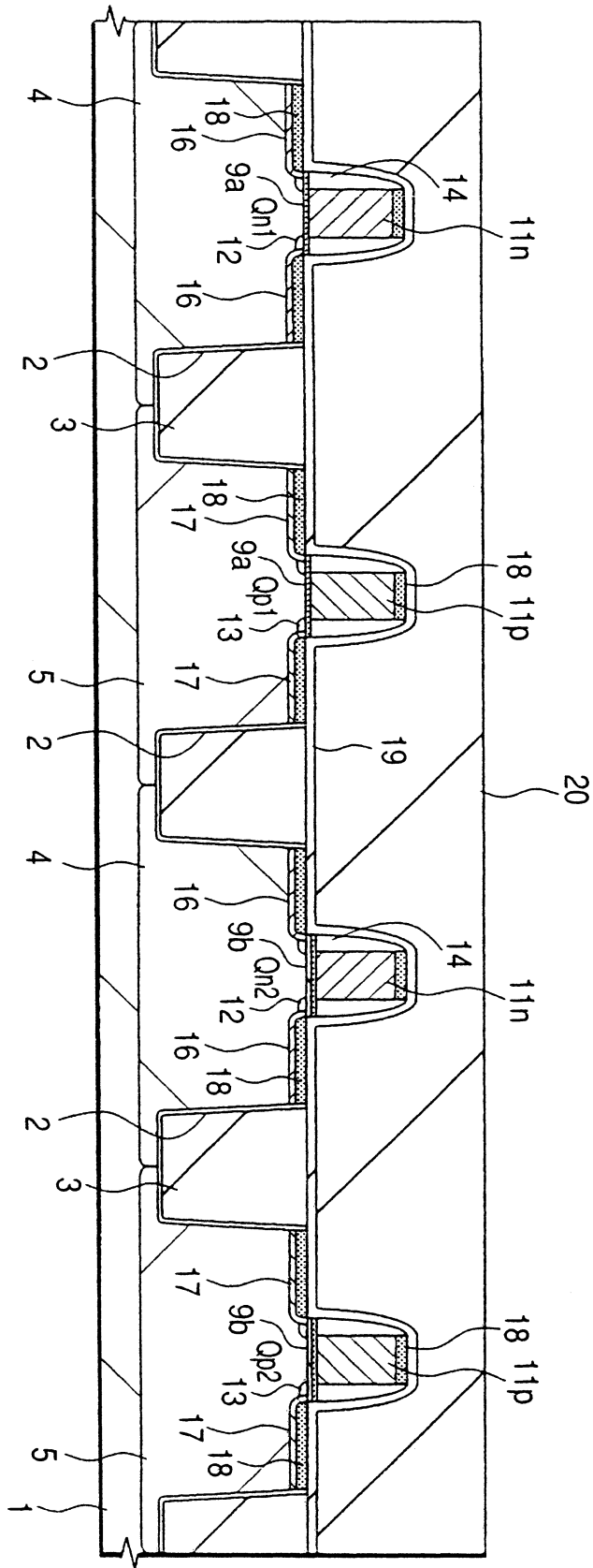


圖 17

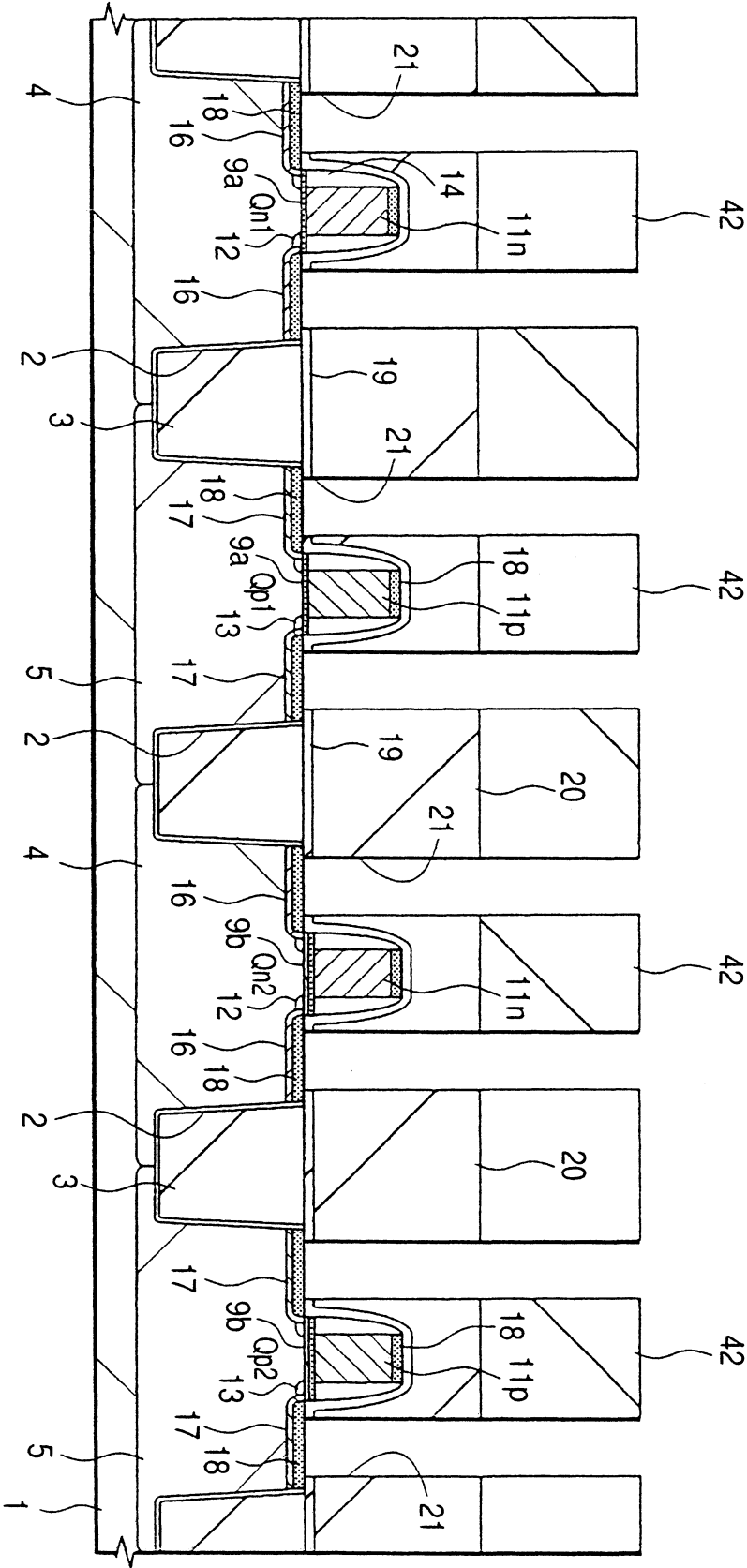


圖 18

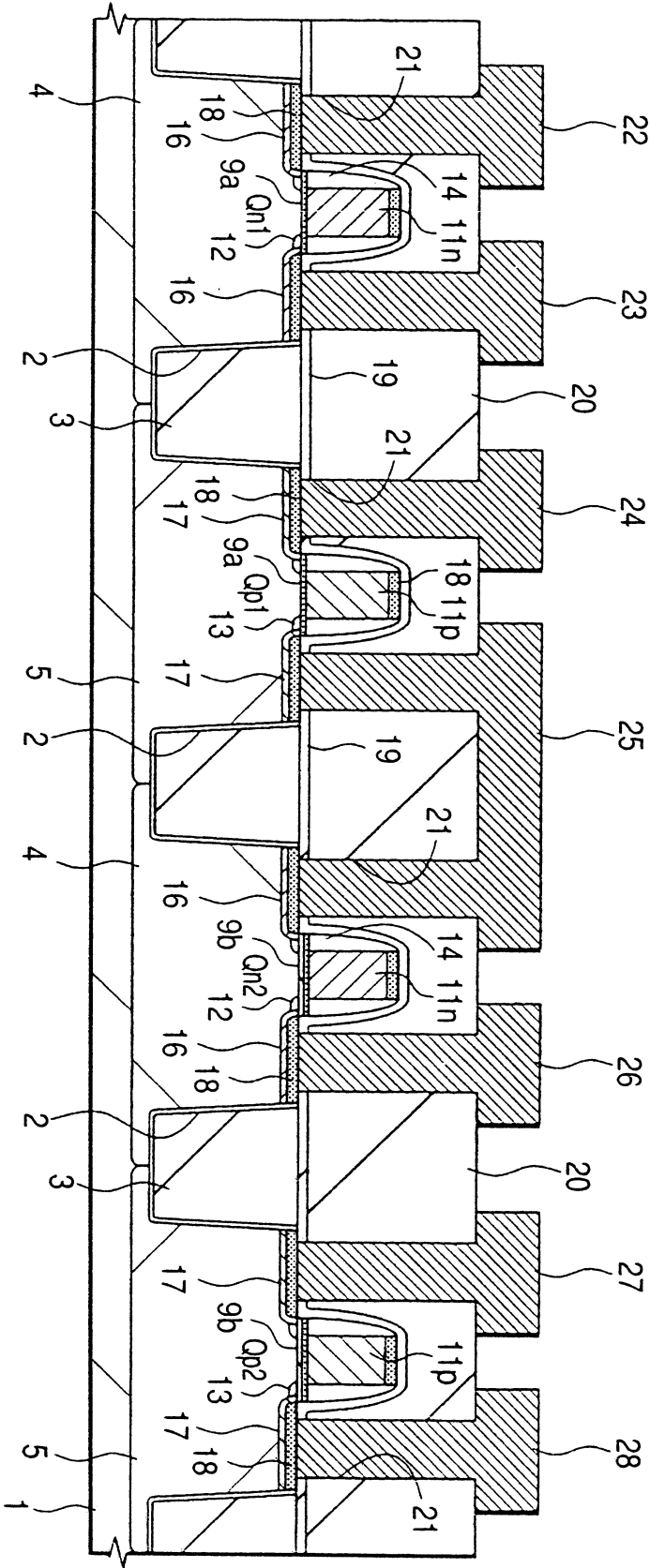


圖 19

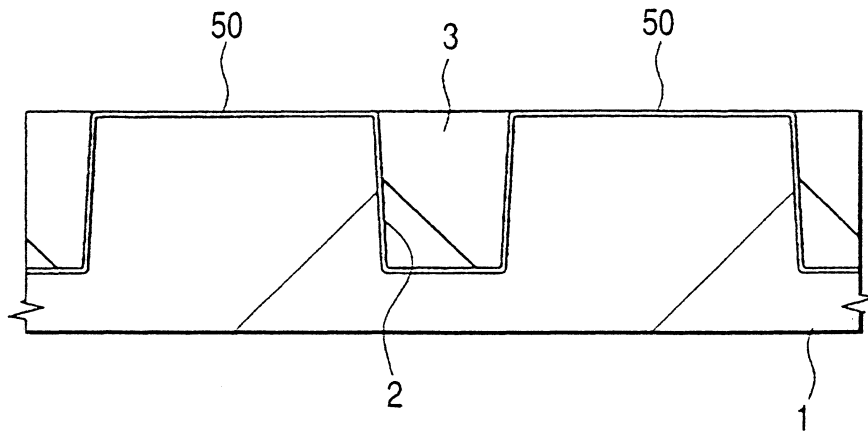


圖 20

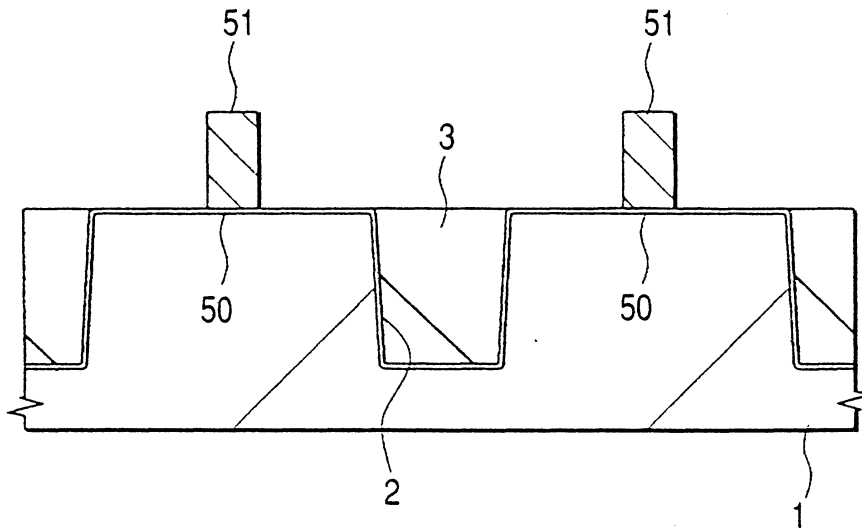


圖 21

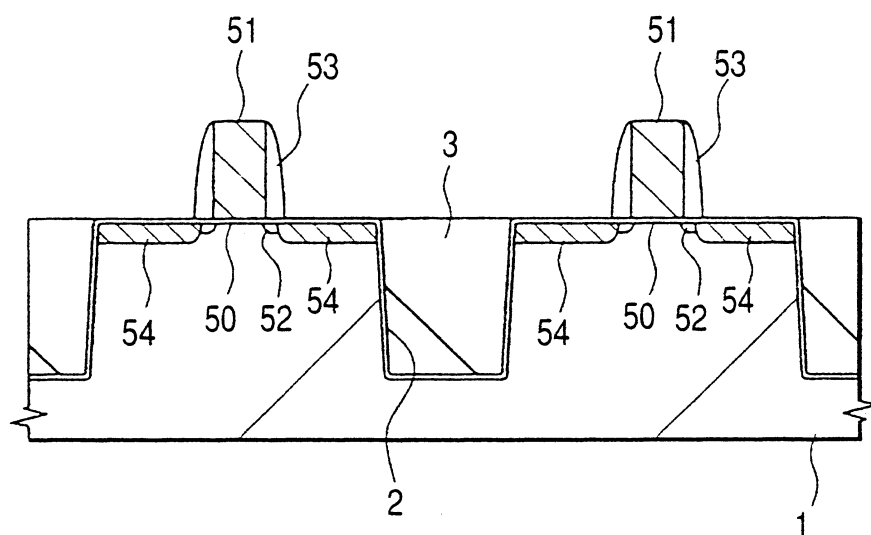


圖 22

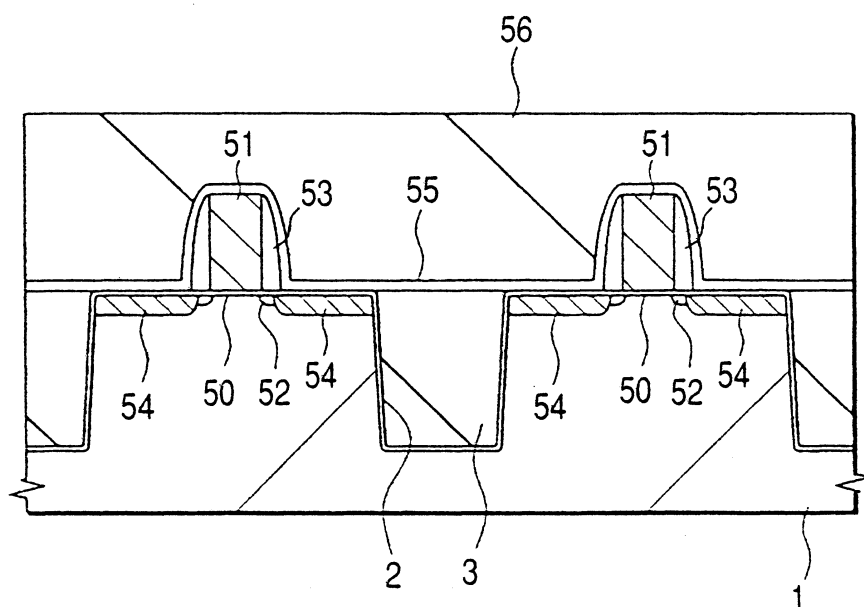


圖 23

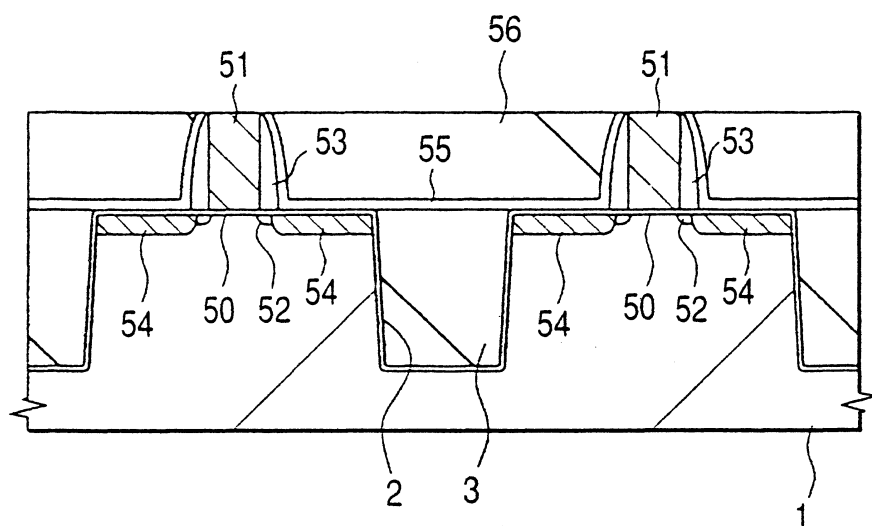


圖 24

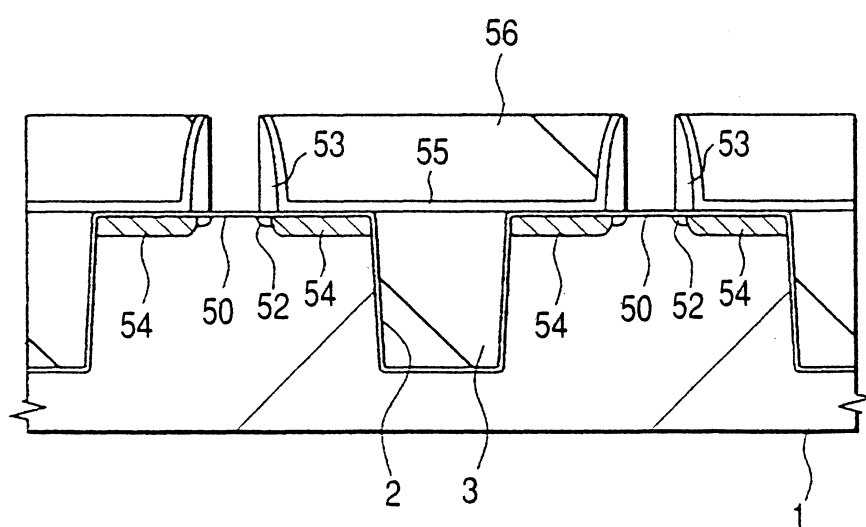


圖 25

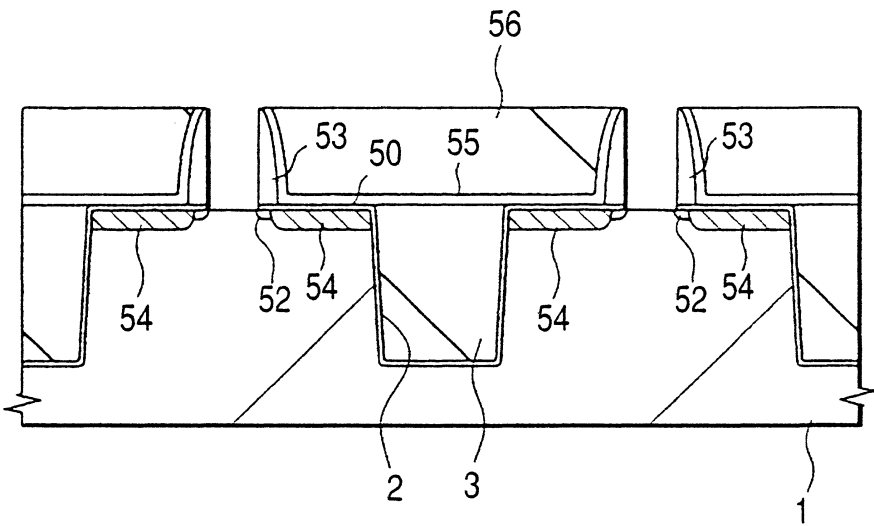


圖 26

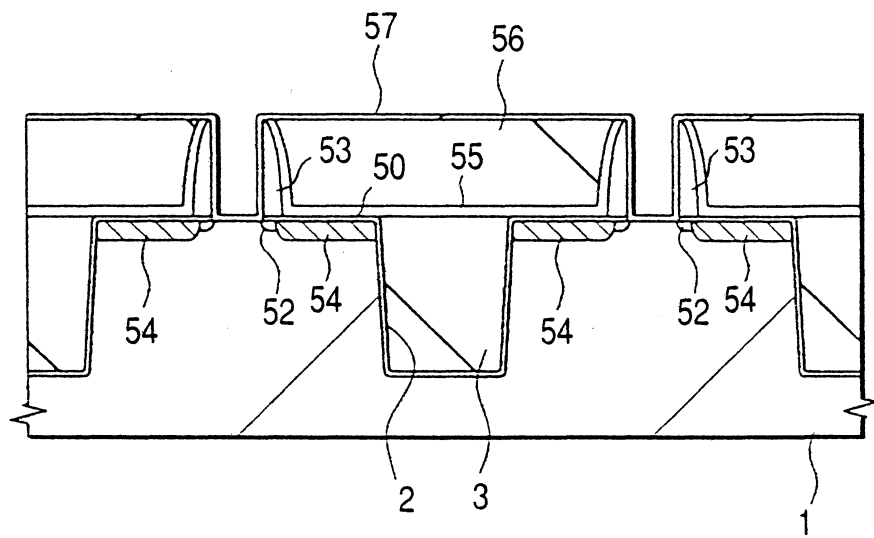


圖 27

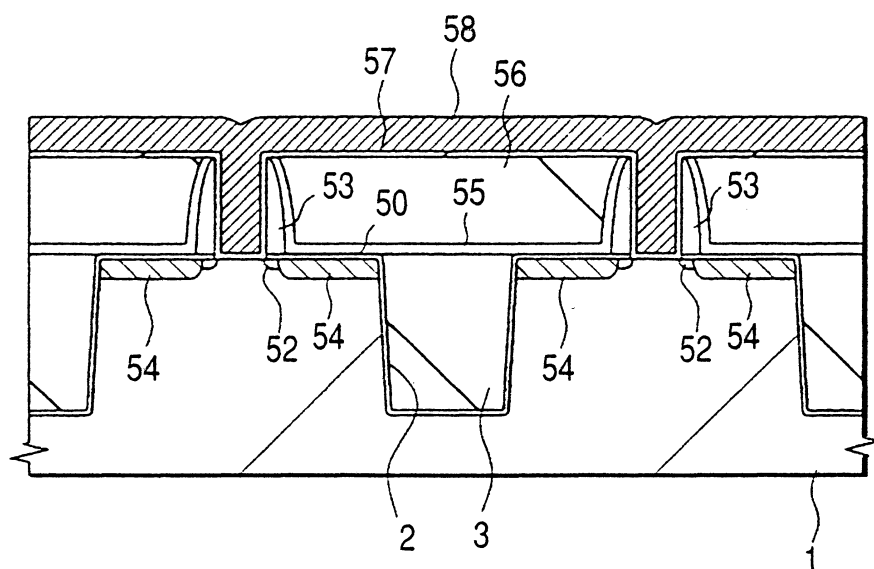


圖 28

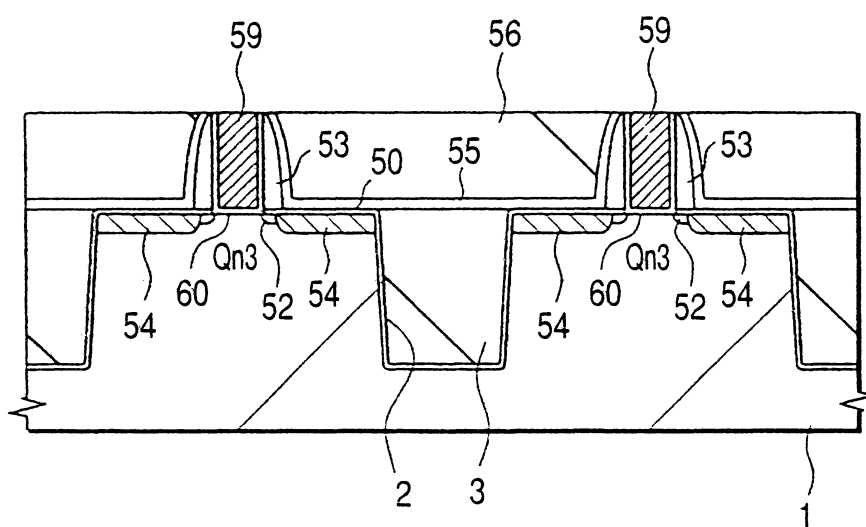


圖 29

陸、(一)、本案指定代表圖為：第 16 圖

(二)、本代表圖之元件代表符號簡單說明：

1	半 導 體 基 板
2	元 件 分 離 溝
3	氧 化 矽 膜
4	p 型 井
5	n 型 井
9a	薄 閘 極 絕 緣 膜
9b	厚 閘 極 絕 緣 膜
11n、11p	閘 極
12	n^- 型 半 導 體 區 域
13	p^- 型 半 導 體 區 域
14	側 壁 隔 件
16	n^+ 型 半 導 體 區 域 (源 極、汲 極)
17	p^+ 型 半 導 體 區 域 (源 極、汲 極)
18	鈷 矽 化 物 層
Qn_1 、 Qn_2	n 通 道 型 MISFET
Qp_1 、 Qp_2	p 通 道 型 MISFET

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：