

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4748954号
(P4748954)

(45) 発行日 平成23年8月17日 (2011.8.17)

(24) 登録日 平成23年5月27日 (2011.5.27)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 O

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 B

請求項の数 12 (全 23 頁)

(21) 出願番号 特願2004-182073 (P2004-182073)
 (22) 出願日 平成16年6月21日 (2004.6.21)
 (65) 公開番号 特開2005-49832 (P2005-49832A)
 (43) 公開日 平成17年2月24日 (2005.2.24)
 審査請求日 平成19年5月9日 (2007.5.9)
 (31) 優先権主張番号 特願2003-273869 (P2003-273869)
 (32) 優先日 平成15年7月14日 (2003.7.14)
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 前川 慎喜

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素部と、走査線駆動回路とを同一基板上に有し、

前記画素部には、液晶素子と、前記液晶素子に印加される電圧を制御する T F T が設けられており、

前記走査線駆動回路が有する T F T と、前記液晶素子に印加される電圧を制御する T F T とは、ゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第 1 の半導体膜と、前記第 1 の半導体膜上に形成された一導電型を付与する不純物が添加されていない非晶質半導体でなるバッファ層と、前記バッファ層上に形成された一対の第 2 の半導体膜と、を有し、

前記一対の第 2 の半導体膜には一導電型を付与する不純物が添加されており、

前記第 1 の半導体膜は、結晶粒を非晶質半導体中に含む微結晶半導体膜を含む半導体で形成されており、

前記ゲート絶縁膜と前記第 1 の半導体膜との界面、前記第 1 の半導体膜と前記バッファ層との界面、前記バッファ層と前記第 2 の半導体膜との界面は、大気成分又は大気中に浮遊する汚染不純物元素に汚染されておらず、

前記液晶素子に印加される電圧を制御する T F T は、直列に接続され、ゲート電極が互いに接続され、前記第 1 の半導体膜を共有する複数の T F T からなることを特徴とする液晶表示装置。

【請求項 2】

画素部と、走査線駆動回路とを同一基板上に有し、

前記画素部には、液晶素子と、前記液晶素子に印加される電圧を制御するＴＦＴが設けられており、

前記走査線駆動回路が有するＴＦＴと、前記液晶素子に印加される電圧を制御するＴＦＴとは、ゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第１の半導体膜と、前記第１の半導体膜上に形成された一導電型を付与する不純物が添加されていない非晶質半導体でなるバッファ層と、前記バッファ層上に形成された一対の第２の半導体膜と、を有し、

前記一対の第２の半導体膜には一導電型を付与する不純物が添加されており、

前記第１の半導体膜は、非晶質半導体の中に結晶粒が分散する半導体で形成されており

10

、
前記ゲート絶縁膜と前記第１の半導体膜との界面、前記第１の半導体膜と前記バッファ層との界面、前記バッファ層と前記第２の半導体膜との界面は、大気成分又は大気中に浮遊する汚染不純物元素に汚染されておらず、

前記液晶素子に印加される電圧を制御するＴＦＴは、直列に接続され、ゲート電極が互いに接続され、前記第１の半導体膜を共有する複数のＴＦＴからなることを特徴とする液晶表示装置。

【請求項３】

請求項１又は２において、前記ゲート絶縁膜は、窒化珪素膜を有することを特徴とする液晶表示装置。

20

【請求項４】

請求項１乃至請求項３のいずれか１項において、前記ゲート絶縁膜は、３層以上の絶縁膜からなることを有することを特徴とする液晶表示装置。

【請求項５】

請求項１乃至請求項４のいずれか１項において、前記一導電型はｎ型であることを特徴とする液晶表示装置。

【請求項６】

請求項１乃至請求項５のいずれか１項において、前記走査線駆動回路が有するＴＦＴと、前記液晶素子に印加される電圧を制御するＴＦＴとは、窒化珪素膜、酸化珪素膜又は窒化酸化珪素膜で覆われていることを特徴とする液晶表示装置。

30

【請求項７】

請求項１乃至請求項６のいずれか１項において、前記画素部はＦＰＣを介して信号線駆動回路と電氣的に接続することを特徴とする液晶表示装置。

【請求項８】

請求項７において、前記信号線駆動回路が有するトランジスタは、単結晶又は多結晶の半導体を用いていることを特徴とする液晶表示装置。

【請求項９】

請求項７において、前記信号線駆動回路が有するトランジスタは、ＳＯＩを用いていることを特徴とする液晶表示装置。

【請求項１０】

40

請求項１乃至請求項９のいずれか１項において、前記第１の半導体膜は、０．５～２０ｎｍの結晶粒を含むことを特徴とする液晶表示装置。

【請求項１１】

請求項１乃至請求項１０のいずれか１項において、前記第１の半導体膜は、水素又はハロゲンを１原子％以上含むことを特徴とする液晶表示装置。

【請求項１２】

請求項１乃至請求項１１のいずれか１項に記載の液晶表示装置を用いた電子機器。

【発明の詳細な説明】

【技術分野】

【０００１】

50

本発明は、薄膜トランジスタを駆動回路及び画素部に用いた液晶表示装置に関する。

【背景技術】

【0002】

安価なガラス基板を用いて形成される液晶表示装置は、解像度が高くなるにつれて、実装に用いる画素部周辺の領域（額縁領域）の基板に占める割合が増大し、小型化が妨げられる傾向がある。そのため、単結晶のシリコンウェハを用いて形成されたＩＣをガラス基板に実装する方式には限界があると考えられており、駆動回路を含む集積回路を画素部と同じガラス基板上に一体形成する技術、所謂システムオンパネル化が重要視されている。

【0003】

多結晶半導体膜を用いた薄膜トランジスタ（多結晶ＴＦＴ）は、非晶質半導体膜を用いたＴＦＴに比べて移動度が２桁以上高く、液晶表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかし非晶質半導体膜を用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという難点がある。

【0004】

例えば、多結晶半導体膜の形成に一般的に用いられているレーザアニール法の場合、結晶性を高めるのに必要なエネルギー密度を確保する必要がある。そのため、レーザビームの長軸の長さに限界があり、結晶化の工程におけるスループットを低下させたり、レーザビームのエッジ近傍において結晶性にばらつきが生じたりするため、基板の寸法に制限が生じている。また、レーザ光のエネルギー自体がばらつくことで、半導体膜の結晶性にばらつきが生じ、被処理物への処理を均一に行なうことが難しいという欠点を有している。

【0005】

しかしながら、非晶質半導体膜でチャネル形成領域を形成したＴＦＴの電界効果移動度は大きくても $0.4 \sim 0.8 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度しか得ることができない。それゆえ、画素部にスイッチング素子として用いることはできるが、画素を選択するための走査線駆動回路や、該選択された画素にビデオ信号を供給するための信号線駆動回路など、高速動作が要求される駆動回路には不向きであると考えられている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は上述した問題に鑑み、ＴＦＴの工程を複雑化させることなくシステムオンパネル化を実現し、なおかつコストを抑えることができる液晶表示装置の提案を課題とする。

【課題を解決するための手段】

【0007】

本発明は、非晶質半導体膜の中に結晶粒が分散するように存在しているセミアモルファス半導体膜を用い、薄膜トランジスタ（ＴＦＴ）を作製し、該ＴＦＴを画素部または駆動回路に用いて液晶表示装置を作製する。セミアモルファス半導体膜を用いたＴＦＴは、その移動度が $2 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜を用いたＴＦＴの $2 \sim 20$ 倍の移動度を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成することができる。

【0008】

そしてセミアモルファス半導体膜は、多結晶半導体膜と異なり、セミアモルファス半導体膜として直接基板上に成膜することができる。具体的には、 SiH_4 を H_2 で流量比 $2 \sim 1000$ 倍、好ましくは $10 \sim 100$ 倍に希釈して、プラズマＣＶＤ法を用いて成膜することができる。上記方法を用いて作製されたセミアモルファス半導体膜は、 $0.5 \text{ nm} \sim 20 \text{ nm}$ の結晶粒を非晶質半導体中に含む微結晶半導体膜も含んでいる。よって、多結晶半導体膜を用いる場合と異なり、半導体膜の成膜後に結晶化の工程を設ける必要がない。そして、レーザ光を用いた結晶化のように、レーザビームの長軸の長さに限界があるために、基板の寸法に制限が生じるようなことがない。また、ＴＦＴの作製における工程数を削減することができ、その分、液晶表示装置の歩留まりを高め、コストを抑えることがで

10

20

30

40

50

きる。

【 0 0 0 9 】

なお本発明では、セミアモルファス半導体膜を少なくともチャネル形成領域に用いていれば良い。またチャネル形成領域は、その膜厚方向において全てセミアモルファス半導体である必要はなく、少なくとも一部にセミアモルファス半導体を含んでいれば良い。

【 0 0 1 0 】

また液晶表示装置は、液晶素子が設けられたパネルと、該パネルにコントローラを含むＩＣ等を実装した状態にあるモジュールとを含む。なお液晶素子は、画素電極と、対向電極と、画素電極と対向電極の間に設けられた液晶とを有する。さらに本発明は、該液晶表示装置を作製する過程における、液晶素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、ビデオ信号の電位が液晶素子の画素電極に与えられるのを制御するための手段を、複数の各画素に備える。素子基板は、具体的には、液晶素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であっても、パターンニングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

10

【発明の効果】

【 0 0 1 1 】

本発明は、成膜後における半導体膜の結晶化の工程を削減することができ、ＴＦＴの工程を複雑化させることなく、液晶表示装置のシステムオンパネル化を実現することができる。

20

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 1 3 】

次に、本発明の液晶表示装置に用いられるＴＦＴの構成について説明する。図１に、駆動回路に用いられるＴＦＴの断面図と、画素部に用いられるＴＦＴの断面図を示す。１０１は駆動回路に用いられるＴＦＴの断面図に相当し、１０２は画素部に用いられるＴＦＴに断面図に相当し、１０３は該ＴＦＴ１０２によって電流が供給される液晶素子の断面図に相当する。ＴＦＴ１０１、１０２は逆スタガ型（ボトムゲート型）である。なおセミアモルファスＴＦＴはｐ型よりもｎ型の方が、移動度が高いので駆動回路に用いるのにより適しているが、本発明ではＴＦＴはｎ型であってもｐ型であってもどちらでも良い。いずれの極性のＴＦＴを用いる場合でも、同一の基板上に形成するＴＦＴを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。

30

【 0 0 1 4 】

駆動回路のＴＦＴ１０１は、第１の基板１００上に形成されたゲート電極１１０と、ゲート電極１１０を覆っているゲート絶縁膜１１１と、ゲート絶縁膜１１１を間に挟んでゲート電極１１０と重なっている、セミアモルファス半導体膜で形成された第１の半導体膜１１２とを有している。さらにＴＦＴ１０１は、ソース領域またはドレイン領域として機能する一対の第２の半導体膜１１３と、第１の半導体膜１１２と第２の半導体膜１１３の間に設けられた第３の半導体膜１１４とを有している。

40

【 0 0 1 5 】

図１では、ゲート絶縁膜１１１が２層の絶縁膜で形成されているが、本発明はこの構成に限定されない。ゲート絶縁膜１１１が単層または３層以上の絶縁膜で形成されていても良い。

【 0 0 1 6 】

また第２の半導体膜１１３は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電性を付与する不純物が添加されている。そして一対の第

50

2の半導体膜113は、第1の半導体膜112のチャネルが形成される領域を間に挟んで、向かい合っている。

【0017】

また第3の半導体膜114は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、第2の半導体膜113と同じ導電性を有し、なおかつ第2の半導体膜113よりも導電性が低くなるような特性を有している。第3の半導体膜114はLDD領域として機能するので、ドレイン領域として機能する第2の半導体膜113の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第3の半導体膜114は必ずしも設ける必要はないが、設けることでTFTの耐圧性を高め、信頼性を向上させることができる。なお、TFT101がn型である場合、第3の半導体膜114を形成する際に特にn型を付与する不純物を添加せずとも、n型の導電性が得られる。よって、TFT101がn型の場合、必ずしも第3の半導体膜114にn型の不純物を添加する必要はない。ただし、チャネルが形成される第1の半導体膜には、p型の導電性を付与する不純物を添加し、極力I型に近づくようにその導電性を制御しておく。

10

【0018】

また、一対の第2の半導体膜113に接するように、配線115が形成されている。

【0019】

駆動回路のTFT102は、第1の基板100上に形成されたゲート電極120と、ゲート電極120を覆っているゲート絶縁膜111と、ゲート絶縁膜111を間に挟んでゲート電極120と重なっている、セミアモルファス半導体膜で形成された第1の半導体膜122とを有している。さらにTFT102は、ソース領域またはドレイン領域として機能する一対の第2の半導体膜123と、第1の半導体膜122と第2の半導体膜123の間に設けられた第3の半導体膜124とを有している。

20

【0020】

また第2の半導体膜123は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電性を付与する不純物が添加されている。そして一対の第2の半導体膜123は、第1の半導体膜122のチャネルが形成される領域を間に挟んで、向かい合っている。

【0021】

また第3の半導体膜124は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、第2の半導体膜123と同じ導電性を有し、なおかつ第2の半導体膜123よりも導電性が低くなるような特性を有している。第3の半導体膜124はLDD領域として機能するので、ドレイン領域として機能する第2の半導体膜123の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第3の半導体膜124は必ずしも設ける必要はないが、設けることでTFTの耐圧性を高め、信頼性を向上させることができる。なお、TFT102がn型である場合、第3の半導体膜124を形成する際に特にn型を付与する不純物を添加せずとも、n型の導電性が得られる。よって、TFT102がn型の場合、必ずしも第3の半導体膜124にn型の不純物を添加する必要はない。ただし、チャネルが形成される第1の半導体膜には、p型の導電性を付与する不純物を添加し、極力I型に近づくようにその導電性を制御しておく。

30

40

【0022】

また、一対の第2の半導体膜123に接するように、配線125が形成されている。

【0023】

また、TFT101、102及び配線115、125を覆うように、絶縁膜からなる第1のパッシベーション膜140、第2のパッシベーション膜141が形成されている。TFT101、102を覆うパッシベーション膜は2層に限らず、単層であっても良いし、3層以上であっても良い。例えば第1のパッシベーション膜140を窒化珪素、第2のパッシベーション膜141を酸化珪素で形成することができる。窒化珪素または窒化酸化珪素でパッシベーション膜を形成することで、TFT101、102が水分や酸素などの影響により、劣化するのを防ぐことができる。

50

【 0 0 2 4 】

そして、配線 1 2 5 の一方は、配線 1 6 0 を介して液晶素子 1 0 3 の画素電極 1 3 0 に接続されている。また画素電極 1 3 0 上に接するように、配向膜 1 3 1 が形成されている。一方、画素電極 1 3 0 を間に挟んで第 1 の基板 1 0 0 と向かい合っている第 2 の基板 1 7 0 上には、対向電極 1 7 1 と、配向膜 1 4 2 が順に積層されている。そして、画素電極 1 3 0 及び配向膜 1 3 1 と、対向電極 1 7 1 及び配向膜 1 4 2 との間に液晶 1 4 3 が設けられており、画素電極 1 3 0 と液晶 1 4 3 と対向電極 1 7 1 とが重なり合っている部分が液晶素子 1 0 3 に相当する。なお、画素電極 1 3 0 と対向電極 1 7 1 との距離（セルギャップ）は、スペーサ 1 6 1 によって制御されている。図 1 では、絶縁膜をパターンニングすることでスペーサ 1 6 1 を形成しているが、別途用意した球状のスペーサを、配向膜 1 3 1 上に分散して、セルギャップの制御を行なうようにしても良い。1 6 2 はシール材に相当し、シール材 1 6 2 によって、液晶 1 4 3 を第 1 の基板 1 0 0 と第 2 の基板 1 7 0 の間に封止することができる。

10

【 0 0 2 5 】

また第 1 の基板 1 0 0 の、T F T 1 0 1 及び T F T 1 0 2 が形成されている面とは逆の面に、偏光板 1 5 0 が設けられている。また、第 2 の基板 1 7 0 の、対向電極 1 7 1 が形成されている面とは逆の面に、偏光板 1 5 1 が設けられている。なお本発明の液晶表示装置は、配向膜及び偏光板の数及び設ける位置については、図 1 に示す構成に限定されない。

【 0 0 2 6 】

本発明では、チャンネル形成領域を含んでいる第 3 の半導体膜が、セミアモルファス半導体で形成されているので、非晶質半導体膜を用いた T F T に比べて高い移動度の T F T を得ることができ、よって駆動回路と画素部を同一の基板に形成することができる。

20

【 0 0 2 7 】

次に、本発明の液晶表示装置が有する画素の別の構成について説明する。図 2 (A) に、画素の回路図の一形態を、図 2 (B) に図 2 (A) に対応する画素の断面構造の一形態を示す。

【 0 0 2 8 】

図 2 (A)、図 2 (B) において、2 0 1 は画素へのビデオ信号の入力を制御するためのスイッチング用 T F T に相当し、2 0 2 は液晶素子に相当する。具体的には、スイッチング用 T F T 2 0 1 を介して画素に入力されたビデオ信号の電位が、液晶素子 2 0 2 の画素電極に供給される。なお 2 0 3 は、スイッチング用 T F T 2 0 1 がオフのときに液晶素子 2 0 2 の画素電極と対向電極の間の電圧を保持するための容量素子に相当する。

30

【 0 0 2 9 】

具体的には、スイッチング用 T F T 2 0 1 は、ゲート電極が走査線 G に接続されており、ソース領域とドレイン領域が、一方は信号線 S に、他方は液晶素子 2 0 2 の画素電極 2 0 4 に接続されている。容量素子 2 0 3 が有する 2 つの電極は、一方が液晶素子 2 0 2 の画素電極 2 0 4 に接続され、他方に一定の電位、望ましくは対向電極と同じ高さの電位が供給されている。

【 0 0 3 0 】

なお図 2 (A)、図 2 (B) では、スイッチング用 T F T 2 0 1 が、直列に接続され、なおかつゲート電極が接続された複数の T F T が、第 1 の半導体膜を共有しているような構成を有する、マルチゲート構造となっている。マルチゲート構造とすることで、スイッチング用 T F T 2 0 1 のオフ電流を低減させることができる。具体的に図 2 (A)、図 2 (B) ではスイッチング用 T F T 2 0 1 が 2 つの T F T が直列に接続されたような構成を有しているが、3 つ以上の T F T が直列に接続され、なおかつゲート電極が接続されたようなマルチゲート構造であっても良い。また、スイッチング用 T F T は必ずしもマルチゲート構造である必要はなく、ゲート電極とチャンネル形成領域が単数である通常のシングルゲート構造の T F T であっても良い。

40

【 0 0 3 1 】

50

次に、本発明の液晶表示装置が有するＴＦＴの、図１、図２とは異なる形態について説明する。図３に、駆動回路に用いられるＴＦＴの断面図と、画素部に用いられるＴＦＴの断面図を示す。３０１は駆動回路に用いられるＴＦＴの断面図に相当し、３０２は画素部に用いられるスイッチング用ＴＦＴの断面図に相当し、３０３は液晶素子の断面図に相当する。

【００３２】

駆動回路のＴＦＴ３０１と画素部のＴＦＴ３０２は、基板３００上に形成されたゲート電極３１０、３２０と、ゲート電極３１０、３２０を覆っているゲート絶縁膜３１１と、ゲート絶縁膜３１１を間に挟んでゲート電極３１０、３２０と重なっている、セミアモルファス半導体膜で形成された第１の半導体膜３１２、３２２とをそれぞれ有している。そして、第１の半導体膜３１２、３２２のチャンネル形成領域を覆うように、絶縁膜で形成されたチャンネル保護膜３３０、３３１が形成されている。チャンネル保護膜３３０、３３１は、ＴＦＴ３０１、３０２の作製工程において、第１の半導体膜３１２、３２２のチャンネル形成領域がエッチングされてしまうのを防ぐために設ける。さらにＴＦＴ３０１、３０２は、ソース領域またはドレイン領域として機能する一対の第２の半導体膜３１３、３２３と、第１の半導体膜３１２と第２の半導体膜３１３の間に設けられた第３の半導体膜３１４、３２４とをそれぞれ有している。

【００３３】

図３では、ゲート絶縁膜３１１が２層の絶縁膜で形成されているが、本発明はこの構成に限定されない。ゲート絶縁膜３１１が単層または３層以上の絶縁膜で形成されていても良い。

【００３４】

また第２の半導体膜３１３、３２３は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電性を付与する不純物が添加されている。そして一対の第２の半導体膜３１３、３２３は、第１の半導体膜３１２のチャンネルが形成される領域を間に挟んで、向かい合っている。

【００３５】

また第３の半導体膜３１４、３２４は、非晶質半導体膜またはセミアモルファス半導体膜で形成されており、第２の半導体膜３１３、３２３と同じ導電性を有し、なおかつ第２の半導体膜３１３、３２３よりも導電性が低くなるような特性を有している。第３の半導体膜３１４、３２４はＬＤＤ領域として機能するので、ドレイン領域として機能する第２の半導体膜３１３、３２３の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第３の半導体膜３１４、３２４は必ずしも設ける必要はないが、設けることでＴＦＴの耐圧性を高め、信頼性を向上させることができる。なお、ＴＦＴ３０１、３０２がｎ型である場合、第３の半導体膜３１４、３２４を形成する際に特にｎ型を付与する不純物を添加せずとも、ｎ型の導電性が得られる。よって、ＴＦＴ３０１、３０２がｎ型の場合、必ずしも第３の半導体膜３１４、３２４にｎ型の不純物を添加する必要はない。ただし、チャンネルが形成される第１の半導体膜には、ｐ型の導電性を付与する不純物を添加し、極力Ｉ型に近づくようにその導電性を制御しておく。

【００３６】

また、一対の第２の半導体膜３１３、３２３に接するように、配線３１５、３２５が形成されている。

【００３７】

また、ＴＦＴ３０１、３０２及び配線３１５、３２５を覆うように、絶縁膜からなる第１のパッシベーション膜３４０、第２のパッシベーション膜３４１が形成されている。ＴＦＴ３０１、３０２を覆うパッシベーション膜は２層に限らず、単層であっても良いし、３層以上であっても良い。例えば第１のパッシベーション膜３４０を窒化珪素、第２のパッシベーション膜３４１を酸化珪素で形成することができる。窒化珪素または窒化酸化珪素でパッシベーション膜を形成することで、ＴＦＴ３０１、３０２が水分や酸素などの影響により、劣化するのを防ぐことができる。

【 0 0 3 8 】

そして、配線 3 2 5 の一方は、配線 3 6 0 を介して液晶素子 3 0 3 の画素電極 3 7 0 に接続されている。また画素電極 3 7 0 上に接するように、配向膜 3 7 1 が形成されている。一方、画素電極 3 7 0 を間に挟んで第 1 の基板 3 0 0 と向かい合っている第 2 の基板 3 7 2 上には、対向電極 3 7 3 と、配向膜 3 4 2 が順に積層されている。そして、画素電極 3 7 0 及び配向膜 3 7 1 と、対向電極 3 7 3 及び配向膜 3 4 2 との間に液晶 3 4 3 が設けられており、画素電極 3 7 0 と液晶 3 4 3 と対向電極 3 7 3 とが重なり合っている部分が液晶素子 3 0 3 に相当する。なお、画素電極 3 7 0 と対向電極 3 7 3 との距離（セルギャップ）は、スペーサ 3 6 1 によって制御されている。図 3 では、絶縁膜をパターンニングすることでスペーサ 3 6 1 を形成しているが、別途用意した球状のスペーサを、配向膜 3 7 1 上に分散して、セルギャップの制御を行なうようにしても良い。3 6 2 はシール材に相当し、シール材 3 6 2 によって、液晶 3 4 3 を第 1 の基板 3 0 0 と第 2 の基板 3 7 2 の間に封止することができる。

10

【 0 0 3 9 】

また第 1 の基板 3 0 0 の、T F T 3 0 1 及び T F T 3 0 2 が形成されている面とは逆の面に、偏光板が設けられていても良い。また、第 2 の基板 3 7 2 の、対向電極 3 7 3 が形成されている面とは逆の面に、偏光板が設けられていても良い。なお本発明の液晶表示装置は、配向膜及び偏光板の数及び設ける位置については、図 3 に示す構成に限定されない。

【 0 0 4 0 】

20

次に、本発明の液晶表示装置に用いられる素子基板の構成を示す。

【 0 0 4 1 】

図 4 に、信号線駆動回路 6 0 1 3 のみを別途形成し、第 1 の基板 6 0 1 1 上に形成された画素部 6 0 1 2 と接続している素子基板の形態を示す。画素部 6 0 1 2 及び走査線駆動回路 6 0 1 4 は、セミアモルファス T F T を用いて形成する。セミアモルファス T F T よりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6 0 1 3 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた T F T、または S O I を用いたトランジスタであっても良い。画素部 6 0 1 2 と、信号線駆動回路 6 0 1 3 と、走査線駆動回路 6 0 1 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 1 5 を介して供給される。

30

【 0 0 4 2 】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【 0 0 4 3 】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼_り合わせる必要はなく、例えば F P C 上に貼_り合わせるようにしても良い。図 5 (A) に、信号線駆動回路 6 0 2 3 のみを別途形成し、第 1 の基板 6 0 2 1 上に形成された画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 と接続している素子基板の形態を示す。画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 は、セミアモルファス T F T を用いて形成する。信号線駆動回路 6 0 2 3 は、F P C 6 0 2 5 を介して画素部 6 0 2 2 と接続されている。画素部 6 0 2 2 と、信号線駆動回路 6 0 2 3 と、走査線駆動回路 6 0 2 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 2 5 を介して供給される。

40

【 0 0 4 4 】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、セミアモルファス T F T を用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電気的に接続するようにしても良い。図 5 (B) に、信号線駆動回路が有するアナログスイッチ 6 0 3 3 a を、画素部 6 0 3 2、走査線駆動回路 6 0 3 4 と同じ第 1 の基板 6 0 3 1 上に形成し、信号線駆動回路が有するシフトレジスタ 6 0 3 3 b を別途異なる基板に形成して貼_り合わせる素子基板の形態を示す。画素部 6 0 3 2 及び走査線駆動回路 6 0 3 4 は、セミアモル

50

ファスTFTを用いて形成する。信号線駆動回路が有するシフトレジスタ6033bは、FPC6035を介して画素部6032と接続されている。画素部6032と、信号線駆動回路と、走査線駆動回路6034とに、それぞれ電源の電位、各種信号等が、FPC6035を介して供給される。

【0045】

図4、図5に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、セミアモルファスTFTを用いて形成することができる。

【0046】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図6に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

【0047】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0048】

図6(A)に本発明の液晶表示装置のブロック図を示す。図6(A)に示す液晶表示装置は、液晶素子を備えた画素を複数有する画素部701と、各画素を選択する走査線駆動回路702と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路703とを有する。

【0049】

図6(A)において信号線駆動回路703は、シフトレジスタ704、アナログスイッチ705を有している。シフトレジスタ704には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。クロック信号(CLK)とスタートパルス信号(SP)が入力されると、シフトレジスタ704においてタイミング信号が生成され、アナログスイッチ705に入力される。

【0050】

またアナログスイッチ705には、ビデオ信号(video signal)が与えられている。アナログスイッチ705は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

【0051】

次に、走査線駆動回路702の構成について説明する。走査線駆動回路702は、シフトレジスタ706、バッファ707を有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路702において、シフトレジスタ706にクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファ707において緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファ707は大きな電流を流すことが可能なものが用いられる。

【0052】

フルカラーの液晶表示装置で、R(赤)、G(緑)、B(青)に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ704とアナログスイッチ705とを接続するための端子数が、アナログスイッチ705と画素部701の信号線を接続するための端子数の1/3程度に相当する。よって、アナログスイッチ705を画素部701と同じ基板上に形成することで、アナログスイッチ705を画素部701と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子

10

20

30

40

50

の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

【0053】

図6(B)に、図6(A)とは異なる、本発明の液晶表示装置のブロック図を示す。図6(B)において信号線駆動回路713は、シフトレジスタ714、ラッチA715、ラッチB716、D/A変換回路(DAC)717を有している。走査線駆動回路712は、図6(A)の場合と同じ構成を有しているものとする。

【0054】

シフトレジスタ714には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。クロック信号(CLK)とスタートパルス信号(SP)が入力されると、シフトレジスタ714においてタイミング信号が生成され、一段目のラッチA715に順に入力される。ラッチA715にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号が順にラッチA715に書き込まれ、保持される。なお、図6(B)ではラッチA715に順にビデオ信号を書き込んでいくと仮定するが、本発明はこの構成に限定されない。複数のステージのラッチA715をいくつかのグループに分け、各グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0055】

ラッチA715の全てのステージのラッチへの、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0056】

1ライン期間が終了すると、2段目のラッチB716にラッチ信号(Latch Signal)が供給され、該ラッチ信号に同期してラッチA715に保持されているビデオ信号が、ラッチB716に一斉に書き込まれ、保持される。ビデオ信号をラッチB716に送出し終えたラッチA715には、再びシフトレジスタ714からのタイミング信号に同期して、次のビデオ信号の書き込みが順次行われる。この2順目の1ライン期間中には、ラッチB716に書き込まれ、保持されているビデオ信号が、DAC717に入力される。

【0057】

DAC717では、入力されたビデオ信号をデジタルからアナログに変換し、対応する信号線に供給する。

【0058】

なお、図6(A)、図6(B)に示す構成は、本発明の液晶表示装置の一形態を示したに過ぎず、信号線駆動回路と走査線駆動回路の構成はこれに限定されない。

【0059】

次に、本発明の液晶表示装置の、具体的な作製方法について説明する。

【0060】

第1の基板10はガラスや石英などの他に、プラスチック材料を用いることができる。また、ステンレスやアルミニウムなどの金属材料の上に絶縁膜を形成したものをを用いても良い。この第1の基板10上にゲート電極及びゲート配線(走査線)を形成するための導電膜11を形成する。第1導電膜11にはクロム、モリブデン、チタン、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いる。この導電膜11はスパッタリング法や真空蒸着法で形成することができる。(図7(A))

【0061】

導電膜11をエッチング加工してゲート電極12、13を形成する。ゲート電極上には第1の半導体膜や配線層を形成するので、その端部がテーパ状になるように加工することが望ましい。また導電膜11を、アルミニウムを主成分とする材料で形成する場合には、エッチング加工後に陽極酸化処理などをして表面を絶縁化しておくとも良い。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。(図7(

B))

【0062】

次に、図7(C)に示すように、第1絶縁膜14と第2絶縁膜15は、ゲート電極12、13の上層に形成することでゲート絶縁膜として機能させることができる。この場合、第1絶縁膜14として酸化珪素膜、第2絶縁膜15として窒化珪素膜を形成することが好ましい。これらの絶縁膜はグロー放電分解法やスパッタリング法で形成することができる。特に、低い成膜温度でゲートリーク電流が少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

【0063】

そして、このような第1絶縁膜14、第2絶縁膜15上に、第1の半導体膜16を形成する。第1の半導体膜16は、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造の半導体を含む膜で形成する。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5~20nmとして非単結晶半導体中に分散させて存在せしめることが可能である。また、未結合手(ダングリングボンド)の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体(SAS)と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なSASが得られる。このようなSAS半導体に関する記述は、例えば、米国特許4,409,134号で開示されている。

【0064】

このSASは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。この珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでSASの形成を容易なものとすることができる。希釈率は10倍~1000倍の範囲で珪化物気体を希釈することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行なうが、圧力は概略0.1Pa~133Paの範囲で行なえば良い。グロー放電を形成するための電力は1MHz~120MHz、好ましくは13MHz~60MHzの高周波電力を供給すれば良い。基板加熱温度は300度以下が好ましく、100~200度の基板加熱温度が推奨される。

【0065】

また、珪化物気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体を混入させて、エネルギーバンド幅を1.5~2.4eV、若しくは0.9~1.1eVに調節しても良い。

【0066】

また、SASは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、TFTのチャネル形成領域を設ける第1の半導体膜に対しては、p型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を1ppm~1000ppmの割合で珪化物気体に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

【0067】

次に、図8(A)に示すように第2の半導体膜17を形成する。第2の半導体膜17は、価電子制御を目的とした不純物元素を意図的に添加しないで形成したものであり、第1の半導体膜16と同様にSASで形成することが好ましい。この第2の半導体膜17は、ソース及びドレインを形成する一導電型を有する第3の半導体膜18と第1の半導体膜16との間に形成することで、バッファ層(緩衝層)的な働きを持っている。従って、弱n型の電気伝導性を持って第1の半導体膜16に対して、同じ導電型で一導電型を有する第

3の半導体膜18を形成する場合には必ずしも必要ない。しきい値制御をする目的において、p型を付与する不純物元素を添加する場合には、第2の半導体膜17は段階的に不純物濃度を変化させる効果を持ち、接合形成を良好にする上で好ましい形態となる。すなわち、形成されるTFETにおいては、チャネル形成領域とソースまたはドレイン領域の間に形成される低濃度不純物領域(LDD領域)としての機能を持たせることが可能となる。

【0068】

一導電型を有する第3の半導体膜18はnチャネル型のTFETを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、珪化物気体に PH_3 などの不純物気体を加えれば良い。一導電型を有する第3の半導体膜18は、価電子制御がされていることを除けば、SASのような半導体、非晶質半導体、または微結晶半導体で形成されるものである。

10

【0069】

以上、第1絶縁膜14から一導電型を有する第3の半導体膜18までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されことなく各積層界面を形成することができるので、TFET性のばらつきを低減することができる。

【0070】

次に、フォトリソストを用いてマスク19を形成し、第1の半導体膜16、第2の半導体膜17、一導電型を有する第3の半導体膜18をエッチングして島状に分離形成する。

(図8(B))

20

【0071】

その後、ソース及びドレインに接続する配線を形成するための第2導電膜20を形成する。第2導電膜20はアルミニウム、またはアルミニウムを主成分とする導電性材料で形成するが、半導体膜と接する側の層をチタン、タンタル、モリブデンまたはこれらの元素の窒化物で形成した積層構造としても良い。アルミニウムには耐熱性を向上させるためにチタン、シリコン、スカンジウム、ネオジウム、銅などの元素を0.5~5原子%添加させても良い(図8(C))。

【0072】

次にマスク21を形成する。マスク21はソースおよびドレインと接続する配線を形成するためにパターン形成されたマスクであり、同時に第2の半導体膜17及び一導電型を有する第3の半導体膜18を取り除きチャネル形成領域を形成するためのエッチングマスクとして併用されるものである。アルミニウムまたはこれを主成分とする導電膜のエッチングは BCl_3 、 Cl_2 などの塩化物気体を用いて行なえば良い。このエッチング加工で配線23~26を形成する。また、チャネル形成領域を形成するためのエッチングには SF_6 、 NF_3 、 CF_4 などのフッ化物気体を用いてエッチングを行なうが、この場合には下地となる第1の半導体膜16とのエッチング選択比をとれないので、処理時間を適宜調整して行なうこととなる。以上のようにして、チャネルエッチ型のTFETの構造を形成することができる。(図9(A))

30

【0073】

次に、チャネル形成領域の保護を目的とした第3絶縁膜27を、窒化珪素膜で形成する。この窒化珪素膜はスパッタリング法やグロー放電分解法で形成可能であるが、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜であることが要求される。第3絶縁膜27に窒化珪素膜を用いることで、第1の半導体膜16中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができる。この目的において、珪素をターゲットとして、窒素とアルゴンなどの希ガス元素を混合させたスパッタガスで高周波スパッタリングされた窒化珪素膜で、膜中に希ガス元素を含ませることにより緻密化が促進されることとなる。また、グロー放電分解法においても、珪化物気体をアルゴンなどの希ガスで100倍~500倍に希釈して形成された窒化珪素膜は、100度以下の低温においても緻密な膜を形成可能であり好ましい。さらに必要があれば第4絶縁膜28を酸化珪素膜で積層形成し

40

50

ても良い。第3絶縁膜27と第4絶縁膜28はパッシベーション膜に相当する。

【0074】

次に、第3絶縁膜27および/または第4絶縁膜28上に、平坦化膜29を形成する。平坦化膜29は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結晶手を含む絶縁膜で形成することが好ましい。次に、第3絶縁膜27、第4絶縁膜28、平坦化膜29にコンタクトホールを形成し、平坦化膜29上に、各配線23~26と接続される配線30~33を形成する。(図9(B))

【0075】

配線30~33は、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金もしくは化合物で形成することができる。またこれらの導電膜を積層して用いても良い。例えば1層目がTaで2層目がW、1層目がTa₂Nで2層目がAl、1層目がTa₂Nで2層目がCu、1層目がTiで2層目がAlで3層目がTiといった組み合わせも考えられる。また1層目と2層目のいずれか一方にAgPdCu合金を用いても良い。W、AlとSiの合金(Al-Si)、TiNを順次積層した3層構造としてもよい。Wの代わりに窒化タングステンを用いてもよいし、AlとSiの合金(Al-Si)に代えてAlとTiの合金膜(Al-Ti)を用いてもよいし、TiNに代えてTiを用いてもよい。

【0076】

次に図10(A)に示すように、配線33に接するように、平坦化膜29上画素電極35を形成する。図10では、画素電極35を透明導電膜で形成し、透過型の液晶表示装置を作製する例を示すが、本発明の液晶表示装置はこの構成に限定されない。光を反射しやすい導電膜を用いて画素電極を形成することで、反射型の液晶表示装置を形成することができる。この場合、配線33の一部を画素電極として用いることができる。

【0077】

以上のようにして形成されたチャネルエッチ型のTFTは、SASでチャネル形成領域を構成することにより $2 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、このTFTを画素のスイッチング用素子として、さらに走査線(ゲート線)側の駆動回路を形成する素子として利用することができる。

【0078】

このような、画素のスイッチング素子と走査線側の駆動回路を同じTFTで素子基板は、ゲート電極形成用マスク、半導体領域形成用マスク、配線形成用マスク、コンタクトホール形成用マスク、画素電極形成用マスクの合計5枚のマスクで形成することができる。

【0079】

次に、配線32または配線33上に、スペーサ36を絶縁膜で形成する。なお図10(A)では、配線32上にスペーサ36を、酸化珪素を用いて形成した例を示している。画素電極35とスペーサ36は、いずれを先に形成しても良い。

【0080】

そして、配線30~33、スペーサ36、画素電極35を覆うように、配向膜37を成膜し、ラビング処理を施す。

【0081】

次に図10(B)に示すように、液晶を封止するためのシール材40を形成する。一方、透明導電膜を用いた対向電極43と、ラビング処理が施された配向膜44とが形成された第2の基板42を用意する。そして、シール材40で囲まれた領域に液晶41を滴下し、別途用意しておいた第2の基板42を、対向電極43と画素電極35とが向かい合うように、シール材40を用いて貼り合わせる。なおシール材40にはフィラーが混入されていても良い。

【0082】

なお、カラーフィルタや、ディスクリネーションを防ぐための遮蔽膜(ブラックマトリクス)などが形成されていても良い。また、偏光板51を、第1の基板10のTFTが形

10

20

30

40

50

成されている面とは逆の面に貼り合わせ、また第2の基板42の対向電極43が形成されている面とは逆の面に、偏光板52を貼り合わせておく。

【0083】

画素電極35または対向電極43に用いられる透明導電膜は、ITO、IZO、ITSOの他、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した材料を用いることができる。画素電極35と液晶41と対向電極43が重なり合うことで、液晶素子55が形成されている。

【0084】

上述した液晶の注入は、ディスペンサ式(滴下式)を用いているが、本発明はこれに限定されない。第2の基板を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式(汲み上げ式)を用いていても良い。

10

【0085】

なお、図7～図10は、図1に示した構成を有するTFTの作製方法について示したが、図3に示した構成を有するTFTも同様に作製することができる。ただし、図3に示したTFTの場合は、ゲート電極310、320に重畳させて、SASで形成された第1の半導体膜312、322上にチャネル保護膜330、331を形成する点で、図7～図10と異なっている。

【実施例1】

【0086】

本実施例では、本発明の液晶表示装置が有するセミアモルファスTFTの、一形態について説明する。

20

【0087】

図11(A)に、本実施例のセミアモルファスTFTの上面図を、図11(B)に、図11(A)のA-A'における断面図を示す。1301は、その一部がゲート電極として機能するゲート配線であり、ゲート絶縁膜を1302間に挟んで、セミアモルファス半導体で形成された第1の半導体膜1303と重なっている。また、第1の半導体膜1303と接するように、LDD領域として機能する第2の半導体膜1304a、1304bが形成されており、第2の半導体膜1304a、1304bに接するように、一導電型を有する第3の半導体膜1305a、1305bが形成されている。また1306、1307は、第3の半導体膜1305a、1305bとそれぞれ接する配線に相当する。

30

【0088】

図11に示すセミアモルファスTFTにおいて、第3の半導体膜1305aと第3の半導体膜1305bの間隔を一定にすることで、チャネル長を一定に保つことができる。また、第3の半導体膜1305bの端部を第3の半導体膜1305aで囲むようにレイアウトすることで、チャネル形成領域のドレイン領域側において、電界が集中するのを緩和することができる。さらに、チャネル長に対するチャネル幅の比を高くすることができるので、オン電流を高めることができる。

【実施例2】

【0089】

本実施例では、極性が全て同一のセミアモルファスTFTを用いた、シフトレジスタの一形態について説明する。図12(A)に、本実施例のシフトレジスタの構成を示す。図12(A)に示すシフトレジスタは、第1のクロック信号CLK、第2のクロック信号CLKb、スタートパルス信号SPを用いて動作する。1401はパルス出力回路であり、その具体的な構成を、図12(B)に示す。

40

【0090】

パルス出力回路1401は、TFT801～806と、容量素子807を有する。TFT801は、ゲートがノード2に、ソースがTFT805のゲートに接続されており、ドレインに電位Vddが与えられている。TFT802は、ゲートがTFT806のゲートに、ドレインがTFT805のゲートに接続されており、ソースに電位Vssが与えられている。TFT803は、ゲートがノード3に、ソースがTFT806のゲートに接続さ

50

れており、ドレインに電位 V_{dd} が与えられている。TFT804は、ゲートがノード2に、ドレインがTFT805のゲートに接続されており、ソースに電位 V_{ss} が与えられている。TFT805は、ゲートが容量素子807の一方の電極に、ドレインがノード1に、ソースが容量素子807の他方の電極及びノード4に接続されている。またTFT806は、ゲートが容量素子807の一方の電極に、ドレインがノード4に接続されており、ソースに電位 V_{ss} が与えられている。

【0091】

次に、図12(B)に示すパルス出力回路1401の動作について説明する。ただし、CLK、CLKb、SPは、Hレベルのとき V_{dd} 、Lレベルのとき V_{ss} とし、さらに説明を簡単にするため $V_{ss} = 0$ と仮定する。

10

【0092】

SPがHレベルになると、TFT801がオンになるため、TFT805のゲートの電位が上昇していく。そして最終的には、TFT805のゲートの電位が $V_{dd} - V_{th}$ (V_{th} はTFT801~806のしきい値とする) となったところで、TFT801がオフし、浮遊状態となる。一方、SPがHレベルになるとTFT804がオンになるため、TFT802、806のゲートの電位は下降し、最終的には V_{ss} となり、TFT802、806はオフになる。TFT803のゲートは、このときLレベルとなっており、オフしている。

【0093】

次にSPはLレベルとなり、TFT801、804がオフし、TFT805のゲートの電位が $V_{dd} - V_{th}$ で保持される。ここで、TFT805のゲート・ソース間電圧がそのしきい値 V_{th} を上回っていれば、TFT805がオンする。

20

【0094】

次に、ノード1に与えられているCLKがLレベルからHレベルに変わると、TFT805がオンしているので、ノード4、すなわちTFT805のソースの電位が上昇を始める。そしてTFT805のゲート・ソース間には容量素子807による容量結合が存在しているため、ノード4の電位上昇に伴い、浮遊状態となっているTFT805のゲートの電位が再び上昇する。最終的には、TFT805のゲートの電位は、 $V_{dd} + V_{th}$ よりも高くなり、ノード4の電位は V_{dd} に等しくなる。そして、上述の動作が2段目以降のパルス出力回路1401においても同様に行なわれ、順にパルスが出力される。

30

【実施例3】

【0095】

本実施例では、本発明の液晶表示装置の一形態に相当するパネルの外観について、図13を用いて説明する。図13は、第1の基板4001上に形成されたセミアモルファスTFT4010及び液晶素子4011を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図13(B)は、図13(A)のA-A'における断面図に相当する。

【0096】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶4007と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施例では、多結晶半導体膜を用いたTFTを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図13では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成されたTFT4009を例示する。

40

【0097】

50

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、TFTを複数有しており、図13(B)では、画素部4002に含まれるTFT4010とを例示している。TFT4010はセミアモルファス半導体を用いたTFTに相当する。

【0098】

また4011は液晶素子に相当し、液晶素子4011が有する画素電極4030は、TFT4010と配線4040、配線4041を介して電氣的に接続されている。そして液晶素子4011の対向電極4031は第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶4007とが重なっている部分が、液晶素子4011に相当する。

10

【0099】

また4035は球状のスペーサであり、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお絶縁膜をパターンニングすることで得られるスペーサを用いても良い。

【0100】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、図13(B)に示す断面図では図示されていないが、引き回し配線4014及び4015を介して、接続端子4016から供給されている。

【0101】

20

本実施例では、接続端子4016が、液晶素子4011が有する画素電極4030と同じ導電膜から形成されている。また、引き回し配線4014は、配線4041と同じ導電膜で形成されている。また引き回し配線4015は、配線4040と同じ導電膜で形成されている。

【0102】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0103】

なお、第1の基板4001、第2の基板4006としては、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

30

【0104】

但し、液晶素子4011からの光の取り出し方向に位置する基板には、第2の基板は透明でなければならない。その場合には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0105】

なお図示していないが、本実施例に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

40

【0106】

また図13では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施例はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0107】

本実施例は、他の実施例に記載した構成と組み合わせて実施することが可能である。

【実施例4】

【0108】

50

本発明の液晶表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。本発明では、半導体膜の成膜後に結晶化の工程を設ける必要がないので、比較的パネルの大型化が容易であるため、10～50インチの大型のパネルを用いた電子機器に非常に有用である。それら電子機器の具体例を図14に示す。

【0109】

10

図14(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の液晶表示装置を表示部2003に用いることで、本発明の表示装置が完成する。液晶表示装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、液晶素子表示装置は、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0110】

図14(B)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の液晶表示装置を表示部2203に用いることで、本発明の

20

【0111】

図14(C)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の液晶表示装置を表示部A2403、B2404に用いることで、本発明の画像再生装置が完成する。

【0112】

30

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は、実施例1～3に示したいずれの構成の液晶表示装置を用いても良い。

【図面の簡単な説明】

【0113】

【図1】本発明の液晶表示装置の断面図。

【図2】本発明の液晶表示装置における画素の回路図及び断面図。

【図3】本発明の液晶表示装置の断面図。

【図4】本発明の液晶表示装置における、素子基板の一形態を示す図。

【図5】本発明の液晶表示装置における、素子基板の一形態を示す図。

40

【図6】本発明の液晶表示装置の構成を示すブロック図。

【図7】本発明の液晶表示装置の作製工程を示す図。

【図8】本発明の液晶表示装置の作製工程を示す図。

【図9】本発明の液晶表示装置の作製工程を示す図。

【図10】本発明の液晶表示装置の作製工程を示す図。

【図11】本発明の液晶表示装置におけるセミアモルファスTFTの一形態を示す図。

【図12】本発明の液晶表示装置に用いられる、シフトレジスタの一形態を示す図。

【図13】本発明の液晶表示装置の上面図及び断面図。

【図14】本発明の液晶表示装置を用いた電子機器の図。

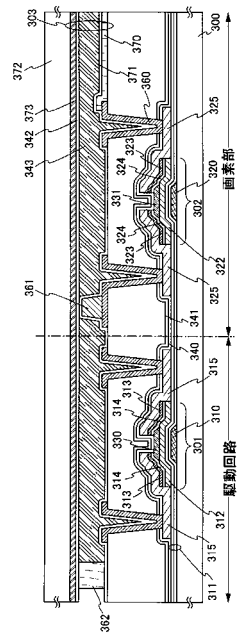
【符号の説明】

50

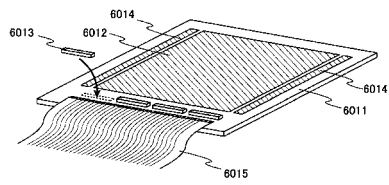
【 0 1 1 4 】

1 0 0	基板	
1 0 1	T F T	
1 0 2	T F T	
1 0 3	液晶素子	
1 1 0	ゲート電極	
1 1 1	ゲート絶縁膜	
1 1 2	半導体膜	
1 1 3	半導体膜	
1 1 4	半導体膜	10
1 1 5	配線	
1 2 0	ゲート電極	
1 2 2	半導体膜	
1 2 3	半導体膜	
1 2 4	半導体膜	
1 2 5	配線	
1 3 0	画素電極	
1 3 1	配向膜	
1 4 0	パッシベーション膜	
1 4 1	パッシベーション膜	20
1 4 2	配向膜	
1 4 3	液晶	
1 5 0	偏光板	
1 5 1	偏光板	
1 6 0	配線	
1 6 1	スペーサ	
1 6 2	シール材	
1 7 0	基板	
1 7 1	対向電極	
2 0 1	スイッチング用 T F T	30
2 0 2	液晶素子	
2 0 3	容量素子	
2 0 4	画素電極	
3 0 0	基板	
3 0 1	T F T	
3 0 2	T F T	
3 0 3	液晶素子	
3 1 0	ゲート電極	
3 1 1	ゲート絶縁膜	
3 1 2	半導体膜	40
3 1 3	半導体膜	
3 1 4	半導体膜	
3 1 5	配線	
3 2 5	配線	
3 3 0	チャネル保護膜	
3 4 0	パッシベーション膜	
3 4 1	パッシベーション膜	
3 4 2	配向膜	
3 4 3	液晶	
3 6 0	配線	50

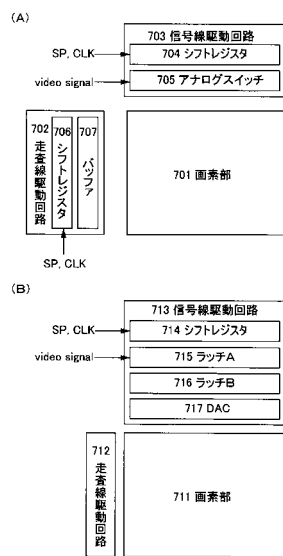
【図 3】



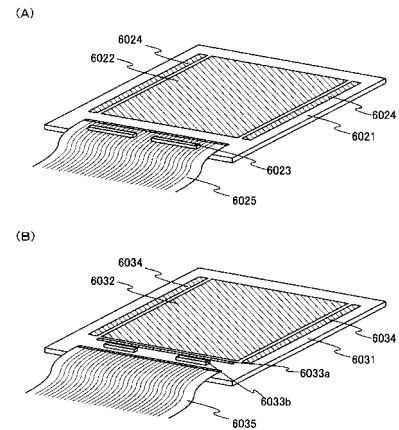
【図 4】



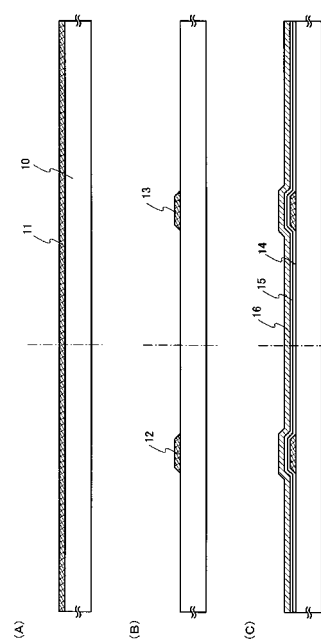
【図 6】



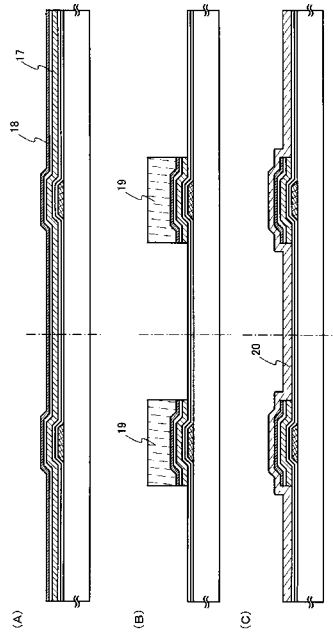
【図 5】



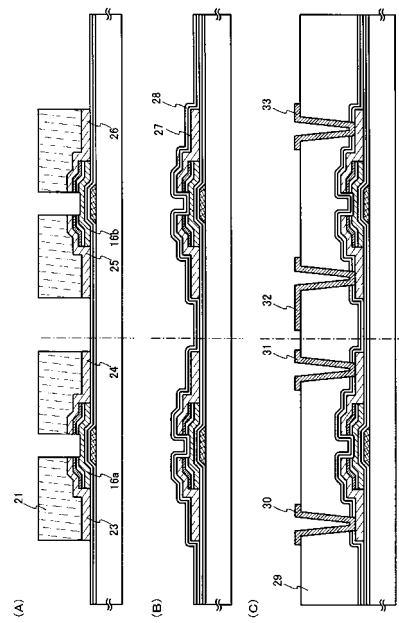
【図 7】



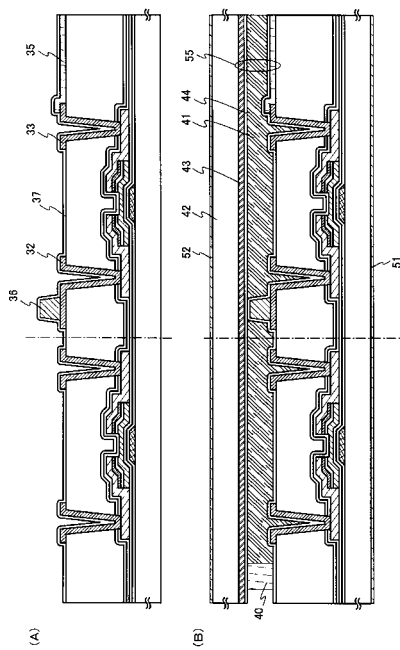
【図 8】



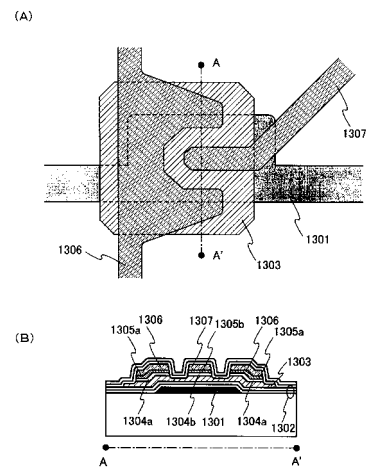
【図 9】



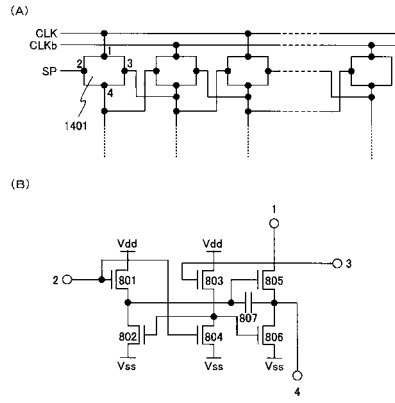
【図 10】



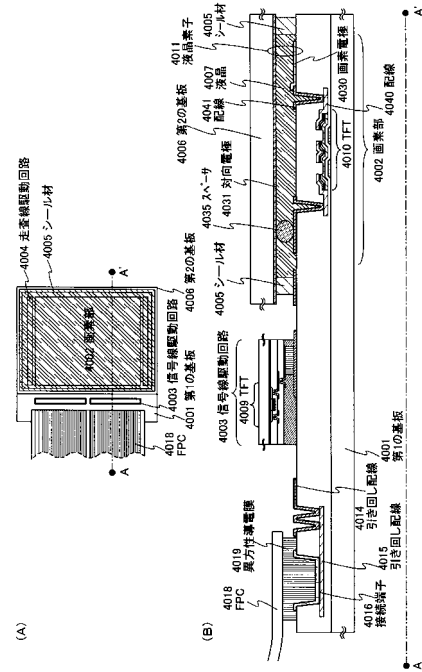
【図 11】



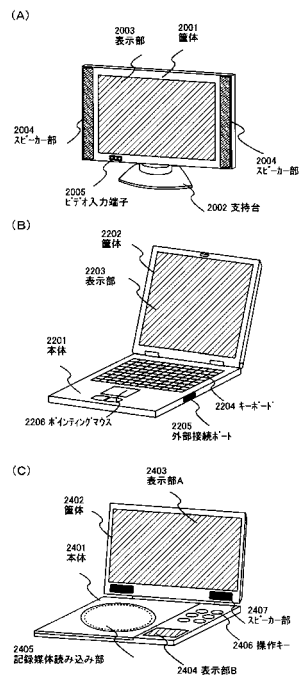
【図 12】



【図 13】



【図 14】



フロントページの続き

- (56)参考文献 特開平 0 4 - 1 7 7 7 3 6 (J P , A)
特開平 0 4 - 2 4 2 7 2 5 (J P , A)
特開平 1 1 - 1 0 3 0 6 7 (J P , A)
特開昭 5 6 - 1 2 2 1 2 3 (J P , A)
特開 2 0 0 1 - 0 0 7 3 4 2 (J P , A)
特開平 1 0 - 2 5 6 5 5 4 (J P , A)
特開昭 5 7 - 1 1 5 8 6 8 (J P , A)
特開昭 5 8 - 0 7 4 0 6 7 (J P , A)
特開昭 5 7 - 1 1 5 8 5 6 (J P , A)
特開 2 0 0 5 - 0 5 1 2 1 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8