

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



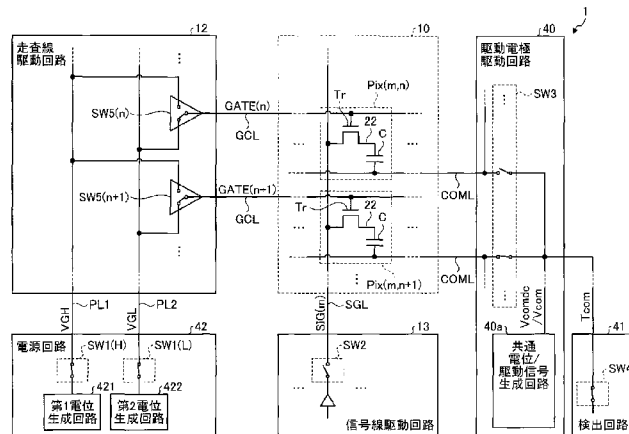
(10) 国際公開番号

WO 2020/184593 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2020/010416
- (22) 国際出願日: 2020年3月11日(11.03.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-045210 2019年3月12日(12.03.2019) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者:大脇 義雄(OWAKI, Yoshio); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



- 12 Scanning line driving circuit
13 Signal line driving circuit
40 Driving electrode driving circuit
40a Common potential / driving signal generation circuit
41 Detection circuit
42 Power circuit
421 First potential generation circuit
422 Second potential generation circuit

(57) **Abstract:** This display device executes a display period P_d and a detection period P_t alternately on a time-division basis. The display device is provided with: a driving electrode COML that forms a pixel capacitance C with a pixel electrode 22; a driving electrode driving circuit 40 that supplies an alternating driving signal V_{com} to the driving electrode COML in the detection period P_t ; a power circuit 42 that generates a first potential V_{GH} serving as a high-potential reference potential of a scanning signal GATE and a second potential V_{GL} serving as a low-potential reference potential of the scanning signal GATE; a first potential supply line PL1 that supplies the first potential V_{GH} ; and a second potential supply line PL2 that supplies the second potential V_{GL} . The power circuit 42 provides, in a low-potential period of the driving signal V_{com} , a potential supply period P_v for supplying the first potential V_{GH} to the first potential supply line PL1 and supplying the second potential V_{GL} to the second potential supply line PL2.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 表示装置は、表示期間 P_d と検出期間 P_t とを時分割で交互に実行する。画素電極 22 との間に画素容量 C を形成する駆動電極 COM_L と、検出期間 P_t において交流の駆動信号 V_{com} を駆動電極 COM_L に供給する駆動電極駆動回路 40 と、走査信号 $GATE$ のハイ電位の基準電位となる第1電位 V_{GH} 、及び、走査信号 $GATE$ のロー電位の基準電位となる第2電位 V_{GL} を生成する電源回路 42 と、第1電位 V_{GH} を供給する第1電位供給線 PL_1 と、第2電位 V_{GL} を供給する第2電位供給線 PL_2 と、を備える。電源回路 42 は、駆動信号 V_{com} のロー電位期間において、第1電位 V_{GH} を第1電位供給線 PL_1 に供給すると共に、第2電位 V_{GL} を第2電位供給線 PL_2 に供給する電位供給期間 P_v を設ける。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 近年、いわゆるタッチパネルと呼ばれる、外部近接物体を検出可能なタッチ検出装置が注目されている。タッチパネルは、液晶表示装置等の表示装置上に装着又は一体化されて、表示装置として用いられている。タッチパネルが表示装置に一体化された所謂インセルタイプの構成では、表示領域を構成する一部の電極を表示駆動とタッチ検出とで共用し、表示駆動とタッチ検出とが時分割で行われる。例えば、表示駆動期間に表示用の基準電圧が印加され、タッチ検出期間にセンサ電極として機能する複数の共通電極を有する構成が開示されている（例えば、特許文献１）。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１８－６７３１６号公報

発明の概要

発明が解決しようとする課題

[0004] インセルタイプの構成において、表示領域には、共通電極の他に走査線や信号線が設けられている。タッチ検出期間において、走査線や信号線を固定電位とすると、共通電極に検出用の駆動信号が供給されることにより画素トランジスタとオン抵抗が変化し、表示期間において画素容量に蓄えられた電荷が変動する。このため、タッチ検出期間において走査線や信号線をハイインピーダンスとする構成が考えられる。しかしながら、タッチ検出期間において、時間の経過と共に走査線や信号線の層間容量に蓄えられていた電荷が層間抵抗等を介して放電して画素トランジスタのオフ抵抗の低下を招き、画素容量に蓄えられていた電荷が放電する可能性がある。また、走査線や信号

線の電位が低下して、表示期間に移行した際に走査線に所望の電圧が印加されず、フリッカや走査線に沿った輝度スジ等が発生する可能性がある。

[0005] 本発明は、表示品質の低下を抑制することができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様に係る表示装置は、画素電極と画素トランジスタとを有する複数の画素が設けられた表示領域に画像表示を行う表示期間と、前記表示領域上の被検出体を検出する検出期間とを時分割で交互に実行する表示装置であって、前記画素トランジスタのゲートに接続される走査線と、前記画素トランジスタのソース及びドレインのうちの一方に接続される信号線と、前記画素トランジスタのソース及びドレインのうちの他方に接続される前記画素電極との間に画素容量を形成する駆動電極と、前記走査線に走査信号を供給する走査線駆動回路と、前記信号線に画素信号を供給する信号線駆動回路と、前記表示期間において前記画素電極に対する共通電位を前記駆動電極に供給し、前記検出期間において交流の駆動信号を前記駆動電極に供給する駆動電極駆動回路と、前記走査信号のハイ電位の基準電位となる第1電位、及び、前記走査信号のロー電位の基準電位となる第2電位を生成して、前記走査線駆動回路に供給する電源回路と、前記走査線駆動回路に前記第1電位を供給する第1電位供給線と、前記走査線駆動回路に前記第2電位を供給する第2電位供給線と、を備え、前記電源回路は、前記駆動信号のロー電位期間において、前記第1電位を前記第1電位供給線に供給すると共に、前記第2電位を前記第2電位供給線に供給する電位供給期間を設ける。

図面の簡単な説明

[0007] [図1]図1は、実施形態に係る表示装置の概略構成の一例を示すブロック図である。

[図2]図2は、表示領域の概略断面構造を表す第1断面図である。

[図3]図3は、表示領域の概略断面構造を表す第2断面図である。

[図4A]図4Aは、実施形態に係る表示装置を構成する第1基板を模式的に示

す第 1 例の平面図である。

[図4B]図 4 B は、実施形態に係る表示装置を構成する第 1 基板を模式的に示す第 2 例の平面図である。

[図4C]図 4 C は、実施形態に係る表示装置を構成する第 1 基板を模式的に示す第 3 例の平面図である。

[図5]図 5 は、実施形態に係る表示装置における表示期間と検出期間との時分割例を示す図である。

[図6A]図 6 A は、実施形態に係る表示装置の表示期間における状態図である。

[図6B]図 6 B は、実施形態に係る表示装置の検出期間において、第 1 電位供給線及び第 2 電位供給線がフローティング状態とされた場合における第 1 状態図である。

[図6C]図 6 C は、実施形態に係る表示装置の検出期間において、第 1 電位供給線及び第 2 電位供給線がフローティング状態とされた場合における第 2 状態図である。

[図7]図 7 は、自己静電容量方式のタッチ検出の基本原理を示す模式図である。

[図8]図 8 は、自己静電容量方式のタッチ検出における波形例を示す図である。

[図9]図 9 は、検出期間における各部波形及び各スイッチ回路の状態遷移例を示す図である。

[図10]図 1 0 は、実施形態に係る表示装置の検出期間における各部波形及び各スイッチ回路の状態遷移例を示す図である。

[図11]図 1 1 は、実施形態に係る表示装置の検出期間の電位供給期間における状態図である。

[図12]図 1 2 は、実施形態に係る表示装置の検出期間における各部波形及び各スイッチ回路の第 1 状態遷移例を示す図である。

[図13]図 1 3 は、実施形態に係る表示装置の検出期間における各部波形及び

各スイッチ回路の第2状態遷移例を示す図である。

[図14]図14は、実施形態に係る表示装置の検出期間における各部波形及び各スイッチ回路の第3状態遷移例を示す図である。

発明を実施するための形態

[0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。なお、以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。また、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] 図1は、実施形態に係る表示装置の概略構成の一例を示すブロック図である。図1に示すように、表示装置1は、画像を表示させるための表示領域10と、走査線駆動回路12と、信号線駆動回路13と、駆動電極駆動回路40と、検出回路41と、電源回路42とを備える。

[0010] 本実施形態に係る表示装置1は、静電容量型のタッチセンサが一体化された、所謂インセルタイプの装置である。静電容量型のタッチセンサを内蔵して一体化するとは、例えば、表示領域10における基板や電極などの一部の部材を、タッチセンサとして使用される基板や電極などの一部の部材とを兼用することを含む。

[0011] 表示領域10には、行方向（D_x方向）及び列方向（D_y方向）に並ぶ複数の画素P_ixが設けられている。なお、図1では一部の画素P_ixについて示しているが、画素P_ixは表示領域10の全域に亘って配置される。な

お、本実施形態では、表示素子として液晶表示素子を用いた構成を例示しているが、表示素子の態様により本開示が限定されるものではない。

[0012] 画素 P_{ix} は、それぞれ画素電極22及び画素トランジスタ T_r を備えている。画素トランジスタ T_r は、薄膜トランジスタにより構成されるものであり、例えば、 n チャネル又は p チャネルのMOS (Metal Oxide Semiconductor) 型のTFTで構成される。画素トランジスタ T_r のソース及びドレインのうちの一方は信号線 SG_L に接続され、ゲートは走査線 GC_L に接続され、ソース及びドレインのうちの他方は画素電極22に接続されている。

[0013] 画素 P_{ix} は、行方向 (D_x 方向) に延在する走査線 GC_L により、他の画素 P_{ix} と互いに接続されている。走査線 GC_L は、走査線駆動回路12と接続され、走査線駆動回路12より走査信号 $GATE(1, 2, \dots, P)$ が供給される。

[0014] また、画素 P_{ix} は、列方向 (D_y 方向) に延在する信号線 SG_L により、他の画素 P_{ix} と互いに接続されている。信号線 SG_L は、信号線駆動回路13と接続され、信号線駆動回路13より画素信号 $SIG(1, 2, \dots, Q)$ が供給される。

[0015] 走査線駆動回路12は、走査線 GC_L を介して、 $1, 2, \dots, P$ 行の各画素 P_{ix} の画素トランジスタ T_r のゲートにそれぞれ走査信号 $GATE(1, 2, \dots, P)$ を供給する回路である。本実施形態において、走査線駆動回路12は、電源回路42から供給される第1電位と第2電位とを切り替えて走査線 GC_L に出力することで、走査信号 $GATE$ を生成する。走査線 GC_L に出力する第1電位と第2電位とを切り替える構成としては、例えばシフトレジスタ等で構成されるスイッチ回路 ($SW5(n), SW5(n+1)$) であっても良い。

[0016] 信号線駆動回路13は、信号線 SG_L を介して、各画素 P_{ix} の画素トランジスタ T_r のソースに画素信号 $SIG(1, 2, \dots, Q)$ を供給する回路である。信号線駆動回路13は、 $1, 2, \dots, P$ 行の画素 P_{ix} に

それぞれ同時又は時分割で画素信号 $SIG(1, 2, \dots, Q)$ を供給する。また、信号線駆動回路 13 は、信号線 SG_L をハイインピーダンス ($Hi-Z$) とする機能を有している。信号線 SG_L をハイインピーダンス ($Hi-Z$) とする構成としては、例えばマルチプレクサ等で構成されるスイッチ回路 ($SW2$) であっても良い。

[0017] 本実施形態に係る表示装置 1 は、動作モードとして、表示領域 10 に画像表示を行う表示モード、及び、タッチ検出を行う検出モードを有する。本開示において、タッチ検出とは、被検出体が表示面に接触した状態又は接触と同視し得るほど近接した状態において、被検出体の位置や動きを検出することを表す。

[0018] 表示領域 10 には、駆動電極 COM_L が設けられている。駆動電極 COM_L は、行方向 (D_x 方向) 及び列方向 (D_y 方向) に直交する方向 (D_z 方向) に表示領域 10 と重なる破線内の領域に設けられている。

[0019] 駆動電極駆動回路 40 は、表示モードにおいて、駆動電極 COM_L に画素電極 22 に対する共通電位 V_{comdc} を供給する回路である。また、駆動電極駆動回路 40 は、検出モードにおいて、駆動電極 COM_L にタッチ検出用の駆動信号 V_{com} を順次供給する回路である。駆動電極駆動回路 40 は、共通電位 V_{comdc} 又は駆動信号 V_{com} を生成する共通電位／駆動信号生成回路 40a を備える。共通電位 V_{comdc} 又は駆動信号 V_{com} の出力を切り替える構成としては、例えばスイッチ回路 ($SW3$) であっても良い。

[0020] 表示領域 10 に画像表示を行う際、駆動電極駆動回路 40 は、画素電極 22 に対する共通電位 V_{comdc} を駆動電極 COM_L に供給する。これにより、駆動電極 COM_L は、表示領域 10 に画像表示を行う際の画素電極 22 に対する共通電極として機能する。

[0021] また、タッチ検出を行う際、駆動電極駆動回路 40 は、駆動信号 V_{com} を駆動電極 COM_L に順次供給する。これにより、駆動電極 COM_L は、タッチ検出を行う際のセンサ電極として機能する。

[0022] 検出回路41は、検出モードにおいて、駆動電極COMLから供給される検出信号Tcomが順次入力される。検出回路41は、入力された検出信号Tcomに基づき、後述する静電容量型のタッチ検出の基本原理に基づくタッチ検出動作を行う。検出モードにおいて検出信号Tcomを取り込む構成としては、例えばスイッチ回路(SW4)であっても良い。

[0023] 走査線駆動回路12、信号線駆動回路13、及び検出回路41は、それぞれ個別のデバイス(IC)により構成されていても良いし、上述した複数の機能が統合された1つ又は複数のデバイス(IC)により構成されていても良い。走査線駆動回路12、信号線駆動回路13、及び検出回路41の構成により、本開示が限定されるものではない。

[0024] 電源回路42は、本実施形態に係る表示装置1を構成する走査線駆動回路12、信号線駆動回路13、及び検出回路41に与える各種電源電圧を生成する電源生成回路である。本実施形態において、電源回路42は、走査信号GATEのハイ電位の基準電位となる第1電位と、ロー電位の基準電位となる第2電位とを生成して、走査線駆動回路12に供給する。また、本実施形態において、電源回路42は、第1電圧の供給経路である第1電位供給線、及び、第2電圧の供給経路である第2電位供給線をハイインピーダンス(Hi-Z)とする機能を有している。第1電位供給線及び第2電位供給線をハイインピーダンス(Hi-Z)とする構成としては、例えばスイッチ回路(SW1(H), SW1(L))であっても良い。第1電位供給線及び第2電位供給線については後述する。

[0025] 図2は、表示領域の概略断面構造を表す第1断面図である。図3は、表示領域の概略断面構造を表す第2断面図である。図4Aは、実施形態に係る表示装置を構成する第1基板を模式的に示す第1例の平面図である。図4Bは、実施形態に係る表示装置を構成する第1基板を模式的に示す第2例の平面図である。図4Cは、実施形態に係る表示装置を構成する第1基板を模式的に示す第3例の平面図である。

[0026] 図2に示すように、表示装置1は、アレイ基板2と、アレイ基板2の表面

に垂直な方向に対向して配置された対向基板 3 と、アレイ基板 2 と対向基板 3 との間に挿設された液晶層 6 とを備える。

[0027] 図 2、図 3 に示すように、アレイ基板 2 は、第 1 基板 2 1 と、複数の画素電極 2 2 と、複数の駆動電極 COM L と、画素電極 2 2 と駆動電極 COM L とを絶縁する絶縁層 2 4 と、を含む。複数の画素電極 2 2 は、第 1 基板 2 1 の上方に行列状（マトリクス状）に配設される。駆動電極 COM L は、第 1 基板 2 1 と画素電極 2 2 との間に設けられる。第 1 基板 2 1 の下側には、接着層（不図示）を介して偏光板 3 5 B が設けられている。第 1 基板 2 1 には、TFT（Thin Film Transistor）等のスイッチング素子や、走査線 GCL、信号線 SGL 等の各種配線が設けられる。

[0028] 図 4 A 乃至図 4 C に示すように、駆動電極 COM L は、第 1 基板 2 1 の表示領域 1 0 に設けられている。駆動電極 COM L は、自己静電容量方式のタッチ検出における検出電極として機能する。図 4 A に示す第 1 例において、駆動電極 COM L は、表示領域 1 0 内に複数配置される。より具体的に、複数の駆動電極 COM L は、表示領域 1 0 の長辺に沿った方向（D x 方向）、及び、表示領域 1 0 の短辺に沿った方向（D y 方向）にマトリックス状に並び、複数配置されている。各駆動電極 COM L は、平面視で略正方形である。駆動電極 COM L は、例えば、ITO（Indium Tin Oxide）等の透光性を有する導電性材料で構成されている。1 つの駆動電極 COM L に対応する位置に、複数の画素電極 2 2 が行列状に配置される。画素電極 2 2 は、1 つの駆動電極 COM L よりも小さい面積を有している。なお、図 4 A では一部の駆動電極 COM L 及び画素電極 2 2 について示しているが、駆動電極 COM L 及び画素電極 2 2 は、表示領域 1 0 の全域に亘って配置される。また、駆動電極 COM L は、図 4 B に示す第 2 例のように、表示領域 1 0 の短辺に沿った方向（D y 方向）に延在し、表示領域 1 0 の長辺に沿った方向（D x 方向）に並んで設けられる態様であっても良いし、図示は省略してあるが、表示領域 1 0 の長辺に沿った方向（D x 方向）に延在し、短辺に沿った方向（D y 方向）に並んで設けられる態様であっても良い。ある

いは、図4Cに示す第3例のように、表示領域10の全域に亘って1つの駆動電極COMLが設けられる態様であっても良い。

[0029] 図2に示すように、対向基板3は、第2基板31と、この第2基板31の一方の面に形成されたカラーフィルタ32とを含む。カラーフィルタ32の上方には、接着層（不図示）を介して偏光板35Aが設けられている。

[0030] また、図3に示すように、対向基板3は、第2基板31と、第2基板31の一方の面に形成されたカラーフィルタ32と、第2基板31の他方の面に設けられた検出電極TDLと、偏光板35とを有する構成であっても良い。検出電極TDLは、駆動電極COMLと平面視において交差するように設けられ、第2基板31の上に複数配列されている。検出電極TDLは、相互静電容量方式のタッチ検出における検出電極として機能する。

[0031] 本実施形態において、検出電極TDLは、例えば、ITO等の透光性を有する導電性材料が用いられる。又は、検出電極TDLは、メッシュ状、ジグザグ線状、或いは波線状、直線状のパターンを有する金属細線により構成されていてもよい。この場合、検出電極TDLは、アルミニウム（Al）、銅（Cu）、銀（Ag）、モリブデン（Mo）、クロム（Cr）及びタングステン（W）から選ばれた1種以上の金属層で形成される。

[0032] 第1基板21と第2基板31とは、所定の間隔を設けて対向して配置される。第1基板21と第2基板31との間の空間に、表示機能層として液晶層6が設けられる。液晶層6は、電界の状態に応じてそこを通過する光を変調するものであり、例えば、FFS（フリンジフィールドスイッチング）を含むIPS（インプレーンスイッチング）等の横電界モードの液晶が用いられる。なお、液晶層6とアレイ基板2との間、及び液晶層6と対向基板3との間には、それぞれ配向膜が配設されてもよい。

[0033] 第1基板21には、各画素Pixの画素トランジスタTr、各画素電極22に画素信号SIGを供給する信号線SGL、各画素トランジスタTrを駆動する走査信号GATEを供給する走査線GCL等の配線が形成されている。信号線SGL及び走査線GCLは、第1基板21の表面と平行な平面に延

在する。

[0034] 図5は、実施形態に係る表示装置における表示期間と検出期間との時分割例を示す図である。

[0035] 本実施形態では、表示モードで動作する表示期間 P_d と、検出モードで動作する検出期間 P_t とが時分割で交互に実行される。図5に示す例では、1フレーム期間 $1F$ において、複数の表示期間 P_d に分割し、各表示期間 P_d の間に検出期間 P_{t1} を設けた例を示している。

[0036] 図6Aは、実施形態に係る表示装置の表示期間における状態図である。図6Bは、実施形態に係る表示装置の検出期間において、第1電位供給線及び第2電位供給線がフローティング状態とされた場合における第1状態図である。図6Cは、実施形態に係る表示装置の検出期間において、第1電位供給線及び第2電位供給線がフローティング状態とされた場合における第2状態図である。図6A乃至図6Cでは、表示領域 10 の n 行 m 列目の画素 $P_{ix}(m, n)$ 、及び $n+1$ 行 m 列目の画素 $P_{ix}(m, n+1)$ を例示している。

[0037] まず、表示期間 P_d における動作について、図6Aを参照して説明する。

[0038] 表示期間 P_d において、走査線駆動回路12は、走査線 GCL を順次選択する。走査線駆動回路12は、選択された走査線 GCL を介して、走査信号 $GATE$ を画素 P_{ix} の画素トランジスタ Tr のゲートに印加する。これにより、画素 P_{ix} のうちの1行（1水平ライン）が表示駆動の対象として順次選択される。図6Aに示す例では、走査線駆動回路12のスイッチ回路 $SW5(n)$ を介して、電源回路42の第1電位生成回路421からスイッチ回路 $SW1(H)$ を介して第1電位供給線 $PL1$ に印加された第1電位 VGH が走査信号 $GATE(n)$ のハイ電位として印加される。これにより、画素 $P_{ix}(m, n)$ を含む1水平ラインが表示駆動の対象として選択される。

[0039] このとき、表示駆動の対象として選択されていない画素 $P_{ix}(m, n+1)$ の画素トランジスタ Tr のゲートには、走査線駆動回路12のスイッチ

回路SW5 (n+1) を介して、電源回路42の第2電位生成回路422からスイッチ回路SW1 (L) を介して第2電位供給線PL2に印加された第2電位VGLが走査信号GATE (n+1) のロー電位として印加される。

[0040] また、信号線駆動回路13は、選択された1水平ラインを構成する画素Pixelに対応する画素信号SIGを供給する。図6Aに示す例では、信号線駆動回路13のスイッチ回路SW2を介して、表示駆動の対象として選択された画素Pixel (m, n) に対し、画素信号SIG (m) が供給される。

[0041] 表示動作を行う際、駆動電極駆動回路40は、スイッチ回路SW3を介して、各駆動電極COMLに対して同時に画素電極22に対する共通電位Vcomdcを印加する。これにより、駆動電極COMLは、表示動作時には画素電極22に対する共通電極として機能し、画素電極22との間に画素容量Cが形成される。画素容量Cには、画素信号SIG (m) に応じた電荷が蓄えられる。

[0042] 次に、検出期間Ptにおける動作について、図6B及び図6Cを参照して説明する。

[0043] 検出期間Ptにおいて、電源回路42のスイッチ回路SW1 (H) は、第1電位供給線PL1をハイインピーダンス(Hi-Z)とする。また、電源回路42のスイッチ回路SW1 (L) は、第2電位供給線PL2をハイインピーダンス(Hi-Z)とする。これにより、第1電位供給線PL1及び第2電位供給線PL2がフローティング状態となり、走査線駆動回路12に接続された各走査線GCLも共にフローティング状態となる。なお、図6Cに示すように、検出期間Ptにおいて、各走査線GCLをハイインピーダンス(Hi-Z)とすることにより、各走査線GCLをフローティング状態とする態様であっても良い。

[0044] また、信号線駆動回路13のスイッチ回路SW2は、信号線SGLをハイインピーダンス(Hi-Z)とする。これにより、信号線SGLがフローティング状態となる。

[0045] この状態において、駆動電極駆動回路40は、スイッチ回路SW3を介し

て、各々の駆動電極COMLに対して駆動信号Vcomを順次供給する。これにより、駆動電極COMLは、検出動作時にはセンサ電極として機能する。

[0046] ここで、検出回路41におけるタッチ検出動作について説明する。表示装置1は、静電容量型のタッチ検出の基本原理に基づいたタッチ制御がなされる。本実施形態において、検出回路41は、所謂自己静電容量方式の検出手法を用いて、タッチ検出を行う。具体的に、検出回路41は、駆動電極COMLと被検出体との間に生じる静電容量に基づきタッチ検出を行う。

[0047] 図7は、自己静電容量方式のタッチ検出の基本原理を示す模式図である。図8は、自己静電容量方式のタッチ検出における波形例を示す図である。なお、図7は、検出回路41の一部構成を併せて示している。なお、図7に示す例では、被検出体が指である場合を例示しているが、被検出体は、指に限られず、例えばスタイラスペン等の導体を含む物体であってもよい。図7に示す回路は、図6A乃至図6Cに示す検出回路41に設けられる。検出電極E1は、駆動電極COMLに対応する。すなわち、図7に示す例において、交流矩形波Sgは、検出動作時に駆動電極COMLに供給される駆動信号Vcomに対応する。

[0048] 検出電極E1に所定の周波数（例えば数kHz～数百kHz程度）の交流矩形波Sgが印加される。検出電極E1は、静電容量C1を有しており、静電容量C1に応じた電流が流れる。電圧検出器DETは、交流矩形波Sgに応じた電流の変動を電圧の変動（実線の波形V₀。（図8参照））に変換する。

[0049] 次に、図7に示すように、被検出体が存在している状態では、指と検出電極E1との間の静電容量C2が、検出電極E1の静電容量C1に加わる。したがって、検出電極E1に交流矩形波Sgが印加されると、静電容量C1及び静電容量C2に応じた電流が流れる。図8に示すように、電圧検出器DETは、交流矩形波Sgに応じた電流の変動を電圧の変動（点線の波形V₁）に変換する。そして、波形V₀と波形V₁との差分の絶対値 $|\Delta V|$ に基づいて、被検出体の存在が測定される。

[0050] 具体的には、図8において、時刻 T_{01} のタイミングで交流矩形波 S_g は電圧 V_2 に相当する電圧レベルに上昇する。このときスイッチ S_1 はオンとなりスイッチ S_2 はオフとなるため検出電極 E_1 の電位も電圧 V_2 に上昇する。次に時刻 T_{11} のタイミングの前にスイッチ S_1 をオフとする。このとき検出電極 E_1 はフローティング状態であるが、検出電極 E_1 の静電容量 C_1 （又は $C_1 + C_2$ 、図7参照）によって、検出電極 E_1 の電位は V_2 が維持される。さらに、時刻 T_{11} のタイミングの前に電圧検出器 DET のリセット動作が行われる。

[0051] 続いて、時刻 T_{11} のタイミングでスイッチ S_2 をオンさせると、検出電極 E_1 の静電容量 C_1 （又は $C_1 + C_2$ ）に蓄積されていた電荷が電圧検出器 DET 内の容量 C_3 に移動するため、電圧検出器 DET の出力が上昇する（図8の検出信号 V_{det} 参照）。電圧検出器 DET の出力（検出信号 V_{det} ）は、被検出体が存在していない状態では、実線で示す波形 V_0 となり、 $V_{det} = C_1 \times V_2 / C_3$ となる。被検出体が存在している状態では、点線で示す波形 V_1 となり、 $V_{det} = (C_1 + C_2) \times V_2 / C_3$ となる。

[0052] その後、時刻 T_{31} のタイミングでスイッチ S_2 をオフさせ、スイッチ S_1 及びスイッチ S_3 をオンさせることにより、検出電極 E_1 の電位を交流矩形波 S_g と同電位のローレベルにするとともに電圧検出器 DET をリセットさせる。以上の動作を所定の周波数（例えば数kHz～数百kHz程度）で繰り返す。このようにして、検出回路41は、自己静電容量方式による被検出体の検出基本原理に基づいて、被検出体が存在している状態が検出可能となる。

[0053] 図9は、検出期間において第1電位供給線及び第2電位供給線がフローティング状態とされた場合における各部波形及び各スイッチ回路の状態遷移例を示す図である。図9において、検出期間 P_t において各駆動電極 $COML$ に供給される駆動信号 V_{com} が、図7及び図8に示す交流矩形波 S_g に対応する。また、駆動信号 V_{com} の波高値の電位 Δv が、図7及び図8に示す交流矩形波 S_g の電圧 V_2 に対応する。

- [0054] 上述したように、検出期間 P_t において、電源回路 42 のスイッチ回路 $SW_1(H)$ 、電源回路 42 のスイッチ回路 $SW_1(L)$ 、及び走査線駆動回路 12 のスイッチ回路 $SW_5(SW_5(n), SW_5(n+1))$ により、第 1 電位供給線 PL_1 及び第 2 電位供給線 PL_2 がフローティング状態とされた場合、第 1 電位供給線 PL_1 及び第 2 電位供給線 PL_2 の波形は、駆動電極 COM_L との間の層間容量によって駆動信号 V_{com} が重畳した波形となる。この層間容量には、画素電極 22 と画素トランジスタ T_r のゲートとの間の寄生容量、第 1 電位供給線 PL_1 と第 2 電位供給線 PL_2 との間の寄生容量等が含まれる。
- [0055] 具体的に、検出期間 P_t において、第 1 電位供給線 PL_1 は、第 1 電位 V_{GH} に対して駆動電極 COM_L に供給される駆動信号 V_{com} が重畳し、駆動信号 V_{com} の波高値の電位 Δv に応じた、波高値が電位 Δv_{up} の略矩形波状の波形となる。
- [0056] また、検出期間 P_t において、第 2 電位供給線 PL_2 は、第 2 電位 V_{GL} に対して駆動電極 COM_L に供給される駆動信号 V_{com} が重畳し、駆動信号 V_{com} の波高値の電位 Δv に応じた、波高値が電位 Δv_{up} の略矩形波状の波形となる。
- [0057] この検出期間 P_t の全期間において、第 1 電位供給線 PL_1 及び第 2 電位供給線 PL_2 がフローティング状態とされた場合、それぞれフローティング状態とされた第 1 電位供給線 PL_1 と第 2 電位供給線 PL_2 と間に生じるリーク電流等により、時間の経過と共に、第 1 電位供給線 PL_1 の電位は Δv_1 だけ下降し、第 2 電位供給線 PL_2 の電位は Δv_2 だけ上昇する。
- [0058] この過程において、画素トランジスタ T_r のゲートソース間の電位が低下することにより、画素トランジスタ T_r のオフ抵抗が低下する。画素トランジスタ T_r のオフ抵抗の低下により画素容量 C に蓄えられていた電荷が放電すると、フレーム間で輝度フリッカが発生する可能性がある。
- [0059] また、検出期間 P_t の全期間において、第 1 電位供給線 PL_1 及び第 2 電位供給線 PL_2 がフローティング状態とされた場合、上述したように、第 1

電位供給線 P L 1 の電位は $\Delta v 1$ だけ低下し、第 2 電位供給線 P L 2 の電位は $\Delta v 2$ だけ上昇する。このため、検出期間 P t の直後の表示期間 P d において、電源回路 4 2 のスイッチ回路 S W 1 (H) により第 1 電位供給線 P L 1 に第 1 電位 V G H が供給され、電源回路 4 2 のスイッチ回路 S W 1 (L) により第 2 電位供給線 P L 2 に第 2 電位 V G L が供給されても、第 1 電位供給線 P L 1 の電位が第 1 電位 V G H に復帰し、第 2 電位供給線 P L 2 の電位が第 2 電位 V G L に復帰するまでの復帰時間が掛かることとなる。

[0060] 検出期間 P t の直後の表示期間 P d における走査信号 G A T E (図 6 A に示す例では、走査信号 G A T E (n + 1)) の波高値は $(V G H - \Delta v 1) - (V G L + \Delta v 2)$ となり、想定された波高値 $V G H - V G L$ よりも $\Delta v 1 + \Delta v 2$ だけ低下した値となる。このため、検出期間 P t の全期間において、第 1 電位供給線 P L 1 及び第 2 電位供給線 P L 2 がフローティング状態とされた場合、検出期間 P t に同期したスジが認識される場合がある。

[0061] 本実施形態では、検出期間 P t における第 1 電位供給線 P L 1 及び第 2 電位供給線 P L 2 の電位変動を抑制するため、検出期間 P t において、第 1 電位供給線 P L 1 に第 1 電位 V G H を供給し、第 2 電位供給線 P L 2 に第 2 電位 V G L を供給する電位供給期間を設ける。

[0062] 図 1 0 は、実施形態に係る表示装置の検出期間における各部波形及び各スイッチ回路の状態遷移例を示す図である。図 1 0 に示す例では、検出期間 P t における駆動信号 V c o m のロー電位 V c o m (L) を表示期間 P d における共通電位 V c o m d c の電位と同一としているが、これに限るものではない。

[0063] 本実施形態では、図 1 0 に示すように、駆動信号 V c o m のロー電位 V c o m (L) の期間、すなわち、駆動信号 V c o m の立下がりから立ち上がりまでの所定期間において、電源回路 4 2 のスイッチ回路 S W 1 (H) を介して第 1 電位供給線 P L 1 に第 1 電位 V G H を供給し、電源回路 4 2 のスイッチ回路 S W 1 (L) を介して第 2 電位供給線 P L 2 に第 2 電位 V G L を供給する電位供給期間 P v を設けている。これにより、検出期間 P t における第

第1電位供給線PL1及び第2電位供給線PL2の電位変動を抑制することができる。

[0064] 具体的には、駆動信号Vcomのハイ電位Vcom(H)の期間では、第1電位供給線PL1及び第2電位供給線PL2をハイインピーダンス(Hi-Z)とすることにより、走査線GCLがフローティング状態とされる。このとき、第1電位供給線PL1の電位は、上述した層間容量によって第1電位VGHより駆動電極COMLの電位上昇 Δv に応じた Δv_{up} だけ上昇した値($VGH + \Delta v_{up}$)となり、時間の経過と共に、第1電位供給線PL1と第2電位供給線PL2と間に生じるリーク電流等によって下降し、リーク電流等による減少分 Δv_{leak} だけ低い電位($VGH + \Delta v_{up} - \Delta v_{leak}$)となる。また、第2電位供給線PL2の電位は、上述した層間容量によって第2電位VGLより駆動電極COMLの電位上昇 Δv に応じた Δv_{up} だけ上昇した値($VGL + \Delta v_{up}$)となり、時間の経過と共に、第1電位供給線PL1と第2電位供給線PL2と間に生じるリーク電流等によって上昇し、リーク電流等による減少分 Δv_{leak} だけ高い電位($VGL + \Delta v_{up} + \Delta v_{leak}$)となる。

[0065] 駆動信号Vcomがロー電位Vcom(L)となると、第1電位供給線PL1の電位は、電位($VGH + \Delta v_{up} - \Delta v_{leak}$)から、駆動電極COMLの電位下降 Δv に応じた Δv_{up} だけ下降した値($VGH - \Delta v_{leak}$)となり、その後も下降し続ける。また、第2電位供給線PL2の電位は、電位($VGL + \Delta v_{up} + \Delta v_{leak}$)から、駆動電極COMLの電位下降 Δv に応じた Δv_{up} だけ上昇した値($VGL + \Delta v_{leak}$)となり、その後も上昇し続ける。

[0066] 本実施形態では、図10に示すように、駆動信号Vcomがロー電位Vcom(L)となってから所定の微小期間 Δt_1 後にスイッチ回路SW1(H)及びスイッチ回路SW1(L)をオン制御する。これにより、第1電位供給線PL1には、スイッチ回路SW1(H)を介して第1電位VGHが供給され、第2電位供給線PL2には、スイッチ回路SW1(L)を介して第2

電位 V_{GL} が供給される。

[0067] そして、電位供給期間 P_v の間に、第 1 電位供給線 PL_1 の電位が第 1 電位 V_{GH} に復帰し、第 2 電位供給線 PL_2 の電位が第 2 電位 V_{GL} に復帰する。これにより、表示期間 P_d に移行した際の第 1 電位供給線 PL_1 の電位低下 Δv_1 及び第 2 電位供給線 PL_2 の電位上昇 Δv_2 を抑制することができる。

[0068] なお、図 10 では、駆動信号 V_{com} がハイ電位 $V_{com}(H)$ となる微小期間 Δt_2 前にスイッチ回路 $SW_1(H)$ 及びスイッチ回路 $SW_1(L)$ をオフ制御する例を示したが、微小期間 Δt_1 及び微小期間 Δt_2 は、それぞれ 0 であっても良い。

[0069] 図 11 は、実施形態に係る表示装置の検出期間の電位供給期間における状態図である。図 11 に示すように、本実施形態において、検出期間 P_t の電位供給期間 P_v には、電源回路 42 の第 1 電位生成回路 421 からスイッチ回路 $SW_1(H)$ を介して第 1 電位供給線 PL_1 第 1 電位 V_{GH} が印加され、電源回路 42 の第 2 電位生成回路 422 からスイッチ回路 $SW_1(L)$ を介して第 2 電位供給線 PL_2 に第 2 電位 V_{GL} が印加される。

[0070] 図 12 は、実施形態に係る表示装置の検出期間における各部波形及び各スイッチ回路の第 1 状態遷移例を示す図である。

[0071] 図 12 に示す第 1 状態遷移例では、検出期間 P_t の全期間において、駆動信号 V_{com} のロー電位 $V_{com}(L)$ の期間ごとに電位供給期間 P_v を設けている。

[0072] 図 13 は、実施形態に係る表示装置の検出期間における各部波形及び各スイッチ回路の第 2 状態遷移例を示す図である。

[0073] 図 13 に示す第 2 状態遷移例では、検出期間 P_t における駆動信号 V_{com} の偶数回のロー電位 $V_{com}(L)$ の期間に電位供給期間 P_v を設けている。

[0074] また、図 13 に示す第 2 状態遷移例では、検出期間 P_t における駆動信号 V_{com} の偶数回のロー電位 $V_{com}(L)$ の期間に電位供給期間 P_v を設

けているが、検出期間 P_t における駆動信号 V_{com} の奇数回のロー電位 $V_{com}(L)$ の期間に電位供給期間 P_v を設けても良いし、検出期間 P_t のロー電位 $V_{com}(L)$ の期間のうちの所定回数ごとに電位供給期間 P_v を設けても良い。

[0075] 図 14 は、実施形態に係る表示装置の検出期間における各部波形及び各スイッチ回路の第 3 状態遷移例を示す図である。

[0076] 図 14 に示す第 3 状態遷移例では、検出期間 P_t における駆動信号 V_{com} の表示期間 P_d の直前の複数回のロー電位 $V_{com}(L)$ の期間に電位供給期間 P_v を設けている。なお、検出期間 P_t の表示期間 P_d の直前の少なくとも 1 回のロー電位 $V_{com}(L)$ の期間に電位供給期間 P_v を設けるようにしても良い。

[0077] なお、図 12 から図 14 に示す各状態遷移例は一例であって、検出期間 P_t において電位供給期間 P_v を設ける駆動信号 V_{com} のロー電位 $V_{com}(L)$ の期間は、図 12 から図 14 に示す例に限るものではない。具体的には、例えば、検出期間 P_t における駆動信号 V_{com} のロー電位 $V_{com}(L)$ の期間のうちの少なくとも 1 つ以上に電位供給期間 P_v を設ける態様であれば、検出期間 P_t における第 1 電位供給線 PL_1 及び第 2 電位供給線 PL_2 の電位変動を抑制する効果を得ることができる。

[0078] 以上説明したように、実施形態に係る表示装置 1 は、画素電極 22 と画素トランジスタ T_r とを有する複数の画素 P_{ix} が設けられた表示領域 10 に画像表示を行う表示期間 P_d と、表示領域 10 上の被検出体を検出する検出期間 P_t とを時分割で交互に実行する構成において、画素トランジスタ T_r のゲートに接続される走査線 GCL と、画素トランジスタ T_r のソース及びドレインのうちの一方に接続される信号線 SSL と、画素トランジスタ T_r のソース及びドレインのうちの他方に接続される画素電極 22 との間に画素容量 C を形成する駆動電極 $COML$ と、走査線 GCL に走査信号 $GATE$ を供給する走査線駆動回路 12 と、信号線 SSL に画素信号 SIG を供給する信号線駆動回路 13 と、表示期間 P_d において画素電極 22 に対する共通電

位 V_{comdc} を駆動電極 $COML$ に供給し、検出期間 P_t において交流の駆動信号 V_{com} を駆動電極 $COML$ に供給する駆動電極駆動回路 40 と、走査信号 $GATE$ のハイ電位の基準電位となる第 1 電位 V_{GH} 、及び、走査信号 $GATE$ のロー電位の基準電位となる第 2 電位 V_{GL} を生成して、走査線駆動回路 12 に供給する電源回路 42 と、走査線駆動回路 12 に第 1 電位 V_{GH} を供給する第 1 電位供給線 $PL1$ と、走査線駆動回路 12 に第 2 電位 V_{GL} を供給する第 2 電位供給線 $PL2$ と、を備える。電源回路 42 は、駆動信号 V_{com} のロー期間において、第 1 電位 V_{GH} を第 1 電位供給線 $PL1$ に供給すると共に、第 2 電位 V_{GL} を第 2 電位供給線 $PL2$ に供給する電位供給期間 P_v を設ける。

[0079] 具体的に、電源回路 42 は、検出期間 P_t における駆動信号 V_{com} のロー電位 $V_{com}(L)$ の期間のうちの少なくとも 1 つ以上に電位供給期間 P_v を設ける。

[0080] または、電源回路 42 は、検出期間 P_t における駆動信号 V_{com} のロー電位 $V_{com}(L)$ の期間の所定回数ごとに電位供給期間 P_v を設ける。

[0081] または、電源回路 42 は、検出期間 P_t の全期間において、駆動信号 V_{com} のロー電位 $V_{com}(L)$ の期間ごとに電位供給期間 P_v を設ける。

[0082] 上記構成において、電源回路 42 は、検出期間 P_t において、電位供給期間 P_v を除き、第 1 電位供給線 $PL1$ 及び第 2 電位供給線 $PL2$ をハイインピーダンスとする。

[0083] これにより、検出期間 P_t における第 1 電位供給線 $PL1$ 及び第 2 電位供給線 $PL2$ の電位変動を抑制することができる。このため、検出期間 P_t において、第 1 電位供給線 $PL1$ と第 2 電位供給線 $PL2$ と間に生じるリーク電流等によって、画素トランジスタ Tr のゲートソース間の電位が低下することにより、画素トランジスタ Tr のオフ抵抗の低下し、画素容量 C に蓄えられていた電荷が放電してフレーム間で輝度フリッカが発生することを防ぐことができる。また、走査信号 $GATE$ の波高値が低下し、検出期間 P_t に同期したスジが認識されることを防ぐことができる。

[0084] 本実施形態により、表示品質の低下を抑制することができる表示装置 1 を得ることができる。

[0085] なお、上述した実施形態では、自己静電容量方式のタッチ検出動作を行う構成を例示したが、指等の外部物体の近接又は接触に伴う駆動電極と検出電極との間の容量変化に応じてタッチ検出を行う、所謂相互静電容量方式のタッチ検出動作を行う構成に適用することも可能である。

[0086] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。

符号の説明

- [0087] 1 表示装置
- 2 アレイ基板
- 3 対向基板
- 10 表示領域
- 12 走査線駆動回路
- 13 信号線駆動回路
- 22 画素電極
- 40 駆動電極駆動回路
- 40a 共通電位／駆動信号生成回路
- 41 検出回路
- 42 電源回路
- 421 第1電位生成回路
- 422 第2電位生成回路
- C 画素容量
- COML 駆動電極
- GATE, GATE (n), GATE (n+1) 走査信号

G C L 走査線

P i x , P i x (m , n) , P i x (m , n + 1) 画素

P L 1 第1 電位供給線

P L 2 第2 電位供給線

P d 表示期間

P t 検出期間

P v 電位供給期間

S G L 信号線

S I G , S I G (m) 画素信号

T r 画素トランジスタ

V c o m 駆動信号

V c o m d c 共通電位

V G H 第1 電位

V G L 第2 電位

S W 1 (H) , S W 1 (L) , S W 2 , S W 3 , S W 4 , S W 5 (n) , S
W 5 (n + 1) スイッチ回路

T c o m 検出信号

請求の範囲

- [請求項1] 画素電極と画素トランジスタとを有する複数の画素が設けられた表示領域に画像表示を行う表示期間と、前記表示領域上の被検出体を検出する検出期間とを時分割で交互に実行する表示装置であって、
- 前記画素トランジスタのゲートに接続される走査線と、
 - 前記画素トランジスタのソース及びドレインのうちの一方に接続される信号線と、
 - 前記画素トランジスタのソース及びドレインのうちの他方に接続される前記画素電極との間に画素容量を形成する駆動電極と、
 - 前記走査線に走査信号を供給する走査線駆動回路と、
 - 前記信号線に画素信号を供給する信号線駆動回路と、
 - 前記表示期間において前記画素電極に対する共通電位を前記駆動電極に供給し、
 - 前記検出期間において交流の駆動信号を前記駆動電極に供給する駆動電極駆動回路と、
 - 前記走査信号のハイ電位の基準電位となる第1電位、及び、前記走査信号のロー電位の基準電位となる第2電位を生成して、前記走査線駆動回路に供給する電源回路と、
 - 前記走査線駆動回路に前記第1電位を供給する第1電位供給線と、
 - 前記走査線駆動回路に前記第2電位を供給する第2電位供給線と、
 - を備え、
 - 前記電源回路は、
 - 前記駆動信号のロー電位期間において、前記第1電位を前記第1電位供給線に供給すると共に、前記第2電位を前記第2電位供給線に供給する電位供給期間を設ける
- 表示装置。
- [請求項2] 前記電源回路は、
- 前記検出期間における前記ロー電位期間のうちの少なくとも1つ以

上に前記電位供給期間を設ける

請求項 1 に記載の表示装置。

[請求項3]

前記電源回路は、

前記検出期間における前記ロー電位期間の所定回数ごとに前記電位供給期間を設ける

請求項 2 に記載の表示装置。

[請求項4]

前記電源回路は、

前記検出期間の全期間において、前記ロー電位期間ごとに前記電位供給期間を設ける

請求項 2 に記載の表示装置。

[請求項5]

前記電源回路は、

前記検出期間において、前記電位供給期間を除き、前記第 1 電位供給線及び前記第 2 電位供給線をハイインピーダンスとする

請求項 1 から 4 の何れか一項に記載の表示装置。

[請求項6]

前記走査線駆動回路は、

前記検出期間において、前記走査線をハイインピーダンスとする

請求項 1 から 5 の何れか一項に記載の表示装置。

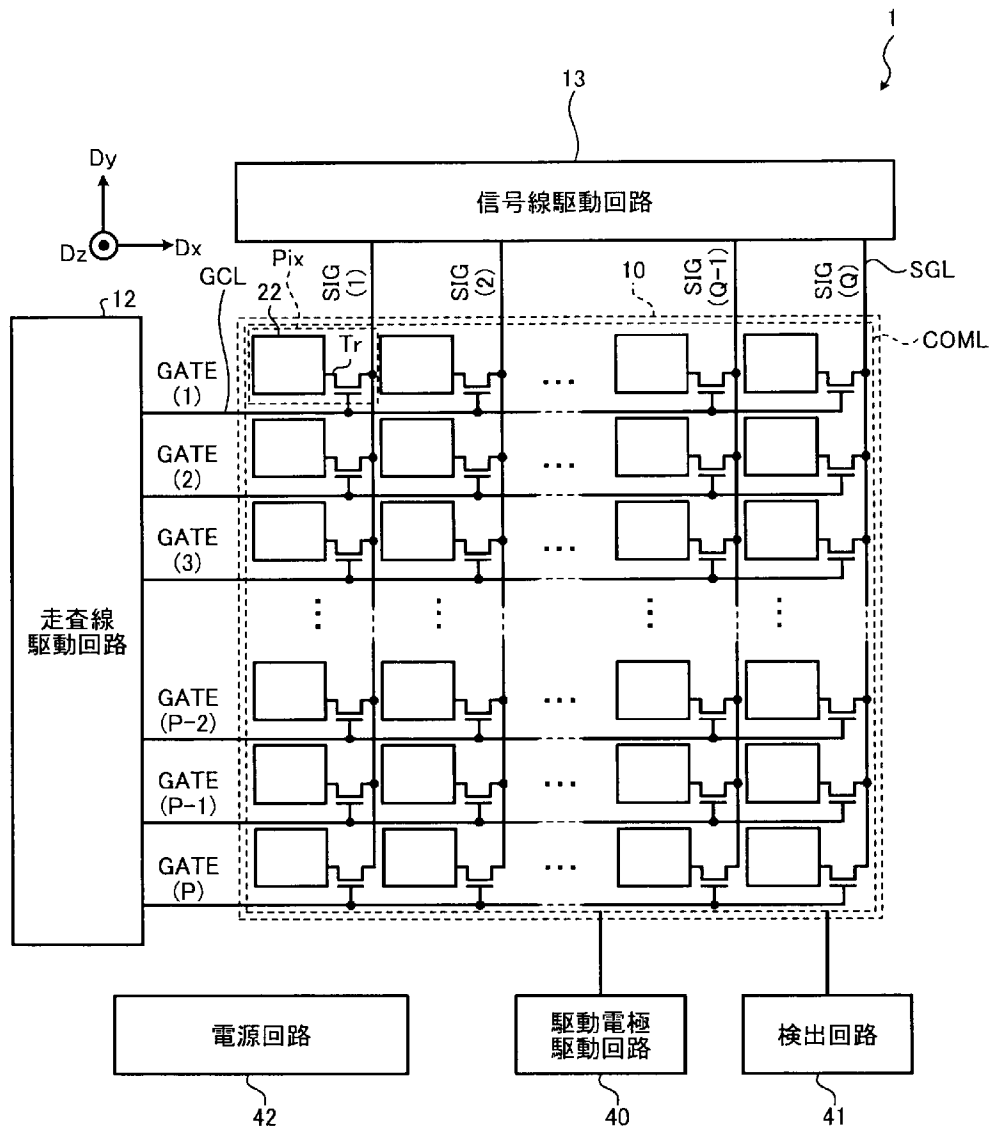
[請求項7]

前記信号線駆動回路は、

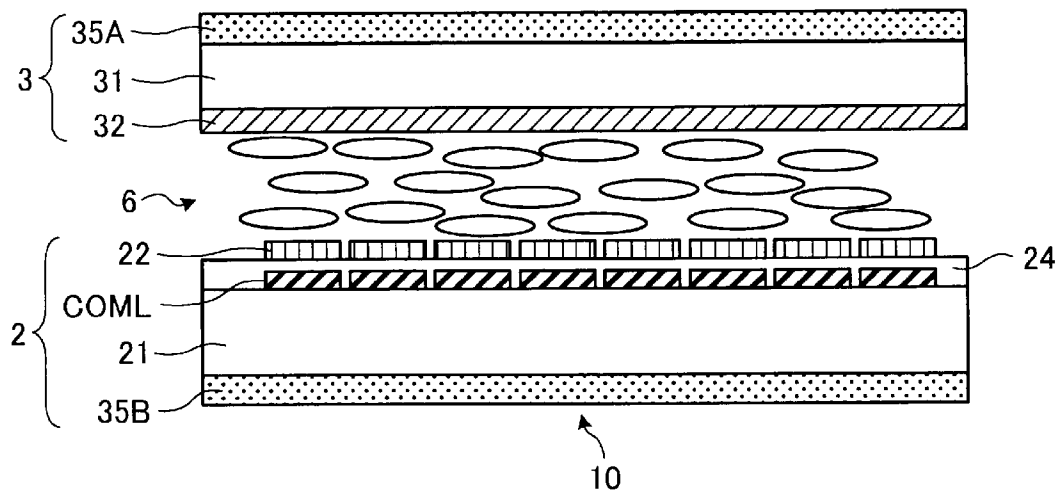
前記検出期間において、前記信号線をハイインピーダンスとする

請求項 1 から 6 の何れか一項に記載の表示装置。

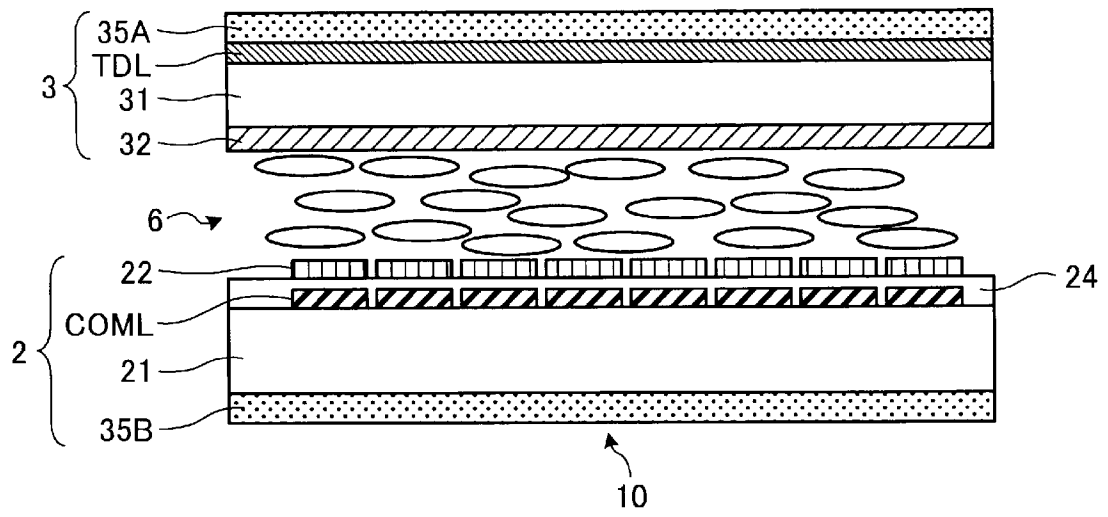
[図1]



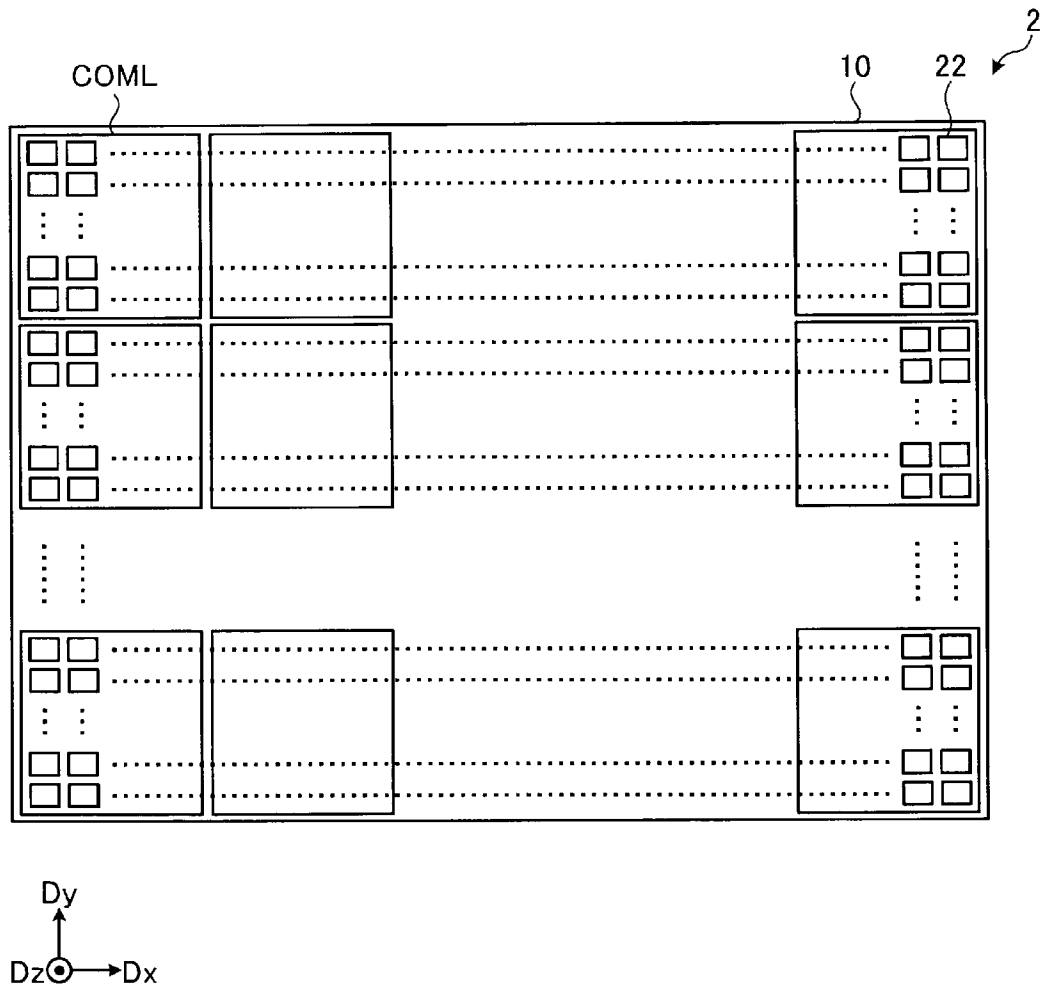
[図2]



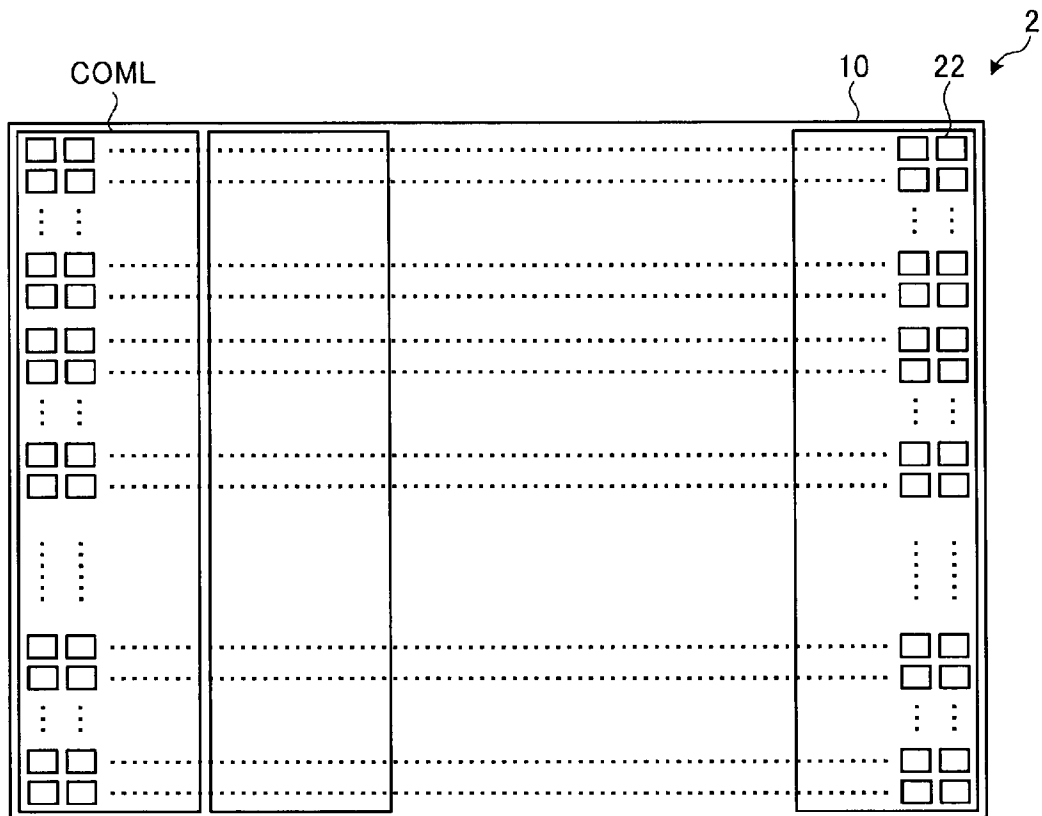
[図3]



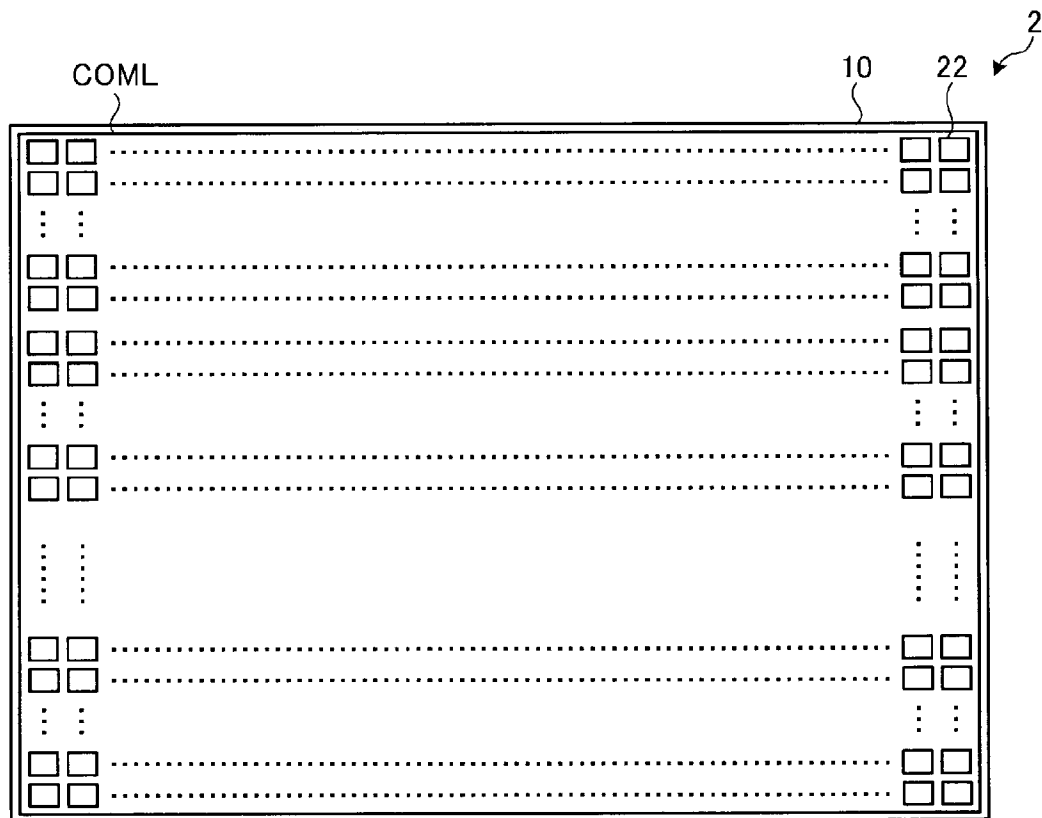
[図4A]



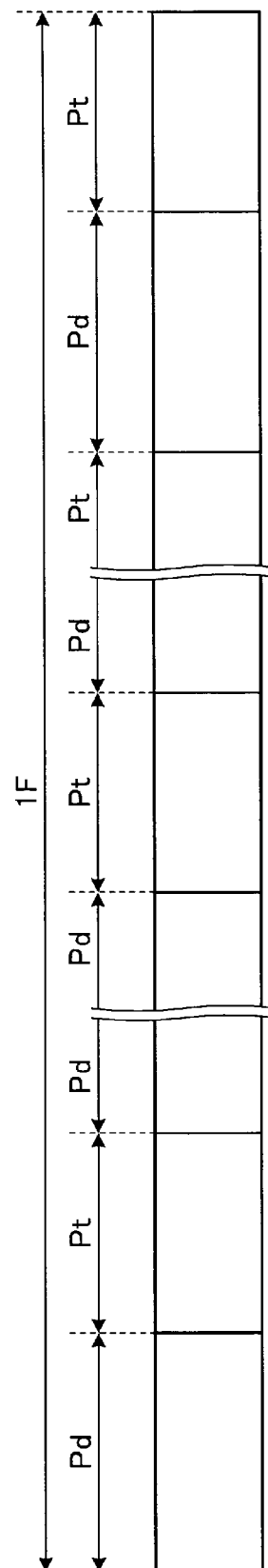
[図4B]



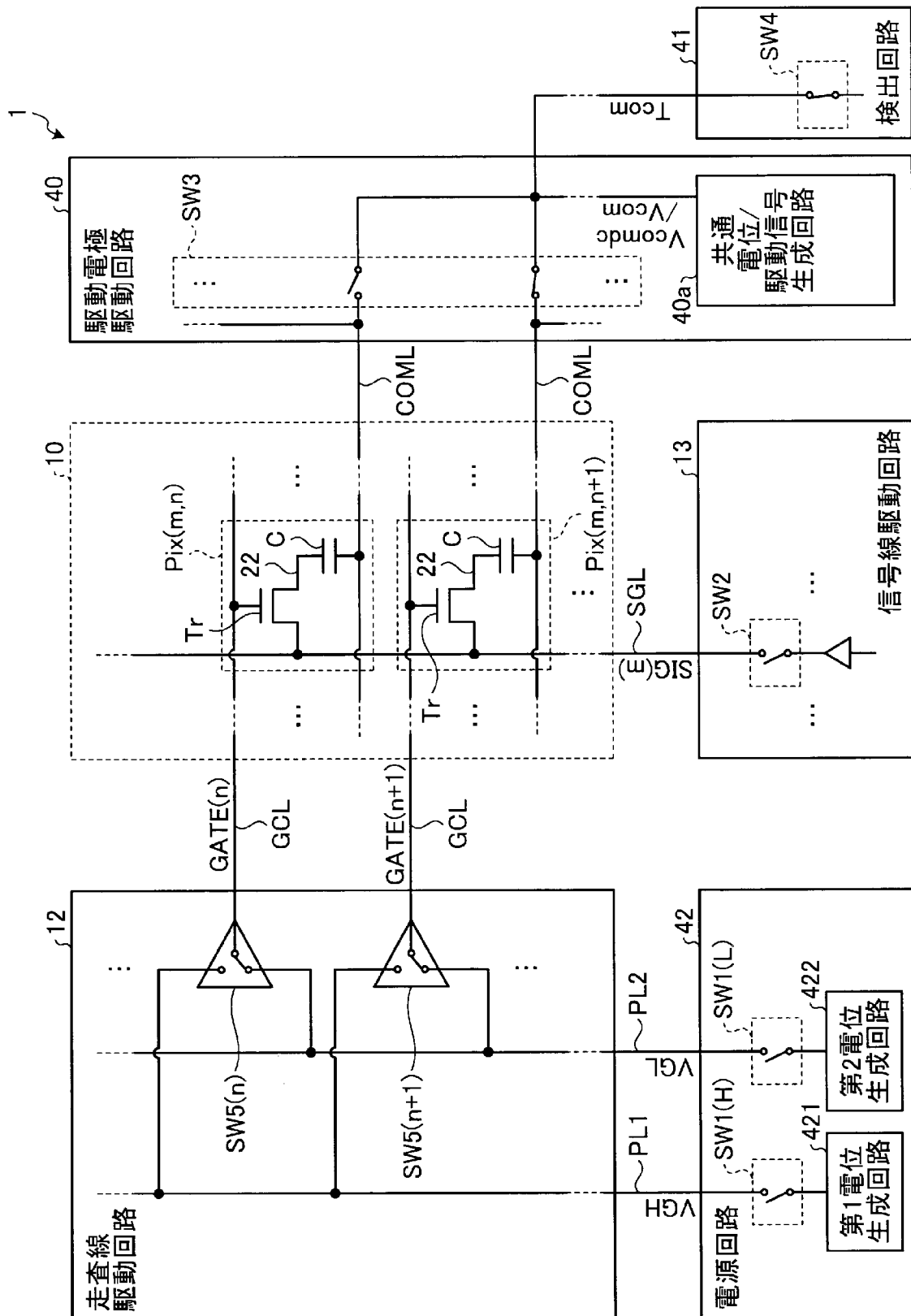
[図4C]



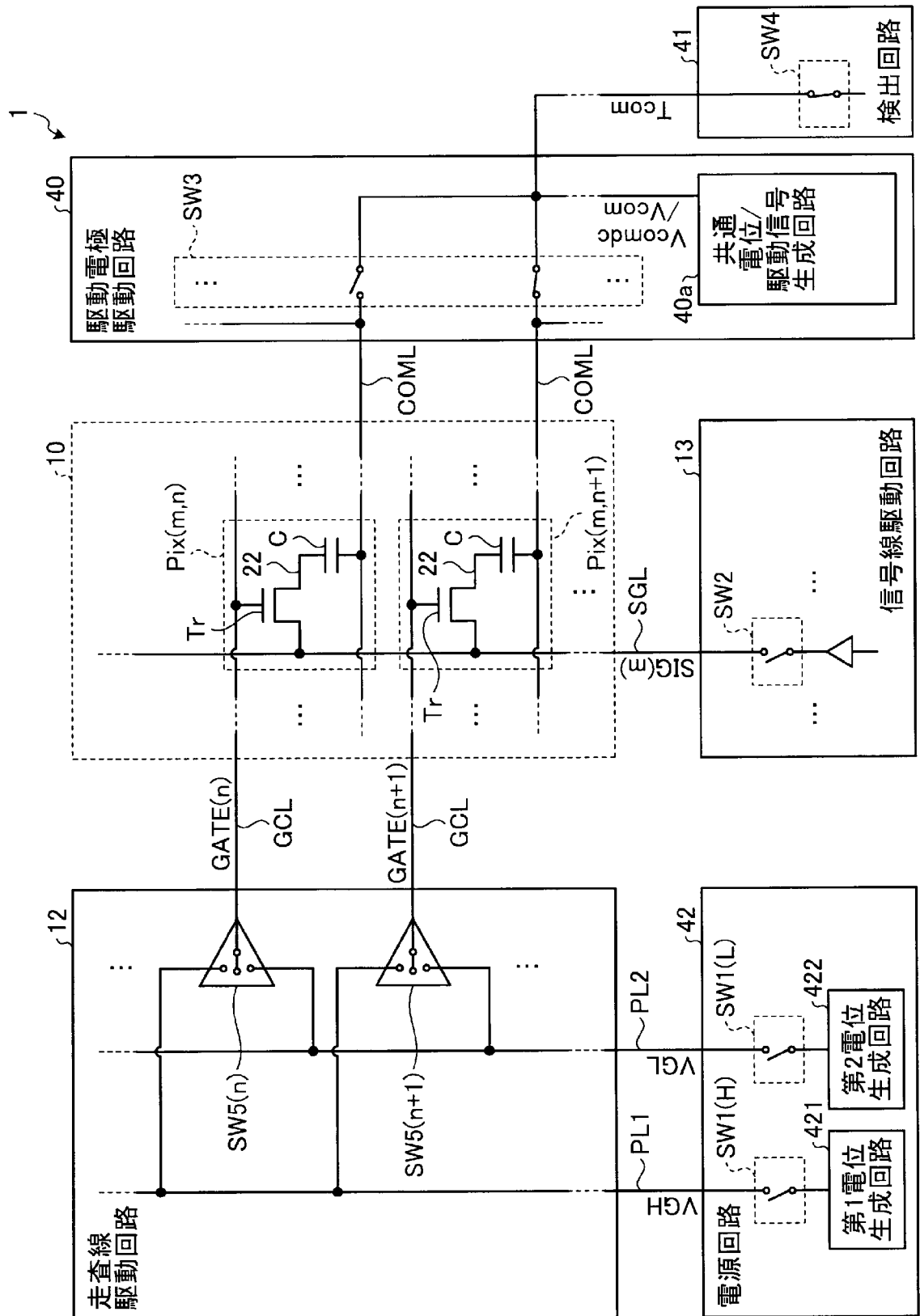
[図5]



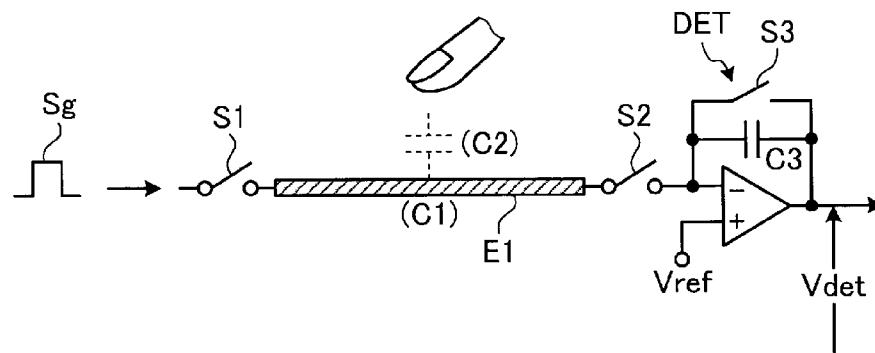
[図6B]



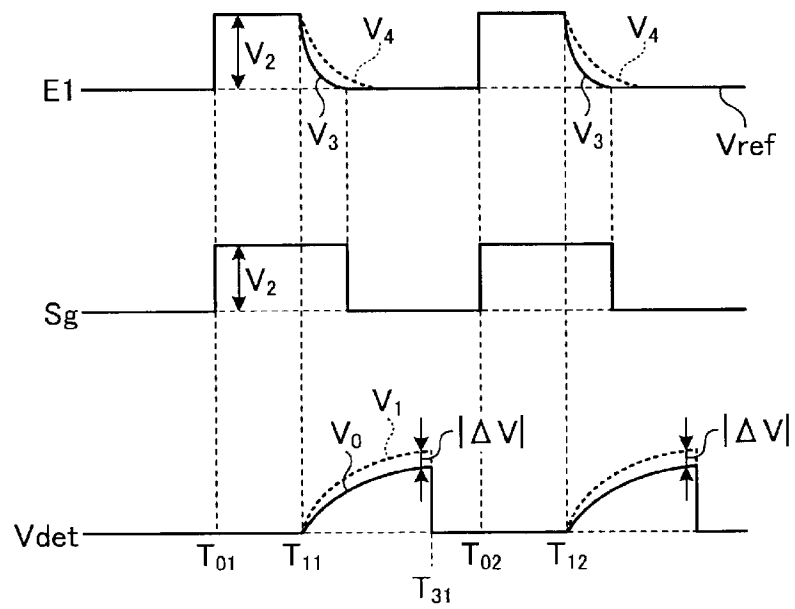
[図6C]



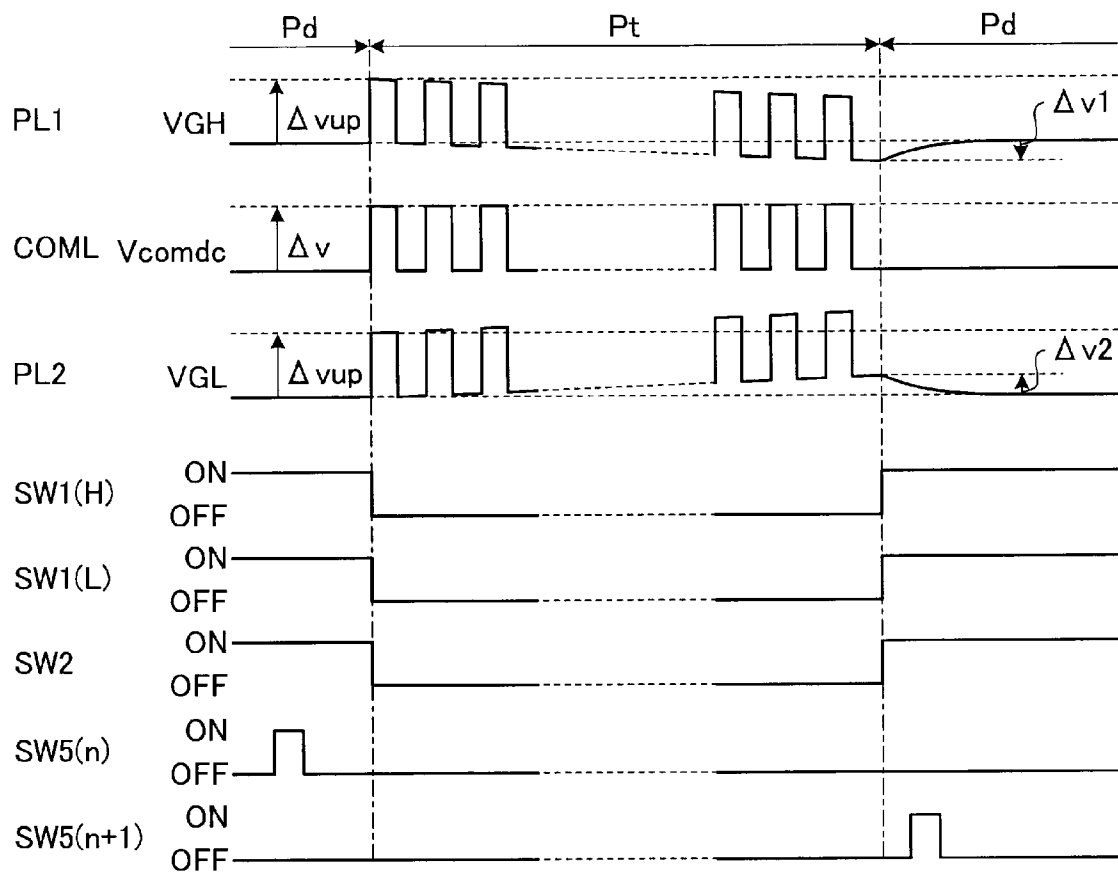
[図7]



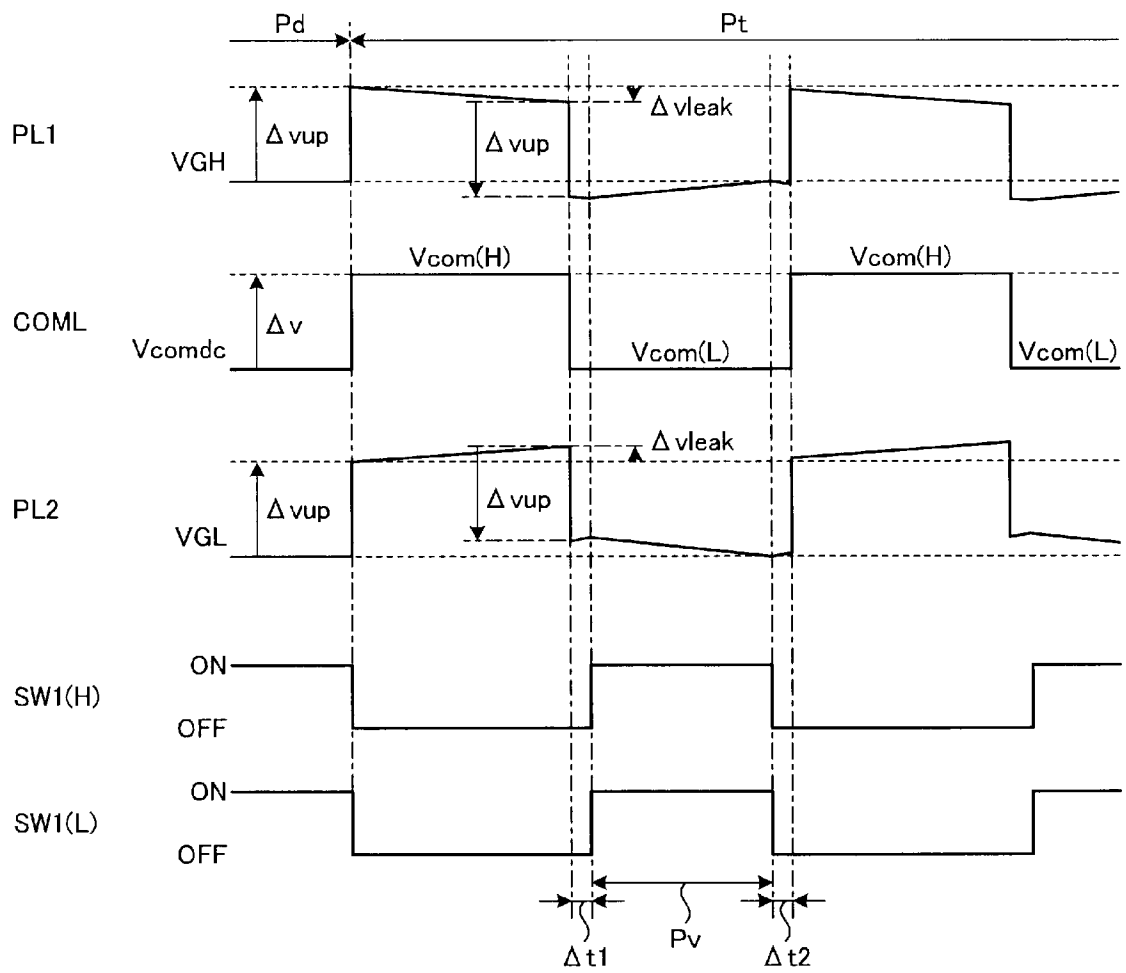
[図8]



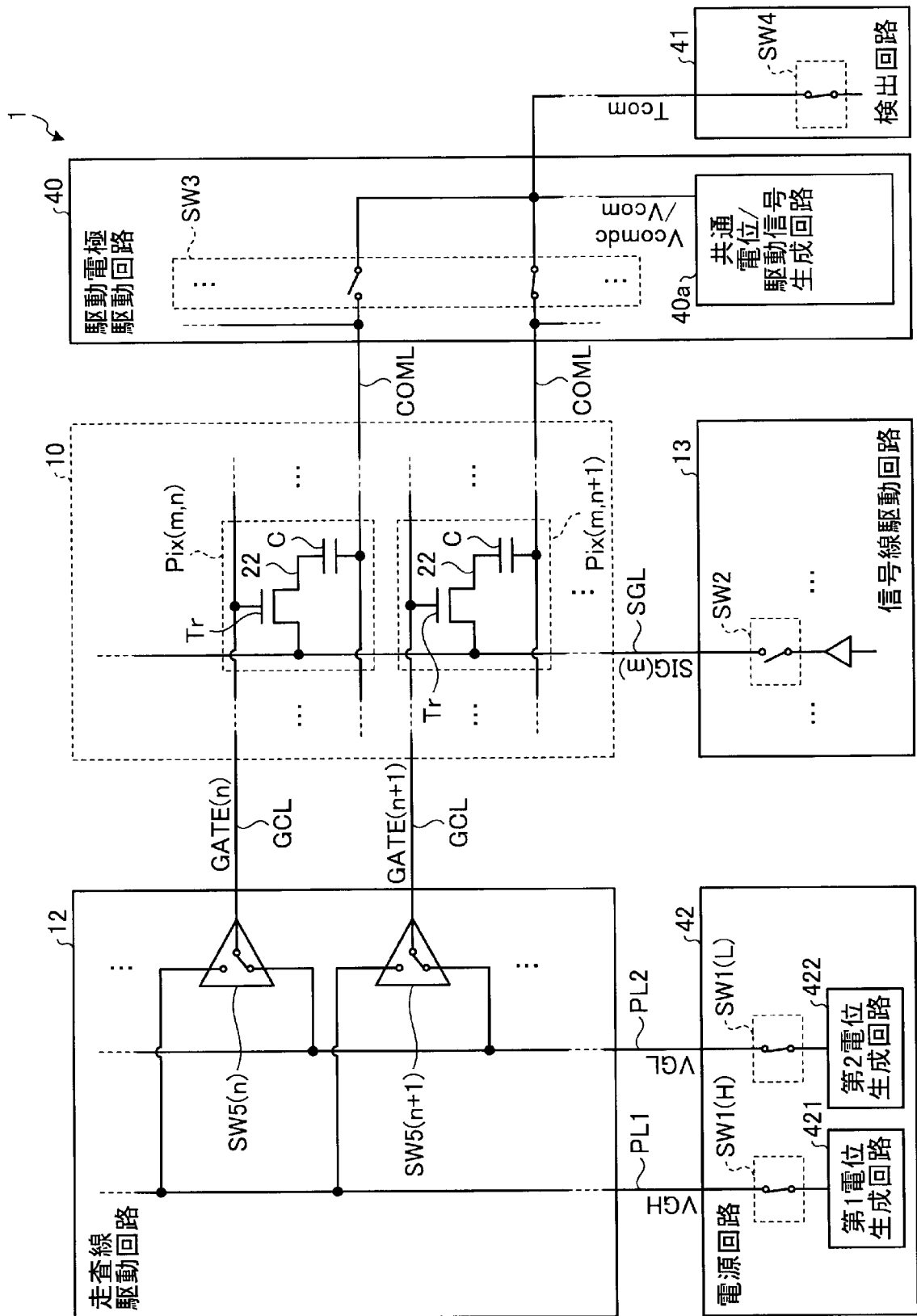
[図9]



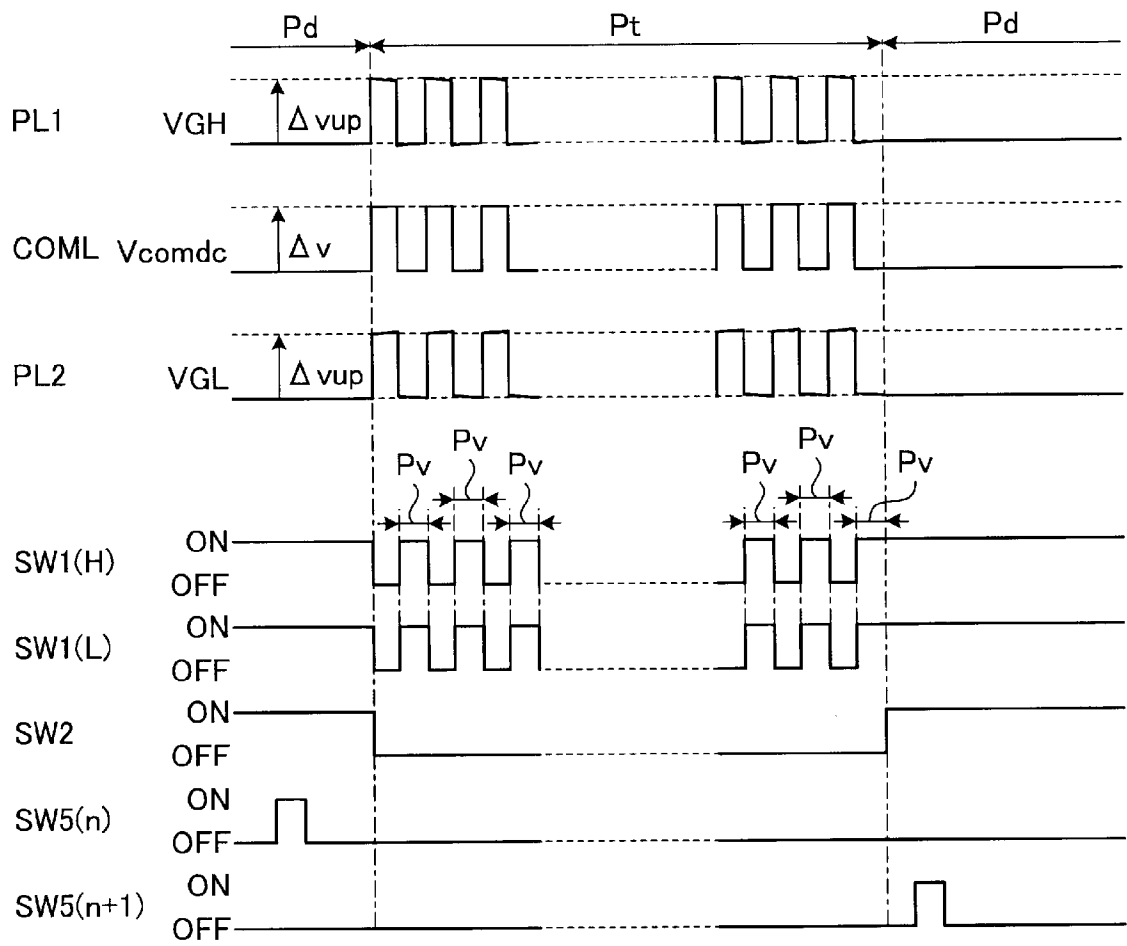
[図10]



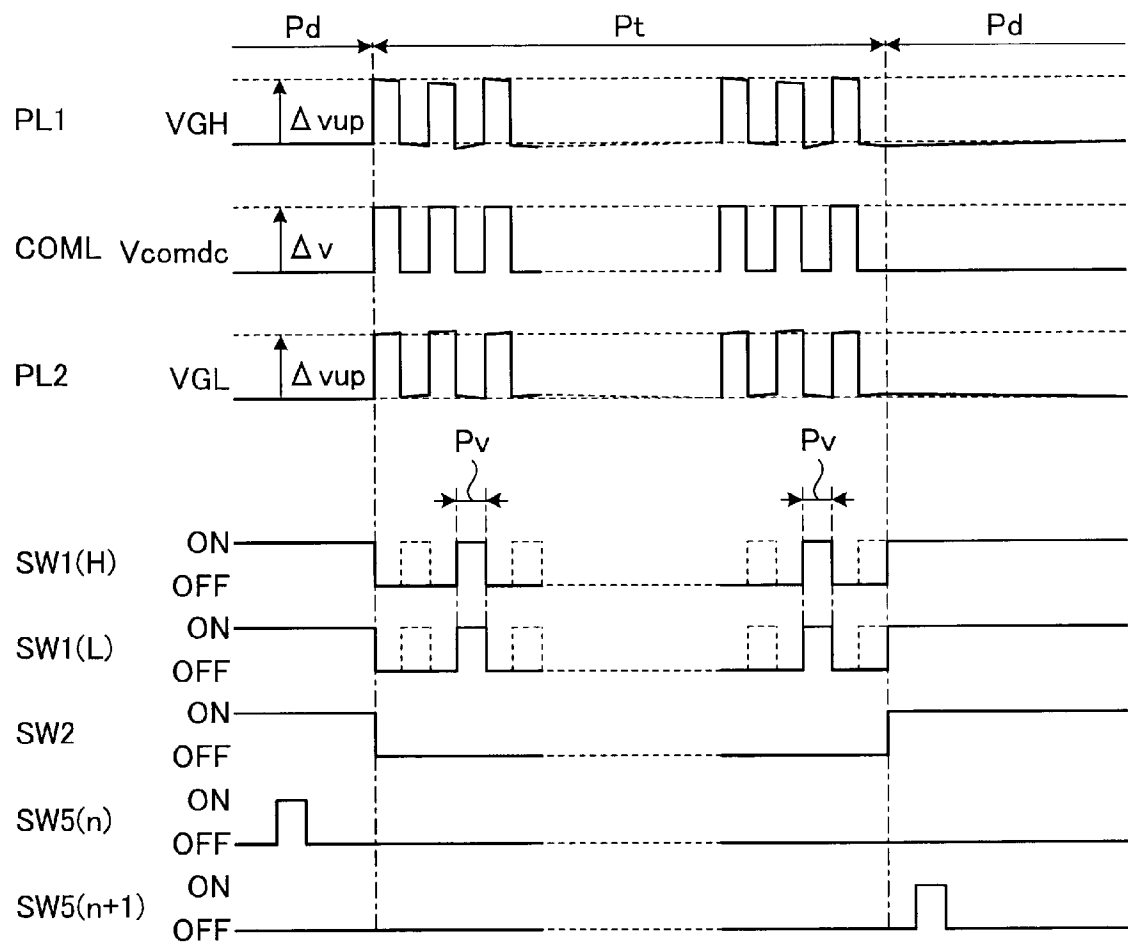
[図11]



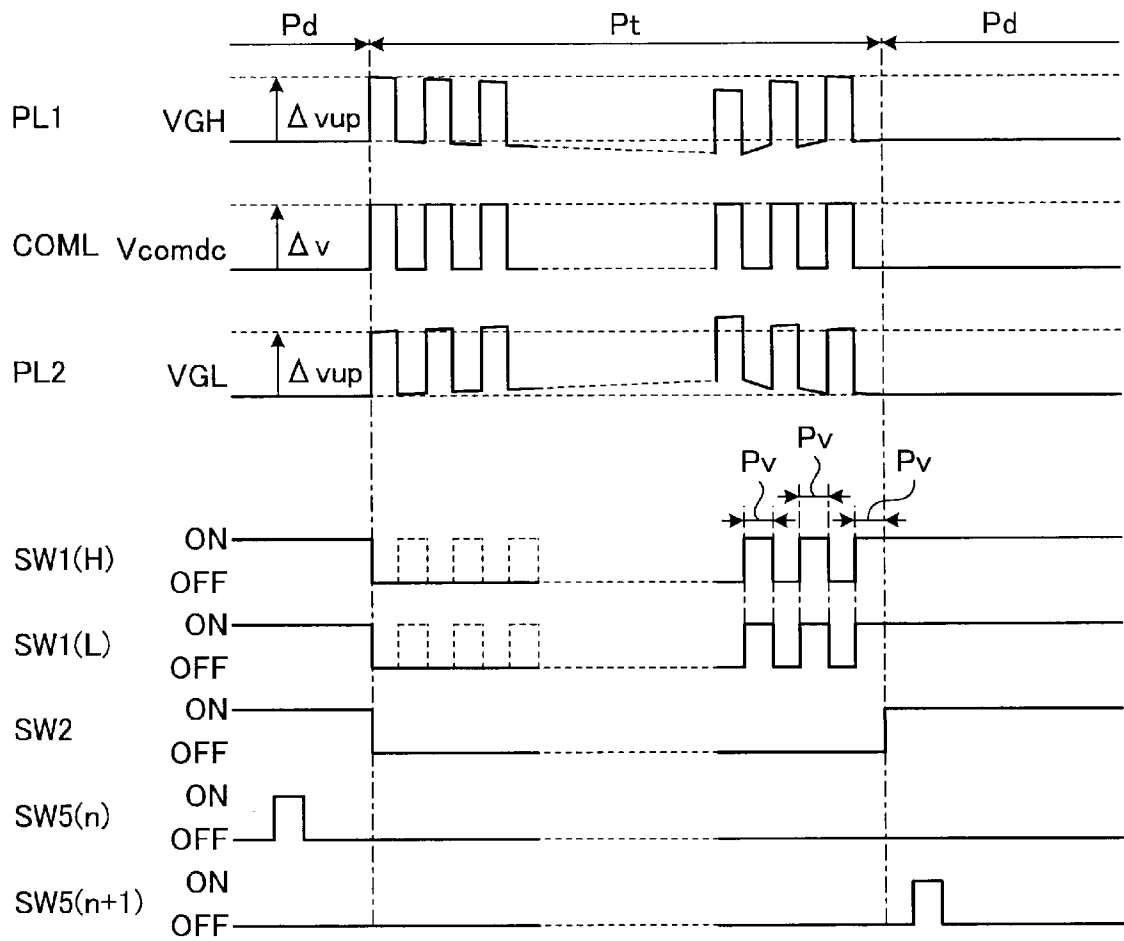
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/010416

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i; G02F 1/133(2006.01)i; G09G 3/20(2006.01)i
FI: G09G3/36; G02F1/133 520; G02F1/133 550; G09G3/20 621A; G09G3/20 621K; G09G3/20 622D; G09G3/20 624D; G09G3/20 642A; G09G3/20 691D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36; G02F1/133; G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-18156 A (JAPAN DISPLAY INC.) 01.02.2018 (2018-02-01) paragraphs [0009]-[0085], fig. 1-14	1-4, 7
X	JP 2014-209171 A (JAPAN DISPLAY INC.) 06.11.2014 (2014-11-06) paragraphs [0012]-[0050], [0096]-[0104], fig. 1-9, 22-25	1-2
Y	paragraphs [0012]-[0050], [0096]-[0104], fig. 1-9, 22-25	6-7
Y	JP 2018-206083 A (JAPAN DISPLAY INC.) 27.12.2018 (2018-12-27) paragraph [0075]	6-7
A	KR 10-2017-0105179 A (LG DISPLAY CO., LTD.) 19.09.2017 (2017-09-19) entire text, all drawings	1-7
A	US 2017/0090621 A1 (LG DISPLAY CO., LTD.) 30.03.2017 (2017-03-30) entire text, all drawings	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 May 2020 (29.05.2020)

Date of mailing of the international search report
09 June 2020 (09.06.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application no.
PCT/JP2020/010416

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-18156 A	01 Feb. 2018	US 2018/0024678 A1 paragraphs [0047]- [0131], fig. 1-14 CN 107656658 A	
JP 2014-209171 A	06 Nov. 2014	US 2014/0292711 A1 paragraphs [0061]- [0098], [0152]- [0156], fig. 1-9, 22- 25 CN 104076996 A KR 10-2014-0117284 A TW 201447682 A	
JP 2018-206083 A	27 Dec. 2018	US 2018/0348950 A1 paragraph [0112]	
KR 10-2017-0105179 A	19 Sep. 2017	(Family: none)	
US 2017/0090621 A1	30 Mar. 2017	EP 3147762 A1 KR 10-2017-0037190 A CN 106557194 A TW 201712499 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/36(2006.01)i; G02F 1/133(2006.01)i; G09G 3/20(2006.01)i FI: G09G3/36; G02F1/133 520; G02F1/133 550; G09G3/20 621A; G09G3/20 621K; G09G3/20 622D; G09G3/20 624D; G09G3/20 642A; G09G3/20 691D		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/36; G02F1/133; G09G3/20 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-18156 A (株式会社ジャパンディスプレイ) 01.02.2018 (2018-02-01) 段落0009-0085, 図1-14	1-4, 7
X	JP 2014-209171 A (株式会社ジャパンディスプレイ) 06.11.2014 (2014-11-06) 段落0012-0050, 0096-0104, 図1-9, 22-25	1-2
Y	段落0012-0050, 0096-0104, 図1-9, 22-25	6-7
Y	JP 2018-206083 A (株式会社ジャパンディスプレイ) 27.12.2018 (2018-12-27) 段落0075	6-7
A	KR 10-2017-0105179 A (LG DISPLAY CO., LTD.) 19.09.2017 (2017-09-19) 全文, 全図	1-7
A	US 2017/0090621 A1 (LG DISPLAY CO., LTD.) 30.03.2017 (2017-03-30) 全文, 全図	1-7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 29.05.2020		国際調査報告の発送日 09.06.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 武田 悟 21 9307 電話番号 03-3581-1101 内線 3273

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/010416

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-18156	A	01.02.2018	US 2018/0024678 A1 段落0047-0131, 図1-14 CN 107656658 A	
JP	2014-209171	A	06.11.2014	US 2014/0292711 A1 段落0061-0098, 0152-0156, 図1-9, 22-25 CN 104076996 A KR 10-2014-0117284 A TW 201447682 A	
JP	2018-206083	A	27.12.2018	US 2018/0348950 A1 段落0112	
KR	10-2017-0105179	A	19.09.2017	(ファミリーなし)	
US	2017/0090621	A1	30.03.2017	EP 3147762 A1 KR 10-2017-0037190 A CN 106557194 A TW 201712499 A	