

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6247476号
(P6247476)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.

F 1

G09F 9/30 (2006.01)
H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
G02F 1/1368 (2006.01)

GO 9 F 9/30 3 3 8
H0 1 L 29/78 6 1 8 B
H0 1 L 29/78 6 1 2 Z
G0 2 F 1/1368

請求項の数 8 (全 72 頁)

(21) 出願番号 特願2013-176255 (P2013-176255)
(22) 出願日 平成25年8月28日 (2013.8.28)
(65) 公開番号 特開2014-199403 (P2014-199403A)
(43) 公開日 平成26年10月23日 (2014.10.23)
審査請求日 平成28年8月9日 (2016.8.9)
(31) 優先権主張番号 特願2012-188010 (P2012-188010)
(32) 優先日 平成24年8月28日 (2012.8.28)
(33) 優先権主張国 日本国 (JP)
(31) 優先権主張番号 特願2013-53989 (P2013-53989)
(32) 優先日 平成25年3月15日 (2013.3.15)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 三宅 博之
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
審査官 中村 直行

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

画素は、

第1の導電膜及び第2の導電膜と、

前記第1の導電膜及び前記第2の導電膜上の、第1の絶縁膜と、

前記第1の絶縁膜上の、第1の酸化物半導体膜と、

前記第1の絶縁膜上の、第2の酸化物半導体膜と、

前記第1の酸化物半導体膜と電気的に接続された、ソース電極と、

前記第1の酸化物半導体膜と電気的に接続された、ドレイン電極と、

前記ソース電極、前記ドレイン電極、及び前記第2の酸化物半導体膜上の、第2の絶縁膜と、

前記第2の絶縁膜上の、第3の絶縁膜と、

前記第3の絶縁膜上の、画素電極と、を有し、

前記第1の酸化物半導体膜は、前記第1の導電膜と重なる領域を有し、

前記第1の導電膜及び前記第2の導電膜は、それぞれ、窒素と、インジウムと、を有し

前記第1の導電膜は、ゲート電極として機能する領域を有し、

前記第1の絶縁膜は、ゲート絶縁膜として機能する領域を有し、

前記第2の酸化物半導体膜は、前記第1の絶縁膜の開口部を介して、前記第2の導電膜と接する領域を有し、

10

20

前記画素電極は、前記第2の絶縁膜の開口部及び前記第3の絶縁膜の開口部を介して、前記ソース電極又は前記ドレイン電極と電気的に接続され、

前記画素電極は、前記第2の酸化物半導体膜と重なる第1の領域を有し、

前記第1の領域は、容量素子として機能することを特徴とする半導体装置。

【請求項2】

画素は、

第1の導電膜及び第2の導電膜と、

前記第1の導電膜及び前記第2の導電膜上の、第1の絶縁膜と、

前記第1の絶縁膜上の、第1の酸化物半導体膜と、

前記第1の絶縁膜上の、第2の酸化物半導体膜と、

10

前記第1の酸化物半導体膜と電気的に接続された、ソース電極と、

前記第1の酸化物半導体膜と電気的に接続された、ドレイン電極と、

前記ソース電極、前記ドレイン電極、及び前記第2の酸化物半導体膜上の、第2の絶縁膜と、

前記第2の絶縁膜上の、第3の絶縁膜と、

前記第3の絶縁膜上の、画素電極と、を有し、

前記第1の酸化物半導体膜は、前記第1の導電膜と重なる領域を有し、

前記第1の導電膜及び前記第2の導電膜は、それぞれ、窒素と、インジウムと、を有し、

前記第1の導電膜は、ゲート電極として機能する領域を有し、

20

前記第1の絶縁膜は、ゲート絶縁膜として機能する領域を有し、

前記第2の酸化物半導体膜は、前記第1の絶縁膜の開口部を介して、前記第2の導電膜と接する領域を有し、

前記画素電極は、前記第2の絶縁膜の開口部及び前記第3の絶縁膜の開口部を介して、前記ソース電極又は前記ドレイン電極と電気的に接続され、

前記画素電極は、前記第2の酸化物半導体膜と重なる第1の領域を有し、

前記第1の領域は、容量素子として機能し、

前記第1の領域は、前記ソース電極と重ならず、

前記第1の領域は、前記ドレイン電極と重ならないことを特徴とする半導体装置。

【請求項3】

30

請求項1又は請求項2において、

x本(xは2以上の整数)の走査線と、

y本(yは1以上の整数)の信号線と、

前記m本(mは2以上x以下の整数)目の走査線と電気的に接続されたトランジスタと、を有し、

前記トランジスタは、前記第1の酸化物半導体膜を有し、

前記第2の導電膜は、前記m-1本目の走査線として機能することを特徴とする半導体装置。

【請求項4】

40

請求項1乃至請求項3のいずれか一において、

前記第2の絶縁膜は、前記第1の酸化物半導体膜と接する領域を有し、

前記第2の絶縁膜は、酸化絶縁膜を有し、

前記第3の絶縁膜は、窒化絶縁膜を有することを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記第2の酸化物半導体膜は、前記第1の酸化物半導体膜よりも導電率が高い領域を有することを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記第2の酸化物半導体膜は、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、イ

50

ンジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上が含まれていることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 請求項 6 のいずれか一において、

前記第 1 の導電膜及び前記第 2 の導電膜は、それぞれ、窒素と、インジウムと、ガリウムと、亜鉛と、を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 請求項 7 のいずれか一において、

前記第 1 の導電膜及び前記第 2 の導電膜は、それぞれ、前記第 1 の酸化物半導体膜より高い窒素濃度を有することを特徴とする半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書などで開示する発明は半導体装置に関する。

【背景技術】

【0002】

近年、液晶ディスプレイ (Liquid Crystal Display) などのフラットパネルディスプレイが広く普及してきている。フラットパネルディスプレイなどの表示装置において、行方向及び列方向に配設された画素内には、スイッチング素子であるトランジスタと、当該トランジスタと電気的に接続された液晶素子と、当該液晶素子と並列に接続された容量素子とが設けられている。

20

【0003】

当該トランジスタの半導体膜を構成する半導体材料としては、アモルファス（非晶質）シリコン又はポリ（多結晶）シリコンなどのシリコン半導体が汎用されている。

【0004】

また、半導体特性を示す金属酸化物（以下、酸化物半導体と記す。）は、トランジスタの半導体膜に適用できる半導体材料である。例えば、酸化亜鉛又はIn-Ga-Zn系酸化物半導体を用いて、トランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

容量素子は一対の電極の間に誘電体膜が設けられており、一対の電極のうち、少なくとも一方の電極は、トランジスタを構成するゲート電極、ソース電極又はドレイン電極などを構成する、遮光性を有する導電膜で形成されていることが多い。

40

【0007】

また、容量素子の容量値を大きくするほど、電界を加えた状況において、液晶素子の液晶分子の配向を一定に保つことができる期間を長くすることができる。静止画を表示させる表示装置において、当該期間を長くできることは、画像データを書き換える回数を低減することができ、消費電力の低減が望める。

【0008】

容量素子の電荷容量を大きくするためには、容量素子の占有面積を大きくする、具体的には一対の電極が重畳している面積を大きくするという手段がある。しかしながら、上記表示装置において、一対の電極が重畳している面積を大きくするために遮光性を有する導電膜の面積を大きくすると、画素の開口率が低減し、画像の表示品位が低下する。

50

【0009】

そこで、本発明の一態様は、開口率が高く、且つ電荷容量を増大させることが可能な容量素子を有する半導体装置を提供することを課題の一とする。また、開口率が高く、且つ電荷容量を増大させることが可能な容量素子を有し、消費電力を低減した半導体装置を提供することを課題の一とする。

【課題を解決するための手段】**【0010】**

本発明の一態様は、行方向及び列方向に配設された画素にトランジスタと、透光性を有する容量素子とが設けられており、当該容量素子を構成する一対の電極のうち一方の電極が、行方向に隣接する画素を構成する走査線と電気的に接続されていることを特徴とする半導体装置である。10

【0011】

当該容量素子の一方の電極は、透光性を有する半導体膜で形成することができる。例えば、透光性を有する半導体膜は、エネルギーギャップが 3.0 eV 以上と大きく、可視光に対する透過率が大きい半導体の酸化物半導体を用いて形成することができる。

【0012】

また、透光性を有する容量素子は、トランジスタの形成工程を利用することで形成できる。容量素子の一方の電極は、トランジスタの半導体膜を形成する工程を利用できる。トランジスタの半導体膜として酸化物半導体膜を用いることができ、適切な処理を行って形成した酸化物半導体膜を用いたトランジスタは極めてオフ電流が低いことから、このようにすることで半導体装置の消費電力を低減することができる。20

【0013】

上記より、本発明の一態様は、 x 本 (x は 2 以上の整数) の走査線及び y 本 (y は 1 以上の整数) の信号線によって構成された画素と、画素に設けられた透光性を有する半導体膜を含むトランジスタと、画素に設けられ、一対の電極の間に誘電体膜が設けられ、且つトランジスタと電気的に接続された容量素子と、を有し、 $m - 1$ 本 (m は 2 以上 x 以下の整数) 目の走査線及び m 本目の走査線の間に設けられた容量素子において、トランジスタの透光性を有する半導体膜と同一表面上に形成される半導体膜は、一対の電極の一方の電極として機能し、且つ $m - 1$ 本目の走査線と電気的に接続されていることを特徴とする半導体装置である。30

【0014】

さらに、容量素子の誘電体膜は、トランジスタの半導体膜上に設けられる絶縁膜を形成する工程を利用して形成することができ、容量素子の他方の電極は、トランジスタと電気的に接続される画素電極を形成する工程を利用して形成することができる。

【0015】

つまり、本発明の一態様である半導体装置は、上記半導体装置において、トランジスタと電気的に接続された画素電極を有し、画素電極は、一対の電極の他方の電極として機能し、トランジスタの透光性を有する半導体膜上に設けられた絶縁膜は、誘電体膜として機能することを特徴とする半導体装置である。

【0016】

このようにすることで、容量素子は透光性を有するため、画素内のトランジスタが形成される箇所以外の領域に大きく(大面積に)形成することができる。従って、本発明の一態様によって、開口率を高めつつ、電荷容量を増大させた半導体装置を得ることができる。また、開口率を向上することによって表示品位の優れた半導体装置を得ることができる。そして、本発明の一態様である半導体装置は、行方向に隣接された画素を構成する走査線が、容量素子の一方の電極に電位を供給する配線(容量線)としても機能する。それゆえ、画素に容量線を別途設けない構成とするために、従来の半導体装置よりもさらに画素の開口率を高めることができる。40

【0017】

上記半導体装置において、トランジスタの半導体膜上に設けられる絶縁膜を酸化絶縁膜

10

20

30

40

50

及び窒化絶縁膜の積層構造とすることで、容量素子の誘電体膜を酸化絶縁膜及び窒化絶縁膜の積層構造とすることができます。

【0018】

また、トランジスタの半導体膜上に設けられる絶縁膜を酸化絶縁膜及び窒化絶縁膜の積層構造とする場合、容量素子上の領域のみ当該酸化絶縁膜を除去することで、容量素子の誘電体膜を当該窒化絶縁膜のみの単層構造にすることができる。別言すると、当該窒化絶縁膜は容量素子の一方の電極として機能する酸化物半導体膜に接する。窒化絶縁膜と酸化物半導体膜が接することで、当該窒化絶縁膜と当該酸化物半導体膜の界面に欠陥準位（界面準位）が形成される。または／及び、窒化絶縁膜をプラズマCVD法またはスパッタリング法で成膜すると、当該半導体膜がプラズマに曝され、酸素欠損が生成される。更には、当該窒化絶縁膜に含まれる窒素又は／及び水素が当該半導体膜に移動する。欠陥準位または酸素欠損に窒化絶縁膜に含まれる水素が入ることで、キャリアである電子が生成される。この結果、当該半導体膜は、導電率が増大し、n型となり、導電性を有する膜となる。当該酸化物半導体膜の導電性を増大させることで、当該酸化物半導体膜を容量素子の一方の電極として十分且つ容易に機能させることができる。また、誘電体膜の厚さを薄くすることが可能であるため、容量素子の電荷容量を増大させることができる。10

【0019】

上記より、本発明の一態様は、 x 本（ x は2以上の整数）の走査線及び y 本（ y は1以上の整数）の信号線によって構成された画素と、画素に設けられた透光性を有する半導体膜を含むトランジスタと、画素に設けられ、一対の電極の間に誘電体膜が設けられた容量素子と、を有し、トランジスタにおいて、透光性を有する半導体膜上には酸化絶縁膜及び窒化絶縁膜の積層構造である絶縁膜が設けられており、 $m - 1$ 本（ m は2以上 x 以下の整数）目の走査線及び m 本目の走査線の間に設けられた容量素子において、トランジスタの透光性を有する半導体膜と同一表面上に形成される半導体膜は、一対の電極の一方の電極として機能し、且つ $m - 1$ 本目の走査線と電気的に接続されており、当該絶縁膜の窒化絶縁膜は、誘電体膜として機能することを特徴とする半導体装置である。20

【0020】

また、上記半導体装置においても、トランジスタと電気的に接続された画素電極は、一対の電極の他方の電極として機能する。

【0021】

容量素子において、一方の電極として機能する酸化物半導体膜は、容量線として機能する隣接する画素を構成する走査線と直接接して設けることで電気的に接続することができる。また、一方の電極として機能する酸化物半導体膜は、トランジスタのソース電極又はドレイン電極を形成する工程で形成される導電膜を用いて当該走査線と電気的に接続させることができる。30

【0022】

特に、当該導電膜は、一方の電極として機能する酸化物半導体膜の端部に接して設けてもよく、例えば、当該酸化物半導体膜の外周に沿って接して設けることができる。このようにすることで、当該酸化物半導体膜の導電性を増大させることができる。当該酸化物半導体膜の導電性を増大させることで、当該酸化物半導体膜を容量素子の一方の電極として容易に機能させることができる。40

【0023】

上記半導体装置において、容量素子の一方の電極として機能する酸化物半導体膜は、n型とし、導電率を増大させることができが好ましい。つまり、容量素子の一方の電極は、n型であり、トランジスタの酸化物半導体膜と同一表面上に形成され、且つ当該酸化物半導体膜よりも導電率が高い領域を有する酸化物半導体膜であることが好ましい。このようにすることで、当該酸化物半導体膜を容量素子の一方の電極として十分且つ容易に機能させることができる。また、容量素子を動作させる期間において常に安定して当該容量素子を動作させることができる。

【0024】

酸化物半導体膜をn型とし、導電率を増大させるためには、例えば、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上の元素を当該酸化物半導体膜に添加することが好ましい。なお、上記元素を当該酸化物半導体膜に添加する方法としては、イオン注入法又はイオンドーピング法などがあり、当該酸化物半導体膜を上記元素を含むプラズマに曝すことでも上記元素を添加することができる。この場合、容量素子の一方の電極として機能する酸化物半導体膜の導電率は、10S/cm以上1000S/cm以下、好ましくは100S/cm以上1000S/cm以下とする。

【0025】

なお、上記半導体装置のように、容量素子において、一方の電極として機能する酸化物半導体膜に窒化絶縁膜が接する構造とすることで、イオン注入法又はイオンドーピング法など、上記元素を添加する工程を省略することができ、半導体装置の歩留まりを向上させ、作製コストを低減することができる。10

【0026】

上記半導体装置において、トランジスタの酸化物半導体膜上に設けられる絶縁膜を、酸化絶縁膜及び窒化絶縁膜の積層構造とする場合、当該酸化絶縁膜は窒素を透過させにくい、すなわち窒素に対するバリア性を有していることが好ましい。

【0027】

このようにすることで、トランジスタの酸化物半導体膜に窒素が拡散することを抑制でき、トランジスタの電気特性変動を抑制することができる。従って、半導体装置の信頼性を向上させることができる。20

【0028】

なお、本発明の一態様である半導体装置を作製する作製方法についても本発明の一態様に含まれる。

【発明の効果】

【0029】

本発明の一態様より、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を提供することができる。また、開口率が高く、電荷容量を大きくした容量素子を有し、消費電力を低減した半導体装置を提供することができる。

【図面の簡単な説明】

【0030】

【図1】半導体装置を示す図、及び画素の回路図。

【図2】半導体装置に含まれる容量素子の電圧と容量の関係を示す図。

【図3】半導体装置に含まれる容量素子の動作方法を説明するためのタイミングチャート。

【図4】半導体装置に含まれる容量素子の動作方法を説明する図。

【図5】半導体装置を示す上面図。

【図6】半導体装置を示す断面図。

【図7】半導体装置の作製方法を示す断面図。

【図8】半導体装置の作製方法を示す断面図。

【図9】半導体装置を示す上面図。

【図10】半導体装置を示す断面図。

【図11】半導体装置を示す上面図。

【図12】半導体装置を示す上面図。

【図13】半導体装置を示す断面図。

【図14】半導体装置を示す上面図。

【図15】半導体装置に適用できるトランジスタを示す断面図。

【図16】半導体装置に適用できるトランジスタを示す断面図。

【図17】半導体装置に適用できるトランジスタを示す断面図。

【図18】半導体装置を示す上面図。

30

40

50

- 【図19】半導体装置を示す断面図。
- 【図20】半導体装置の作製方法を示す断面図。
- 【図21】半導体装置の作製方法を示す断面図。
- 【図22】半導体装置を示す断面図。
- 【図23】半導体装置を示す上面図。
- 【図24】半導体装置を示す断面図。
- 【図25】半導体装置の作製方法を示す断面図。
- 【図26】半導体装置の作製方法を示す断面図。
- 【図27】半導体装置に適用できるトランジスタを示す断面図。
- 【図28】半導体装置を示す上面図。 10
- 【図29】半導体装置を示す断面図。
- 【図30】半導体装置の走査線駆動回路の一部を示す上面図及び断面図。
- 【図31】半導体装置の共通接続部を示す上面図及び断面図。
- 【図32】半導体装置を用いた電子機器を説明する図。
- 【図33】半導体装置を用いた電子機器を説明する図。
- 【図34】試料構造を説明する図。
- 【図35】シート抵抗を説明する図。
- 【図36】SIMSの測定結果を説明する図。
- 【図37】ESRの測定結果を説明する図。
- 【図38】ESRの測定結果を説明する図。 20
- 【図39】シート抵抗を説明する図。
- 【図40】シート抵抗を説明する図。
- 【図41】InGaN_{0.4}結晶のバルクモデルを説明する図。
- 【図42】V_{OH}の形成エネルギー及び熱力学的遷移レベルを説明する図。
- 【発明を実施するための形態】**
- 【0031】**
- 以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。 30
- 【0032】**
- 以下に説明する本発明の構成において、同一部分又は同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。
- 【0033】**
- 本明細書で説明する各図において、各構成の大きさ、膜の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。
- 【0034】**
- 本明細書などにおいて、第1、第2等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書などにおいて発明を特定するための事項として固有の名称を示すものではない。 40
- 【0035】**
- また、本発明における「ソース」及び「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」及び「ドレイン」の用語は、入れ替えて用いることができるものとする。
- 【0036】**
- また、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差 50

のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてよいし、電圧を電位と読み替えてよいこととする。

【0037】

本明細書において、フォトリソグラフィ処理を行った後にエッチング処理を行う場合は、フォトリソグラフィ処理で形成したマスクは除去するものとする。

【0038】

(実施の形態1)

本実施の形態では、本発明の一態様である半導体装置について、図面を用いて説明する。なお、本実施の形態では、液晶表示装置を例にして本発明の一態様である半導体装置を説明する。

10

【0039】

<半導体装置の構成>

図1(A)に、半導体装置の一例を示す図を示す。図1(A)に示す半導体装置は、画素部100と、走査線駆動回路104と、信号線駆動回路106と、各々が平行又は略平行に配設され、且つ走査線駆動回路104によって電位が制御されるx本の走査線107と、各々が平行又は略平行に配設され、且つ信号線駆動回路106によって電位が制御されるy本の信号線109と、を有する。なお、xは2以上の整数であり、yは1以上の整数である。

【0040】

20

画素部100には、x本の走査線107及びy本の信号線109のそれぞれによって構成された画素101が、行方向及び列方向に配設されている。つまり、画素部100はマトリクス状(x行y列)に配設された画素101を有する。また、本明細書及び図面などにおいて、m本目の走査線を走査線107_mと示し、n本目の信号線を信号線109_nと示し、走査線107_m及び信号線109_nの交差した領域に設けられた画素を画素101(m,n)と示す。mは2以上x以下の整数であり、nは1以上y以下の整数である。

【0041】

走査線107_mは、m行に配設された画素101と電気的に接続されている。また、信号線109_nは、n列に配設された画素101と電気的に接続されている。

30

【0042】

また、m行に配設された画素101は、行方向に隣接した画素を構成している走査線とも電気的に接続されている。具体的には、走査線107_m-1は、m-1行に配設された画素101、及びm行に配設された画素101と電気的に接続されている。

【0043】

図1(B)は、図1(A)に示す半導体装置における画素101(m,n)の回路図の一例である。図1(B)に示す画素101(m,n)は、走査線107_m及び信号線109_nと電気的に接続されたトランジスタ103と、一方の電極が走査線107_m-1と電気的に接続され、他方の電極がトランジスタ103と電気的に接続されている画素電極121である容量素子105と、画素電極121と対向して設けられる電極(対向電極)が対向電位を供給する配線に電気的に接続された液晶素子108と、を有する。

40

【0044】

画素101(m,n)において、走査線107_m-1は、容量素子105の一方の電極に電位を供給する配線(容量線)としても機能する。

【0045】

トランジスタ103に含まれる半導体膜は酸化物半導体膜とする。トランジスタのチャネル形成領域を有する半導体膜において、適切な条件にて処理した酸化物半導体膜を用いるとトランジスタのオフ電流を極めて低減することができる。従って、トランジスタ103はオフ電流が極めて低いトランジスタである。

【0046】

50

容量素子 105 は、一対の電極の間に誘電体膜が設けられており、透光性を有する容量素子である。容量素子 105 はトランジスタ 103 の形成工程を利用して形成することができる。容量素子 105 の一方の電極は、透光性を有する半導体膜、具体的には酸化物半導体膜 119 であり、加える電位を制御し、導通状態とさせることで一方の電極として機能する。酸化物半導体膜 119 は、トランジスタ 103 に含まれる酸化物半導体膜 111 の形成工程を利用して形成される酸化物半導体膜である。誘電体膜は、トランジスタ 103 に含まれる酸化物半導体膜 111 上に設けられる透光性を有する絶縁膜である。画素電極 121 は、容量素子 105 の他方の電極として機能する。従って、容量素子 105 は、MOS (Metal Oxide Semiconductor) キャパシタと見なすことができる。MOS キャパシタは、図 2 に示すようにしきい値電圧 (V_{th}) よりも高い電圧が MOS キャパシタを構成する電極の一方 (容量素子 105においては画素電極 121) に加わると充電される。なお、図 2において、横軸は画素電極に加わる電圧 (V) を表し、縦軸は容量 (C) を表す。また、CV 測定 (Capacitance-Voltage - Measurement) の際の電圧の周波数が、半導体装置のフレーム周波数より小さい場合において、図 2 に示すような CV 曲線となる。また、図 2 において、実線が i 型の電極の場合の CV 曲線を表しており、破線が n 型の電極場合の CV 曲線を表している。

【0047】

液晶素子 108 は、トランジスタ 103 及び画素電極 121 が形成される基板と、対向電極が形成される基板とで挟持される液晶の光学的変調作用によって、光の透過又は非透過を制御する素子である。なお、液晶の光学的変調作用は、液晶にかかる電界（縦方向の電界又は斜め方向の電界を含む。）によって制御される。なお、画素電極が形成される基板において対向電極（共通電極ともいう。）が形成される場合、液晶にかかる電界は横方向の電界となる。

【0048】

走査線駆動回路 104 及び信号線駆動回路 106 は、論理回路部と、スイッチ部又はバッファ部とに大別される。走査線駆動回路 104 及び信号線駆動回路 106 の詳細な構成については省略するが、走査線駆動回路 104 及び信号線駆動回路 106 にはトランジスタが含まれている。

【0049】

なお、走査線駆動回路 104 及び信号線駆動回路 106 の一方又は双方に含まれるトランジスタは、トランジスタ 103 の形成工程を利用して形成することができる。つまり、走査線駆動回路 104 及び信号線駆動回路 106 一方又は双方は、トランジスタ 103 及び画素電極 121 が設けられる基板に設けることができる。このように、走査線駆動回路 104 及び信号線駆動回路 106 一方又は双方を当該基板に一体形成することで、半導体装置の部品点数を削減することができ、作製コストを低減することができる。

【0050】

上記より、容量素子 105 は透光性を有するため、画素 101 (m, n) のトランジスタ 103 が形成される箇所以外の領域に大きく（大面積に）形成することができる。図 1 に示した半導体装置は、開口率を高めつつ、電荷容量を増大させた半導体装置である。また、表示品位の優れた半導体装置である。そして、図 1 に示した半導体装置において、走査線 107_m - 1 は、容量素子 105 の容量線としても機能するため、容量線を別途設けない構成とすることができる。従って、図 1 に示した半導体装置は、従来の半導体装置よりもさらに画素の開口率が高められた半導体装置である。例えば、本発明の一態様である半導体装置において、画素密度を 300 ppi 程度とする場合、画素の開口率を 50% 以上、さらには画素の開口率を 55% 以上、さらには画素の開口率を 60% 以上にすることができる。また、本発明の一態様は、従来の半導体装置よりもさらに画素の開口率が高められた半導体装置を容易に得ることができる。

【0051】

ここで、画素 101 (m, n) に設けられた容量素子 105 の動作について説明する。

10

20

30

40

50

図3は、信号線109_n、走査線107_m-1、走査線107_m及び画素電極121のタイミングチャートである。当該タイミングチャートは、信号線109_n、走査線107_m-1、走査線107_m及び画素電極121のそれぞれの電位変化を示すものであり、信号線109_n、走査線107_m-1、走査線107_m及び画素電極121のそれぞれは、信号が入力されることで電位が変化する。

【0052】

時刻T1以前の期間において、信号線109_nには、信号線駆動回路106からある特定の信号（ビデオ信号など）が入力されている。当該期間において、走査線107_m-1及び走査線107_mには、トランジスタ103を導通状態にする信号が走査線駆動回路104から入力されていない。また、当該期間において、画素電極121にも信号は入力されていない。
10

【0053】

時刻T1から時刻T2の期間（期間T1T2）において、信号線109_nには、時刻T1以前の期間と同じようにある特定の信号が入力されている。期間T1T2において、走査線107_m-1には、画素101(m-1,n)に設けられているトランジスタを導通状態にする信号が入力され、走査線107_m-1の電位は上昇する。期間T1T2において、走査線107_mにはトランジスタ103を導通状態にする信号が入力されていない。

【0054】

また、期間T1T2において、画素電極121は電位が上昇する。画素電極121の電位が上昇する（変動する）理由は以下のとおりである。走査線107_m-1と容量素子105の一方の電極として機能する酸化物半導体膜119とが電気的に接続されているため、走査線107_m-1の電位が変動すると、当該一方の電極（酸化物半導体膜119）の電位も変動する。容量素子105の他方の電極として機能する画素電極121は、当該一方の電極と誘電体膜を介して対向しているため、当該一方の電極の電位に追従して変動する。従って、画素電極121の電位は、走査線107_m-1の電位に追従して上昇する。また、画素電極121は、走査線107_m-1と同じ電位変動を示す。
20

【0055】

時刻T2から時刻T3の期間（期間T2T3）において、走査線107_m-1には画素101(m-1,n)に設けられているトランジスタを非導通状態にする信号が入力されることから、走査線107_m-1の電位は時刻T2において降下する。画素電極121の電位は、走査線107_m-1の電位に追従して変動することから、時刻T2において走査線107_m-1と同様に降下する。
30

【0056】

期間T2T3において、走査線107_mには、トランジスタ103を導通状態にする信号が入力され、走査線107_mの電位は上昇する。期間T2T3において、信号線109_nには液晶素子108を所望に動作させる信号が入力される。期間T2T3において、トランジスタ103は導通状態となるため、信号線109_nに入力される信号はトランジスタ103と電気的に接続されている画素電極121に入力され、画素電極121の電位は信号線109_nの電位まで上昇する。このように画素電極121の電位が変動することで容量素子105として動作する。
40

【0057】

なお、時刻T3以降の期間において、信号線109_nには、時刻T1以前の期間と同じようにある特定の信号が入力される。当該期間において、画素電極121の電位は、期間T2T3において上昇した電位が保持される。詳細には、再び走査線107_m-1の電位が変化するまで保持される。

【0058】

また、期間T1T2において、当該期間の長さは極めて短く、液晶素子108における液晶の応答速度よりも短いため、当該液晶の光学的変調作用の影響は極めて小さく、画素電極121の電位が変動しても半導体装置の表示品位に影響を与えることはないといえる
50

。

【0059】

ここで、容量素子のしきい値電圧 (V_{th})、走査線 107_m の電位、走査線 107_m - 1 の電位、ビデオ信号中心、画素電極 121 の電位の関係について、図 4 (A)、(B) を用いて、以下説明を行う。

【0060】

図 4 (A) は、図 2 に示す実線の C V 曲線の特性を持つ容量素子を用いた場合の一例を表しており、図 4 (B) は、図 2 に示す破線の C V 曲線の特性を持つ容量素子を用いた場合の一例を表している。また、図 4 (A)、(B) において、走査線 107_m に供給される電位のうち、最も低い電位を GV_{ss} と表し、最も高い電位を GV_{dd} として表す。

10

【0061】

なお、容量素子は、一対の電極間に誘電体膜が設けられている。すなわち、一対の電極間の電位差によって、容量素子の動作が決まる。例えば、容量素子のしきい値電圧を V_{th} 、画素電極 121 の電位を V_d 、容量素子の電極として機能する酸化物半導体膜 119 の電位を V_c として表した場合、 $V_d = V_c + V_{th}$ の関係を満たせればよい。

【0062】

また、図 4 (A)、(B) に示すように、容量素子 105 の電極である画素電極 121 の電位は、信号線 109_n に入力される信号に応じてプラス方向及びマイナス方向に変動する。具体的には、ビデオ信号中心を基準として、プラス方向及びマイナス方向に変動する。

20

【0063】

図 4 (A) の場合、走査線 107_m - 1 の電位を、画素電極 121 の最低電位よりも、容量素子の V_{th} 分以上低くすることで、上述の関係を満たせるため、容量素子を動作させることができる（図 4 (A) 参照）。これは、図 2 に示す実線の C V 曲線の特性を持つ容量素子の電極は、i 型であり、 V_{th} がプラスであるため、画素電極 121 の最低電位よりも、容量素子の V_{th} 分以上低く（マイナス方向にシフト）することで、酸化物半導体膜 119 を導通状態とすることができます。

【0064】

一方、図 4 (B) の場合、走査線 107_m - 1 の電位を画素電極 121 の最低電位よりも、容量素子の V_{th} 分以上高くしても、上述の関係を満たせるため、容量素子を動作させることができる（図 4 (B) 参照）。これは、図 2 に示す破線の C V 曲線の特性を持つ容量素子の電極は、n 型であり、 V_{th} がマイナスであるため、画素電極 121 の最低電位よりも、容量素子の V_{th} 分以上高く（プラス方向にシフト）しても、酸化物半導体膜 119 を導通状態とすることができます。

30

【0065】

次いで、画素 101 の具体的な構成例について説明する。ここでは、画素 101 (m, n) を例に説明する。画素 101 (m, n) の上面図を図 5 に示す。なお、図 5 は、図面の明瞭化のため、当該半導体装置の構成要素（例えば、液晶素子 108 など）の一部を省略している。

【0066】

図 5において、走査線 107_m - 1 及び走査線 107_m は、信号線 109_n 及び信号線 109_n + 1 に略直交する方向（図中左右方向）に延伸して設けられている。信号線 109_n 及び信号線 109_n + 1 は、走査線 107_m - 1 及び走査線 107_m に略直交する方向（図中上下方向）に延伸して設けられている。なお、走査線 107_m - 1 及び走査線 107_m は、走査線駆動回路 104（図 1 (A) 参照）と電気的に接続されており、信号線 109_n 及び信号線 109_n + 1 は、信号線駆動回路 106（図 1 (A) 参照）と電気的に接続されている。

40

【0067】

トランジスタ 103 は、走査線 107_m 及び信号線 109_n が交差する領域に設けられている。トランジスタ 103 は、少なくとも、チャネル形成領域を有する酸化物半導

50

体膜 111 と、ゲート電極と、ゲート絶縁膜（図 5 に図示せず。）と、ソース電極と、ドレイン電極とを含む。

【 0068 】

また、走査線 107_m はトランジスタ 103 のゲート電極として機能する領域を含み、信号線 109_n はトランジスタ 103 のソース電極として機能する領域を含む。導電膜 113 は、トランジスタ 103 のドレイン電極として機能する領域を含み、開口 117 を通じて画素電極 121 と電気的に接続されている。なお、図 5 において、画素電極 121 はハッチングを省略して図示している。

【 0069 】

ゲート電極として機能する領域は、走査線 107_m において少なくとも酸化物半導体膜 111 と重畠する領域である。ソース電極として機能する領域は、信号線 109_n において少なくとも酸化物半導体膜 111 と重畠する領域である。ドレイン電極として機能する領域は、導電膜 113 において少なくとも酸化物半導体膜 111 と重畠する領域である。なお、以下において、トランジスタ 103 のゲート電極を指し示す場合にも走査線 107_m と記載し、トランジスタ 103 のソース電極を指し示す場合にも信号線 109_n と記載する。トランジスタ 103 のドレイン電極を指し示す場合にも導電膜 113 と記載する。

【 0070 】

容量素子 105 は、走査線 107_m 及び走査線 107_m - 1 と、信号線 109_n 及び信号線 109_n + 1 とで囲まれる領域に設けられている。容量素子 105 は、酸化物半導体膜 119 と、透光性を有する画素電極 121 と、トランジスタ 103 に含まれ、透光性を有する絶縁膜（図 5 に図示せず。）とで構成されており、容量素子 105 は透光性を有する。また、酸化物半導体膜 119 は、開口 123 を通じて走査線 107_m - 1 と接していることから、容量素子 105 は走査線 107_m - 1 と電気的に接続されている。つまり、走査線 107_m - 1 は容量素子 105 の容量線としても機能する。これにより、画素 101 (m, n) に容量線を別途設けずとも容量素子 105 を動作させることができる。

【 0071 】

容量素子は、一对の電極が重畠している面積に応じて電荷容量は変化する。解像度を高ぐるために画素の大きさを小さくすると、それだけ容量素子の大きさも小さくなり、電荷容量も小さくなる。その結果、液晶素子を十分に動作させることができない可能性がある。容量素子 105 は透光性を有するため、液晶素子 108 が動作する範囲全体に容量素子 105 を形成することができ、画素内にできる限り大きく（大面積に）容量素子 105 を形成することができる。液晶素子 108 を十分に動作させることができる電荷容量を確保できる限り、画素密度を大きく、解像度を高くすることができる。

【 0072 】

ここで、酸化物半導体を用いたトランジスタの特徴について記載する。酸化物半導体を用いたトランジスタは n チャネル型トランジスタである。また、酸化物半導体に含まれる酸素欠損はキャリアを生成することがあり、トランジスタの電気特性及び信頼性を低下させる恐れがある。例えば、トランジスタのしきい値電圧をマイナス方向に変動し、ゲート電圧が 0 V の場合にドレイン電流が流れてしまうことがある。このように、ゲート電圧が 0 V の場合にドレイン電流が流れてしまうことをノーマリーオン特性という。なお、ゲート電圧が 0 V の場合にドレイン電流が流れないとみなすことができるトランジスタをノーマリーオフ特性という。

【 0073 】

そこで、酸化物半導体膜を用いる際、酸化物半導体膜に含まれる欠陥、代表的には酸素欠損はできる限り低減されていることが好ましい。例えば、磁場の向きを膜面に対して平行に印加した電子スピン共鳴法による g 値 = 1.93 のスピン密度（酸化物半導体膜に含まれる欠陥密度に相当する。）は、測定器の検出下限以下まで低減されていることが好ましい。酸化物半導体膜に含まれる欠陥、代表的には酸素欠損をできる限り低減することで

10

20

30

40

50

、トランジスタがノーマリーオン特性となることを抑制することができ、半導体装置の電気特性及び信頼性を向上させることができる。

【0074】

トランジスタのしきい値電圧のマイナス方向への変動は酸素欠損だけではなく、酸化物半導体膜に含まれる水素（水などの水素化合物を含む。）によっても引き起こされることがある。酸化物半導体膜に含まれる水素は金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（又は酸素が脱離した部分）に欠損（酸素欠損ともいえる。）を形成する。また、水素の一部が酸素と反応することで、キャリアである電子を生成してしまう。従って、水素が含まれている酸化物半導体膜を有するトランジスタはノーマリーオン特性となりやすい。

10

【0075】

上記より、トランジスタ103の酸化物半導体膜111において水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体膜111において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度を、 5×10^{-8} atoms/cm³未満、好ましくは 1×10^{-8} atoms/cm³以下、より好ましくは 5×10^{-7} atoms/cm³以下、さらに好ましくは 1×10^{-6} atoms/cm³以下とする。

【0076】

また、酸化物半導体膜111は、二次イオン質量分析法により得られるアルカリ金属又はアルカリ土類金属の濃度を、 1×10^{-8} atoms/cm³以下、好ましくは 2×10^{-6} atoms/cm³以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタ103のオフ電流を増大させることがある。

20

【0077】

また、酸化物半導体膜に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体膜を有するトランジスタはノーマリーオン特性となりやすい。従って、酸化物半導体膜111において、窒素はできる限り低減されていることが好ましい、例えば、窒素濃度は、 5×10^{-8} atoms/cm³以下にすることが好ましい。

【0078】

30

また、酸化物半導体膜にシリコン及び炭素などの第14族元素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。そこで、酸化物半導体膜111を有するトランジスタ103において、特に、ゲート絶縁膜127（図5に図示せず。）と当該酸化物半導体膜111の界面において、二次イオン質量分析法により得られるシリコン濃度は、 3×10^{-8} atoms/cm³以下、好ましくは 3×10^{-7} atoms/cm³以下とする。なお、当該界面において、二次イオン質量分析法により得られる炭素濃度は、 3×10^{-8} atoms/cm³以下、好ましくは 3×10^{-7} atoms/cm³以下とする。

【0079】

上記より、不純物（水素、窒素、シリコン、炭素、アルカリ金属又はアルカリ土類金属など）をできる限り低減させ、高純度化させた酸化物半導体膜111を用いることで、トランジスタ103がノーマリーオン特性となることを抑制でき、トランジスタ103のオフ電流を極めて低減することができる。従って、本発明の一態様は、良好な電気特性を有する半導体装置であり、信頼性に優れた半導体装置である。なお、高純度化させた酸化物半導体は、真性又は実質的に真性な半導体といえる。

40

【0080】

なお、高純度化された酸化物半導体膜を用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅Wが 1×10^{-6} μmでチャネル長Lが $10 \mu m$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以

50

下、すなわち $1 \times 10^{-13} A$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で除した数値に相当するオフ電流は、 $100 z A / \mu m$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入又は容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $y A / \mu m$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜を用いたトランジスタは、オフ電流が著しく小さい。

【0081】

10

次いで、図 5 の一点鎖線 A1 - A2 間及び一点鎖線 B1 - B2 間の断面図を図 6 に示す。

【0082】

20

一点鎖線 A1 - A2 間及び一点鎖線 B1 - B2 間の断面構造は以下の通りである。基板 102 上に、ゲート電極として機能する領域を含む走査線 107_m と、走査線 107_m - 1 とが設けられている。走査線 107_m - 1 及び走査線 107_m 上にゲート絶縁膜 127 が設けられている。ゲート絶縁膜 127 の走査線 107_m と重畠する領域上に酸化物半導体膜 111 が設けられている。走査線 107_m - 1 と接しているゲート絶縁膜 127 の一部に、走査線 107_m - 1 に達する開口 123 が設けられており、ゲート絶縁膜 127 上及び開口 123 には酸化物半導体膜 119 が設けられている。酸化物半導体膜 111 上、及びゲート絶縁膜 127 上にソース電極として機能する領域を含む信号線 109_n と、ドレイン電極として機能する領域を含む導電膜 113 とが設けられている。ゲート絶縁膜 127 上、信号線 109_n 上、酸化物半導体膜 111 上、導電膜 113 上、及び酸化物半導体膜 119 上にトランジスタ 103 の保護絶縁膜として機能する絶縁膜 129、絶縁膜 131、及び絶縁膜 132 が設けられている。絶縁膜 129、絶縁膜 131、及び絶縁膜 132 には導電膜 113 に達する開口 117 が設けられており、開口 117 には画素電極 121 が設けられている。なお、基板 102 と、走査線 107_m - 1 及び走査線 107_m 並びにゲート絶縁膜 127 と、の間には下地絶縁膜が設けられてもよい。

【0083】

30

また、液晶素子 108 の断面構造は以下の通りである。基板 150 の基板 102 と対向している面の少なくともトランジスタ 103 と重畠する領域に遮光膜 152 が設けられており、遮光膜 152 を覆うように透光性を有する導電膜である対向電極 154 が設けられており、対向電極を覆うように配向膜 156 が設けられている。基板 102 側の絶縁膜 132 及び画素電極 121 上に配向膜 158 が設けられている。液晶 160 は配向膜 156 及び配向膜 158 に接して設けられており、基板 102 及び基板 150 によって挟持されている。

【0084】

40

なお、本発明の一態様である半導体装置を液晶表示装置とする場合、バックライトなどの光源、基板 102 側及び基板 150 側にそれぞれ設けられる偏光板などの光学部材（光学基板）、基板 102 と基板 150 とを固定するシール材などが必要となるが、これらについて後述する。

【0085】

上記より、本実施の形態に示す容量素子 105において、一対の電極のうち一方の電極は酸化物半導体膜 119 であり、一対の電極のうち他方の電極は画素電極 121 であり、一対の電極の間に設けられた誘電体膜は絶縁膜 129、絶縁膜 131、及び絶縁膜 132 である。

【0086】

以下に、上記構造の構成要素について詳細を記載する。

【0087】

50

基板 102 の材質などに大きな制限はないが、少なくとも、半導体装置の作製工程において行う加熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、プラスチック基板などがあり、ガラス基板としては、バリウムホウケイ酸ガラス、アルミニウムホウケイ酸ガラス若しくはアルミニウムケイ酸ガラスなどの無アルカリガラス基板を用いるとよい。また、ステンレス合金など透光性を有していない基板を用いることもできる。その場合は、基板表面に絶縁膜を設けることが好ましい。なお、基板 102 として石英基板、サファイア基板、単結晶半導体基板、多結晶半導体基板、化合物半導体基板、SOI (Silicon On Insulator) 基板などを用いることもできる。なお、本発明の一態様である半導体装置を透過型の液晶表示装置とする場合、基板 102 は透光性を有する基板を用いる。

10

【0088】

走査線 107_m - 1 及び走査線 107_m は、大電流を流すため、金属膜で形成することが好ましく、代表的には、モリブデン (Mo)、チタン (Ti)、タンクステン (W) タンタル (Ta)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) などの金属材料又はこれらを主成分とする合金材料を用いた、単層構造又は積層構造で設ける。

【0089】

走査線 107_m - 1 及び走査線 107_m の一例としては、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタンクステンを積層する二層構造、窒化タンタル上にタンクステンを積層する二層構造、銅 - マグネシウム - アルミニウム合金上に銅を積層する二層構造、窒化チタン上に銅を積層し、さらにその上にタンクステンを形成する三層構造などがある。

20

【0090】

また、走査線 107_m - 1 及び走査線 107_m の材料として、画素電極 121 に適用可能な透光性を有する導電性材料を用いることができる。なお、本発明の一態様である半導体装置を反射型の表示装置とする場合、画素電極 121 に透光性を有していない導電性材料（例えば金属材料）を用いることができる。その際は基板 102 も透光性を有していない基板を用いることができる。

【0091】

30

さらに、走査線 107_m - 1 及び走査線 107_m の材料として、窒素を含む金属酸化物、具体的には、窒素を含む In - Ga - Zn 系酸化物や、窒素を含む In - Sn 系酸化物や、窒素を含む In - Ga 系酸化物や、窒素を含む In - Zn 系酸化物や、窒素を含む Sn 系酸化物や、窒素を含む In 系酸化物や、金属窒化物 (InN, SnN など) を用いることができる。これらの材料は 5 eV (電子ボルト) 以上の仕事関数を有する。これら窒素を含む金属酸化物を当該走査線 (ゲート電極) として用いることで、トランジスタ 103 のしきい値電圧をプラス方向に変動させることができ、所謂ノーマリーオフ特性を有するトランジスタを実現できる。例えば、窒素を含む In - Ga - Zn 系酸化物を用いる場合、少なくとも酸化物半導体膜 111 より高い窒素濃度、具体的には窒素濃度が 7 原子 % 以上の In - Ga - Zn 系酸化物を用いることができる。

40

【0092】

走査線 107_m - 1 及び走査線 107_m において、低抵抗材料であるアルミニウムや銅を用いることが好ましい。アルミニウムや銅を用いることで、信号遅延を低減し、表示品位を高めることができる。なお、アルミニウムは耐熱性が低く、ヒロック、ウィスラー、あるいはマイグレーションによる不良が発生しやすい。アルミニウムのマイグレーションを防ぐため、アルミニウムに、モリブデン、チタン、タンクステンなどの、アルミニウムよりも融点の高い金属材料を積層することが好ましい。また、銅を用いる場合も、マイグレーションによる不良や銅元素の拡散を防ぐため、銅に、モリブデン、チタン、タンクステンなどの、銅よりも融点の高い金属材料を積層することが好ましい。

【0093】

50

また、図5及び図6に示したように、走査線107_m(走査線107_m-1)は、酸化物半導体膜111を走査線107_mの領域内に設けることが可能な形状として設けることが好ましい。図5のように酸化物半導体膜111が設けられる領域において突出した形状とし、酸化物半導体膜111を走査線107_mの内側に設けることができるようになります。このようにすることで、基板102の走査線107_mが設けられている面とは反対の面(基板102の裏面)から照射される光(液晶表示装置においてはバックライトなど光源の光)を、走査線107_mが遮光するため、トランジスタ103の電気特性(例えばしきい値電圧など)の変動又は低下を抑制することができる。

【0094】

ゲート絶縁膜127は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウム又はGa-Zn系金属酸化物などの絶縁材料を用いた、単層構造又は積層構造で設ける。なお、酸化物半導体膜111との界面特性を向上させるため、ゲート絶縁膜127において少なくとも酸化物半導体膜111と接する領域は酸化絶縁膜であることが好ましい。

10

【0095】

また、ゲート絶縁膜127として、酸素、水素、水などに対するバリア性を有する絶縁膜を設けることで、酸化物半導体膜111に含まれる酸素の外部への拡散と、外部から酸化物半導体膜111への水素、水などの侵入を防ぐことができる。酸素、水素、水などに対するバリア性を有する絶縁膜としては、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化窒化ガリウム膜、酸化イットリウム膜、酸化窒化イットリウム膜、酸化ハフニウム膜、酸化窒化ハフニウム膜、窒化シリコン膜などがある。

20

【0096】

また、ゲート絶縁膜127として、ハフニウムシリケート(HfSiO_x)、窒素を有するハフニウムシリケート(HfSi_xO_yN_z)、窒素を有するハフニウムアルミネート(HfAl_xO_yN_z)、酸化ハフニウム、酸化イットリウムなどのhig h-k材料を用いることでトランジスタ103のゲートリーク電流を低減できる。

【0097】

また、ゲート絶縁膜127は、以下の積層構造とすることが好ましい。第1の窒化シリコン膜として、欠陥量が少ない窒化シリコン膜を設け、第1の窒化シリコン膜上に第2の窒化シリコン膜として、水素脱離量及びアンモニア脱離量の少ない窒化シリコン膜を設け、第2の窒化シリコン膜上に、上記ゲート絶縁膜127として適用できる酸化絶縁膜のいずれかを設けた積層構造である。

30

【0098】

第2の窒化シリコン膜としては、昇温脱離ガス分析法において、水素分子の脱離量が5×10⁻²分子/cm³未満、好ましくは3×10⁻²分子/cm³以下、さらに好ましくは1×10⁻²分子/cm³以下であり、アンモニア分子の脱離量が1×10⁻²分子/cm³未満、好ましくは5×10⁻²分子/cm³以下、さらに好ましくは1×10⁻²分子/cm³以下である窒化絶縁膜を用いることが好ましい。上記第1の窒化シリコン膜及び第2の窒化シリコン膜をゲート絶縁膜127の一部として用いることで、ゲート絶縁膜127として、欠陥量が少なく、且つ水素及びアンモニアの脱離量の少ないゲート絶縁膜を形成することができる。この結果、ゲート絶縁膜127に含まれる水素及び窒素の、酸化物半導体膜111への移動量を低減することが可能である。

40

【0099】

なお、酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜及びゲート絶縁膜の界面又はゲート絶縁膜に捕獲準位(界面準位ともいう。)が存在すると、トランジスタのしきい値電圧の変動、代表的にはしきい値電圧のマイナス方向への変動、及びトランジスタがオン状態となるときにドレイン電流が一桁変化するのに必要なゲート電圧を示すサブスレッショルド係数(S値)の増大の原因となる。この結果、トランジスタごとに電気特性が変動するという問題がある。このため、ゲート絶縁膜127として、欠陥量の少ない窒化シリコン膜を用いることで、また、酸化物半導体膜111と接する領域に酸化絶縁

50

膜を設けることで、しきい値電圧のマイナスシフトを低減すると共に、S値の増大を抑制することができる。

【0100】

ゲート絶縁膜127の厚さは、5nm以上400nm以下、好ましくは10nm以上300nm以下、より好ましくは50nm以上250nm以下とするとい。

【0101】

酸化物半導体膜111は、非晶質構造、単結晶構造、又は多結晶構造とすることができます。また、酸化物半導体膜111の厚さは、1nm以上100nm以下、好ましくは1nm以上50nm以下、より好ましくは1nm以上30nm以下、更に好ましくは3nm以上20nm以下とすることである。

10

【0102】

酸化物半導体膜111に適用可能な酸化物半導体として、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上の酸化物半導体がある。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ103のオフ電流を低減することができる。

【0103】

酸化物半導体膜111に適用可能な酸化物半導体は、少なくともインジウム(In)若しくは亜鉛(Zn)を含むことが好ましい。又は、InとZnの双方を含むことが好ましい。また、当該酸化物半導体を用いたトランジスタの電気特性の変動を減らすため、それらと共に、スタビライザーの一又は複数を有することが好ましい。

20

【0104】

スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、又はジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ラントン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)などがある。

【0105】

酸化物半導体膜111に適用できる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、二種類の金属を含む酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三種類の金属を含む酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四種類の金属を含む酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

【0106】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0107】

40

50

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素、若しくは上記のスタビライザーとしての元素を示す。

【0108】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Ga : Zn = 2 : 2 : 1$ (= 2 / 5 : 2 / 5 : 1 / 5)、あるいは $In : Ga : Zn = 3 : 1 : 2$ (= 1 / 2 : 1 / 6 : 1 / 3) の原子数比の In - Ga - Zn 系金属酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Sn : Zn = 2 : 1 : 3$ (= 1 / 3 : 1 / 6 : 1 / 2) あるいは $In : Sn : Zn = 2 : 1 : 5$ (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系金属酸化物を用いるとよい。なお、金属酸化物の原子数比は、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。10

【0109】

しかし、これらに限らず、必要とする半導体特性及び電気特性（電界効果移動度、しきい値電圧など）に応じて適切な原子数比のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。例えば、In - Sn - Zn 系金属酸化物では比較的容易に高い電界効果移動度が得られる。しかしながら、In - Ga - Zn 系金属酸化物でも、バルク内欠陥密度を低くすることにより、電界効果移動度を上げることができる。20

【0110】

酸化物半導体膜 119 は、酸化物半導体膜 111 に適用可能な酸化物半導体を用いることができる。酸化物半導体膜 111 を形成すると共に酸化物半導体膜 119 を形成することができることから、酸化物半導体膜 119 は酸化物半導体膜 111 を構成する酸化物半導体の金属元素を含む。

【0111】

トランジスタ 103 の保護絶縁膜、及び容量素子 105 の誘電体膜として機能する絶縁膜 129 と、絶縁膜 131 と、絶縁膜 132 とは、ゲート絶縁膜 127 に適用できる材料を用いた絶縁膜である。特に、絶縁膜 129 及び絶縁膜 131 は酸化絶縁膜とし、絶縁膜 132 は窒化絶縁膜とすることが好ましい。また、絶縁膜 132 を窒化絶縁膜とすることで外部から水素や水などの不純物がトランジスタ 103 (特に酸化物半導体膜 111) に侵入することを抑制できる。なお、絶縁膜 129 は設けない構造であってもよい。30

【0112】

また、絶縁膜 129 及び絶縁膜 131 の一方又は双方は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜であることが好ましい。このようにすることで、酸化物半導体膜 111 からの酸素の脱離を防止するとともに、酸素過剰領域に含まれる当該酸素を酸化物半導体膜 111 に移動させ、酸素欠損を補填することが可能となる。例えば、昇温脱離ガス分析 (以下、TDS 分析とする。) によって測定される酸素分子の放出量が、 1.0×10^{-8} 分子 / cm^3 以上ある酸化絶縁膜を用いることで、酸化物半導体膜 111 に含まれる酸素欠損を補填することができる。なお、絶縁膜 129 及び絶縁膜 131 の一方又は双方において、化学量論的組成よりも過剰に酸素を含む領域 (酸素過剰領域) が部分的に存在している酸化絶縁膜であってもよく、少なくとも酸化物半導体膜 111 と重畳する領域に酸素過剰領域が存在することで、酸化物半導体膜 111 からの酸素の脱離を防止するとともに、酸素過剰領域に含まれる当該酸素を酸化物半導体膜 111 に移動させ、酸素欠損を補填することが可能となる。40

【0113】

絶縁膜 131 が化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である場合、絶縁膜 129 は、酸素を透過する酸化絶縁膜とすることが好ましい。絶縁膜 129 において、外部から絶縁膜 129 に入った酸素は、全て絶縁膜 129 を通過して移動せず、絶縁膜 129 にとどまる酸素もある。また、あらかじめ絶縁膜 129 に含まれており、50

絶縁膜 129 から外部に移動する酸素もある。そこで、絶縁膜 129 は酸素の拡散係数が大きい酸化絶縁膜であることが好ましい。

【0114】

また、絶縁膜 129 は酸化物半導体膜 111 と接することから、酸素を透過させるだけではなく、酸化物半導体膜 111 との界面準位密度を低減できる酸化絶縁膜であることが好ましい。例えば、絶縁膜 129 は絶縁膜 131 よりも膜中の欠陥密度が低い酸化絶縁膜であることが好ましい。具体的には、電子スピン共鳴測定による g 値 = 2.001 (E'-center) のスピニ密度が 3.0×10^{17} spins/cm³ 以下、好ましくは 5.0×10^{16} spins/cm³ 以下の酸化絶縁膜である。なお、電子スピン共鳴測定による g 値 = 2.001 のスピニ密度は、絶縁膜 129 に含まれるダングリングボンドの存在量に対応する。10

【0115】

絶縁膜 129 の厚さは、5 nm 以上 150 nm 以下、好ましくは 5 nm 以上 50 nm 以下、好ましくは 10 nm 以上 30 nm 以下とすることができる。絶縁膜 131 の厚さは、30 nm 以上 500 nm 以下、好ましくは 150 nm 以上 400 nm 以下とすることができる。

【0116】

また、酸化物半導体膜 111 上に設けられる絶縁膜 129 を、酸素を透過させると共に、酸化物半導体膜 111 との界面準位密度を低減できる酸化絶縁膜とし、絶縁膜 131 を、酸素過剰領域を含む酸化絶縁膜又は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とすることで、酸化物半導体膜 111 へ酸素を供給することが容易になり、酸化物半導体膜 111 からの酸素の脱離を防止すると共に、絶縁膜 131 に含まれる酸素を酸化物半導体膜 111 に移動させ、酸化物半導体膜 111 に含まれる酸素欠損を補填することができる。この結果、トランジスタ 103 がノーマリーオン特性となることを抑制することができる。20

【0117】

なお、絶縁膜 129 及び絶縁膜 131 の一方又は双方を、酸化窒化シリコン又は窒化酸化シリコンなど、窒素を含む酸化絶縁膜とする場合、SIMS より得られる窒素濃度は、SIMS 検出下限以上 3×10^{20} atoms/cm³ 未満、好ましくは 1×10^{18} atoms/cm³ 以上 1×10^{20} atoms/cm³ 以下とすることが好ましい。このようにすることで、トランジスタ 103 に含まれる酸化物半導体膜 111 への窒素の移動量を少なくすることができる。また、このようにすることで、窒素を含む酸化絶縁膜自体の欠陥量を少なくすることができる。30

【0118】

絶縁膜 132 を窒化絶縁膜とする場合、絶縁膜 129 及び絶縁膜 131 の一方又は双方が窒素に対するバリア性を有する絶縁膜であることが好ましい。例えば、緻密な酸化絶縁膜とすることで窒素に対するバリア性を有することができ、具体的には、25において 0.5 重量 % のフッ酸を用いた場合のエッチング速度が 10 nm / 分以下である酸化絶縁膜とすることが好ましい。

【0119】

絶縁膜 132 として、水素含有量が少ない窒化絶縁膜を設けることができる。当該窒化絶縁膜としては、例えば、TDS 分析によって測定される水素分子の放出量が、 $5.0 \times 10^{21} / \text{cm}^3$ 未満であり、好ましくは $3.0 \times 10^{21} / \text{cm}^3$ 未満であり、さらに好ましくは $1.0 \times 10^{21} / \text{cm}^3$ 未満である窒化絶縁膜である。40

【0120】

また、上記窒化絶縁膜は段差被覆性に優れていることからトランジスタ 103 の保護絶縁膜として有用である。

【0121】

絶縁膜 132 は、外部から水素や水などの不純物の侵入を抑制する機能を発揮できる厚さとする。例えば、50 nm 以上 200 nm 以下、好ましくは 50 nm 以上 150 nm 以50

下、さらに好ましくは 50 nm 以上 100 nm 以下とすることができます。

【0122】

また、絶縁膜 131 上に設けられる絶縁膜 132 として、窒化絶縁膜を用いることで、外部から水素や水などの不純物が、酸化物半導体膜 111 及び酸化物半導体膜 119 に侵入することを抑制できる。さらには、絶縁膜 132 として、水素含有量が少ない窒化絶縁膜を設けることで、トランジスタ 103 の電気特性変動を抑制することができる。

【0123】

絶縁膜 131 と絶縁膜 132との間に、酸化シリコン膜を設けて絶縁膜 132 に上記窒化絶縁膜を用いることで、外部から水素や水などの不純物が酸化物半導体膜 111 及び酸化物半導体膜 119 に侵入することをさらに抑制できる。

10

【0124】

また、絶縁膜 131 と絶縁膜 132 との間に、有機シランガスを用いた CVD 法により形成した酸化シリコン膜を設けてもよい。当該酸化シリコン膜は段差被覆性に優れていることからトランジスタ 103 の保護絶縁膜として有用である。当該酸化シリコン膜は 300 nm 以上 600 nm 以下で設けることができる。有機シランガスとしては、珪酸エチル (TEOS : 化学式 Si(OCH₃)₄)、テトラメチルシラン (TMS : 化学式 Si(CH₃)₄)、テトラメチルシクロテトラシロキサン (TMTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン (SiH(OCH₃)₃)、トリスジメチルアミノシラン (SiH(N(CH₃)₂)₃) などのシリコン含有化合物を用いることができる。

20

【0125】

画素電極 121 は、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料で設ける。

【0126】

基板 150 は、基板 102 に適用できる基材を用いることができる。

【0127】

遮光膜 152 は、ブラックマトリクスとも呼ばれ、液晶表示装置においてバックライトなどの光源の光漏れの抑制や、カラーフィルタを用いてカラー表示を行う際に生じる混色によるコントラスト低下の抑制などのために設けられる。遮光膜 152 は、汎用されているものを用いて設けることができる。例えば、遮光性を有する材料として金属や、顔料を含む有機樹脂などが挙げられる。なお、遮光膜 152 は、トランジスタ 103 と重畳する領域の他、走査線駆動回路 104、信号線駆動回路 106 (図 1 (A) 参照) などの画素部 100 以外の領域に設けてもよい。

30

【0128】

また、画素部 100 において、各画素に設けられる遮光膜の間に、所定の波長の光を透過させる機能を有する着色膜を設けてもよい。さらには、遮光膜及び着色膜と、対向電極の間にオーバーコート膜を設けてもよい。

【0129】

対向電極 154 は、画素電極 121 に適用できる材料を適宜用いて設ける。

40

【0130】

配向膜 156 及び配向膜 158 は、ポリアミドなどの汎用されているものを用いて設けることができる。

【0131】

液晶 160 は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶などを用いることができる。これらの液晶材料は、条件により、コレステリック相、スマートチック相、キュービック相、カイラルネマチック相、等方相などを示す。

【0132】

50

また、液晶 160 は、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するためにカイラル剤を混合させた液晶組成物を用いる。なお、配向膜は有機樹脂で構成されており、有機樹脂は水素又は水などを含むことから、本発明の一態様である半導体装置のトランジスタの電気特性を低下させるおそれがある。そこで、液晶 160 として、ブルー相を用いることで、有機樹脂を用いずに本発明の一態様である半導体装置を作製することができ、信頼性の高い半導体装置を得ることができる。

【0133】

なお、液晶素子 108 は、液晶素子の 108 の表示モードにもとづいて、画素電極 121 及び対向電極 154 などの形状の変形や、リブと呼ばれる突起の形成など、適宜構成を変えることができる。

【0134】

また、本発明の一態様である半導体装置において、偏光部材（偏光基板）の偏光軸を遮光膜 152 に対して平行になるように設け、当該半導体装置の表示モードを、電圧を加えていない状態で液晶素子 108 がバックライトなどの光源の光を透過させないノーマリーブラックとすることで、画素 101 の設ける遮光膜 152 に領域を縮小できる、又は無くすことができる。この結果、画素密度が高い表示装置のように 1 画素の大きさが小さい場合でも、開口率を向上させることができる。また、透光性を有する容量素子を用いることでさらに開口率を向上させることができる。

10

20

【0135】

<半導体装置の作製方法>

次に、上記半導体装置の作製方法について、図 7 及び図 8 を用いて説明する。

【0136】

まず、基板 102 に、走査線 107_m - 1 及び走査線 107_m を形成し、走査線 107_m - 1 及び走査線 107_m を覆うように、後にゲート絶縁膜 127 に加工される絶縁膜を形成し、当該絶縁膜の走査線 107_m - 1 と接する領域の一部に開口 123 を形成することでゲート絶縁膜 127 を形成し、走査線 107_m と重畠する領域に酸化物半導体膜 111 を形成し、後に画素電極 121 が形成される領域と重畠するように酸化物半導体膜 119 をゲート絶縁膜 127 上及び開口 123 に形成する（図 7 (A) 参照）。

30

【0137】

走査線 107_m - 1 及び走査線 107_m は、上記列挙した材料を用いて導電膜を形成し、当該導電膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。当該導電膜は、蒸着法、CVD 法、スパッタリング法、スピンドル法などの各種成膜方法を用いて形成することができる。なお、当該導電膜の厚さは特に限定されず、形成する時間や所望の抵抗率などを考慮して決めることができる。当該マスクは、例えばフォトリソグラフィ工程によって形成したレジストマスクとすることができる。また、当該導電膜の加工はドライエッティング及びウェットエッティングの一方又は双方によって行うことができる。

【0138】

後にゲート絶縁膜 127 に加工される絶縁膜は、ゲート絶縁膜 127 に適用可能な材料を用いて、CVD 法又はスパッタリング法などの各種成膜方法を用いて形成することができる。また、ゲート絶縁膜 127 に酸化ガリウムを適用する場合は、MOCVD (Metal Organic Chemical Vapor Deposition) 法を用いて絶縁膜を形成することができる。

40

【0139】

開口 123 は、当該絶縁膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。なお、当該マスク及び当該加工は、走査線 107_m - 1 及び走査線 107_m の形成工程を参照して実施できる。

【0140】

50

酸化物半導体膜 111 及び酸化物半導体膜 119 は、上記列挙した酸化物半導体を用いて酸化物半導体膜を形成し、当該酸化物半導体膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。当該酸化物半導体膜は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法などを用いて形成することができる。印刷法を用いることで、素子分離された酸化物半導体膜 111 及び酸化物半導体膜 119 をゲート絶縁膜 127 上に直接形成することができる。スパッタリング法で当該酸化物半導体膜を形成する場合、プラズマを発生させるための電源装置は、R F 電源装置、A C 電源装置又はD C 電源装置などを適宜用いることができる。スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガス雰囲気を適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、ターゲットは、形成する酸化物半導体膜の組成にあわせて、適宜選択すればよい。なお、当該マスクは、例えばフォトリソグラフィ工程によって形成したレジストマスクとすることができます。また、当該酸化物半導体膜の加工はドライエッチング及びウェットエッチングの一方又は双方によって行うことができる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度など）を適宜設定する。

【0141】

酸化物半導体膜 111 及び酸化物半導体膜 119 を形成した後に加熱処理をし、酸化物半導体膜 111 及び酸化物半導体膜 119 の脱水素化又は脱水化をすることが好ましい。当該加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは 200 以上 450 以下、更に好ましくは 300 以上 450 以下とする。なお、当該加熱処理は酸化物半導体膜 111 及び酸化物半導体膜 119 に加工する前の酸化物半導体膜に行ってもよい。

【0142】

当該加熱処理において、加熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、又は熱輻射によって、被処理物を加熱する装置であってもよい。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等のR T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。

【0143】

当該加熱処理は、窒素、酸素、超乾燥空気（水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）、又は希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、又は希ガスに水素、水などが含まれないことが好ましい。不活性ガス雰囲気で加熱した後、酸素雰囲気で加熱してもよい。なお、処理時間は 3 分～24 時間とする。

【0144】

なお、基板 102 と、走査線 107_m - 1 及び走査線 107_m 並びにゲート絶縁膜 127 との間に下地絶縁膜を設ける場合、当該下地絶縁膜は、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムなどで形成することができる。なお、下地絶縁膜を、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウムなどで形成することで、基板 102 から不純物、代表的にはアルカリ金属、水、水素などが酸化物半導体膜 111 に拡散することを抑制できる。下地絶縁膜は、スパッタリング法又はC V D 法を用いて形成することができる。

【0145】

次に、ゲート絶縁膜 127 上、ソース電極として機能する領域を含む信号線 109_n

10

20

30

40

50

、及びドレイン電極として機能する領域を含む導電膜 113 を形成する(図7(B)参照)。

【0146】

信号線 109_n、及び導電膜 113 は、信号線 109_n 及び導電膜 113 に適用できる材料を用いて導電膜を形成し、当該導電膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。当該マスク及び当該加工は、走査線 107_m - 1 及び走査線 107_m と同じようにして行うことができる。なお、信号線 109_n、及び導電膜 113 を形成した後、酸化物半導体膜 111 の表面を洗浄することで、トランジスタ 103 の電気特性の変動を低減することができる。例えば、上記洗浄としては、希釈したリン酸溶液を用いることができ、具体的には 85% のリン酸を 100 倍に希釈したリン酸溶液を用いることができる。10

【0147】

次に、酸化物半導体膜 111、酸化物半導体膜 119、信号線 109_n、導電膜 113 及びゲート絶縁膜 127 上に絶縁膜 128 を形成し、絶縁膜 128 上に絶縁膜 130 を形成し、絶縁膜 130 上に絶縁膜 133 を形成する(図8(A)参照)。なお、絶縁膜 128、絶縁膜 130 及び絶縁膜 133 は連続して形成することが好ましい。このようにすることで、絶縁膜 128、絶縁膜 130 及び絶縁膜 133 のそれぞれの界面に不純物が混入することを抑制できる。

【0148】

絶縁膜 128 は、絶縁膜 129 に適用可能な材料を用いて、CVD 法又はスパッタリング法などの各種成膜方法を用いて形成することができる。絶縁膜 130 は、絶縁膜 131 に適用可能な材料を用いて形成できる。絶縁膜 133 は、絶縁膜 132 に適用可能な材料を用いて形成できる。20

【0149】

絶縁膜 129 に酸化物半導体膜 111 との界面準位密度を低減できる酸化絶縁膜を適用する場合、絶縁膜 128 は以下の形成条件を用いて形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマ CVD 装置の真空排気された処理室内に載置された基板を 180 以上 400 以下、さらに好ましくは 200 以上 370 以下に保持し、処理室内に原料ガスのシリコンを含む堆積性気体及び酸化性気体を導入して処理室内における圧力を 20 Pa 以上 250 Pa 以下、さらに好ましくは 40 Pa 以上 200 Pa 以下とし、処理室内に設けられた電極に高周波電力を供給する条件である。30

【0150】

シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シランなどがある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素などがある。

【0151】

なお、シリコンを含む堆積性気体に対する酸化性気体量を 100 倍以上とすることで、絶縁膜 128 (絶縁膜 129) に含まれる水素含有量を低減することが可能であると共に、絶縁膜 128 (絶縁膜 129) に含まれるダングリングボンドを低減することができる。絶縁膜 130 (絶縁膜 131) から移動する酸素は、絶縁膜 128 (絶縁膜 129) に含まれるダングリングボンドによって捕獲される場合があるため、絶縁膜 128 (絶縁膜 129) に含まれるダングリングボンドが低減されていると、絶縁膜 130 (絶縁膜 131) に含まれる酸素を酸化物半導体膜 111 に効率よく移動させることができ、酸化物半導体膜 111 に含まれる酸素欠損を補填することができる。この結果、酸化物半導体膜 111 に混入する水素量を低減できると共に酸化物半導体膜 111 に含まれる酸素欠損を低減させることができる。40

【0152】

絶縁膜 131 を上記の酸素過剰領域を含む酸化絶縁膜又は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とする場合、絶縁膜 130 は以下の形成条件を用いて50

形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を180以上260以下、さらに好ましくは180

以上230以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられた電極に0.17W/cm²以上0.5W/cm²以下、さらに好ましくは0.25W/cm²以上0.35W/cm²以下の高周波電力を供給する条件である。

【0153】

絶縁膜130の原料ガスは、絶縁膜128の形成に適用できる原料ガスとすることができる。

10

【0154】

絶縁膜130の形成条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜130中における酸素含有量が化学量論的組成よりも多くなる。また、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱い。したがって、後の工程の加熱処理により膜中の酸素の一部を脱離させることができる。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。また、酸化物半導体膜111上に絶縁膜128が設けられている。このため、絶縁膜130の形成工程において、絶縁膜128が酸化物半導体膜111の保護膜となる。この結果、パワー密度の高い高周波電力を用いて絶縁膜130を形成しても、酸化物半導体膜111へのダメージを抑制できる。

20

【0155】

また、絶縁膜130は膜厚を厚くすることで加熱によって脱離する酸素の量を多くすることができますことから、絶縁膜130は絶縁膜128より厚く設けることが好ましい。絶縁膜128を設けることで絶縁膜130を厚く設ける場合でも被覆性を良好にすることができます。

【0156】

絶縁膜132はスパッタリング法、CVD法等を用いて形成することができる。絶縁膜132を水素含有量が少ない窒化絶縁膜で設ける場合、絶縁膜133は以下の形成条件を用いて形成できる。なお、ここでは当該窒化絶縁膜として、窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を80以上400以下、さらに好ましくは200以上370以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下とし、好ましくは100Pa以上200Pa以下とし、処理室内に設けられた電極に高周波電力を供給する条件である。

30

【0157】

絶縁膜133の原料ガスとしては、シリコンを含む堆積性気体、窒素、及びアンモニアを用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シランなどがある。また、窒素の流量は、アンモニアの流量に対して5倍以上50倍以下、好ましくは10倍以上50倍以下とすることが好ましい。なお、原料ガスとしてアンモニアを用いることで、シリコンを含む堆積性気体及び窒素の分解を促すことができる。これは、アンモニアがプラズマエネルギーや熱エネルギーによって解離し、解離することで生じるエネルギーが、シリコンを含む堆積性気体分子の結合及び窒素分子の結合の分解に寄与するためである。このようにすることで、水素含有量が少なく、外部から水素や水などの不純物の侵入を抑制することが可能な窒化シリコン膜を形成することができる。

40

【0158】

なお、絶縁膜131と絶縁膜132との間に、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設ける場合は、上記列挙した有機シランガスを用いてCVD法により酸化シリコン膜を絶縁膜130上に形成する。

50

【0159】

少なくとも絶縁膜130を形成した後に加熱処理を行い、絶縁膜128又は絶縁膜130に含まれる酸素を少なくとも酸化物半導体膜111に移動させ、酸化物半導体膜111の酸素欠損を補填することが好ましい。なお、当該加熱処理は、酸化物半導体膜111及び酸化物半導体膜119の脱水素化又は脱水化を行う加熱処理の詳細を参照して適宜行うことができる。

【0160】

また、トランジスタ103の好ましい形成手順の1つは、絶縁膜130として、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成し、絶縁膜130を形成した後に350の加熱処理を行い、上記列挙した有機シランガスを用い、基板温度を350に保持したCVD法で酸化シリコン膜を形成し、絶縁膜132として基板温度を350として、水素含有量が少ない窒化絶縁膜を形成することである。10

【0161】

次に、絶縁膜128、絶縁膜130及び絶縁膜133の導電膜113と重畳する領域に、導電膜113に達する開口117を形成して、絶縁膜129、絶縁膜131及び絶縁膜132を形成し(図8(B)参照)、開口117及び絶縁膜132上に画素電極121を形成する(図6参照)。

【0162】

開口117は、開口123と同様にして形成することができる。画素電極121は、上記列挙した材料を用い、開口117を通じて導電膜113に接する導電膜を形成し、当該導電膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。なお、当該マスク及び当該加工は、走査線107_m - 1及び走査線107_mと同じようにして行うことができる。20

【0163】

次に、絶縁膜132上及び画素電極121上に配向膜158を形成する。また、基板150上に遮光膜152を形成する。そして、遮光膜152を覆うように対向電極154を形成し、対向電極154上に配向膜156を形成する。さらに、配向膜158上に液晶160を設けて、配向膜156が液晶160に接するように基板150を基板102上に設けてシール材(図示せず)によって基板102と基板150とを固定する。30

【0164】

配向膜156及び配向膜158は、上記した材料を用いてスピントロート法や印刷法など各種成膜方法を適宜利用することで形成できる。

【0165】

遮光膜152は、例えば、チタン、クロムなどの金属をスパッタリング法で成膜し、マスクを用いて加工することで形成できる。

【0166】

対向電極154は、画素電極121に適用できる材料を用いて、CVD法やスパッタリング法などの各種成膜方法を利用して形成できる。

【0167】

液晶160は、配向膜158上にディスペンサ法(滴下法)で直接設けることができる。また、基板102と基板150とを貼り合わせてから毛細管現象などを用いて液晶160を注入させてもよい。また、液晶160を、配向させやすくするために、配向膜156及び配向膜158にラビング工程を行うことが好ましい。40

【0168】

以上の工程により、本発明の一態様である半導体装置を作製することができる(図6参照)。

【0169】

<変形例1>

本発明の一態様である半導体装置において、容量素子を構成する一方の電極として機能50

する半導体膜（具体的には酸化物半導体膜）と、容量線として機能する走査線との接続は、適宜変更することができる。例えば、当該半導体膜の導電性を増大させるために、導電膜を当該半導体膜の一部に接して設け、当該導電膜によって当該半導体膜と当該走査線とを電気的に接続することができる。

【0170】

なお、以下、変形例を示す図面においては、図面の明瞭化のため、基板150、遮光膜152、対向電極154、配向膜156、配向膜158、及び液晶160を省略している。また、変形例を示す図面において、図5又は図6で用いた符号を適宜用いる。

【0171】

本構造の具体例について、図9及び図10を用いて説明する。なお、ここでは、図5及び図6に示した構造と異なる点についてのみ説明する。図9は画素101(m,n)の上面図であり、図10(A)は図9の一点鎖線A1-A2間、及び一点鎖線B1-B2間の断面図であり、図10(B)は図9の一点鎖線C1-C2間の断面図である。

【0172】

図9に示した画素101(m,n)において、導電膜167は、酸化物半導体膜119の外周に沿って接しており、開口123を通じて走査線107_m-1と接して設けられている。導電膜167は、信号線109_n及び導電膜113の形成工程を利用して形成できる。それゆえ、導電膜167は遮光性を有する場合があるため、ループ状に形成することが好ましい。なお、導電膜167と酸化物半導体膜119との接触面積が大きくなるほど、酸化物半導体膜119は容量素子105の一方の電極として容易に機能する。

【0173】

また、図9に示した画素101(m,n)において、酸化物半導体膜119及び走査線107_m-1が導電膜167に接するようにするために、酸化物半導体膜119の形状を適宜変えることが好ましい。

【0174】

図10(A)及び図10(B)に示すように、導電膜167は、容量素子105の酸化物半導体膜119の端部を覆うように設けられる。

【0175】

また、導電膜167はループ状の部分が分離された状態で酸化物半導体膜119に接して設けられていてもよい。

【0176】

図9及び図10に示した画素101(m,n)は、導電膜167がループ状に設けられた構造であるが、導電膜167は酸化物半導体膜119の外周の一部のみに接して設けられている構造であってもよい(図11参照)。なお、図11に示した画素101(m,n)においても導電膜167によって、酸化物半導体膜119と走査線107_m-1とが電気的に接続される。

【0177】

なお、酸化物半導体膜119が走査線107_m-1に直接接する構成において、酸化物半導体膜119の導電性を向上させるために導電膜167を酸化物半導体膜119の一部に接して設けてよい。つまり、導電膜167は酸化物半導体膜119のみに接し、走査線107_m-1に接していない構造であってもよい。例えば、図12及び図13に示すように、導電膜167がループ状に形成されているが、走査線107_m-1に接していない構造であってもよい。図12は、当該構造の画素101(m,n)の上面図であり、図13(A)は、図12の一点鎖線A1-A2間、及び一点鎖線B1-B2間の断面図であり、図13(B)は図12の一点鎖線C1-C2間の断面図である。

【0178】

<変形例2>

また、図5及び図6に示した画素101(m,n)、又は図9乃至図13に示した画素101(m,n)において、画素電極121と導電膜113との間に生じる寄生容量、又は画素電極121と導電膜167との間に生じる寄生容量を低減するため、当該寄生容量

10

20

30

40

50

が生じる領域に有機絶縁膜を設けることができる。別言すると、当該有機絶縁膜は、上記画素 101 (m, n)において部分的に設けられる。

【0179】

当該有機絶縁膜としては、感光性、非感光性の有機樹脂を適用でき、例えば、アクリル樹脂、ベンゾシクロブテン系樹脂、エポキシ樹脂、又はシロキサン系樹脂などを用いることができる。また、有機絶縁膜としては、ポリアミドを用いることができる。

【0180】

当該有機絶縁膜を部分的に設けるために上記列挙した材料を用いて絶縁膜を形成した後、当該絶縁膜の加工が必要となる場合がある。当該有機絶縁膜の形成方法は特に限定されず、用いる材料に応じて適宜選択できる。例えば、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）、スクリーン印刷、オフセット印刷などを適用することができる。また、当該有機絶縁膜として感光性の有機樹脂を用いることで、当該有機絶縁膜を形成する際にレジストマスクが不要となり、工程を簡略化できる。

【0181】

一般に、有機樹脂は水素や水を多く含んでおり、有機樹脂がトランジスタ 103（特に酸化物半導体膜 111）上に設けられると、有機樹脂に含まれる水素や水がトランジスタ 103（特に酸化物半導体膜 111）に拡散し、トランジスタ 103 の電気特性を劣化させる可能性がある。従って、少なくとも、酸化物半導体膜 111 に重畠する領域には有機樹脂を設けないことが好ましい。

【0182】

<変形例 3 >

図 5 及び図 6 に示した画素 101 (m, n)、並びに図 9 乃至図 13 に示した画素 101 (m, n)において、トランジスタ 103 の形状はこれらの図面に示したトランジスタの形状に限定されず、適宜変更することができる。例えば、トランジスタ 103 は、図 14 に示した画素 101 (m, n)のように、信号線 109_n に含まれるソース電極として機能する領域が U 字型（C 字型、コの字型、又は馬蹄型）であり、導電膜 113 のドレイン電極として機能する領域を囲む形状のトランジスタ 169 であってもよい。このような形状とすることで、トランジスタの面積が小さくても、十分なチャネル幅を確保することが可能となり、トランジスタのオン電流の量を増やすことが可能となる。なお、図 14 に示した画素 101 (m, n)において、他の構成は図 5 と同様である。

【0183】

<変形例 4 >

また、図 5 及び図 6 に示した画素 101 (m, n)、並びに図 9 乃至図 13 に示した画素 101 (m, n)において、トランジスタ 103 としてチャネルエッチ構造のトランジスタを用いている。トランジスタ 103 は、図 15 に示すように、チャネル保護型のトランジスタ 183 を用いることができる。なお、図 15 において、酸化物半導体膜 111 と、ソース電極として機能する領域を含む信号線 109_n 及びドレイン電極として機能する領域を含む導電膜 113 との間にチャネル保護膜 182 が設けられている点以外の構成は図 6 に示したトランジスタ 103 と同じである。

【0184】

図 15 に示すトランジスタ 183 は、酸化物半導体膜 111 上にチャネル保護膜 182 を形成した後、信号線 109_n 及び導電膜 113 を形成する。チャネル保護膜 182 はトランジスタ 103 の絶縁膜 129 の材料で形成することができる。このようにすることで、トランジスタ 183 において、トランジスタ 103 の絶縁膜 129 に相当する絶縁膜を別途設ける必要がなくなる。チャネル保護膜 182 を設けることで、酸化物半導体膜 111 の表面は、信号線 109_n 及び導電膜 113 の形成工程で用いるエッチャントやエッチングガスに曝されず、酸化物半導体膜 111 及びチャネル保護膜 182 の間の不純物を低減できる。この結果、トランジスタ 183 の信号線 109_n 及び導電膜 113 の間に流れるリーク電流を低減することができる。また、チャネル保護膜 182 を有することで、信号線 109 及び導電膜 113 を形成する際に行う加工によって、酸化物半導体

10

20

30

40

50

膜 111(特にチャネル形成領域)にダメージが入ることを抑制することができる。

【0185】

<変形例5>

また、図5及び図6に示した画素101(m,n)、並びに図9乃至図13に示した画素101(m,n)において、トランジスタ103は、酸化物半導体膜111が、ゲート絶縁膜127とソース電極として機能する領域を含む信号線109_n及びドレイン電極として機能する領域を含む導電膜113との間に位置するトランジスタである。トランジスタ103として、図16に示すように、酸化物半導体膜195が、ソース電極として機能する領域を含む信号線109_n及びドレイン電極として機能する領域を含む導電膜113と、絶縁膜129との間に位置するトランジスタ190を用いることができる。なお、図16において、酸化物半導体膜195の位置以外の構成は図6に示したトランジスタ103と同じである。10

【0186】

図16に示すトランジスタ190は、信号線109_n及び導電膜113を形成した後、酸化物半導体膜195を形成する。このため、酸化物半導体膜195の表面は、信号線109_n及び導電膜113の形成工程で用いるエッチャントやエッチングガスに曝されず、酸化物半導体膜195及び絶縁膜129の間の不純物を低減できる。この結果、トランジスタ190の信号線109_n及び導電膜113間に流れるリーク電流を低減することができる。20

【0187】

<変形例6>

また、図5及び図6に示した画素101(m,n)、並びに図9乃至図13に示した画素101(m,n)において、トランジスタ103は、1つのゲート電極を有するトランジスタを示したが、その代わりに、図17に示すように、酸化物半導体膜111を介して対向する2つのゲート電極を有するトランジスタ185を用いることができる。

【0188】

トランジスタ185は、本実施の形態で説明したトランジスタ103、トランジスタ169、トランジスタ183、又はトランジスタ190の絶縁膜132上に、導電膜187を有する。導電膜187は、少なくとも酸化物半導体膜111のチャネル形成領域と重なる。例えば、導電膜187は、チャネル長方向の幅において、トランジスタのソース電極として機能する領域を含む信号線109_nとドレイン電極として機能する導電膜113との間の幅よりも短い形状とすることができます。導電膜187を酸化物半導体膜111のチャネル形成領域と重なる位置に設け、導電膜187の電位は、信号線109_nに入力されるビデオ信号の最低電位とすることが好ましい。この結果、酸化物半導体膜111の導電膜187側の領域において、ソース電極及びドレイン電極の間に流れる電流を制御することができる。それゆえ、画素部100に設けられるトランジスタ間における電気特性の変動を低減することができる。また、導電膜187を設けることで、周囲の電界の変化が酸化物半導体膜111へ与える影響を軽減し、トランジスタの信頼性を向上させることができる。30

【0189】

以上より、容量素子の一方の電極として、トランジスタの半導体膜と同じ形成工程で形成される半導体膜を用いることで、開口率を高めつつ、電荷容量を大きくした容量素子を有する半導体装置を作製することができる。また、開口率を高めることによって表示品位が良い半導体装置を得ることができる。40

【0190】

また、トランジスタの半導体膜(具体的には酸化物半導体膜)は酸素欠損が低減され、水素、窒素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置である。

【0191】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて50

用いることができる。

【0192】

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置であり、上記実施の形態と異なる構造の半導体装置について、図面を用いて説明する。本実施の形態で説明する半導体装置は、上記実施の形態と比較して容量素子の構造が異なる。なお、本実施の形態で説明する半導体装置において、上記実施の形態で説明した半導体装置と同様の構成は、上記実施の形態を参照することができる。

【0193】

<半導体装置の構成>

10

本実施の形態で説明する画素の上面図を図18に示す。図18に示した画素101(m, n)は、図5に示した画素101(m, n)の容量素子205を容量素子105とした構成である。図18に示した画素101(m, n)は、図5に示した画素101(m, n)と比較して、二点鎖線内の領域において絶縁膜232(図示せず)が酸化物半導体膜119に接して設けられている。つまり、図18に示した画素101(m, n)は、二点鎖線内の領域において絶縁膜229(図示せず)及び絶縁膜231(図示せず)が除去されている。従って、容量素子205は、一方の電極として機能する酸化物半導体膜119と、他方の電極である画素電極121と、誘電体膜である絶縁膜232(図示せず)とで構成されている。

【0194】

20

次いで、図18の一点鎖線A1-A2間及び一点鎖線B1-B2間における断面図を図19に示す。

【0195】

図18に示した画素101(m, n)の断面構造は以下の通りである。基板102上に、ゲート電極として機能する領域を含む走査線107_mと、走査線107_m-1とが設けられている。走査線107_m-1及び走査線107_m上にゲート絶縁膜127が設けられている。ゲート絶縁膜127の走査線107_mと重畠する領域上に酸化物半導体膜111が設けられている。走査線107_m-1と接しているゲート絶縁膜127の一部に、走査線107_m-1に達する開口123が設けられており、ゲート絶縁膜127上及び開口123には酸化物半導体膜119が設けられている。酸化物半導体膜111上、及びゲート絶縁膜127上にソース電極として機能する領域を含む信号線109_nと、ドレイン電極として機能する領域を含む導電膜113とが設けられている。少なくともトランジスタ103となる領域において、ゲート絶縁膜127上、信号線109_n上、酸化物半導体膜111上、及び導電膜113上にトランジスタ103の保護絶縁膜として機能する絶縁膜229、絶縁膜231、及び絶縁膜232が設けられている。また、少なくとも容量素子205となる領域において、酸化物半導体膜119上に絶縁膜232が設けられている。絶縁膜229、絶縁膜231、及び絶縁膜232には導電膜113に達する開口117が設けられており、開口117及び絶縁膜232上に画素電極121が設けられている。なお、基板102と、走査線107_m-1及び走査線107_m並びにゲート絶縁膜127との間には下地絶縁膜が設けられていてもよい。

30

【0196】

40

絶縁膜229は、実施の形態1で説明した絶縁膜129と同様の絶縁膜である。絶縁膜231は、実施の形態1で説明した絶縁膜131と同様の絶縁膜である。絶縁膜232は、実施の形態1で説明した絶縁膜132と同様の絶縁膜である。

【0197】

本実施の形態における容量素子205のように、一方の電極として機能する酸化物半導体膜119と他方の電極である画素電極121との間に設けられる誘電体膜を絶縁膜232とすることで、誘電体膜の厚さを、実施の形態1における容量素子105の誘電体膜に比べて薄くすることができる。従って、本実施の形態における容量素子205は、実施の形態1における容量素子105よりも単位面積あたりの電荷容量を増大させることができ

50

る。

【0198】

また、容量素子205は、容量素子105よりも単位面積あたりの電荷容量が大きいため、容量素子105と同等の電荷容量とするために必要な酸化物半導体膜119の面積を小さくすることができる。それゆえ、画素101(m, n)において、酸化物半導体膜119が形成されない領域を設けることができる。従って、本発明の一態様である半導体装置において、バックライトなどの光源から照射される光の取り出し効率(透過率)を向上させることができ、表示品位を向上させることができる。

【0199】

また、絶縁膜232は、実施の形態1の絶縁膜132と同様に窒化絶縁膜であることが好ましい。窒化絶縁膜で形成される絶縁膜232をプラズマCVD法またはスパッタリング法で成膜すると、酸化物半導体膜119がプラズマに曝され、酸化物半導体膜119に酸素欠損が生成される。また、絶縁膜232は酸化物半導体膜119と接することから、当該窒化絶縁膜に含まれる窒素又は/及び水素が酸化物半導体膜119に移動する。酸素欠損に絶縁膜232に含まれる水素が入ることで、キャリアである電子が生成される。または、絶縁膜232を窒化絶縁膜とし、絶縁膜232が酸化物半導体膜119に接した状態で加熱処理を行うことで、当該窒化絶縁膜に含まれる窒素又は/及び水素が酸化物半導体膜119に移動する。酸素欠損に絶縁膜232に含まれる水素が入ることで、キャリアである電子が生成される。これらの結果、酸化物半導体膜119の導電率が増大し、n型となる。また、導体特性を有する金属酸化物膜で構成される透光性を有する導電膜となる。酸化物半導体膜119は導電率が酸化物半導体膜111と比較して高い。

10

20

【0200】

上記より、本実施の形態における半導体装置において、酸化物半導体膜119は酸化物半導体膜111よりも導電率が高い領域を有する。少なくとも酸化物半導体膜119の絶縁膜232と接する領域はn型であり、酸化物半導体膜111の絶縁膜229と接する領域よりも導電率が高い。

【0201】

なお、酸化物半導体膜119は、酸化物半導体膜111より水素濃度が高いことが好ましい。酸化物半導体膜119において、二次イオン質量分析法(SIMS: Second array Ion Mass Spectrometry)により得られる水素濃度は、 8×10^{19} atoms/cm³以上、好ましくは 1×10^{20} atoms/cm³以上、より好ましくは 5×10^{20} atoms/cm³以上である。酸化物半導体膜111において、二次イオン質量分析法により得られる水素濃度は、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、好ましくは 1×10^{18} atoms/cm³以下、より好ましくは 5×10^{17} atoms/cm³以下、さらに好ましくは 1×10^{16} atoms/cm³以下である。

30

【0202】

また、酸化物半導体膜119は、酸化物半導体膜111より抵抗率が低い。酸化物半導体膜119の抵抗率が、酸化物半導体膜111の抵抗率の 1×10^{-8} 倍以上 1×10^{-1} 倍以下であることが好ましく、代表的には 1×10^{-3} cm以上 1×10^{-4} cm未満、さらに好ましくは、抵抗率が 1×10^{-3} cm以上 1×10^{-1} cm未満であるといい。

40

【0203】

また、本実施の形態における半導体装置において、容量素子205を動作させる方法は、実施の形態1で記載した容量素子105を動作させる方法と同じように、容量素子205を動作させる期間において、酸化物半導体膜119の電位(換言すると、走査線107-m-1の電位)を、画素電極121の電位よりも容量素子205(MOSキャパシタ)のしきい値電圧(Vth)分以上低くする。ただし、容量素子205において、一方の電極として機能する酸化物半導体膜119は、n型であり、導電率が高いために、図2の破線のようにしきい値電圧(Vth)はマイナス方向にシフトする。酸化物半導体膜119

50

の電位（換言すると、走査線 107_m - 1 の電位）は、容量素子 205 のしきい値電圧（V_{th}）のマイナス方向へのシフト量に応じて、画素電極 121 がとりうる最も低い電位から高くしていくことができる。従って、容量素子 205 のしきい値電圧が大きな負の値を示す場合、図 4 (B) のように、走査線 107_m - 1 の電位は画素電極 121 の電位よりも高くすることができる。

【0204】

本実施の形態のように、容量素子 205 の一方の電極である酸化物半導体膜 119 を n 型とし、導電率を増大させることで、しきい値電圧をマイナス方向にシフトするため、容量素子 205 を動作させるために必要な電位の選択幅を、実施の形態 1 の容量素子 105 を動作させるために必要な電位の選択幅より広げることができる。従って、本実施の形態 10 は、容量素子 205 を動作させる期間において常に安定して容量素子 205 を動作させることができると好ましい。

【0205】

<半導体装置の作製方法>

次いで、本実施の形態における半導体装置の作製方法について、図 20 及び図 21 を用いて説明する。

【0206】

まず、基板 102 上に、ゲート電極として機能する領域を含む走査線 107_m - 1 及び走査線 107_m を形成し、基板 102、走査線 107_m - 1 及び走査線 107_m を覆うように、後にゲート絶縁膜 127 に加工される絶縁膜を形成し、当該絶縁膜の走査線 107_m - 1 と接する領域の一部に開口 123 を形成することでゲート絶縁膜 127 を形成し、走査線 107_m と重畠する領域に酸化物半導体膜 111 を形成し、後に画素電極 121 が形成される領域と重畠するように酸化物半導体膜 119 をゲート絶縁膜 127 上及び開口 123 に形成する。ソース電極として機能する領域を含む信号線 109_n 、及びドレイン電極として機能する領域を含む導電膜 113 を形成し、ゲート絶縁膜 127 上、信号線 109_n 上、酸化物半導体膜 111 上、導電膜 113 上、及び酸化物半導体膜 119 上に絶縁膜 128 を形成し、絶縁膜 128 上に絶縁膜 130 を形成する（図 20 (A) 参照）。なお、ここまでの中間工程は、実施の形態 1 を参照して行うことができる。

【0207】

次に、少なくとも酸化物半導体膜 111 と重畠する絶縁膜 130 の領域上にマスクを形成し、当該マスクを用いて加工して絶縁膜 228 及び絶縁膜 230 を形成すると共に酸化物半導体膜 119 を露出させ、露出させた領域上及び絶縁膜 230 上に絶縁膜 233 を形成する（図 20 (B) 参照）。当該マスクは、フォトリソグラフィ工程により形成したレジストマスクを用いることができ、当該加工は、ドライエッティング及びウェットエッティングの一方又は双方によって行うことができる。また、絶縁膜 233 は、実施の形態 1 で説明した絶縁膜 133 と同様の絶縁膜である。また、絶縁膜 233 を形成した後など、絶縁膜 233 が酸化物半導体膜 119 に接した状態で加熱処理を行うことが好ましい。なお、ここまでの中間工程についても実施の形態 1 を参照して行うことができる。

【0208】

窒化絶縁膜で形成される絶縁膜 233 をプラズマ CVD 法またはスパッタリング法で成膜すると、酸化物半導体膜 119 がプラズマに曝され、酸化物半導体膜 119 に酸素欠損が生成される。また、酸化物半導体膜 119 と窒化絶縁膜で形成される絶縁膜 233 が接することで、絶縁膜 233 から、窒素又は / 及び水素が酸化物半導体膜 119 に移動する。酸素欠損に絶縁膜 233 に含まれる水素が入ることで、キャリアである電子が生成される。または、絶縁膜 232 を窒化絶縁膜とし、絶縁膜 232 が酸化物半導体膜 119 に接した状態で加熱処理を行うことで、当該窒化絶縁膜に含まれる窒素又は / 及び水素を酸化物半導体膜 119 に移動する。これらの結果、酸化物半導体膜 119 の導電率が増大し、n 型となる。また、導体特性を有する金属酸化物膜で構成される透光性を有する導電膜となる。酸化物半導体膜 119 は導電率が酸化物半導体膜 111 と比較して高い。

【0209】

10

20

30

40

50

次に、絶縁膜 228 及び絶縁膜 230 並びに絶縁膜 233 に、導電膜 113 に達する開口 117 を形成して、絶縁膜 229、絶縁膜 231 及び絶縁膜 232 を形成し(図 21 参照)、開口 117 を通じて導電膜 113 に接する画素電極 121 を形成する(図 19 参照)。なお、ここまで工程についても実施の形態 1 を参照して行うことができる。

【0210】

以上の工程により、本実施の形態における半導体装置を作製することができる。

【0211】

<変形例>

本実施の形態で説明した半導体装置は、容量素子が設けられる領域の構造を適宜変更することができる。具体例について、図 22 を用いて説明する。図 22 に示す画素 101(m, n) は、図 5 及び図 6 に示した画素 101(m, n) の容量素子 105 が設けられる領域において、ゲート絶縁膜 127 の構造が異なる容量素子 245 を有する。

10

【0212】

図 22 に示した画素 101(m, n) の断面構造は以下の通りである。ゲート絶縁膜 127 を、窒化絶縁膜である絶縁膜 226 と、酸化絶縁膜である絶縁膜 227 との積層構造とし、少なくとも酸化物半導体膜 119 が設けられる領域において絶縁膜 226 のみを設ける構成である。このようにすることで絶縁膜 226 である窒化絶縁膜が酸化物半導体膜 119 の下面と接することになり、酸化物半導体膜 119 を n 型とし、導電率を増大させることができる。図 22 に対応する上面図としては図 5 を参照できる。この場合、容量素子 245 の誘電体膜は絶縁膜 129、絶縁膜 131 及び絶縁膜 132 である。なお、絶縁膜 226 及び絶縁膜 227 は、ゲート絶縁膜 127 に適用できる絶縁膜を適宜用いることができ、絶縁膜 227 は絶縁膜 132 と同様の絶縁膜としてもよい。また、本構成とするためには、実施の形態 1 を参照して適宜、絶縁膜 227 を加工すればよい。

20

【0213】

なお、図 22 に示す構造において、酸化物半導体膜 119 の上面は絶縁膜 132 と接する構造であってもよい。つまり、図 22 に示す構成において、絶縁膜 129 及び絶縁膜 131 の酸化物半導体膜 119 と接する領域は除去してもよい。この場合、容量素子の誘電体膜は絶縁膜 132 である。酸化物半導体膜 119 の上面及び下面を窒化絶縁膜と接する構成とすることで、片面のみ窒化絶縁膜と接する場合よりも効率よく十分に酸化物半導体膜 119 を n 型化させ、導電率を増大させることができる。

30

【0214】

なお、図 22 に示す構造とすることで、絶縁膜 129 及び絶縁膜 131 のエッティングに伴う酸化物半導体膜 119 の膜厚の減少を防ぐことが可能であるため、図 18 及び図 19 に示す半導体装置と比較して、歩留まりが向上する。

【0215】

以上より、容量素子の一方の電極として、トランジスタの半導体膜と同じ形成工程で形成される半導体膜を用いることで、開口率を高めつつ、電荷容量を大きくした容量素子を有する半導体装置を作製することができる。例えば、本実施の形態における半導体装置においても、画素密度を 300 ppi 程度とする場合、画素の開口率を 50% 以上、さらには画素の開口率を 55% 以上、さらには画素の開口率を 60% 以上にすることができる。また、開口率を高めることによって表示品位が良い半導体装置を得ることができる。

40

【0216】

また、トランジスタの半導体膜(具体的には酸化物半導体膜)は酸素欠損が低減され、水素、窒素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置である。

【0217】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成及びその変形例と適宜組み合わせて用いることができる。

【0218】

(実施の形態 3)

50

本実施の形態では、本発明の一態様の半導体装置であり、上記実施の形態と異なる構造の半導体装置について、図面を用いて説明する。本実施の形態では、液晶表示装置を例にして本発明の一態様である半導体装置を説明する。また、本実施の形態で説明する半導体装置は、上記実施の形態と比較して容量素子の一方の電極として機能する半導体膜（具体的には酸化物半導体膜）が異なる。なお、本実施の形態で説明する半導体装置において、上記実施の形態で説明した半導体装置と同様の構成は、上記実施の形態を参照することができる。

【0219】

<半導体装置の構成>

本実施の形態で説明する画素の上面図を図23に示す。図23に示す画素101(m,n)は、容量素子305を有し、容量素子305は、走査線107_m及び走査線107_m-1と、信号線109_n及び信号線109_n+1とで囲まれる領域に設けられている。容量素子305は、酸化物半導体膜111よりも導電率が高く、透光性を有する酸化物半導体膜319と、透光性を有する画素電極121と、誘電体膜として、トランジスタ103に含まれ、透光性を有する絶縁膜（図23に図示せず。）とで構成されている。即ち、容量素子305は透光性を有する。また、酸化物半導体膜319は、開口123を通じて走査線107_m-1と接していることから、容量素子305は走査線107_m-1と電気的に接続されている。

【0220】

酸化物半導体膜319の導電率は、10S/cm以上1000S/cm以下、好ましくは100S/cm以上1000S/cm以下とする。このように酸化物半導体膜319は導電率が高いため、容量素子を構成する電極として十分に機能する。

【0221】

容量素子305は透光性を有するため、液晶素子が動作する範囲全体に容量素子を形成することができ、画素内にできる限り大きく（大面積に）容量素子を形成することができる。液晶素子を十分に動作させることができる電荷容量を確保できる限り、画素密度を大きく、解像度を高くすることができる。

【0222】

また、容量素子305は、実施の形態1で説明した容量素子105よりも単位面積あたりの電荷容量が大きいため、容量素子105と同等の電荷容量とするために必要な酸化物半導体膜の面積を小さくすることができる。それゆえ、図23に示す画素101(m,n)において、酸化物半導体膜319が形成されない領域を設けることができる。従って、本発明の一態様である半導体装置において、バックライトなどの光源から照射される光の取り出し効率（透過率）を向上させることができ、表示品位を向上させることができる。

【0223】

次いで、図23の一点鎖線A1-A2間及び一点鎖線B1-B2間における断面図を図24に示す。

【0224】

図23に示す画素101(m,n)の断面構造は以下の通りである。基板102上に、ゲート電極として機能する領域を含む走査線107_mと、走査線107_m-1とが設けられている。走査線107_m-1及び走査線107_m上にゲート絶縁膜127が設けられている。ゲート絶縁膜127の走査線107_mと重畳する領域上に酸化物半導体膜111が設けられている。走査線107_m-1と接しているゲート絶縁膜127の一部に走査線107_m-1に達する開口123が設けられており、ゲート絶縁膜127上及び開口123には酸化物半導体膜319が設けられている。酸化物半導体膜111上、及びゲート絶縁膜127上にソース電極として機能する領域を含む信号線109_nと、ドレイン電極として機能する領域を含む導電膜113とが設けられている。ゲート絶縁膜127上、信号線109_n上、酸化物半導体膜111上、導電膜113上、及び酸化物半導体膜319上にトランジスタ103の保護絶縁膜として機能する絶縁膜129、絶縁膜131、及び絶縁膜132が設けられている。絶縁膜129、絶縁膜131、及び絶縁膜132は、酸化物半導体膜319と接続されている。

10

20

30

40

50

膜 132 には導電膜 113 に達する開口 117 が設けられており、開口 117 及び絶縁膜 132 上に画素電極 121 が設けられている。なお、基板 102 と、走査線 107 及びゲート絶縁膜 127との間には下地絶縁膜が設けられていてもよい。

【 0225 】

容量素子 305 は、一対の電極のうち一方の電極が、n 型であり、酸化物半導体膜 111 よりも導電率が高い領域を有する酸化物半導体膜 319 であり、一対の電極のうち他方の電極が画素電極 121 であり、一対の電極の間に設けられた誘電体膜が絶縁膜 129、絶縁膜 131、及び絶縁膜 132 である。

【 0226 】

酸化物半導体膜 319 は、酸化物半導体膜 111 に適用可能な酸化物半導体を用いることができる。酸化物半導体膜 319 は、酸化物半導体膜 111 の形成工程を利用することができるため、酸化物半導体膜 319 は酸化物半導体膜 111 を構成する酸化物半導体の金属元素を含む。そして、酸化物半導体膜 319 は、酸化物半導体膜 111 よりも導電率が高い領域を有することから、導電率を増大させる元素(ドーパント)が含まれている。具体的に、酸化物半導体膜 319 にはドーパントとして、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上が含まれている。酸化物半導体膜 319 に含まれるドーパント濃度は 1×10^{19} atoms/cm³ 以上 1×10^{22} atoms/cm³ 以下であることが好ましい。このようにすることで、酸化物半導体膜 319 の導電率を $10S/cm$ 以上 $1000S/cm$ 以下、好ましくは $100S/cm$ 以上 $1000S/cm$ 以下とすることができます。酸化物半導体膜 319 を容量素子 305 の一方の電極として十分に機能させることができます。なお、酸化物半導体膜 319 は、上記元素(ドーパント)を含むため n 型であり、導電率が高いため、酸化物半導体膜 319 は導電性を有する膜ということもできる。

【 0227 】

また、本実施の形態における半導体装置において、容量素子 305 は、一方の電極として機能する酸化物半導体膜 319 が実施の形態 2 と同様に n 型であり、導電率が高いためにしきい値電圧(Vth)はマイナス方向にシフトする。従って、容量素子 305 を動作させる方法としては、実施の形態 2 と同様である。

【 0228 】

<半導体装置の作製方法>

次いで、本実施の形態における半導体装置の作製方法について、図 25 及び図 26 を用いて説明する。

【 0229 】

基板 102 上にゲート電極と機能する領域を含む走査線 107_m - 1 及び走査線 107_m を形成し、基板 102、走査線 107_m - 1 及び走査線 107_m を覆うように、後にゲート絶縁膜 127 に加工される絶縁膜を形成し、当該絶縁膜の走査線 107_m - 1 と接する領域の一部に開口 123 を形成することでゲート絶縁膜 127 を形成し、走査線 107_m と重畠する領域に酸化物半導体膜 111 を形成し、後に画素電極 121 が形成される領域と重畠するように酸化物半導体膜 119 をゲート絶縁膜 127 上及び開口 123 に形成する(図 25(A)参照)。なお、ここまで工程は、実施の形態 1 を参照して行うことができる。

【 0230 】

次に、酸化物半導体膜 119 にドーパントを添加して酸化物半導体膜 319 を形成した後、ソース電極として機能する領域を含む信号線 109_n、ドレイン電極として機能する領域を含む導電膜 113 を形成する(図 25(B)参照)。

【 0231 】

酸化物半導体膜 119 にドーパントを添加する方法は、酸化物半導体膜 119 以外の領域にマスクを設けて、当該マスクを用いて、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上のドーパントをイオン注入法又はイオンドーピング法などで添加する。また、イオン注入法又はイオ

10

20

30

40

50

ンドーピング法の代わりに当該ドーパントを含むプラズマに酸化物半導体膜 119 を曝すことで、当該ドーパントを添加してもよい。なお、ドーパントを添加した後、加熱処理をおこなってもよい。当該加熱処理は、実施の形態 1 に記載した、酸化物半導体膜 111 及び酸化物半導体膜 119 の脱水素化又は脱水化を行う加熱処理の詳細を参照して適宜行うことができる。

【 0 2 3 2 】

なお、ドーパントを添加する工程は、信号線 109_n 及び導電膜 113 を形成した後に行ってもよい。

【 0 2 3 3 】

次に、ゲート絶縁膜 127 上、信号線 109_n 上、酸化物半導体膜 111 上、導電膜 113 上、及び酸化物半導体膜 319 上に絶縁膜 128 を形成し、絶縁膜 128 上に絶縁膜 130 を形成し、絶縁膜 130 上に絶縁膜 133 を形成する（図 26 (A) 参照）。なお、当該工程は、実施の形態 1 を参照して行うことができる。10

【 0 2 3 4 】

次に、絶縁膜 128 及び絶縁膜 130 並びに絶縁膜 133 に、導電膜 113 に達する開口 117 を形成して、絶縁膜 129、絶縁膜 131 及び絶縁膜 132 を形成し（図 26 (B) 参照）、開口 117 を通じて導電膜 113 に接する画素電極 121 を形成する（図 24 参照）。なお、当該工程についても実施の形態 1 を参照して行うことができる。

【 0 2 3 5 】

以上の工程により、本実施の形態における半導体装置を作製することができる。20

【 0 2 3 6 】

以上より、容量素子の一方の電極として、トランジスタの半導体膜と同じ形成工程で形成される半導体膜を用いることで、開口率を高めつつ、電荷容量を大きくした容量素子を有する半導体装置を作製することができる。例えば、本実施の形態における半導体装置においても、画素密度を 300 ppi 程度とする場合、画素の開口率を 50% 以上、さらには画素の開口率を 55% 以上、さらには画素の開口率を 60% 以上にすることができる。また、開口率を高めることによって表示品位が良い半導体装置を得ることができる。

【 0 2 3 7 】

また、トランジスタの半導体膜（具体的には酸化物半導体膜）は酸素欠損が低減され、水素、窒素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置である。30

【 0 2 3 8 】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 2 3 9 】

(実施の形態 4)

本実施の形態では、上記実施の形態で説明した半導体装置に含まれているトランジスタ及び容量素子において、半導体膜である酸化物半導体膜に適用可能な一態様について説明する。

【 0 2 4 0 】

上記酸化物半導体膜は、非晶質酸化物半導体、単結晶酸化物半導体、及び多結晶酸化物半導体の他に、結晶部分を有する酸化物半導体 (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r : C A A C - O S) で構成されていることが好ましい。

【 0 2 4 1 】

C A A C - O S に含まれる結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) による観察像では、C A A C - O S に含まれる結晶部と結晶部との境界は明確ではない。また、T E M によって C A A C - O S には粒界 (グレインバウンダリーともいう。) は確認できない。そのため、C A A C - O S は、粒界4050

に起因する電子移動度の低下が抑制される。

【0242】

C A A C - O S に含まれる結晶部は、c 軸が C A A C - O S の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形状又は六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸及び b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。なお、酸化物半導体を構成する酸素の一部は窒素で置換されてもよい。

10

【0243】

なお、C A A C - O S において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S の形成過程において、酸化物半導体の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。このため、C A A C - O S において、不純物、代表的にはシリコン、炭素などの濃度を1原子%以下、好ましくは0.6原子%以下とすることで、結晶性の高いC A A C - O S を形成することができる。

【0244】

C A A C - O S に含まれる結晶部のc軸は、C A A C - O S の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃うため、C A A C - O S の形状（被形成面の断面形状又は表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、C A A C - O S が形成されたときの被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、又は成膜後に加熱処理などの結晶化処理を行うことにより形成される。

20

【0245】

C A A C - O S の形成方法としては、三つ挙げられる。

【0246】

第1の方法は、成膜温度を100以上450以下として酸化物半導体膜を成膜することで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

30

【0247】

第2の方法は、酸化物半導体膜を薄い厚さで成膜した後、200以上700以下の加熱処理を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0248】

第3の方法は、一層目の酸化物半導体膜を薄い厚さで成膜した後、200以上700以下の加熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

40

【0249】

酸化物半導体膜にC A A C - O S を適用したトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、酸化物半導体膜にC A A C - O S を適用したトランジスタは、良好な信頼性を有する。

【0250】

また、C A A C - O S は、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜することが好ましい。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状又はペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状又はペレット状のスパッタリング粒子が、

50

結晶状態を維持したまま被成膜面に到達することで、C A A C - O S を成膜することができる。

【 0 2 5 1 】

また、C A A C - O S を成膜するために、以下の条件を適用することが好ましい。

【 0 2 5 2 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 80 以下、好ましくは - 100 以下である成膜ガスを用いる。

【 0 2 5 3 】

また、成膜時の被成膜面の加熱温度（例えば基板加熱温度）を高めることで、被成膜面に到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、被成膜面の温度を 100 以上 740 以下、好ましくは 150 以上 500 以下として成膜する。成膜時の被成膜面の温度を高めることで、平板状又はペレット状のスパッタリング粒子が被成膜面に到達した場合、当該被成膜面上でマイグレーションが起り、スパッタリング粒子の平らな面が被成膜面に付着する。

【 0 2 5 4 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30 体積%以上、好ましくは 100 体積%とする。

【 0 2 5 5 】

スパッタリング用ターゲットの一例として、In - Ga - Zn - O 化合物ターゲットについて以下に示す。

【 0 2 5 6 】

In_xO_y 粉末、Ga_yO_z 粉末及びZn_zO_z 粉末を所定の m o l 数で混合し、加圧処理後、1000 以上 1500 以下の温度で加熱処理をすることで多結晶である In - Ga - Zn 系金属酸化物ターゲットとする。なお、当該加圧処理は、冷却（又は放冷）しながら行ってもよいし、加熱しながら行ってもよい。なお、X、Y 及び Z は任意の正数である。ここで、所定の m o l 数比は、例えば、In_xO_y 粉末、Ga_yO_z 粉末及びZn_zO_z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 又は 3 : 1 : 2 である。なお、粉末の種類、及びその混合する m o l 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【 0 2 5 7 】

また、酸化物半導体膜は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜を、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の積層として、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜に、異なる組成の金属酸化物を用いてもよい。例えば、第 1 の酸化物半導体膜に二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物のうち一つを用い、第 2 の酸化物半導体膜に第 1 の酸化物半導体膜と異なる二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物を用いてもよい。

【 0 2 5 8 】

酸化物半導体膜を 2 層構造とし、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜の構成元素を同一とし、両者の原子数比を異ならせてよい。例えば、第 1 の酸化物半導体膜の原子数比を In : Ga : Zn = 3 : 1 : 2 とし、第 2 の酸化物半導体膜の原子数比を In : Ga : Zn = 1 : 1 : 1 としてもよい。また、第 1 の酸化物半導体膜の原子数比を In : Ga : Zn = 2 : 1 : 3 とし、第 2 の酸化物半導体膜の原子数比を In : Ga : Zn = 1 : 3 : 2 としてもよい。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。

【 0 2 5 9 】

この時、第 1 の酸化物半導体膜と第 2 の酸化物半導体膜のうち、ゲート電極に近い側（

10

20

30

40

50

チャネル側)の酸化物半導体膜のInとGaの原子数比をIn > Gaとするとよい。またゲート電極から遠い側(バックチャネル側)の酸化物半導体膜のInとGaの原子数比をIn < Gaとするとよい。これらの積層構造により、電界効果移動度の高いトランジスタを作製することができる。一方、ゲート電極に近い側(チャネル側)の酸化物半導体膜のInとGaの原子数比をIn < Gaとし、バックチャネル側の酸化物半導体膜のInとGaの原子数比をIn > Gaとすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0260】

原子数比がIn : Ga : Zn = 1 : 3 : 2である第1の酸化物半導体膜は、原子数比がIn : Ga : Zn = 1 : 3 : 2である酸化物ターゲットを用いたスパッタリング法によって形成できる。基板温度を室温とし、スパッタリングガスにアルゴン、又はアルゴンと酸素の混合ガスを用いて形成することができる。原子数比がIn : Ga : Zn = 3 : 1 : 2である第2の酸化物半導体膜は、原子数比がIn : Ga : Zn = 3 : 1 : 2である酸化物ターゲットを用い、第1の酸化物半導体膜と同様にして形成できる。10

【0261】

また、酸化物半導体膜を3層構造とし、第1の酸化物半導体膜乃至第3の酸化物半導体膜の構成元素を同一とし、且つそれぞれの原子数比を異ならせてもよい。酸化物半導体膜を3層構造とする構成について、図27を用いて説明する。

【0262】

図27に示すトランジスタ297は、第1の酸化物半導体膜299a、第2の酸化物半導体膜299b、及び第3の酸化物半導体膜299cがゲート絶縁膜127側から順に積層されている。第1の酸化物半導体膜299a及び第3の酸化物半導体膜299cを構成する材料は、 $InM_{1-x}Zn_yO_z$ ($x < 1$, $y > 0$, $M = Ga, Hf$ など)で表記できる材料を用いる。ただし、第1の酸化物半導体膜299a及び第3の酸化物半導体膜299cを構成する材料にGaを含ませる場合、含ませるGaの割合が多い、具体的には $InM_{1-x}Zn_yO_z$ で表記できる材料で $x = 1.0$ を超えると成膜時に粉が発生する恐れがあり、不適である。なお、トランジスタ297において、第1の酸化物半導体膜299a、第2の酸化物半導体膜299b、及び第3の酸化物半導体膜299c以外の構成は、上記実施の形態に記載したトランジスタ(例えば、実施の形態1に記載したトランジスタ103)と同様の構成である。2030

【0263】

また、第2の酸化物半導体膜299bを構成する材料は、 $InM_{2-x}Zn_yO_z$ ($x < 1$, $y > 0$, $M = Ga, Sn$ など)で表記できる材料を用いる。

【0264】

第1の酸化物半導体膜299aの伝導帯及び第3の酸化物半導体膜299cの伝導帯に比べて第2の酸化物半導体膜299bの伝導帯が真空準位から最も深くなるような井戸型構造を構成するように、第1、第2、及び第3の酸化物半導体膜の材料を適宜選択する。

【0265】

なお、実施の形態1で記載したように、酸化物半導体膜において第14族元素の一つであるシリコンや炭素はキャリアである電子を生成し、キャリア密度を増大させる。このため、シリコンや炭素が酸化物半導体膜に含まれると、酸化物半導体膜はn型化してしまう。このため、各酸化物半導体膜に含まれるシリコン濃度及び炭素濃度は $3 \times 10^{18} / cm^3$ 以下、好ましくは $3 \times 10^{17} / cm^3$ 以下とする。特に、第2の酸化物半導体膜299bに第14族元素が多く混入しないように、第1の酸化物半導体膜299a及び第3の酸化物半導体膜299cで、キャリアバスとなる第2の酸化物半導体膜299bを挟む、又は囲む構成とすることが好ましい。即ち、第1の酸化物半導体膜299a及び第3の酸化物半導体膜299cは、シリコン、炭素などの第14族元素が第2の酸化物半導体膜299bに混入することを防ぐバリア膜とも呼べる。

【0266】

例えば、第1の酸化物半導体膜299aの原子数比をIn : Ga : Zn = 1 : 3 : 2と4050

し、第2の酸化物半導体膜299bの原子数比をIn:Ga:Zn=3:1:2とし、第3の酸化物半導体膜299cの原子数比をIn:Ga:Zn=1:1:1としてもよい。なお、第3の酸化物半導体膜299cは、原子数比がIn:Ga:Zn=1:1:1である酸化物ターゲットを用いたスパッタリング法によって形成できる。

【0267】

または、第1の酸化物半導体膜299aを、原子数比がIn:Ga:Zn=1:3:2である酸化物半導体膜とし、第2の酸化物半導体膜299bを、原子数比がIn:Ga:Zn=1:1:1又はIn:Ga:Zn=1:3:2である酸化物半導体膜とし、第3の酸化物半導体膜299cを、原子数比がIn:Ga:Zn=1:3:2である酸化物半導体膜とした、3層構造としてもよい。

10

【0268】

第1の酸化物半導体膜299a乃至第3の酸化物半導体膜299cの構成元素は同一であるため、第2の酸化物半導体膜299bは、第1の酸化物半導体膜299aとの界面における欠陥準位（トラップ準位）が少ない。詳細には、当該欠陥準位（トラップ準位）は、ゲート絶縁膜127と第1の酸化物半導体膜299aとの界面における欠陥準位よりも少ない。このため、上記のように酸化物半導体膜が積層されていることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0269】

また、第1の酸化物半導体膜299aの伝導帯及び第3の酸化物半導体膜299cの伝導帯に比べて第2の酸化物半導体膜299bの伝導帯が真空準位から最も深くなるような井戸型構造を構成するように、第1、第2、及び第3の酸化物半導体膜の材料を適宜選択することで、トランジスタの電界効果移動度を高めることができると共に、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

20

【0270】

また、第1の酸化物半導体膜299a乃至第3の酸化物半導体膜299cに、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、及びCAC-OSを適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜299a乃至第3の酸化物半導体膜299cのいずれか一に非晶質酸化物半導体を適用すると、酸化物半導体膜の内部応力や外部からの応力を緩和し、トランジスタの電気特性の変動が低減され、またトランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

30

【0271】

また、少なくともチャネル形成領域となりうる第2の酸化物半導体膜299bはCAC-OS膜であることが好ましい。また、バックチャネル側の酸化物半導体膜、本実施の形態では、第3の酸化物半導体膜299cは、非晶質酸化物半導体膜又はCAC-OS膜であることが好ましい。このような構造とすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0272】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

40

【0273】

(実施の形態5)

上記実施の形態で一例を示したトランジスタ及び容量素子を用いて表示機能を有する半導体装置（表示装置ともいう。）を作製することができる。また、トランジスタを含む駆動回路の一部又は全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。本実施の形態では、上記実施の形態で一例を示したトランジスタを用いた表示装置の例について、図面を用いて説明する。図29は、図28(B)中でX1-X2の一点鎖線で示した部位の断面構成を示す断面図である。なお、図29において、画素部の構造は一部のみ記載している。

【0274】

50

図28(A)において、第1の基板901上に設けられた画素部902を囲むようにして、シール材905が設けられ、第2の基板906によって封止されている。図28(A)においては、第1の基板901上のシール材905によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路903、及び走査線駆動回路904が実装されている。また、信号線駆動回路903、走査線駆動回路904、又は画素部902に与えられる各種信号及び電位は、FPC(Flexible printed circuit)918から供給されている。

【0275】

図28(B)及び図28(C)において、第1の基板901上に設けられた画素部902と、走査線駆動回路904とを囲むようにして、シール材905が設けられている。また画素部902と、走査線駆動回路904の上に第2の基板906が設けられている。従って、画素部902と、走査線駆動回路904とは、第1の基板901とシール材905と第2の基板906とによって、表示素子と共に封止されている。図28(B)及び図28(C)においては、第1の基板901上のシール材905によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路903が実装されている。図28(B)及び図28(C)においては、信号線駆動回路903、走査線駆動回路904、又は画素部902に与えられる各種信号及び電位は、FPC918から供給されている。

【0276】

また、図28(B)及び図28(C)においては、信号線駆動回路903を別途形成し、第1の基板901に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部又は走査線駆動回路の一部のみを別途形成して実装してもよい。

【0277】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図28(A)は、COG方法により信号線駆動回路903、走査線駆動回路904を実装する例であり、図28(B)は、COG方法により信号線駆動回路903を実装する例であり、図28(C)は、TAB方法により信号線駆動回路903を実装する例である。

【0278】

また、表示装置は、表示素子が封止された状態にあるパネルと、当該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0279】

なお、本明細書における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む。)を指す。また、コネクター、例えばFPCもしくはTCPが取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュール、又は表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0280】

また、第1の基板901上に設けられた画素部902及び走査線駆動回路904は、トランジスタを複数有しており、上記実施の形態で示したトランジスタを適用することができる。

【0281】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう。)、発光素子(発光表示素子ともいう。)を用いることができる。発光素子は、電流又は電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には有機EL(ELectro Luminescence)素子、無機EL素子などが含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。図29に、表示素子として液晶素子を用いた液晶表示装置の例を示す。

10

20

30

40

50

【0282】

図29に示す表示装置は、縦電界方式の液晶表示装置である。液晶表示装置は、接続端子電極915及び端子電極916を有しており、接続端子電極915及び端子電極916はFPC918が有する端子と異方性導電剤919を介して、電気的に接続されている。

【0283】

接続端子電極915は、第1の電極930と同じ導電膜から形成され、端子電極916は、トランジスタ910、911のソース電極及びドレイン電極と同じ導電膜で形成されている。

【0284】

また、第1の基板901上に設けられた画素部902及び走査線駆動回路904は、トランジスタを複数有しており画素部902に含まれるトランジスタ910と、走査線駆動回路904に含まれるトランジスタ911とを例示している。トランジスタ910及びトランジスタ911の酸化物半導体膜上には実施の形態1に示す絶縁膜129、絶縁膜131及び絶縁膜132に相当する絶縁膜924が設けられている。なお、絶縁膜923は下地膜として機能する絶縁膜である。10

【0285】

本実施の形態では、トランジスタ910及びトランジスタ911として、上記実施の形態で示したトランジスタのいずれかを適用することができる。また、酸化物半導体膜927、絶縁膜924、及び第1の電極930によって容量素子926が構成されている。なお、酸化物半導体膜927は、容量線として機能する走査線929と、ゲート絶縁膜922に形成された開口を通じて電気的に接続されている。走査線929は、トランジスタ910及びトランジスタ911のゲート電極として機能する領域を含む走査線と同じ導電膜から形成される。なお、ここでは、容量素子926として実施の形態1に示した構成の容量素子を図示しているが、適宜他の実施の形態に示した構成の容量素子を用いることができる。20

【0286】

また、走査線駆動回路904に含まれるトランジスタ911において、絶縁膜924の酸化物半導体膜のチャネル形成領域と重なる位置に導電膜917が設けられている例を示している。導電膜917は電位を供給することが可能であり、トランジスタ911のゲート電極として機能する。つまり、トランジスタ911はデュアルゲートトランジスタである。なお、導電膜917は第1の電極930と同じ導電膜で形成することができる。また、導電膜917は、チャネル長方向の幅において、トランジスタ911のソース電極とドレイン電極との間の幅よりも短い形状とすることができる。30

【0287】

走査線駆動回路904に含まれるトランジスタ911は、導電膜917が設けられていることで、異なるドレイン電圧においてオン電流が流れ始めるゲート電圧（立ち上がりゲート電圧）の変動を低減することができる。また、トランジスタ911は、導電膜917が設けられていることで、酸化物半導体膜の導電膜917側の領域において、トランジスタ911のソース電極及びドレイン電極間に流れる電流を制御することが可能である。それゆえ、走査線駆動回路904に含まれる複数のトランジスタ間ににおける電気特性の変動を低減することができる。そして、トランジスタ911において、導電膜917の電位を走査線駆動回路904の最低電位と同電位、又は当該最低電位と同等の電位とすることで、トランジスタ911のしきい値電圧の変動を低減することができるため、信頼性を高めることができる。なお、走査線駆動回路904の最低電位とは、走査線駆動回路904を動作させる際に供給する電位のうち、最も低い電位のことをいう。例えば、走査線駆動回路904を動作させる際に供給する電位を、トランジスタ911のソース電極の電位を基準とする場合、当該ソース電極の電位（Vss）である。40

【0288】

また、導電膜917は外部の電場を遮蔽する機能も有する。すなわち外部の電場が内部（トランジスタを含む回路部）に作用しないようにする機能（特に静電気に対する静電遮50

蔽機能)も有する。導電膜917の遮蔽機能により、トランジスタ911は、静電気などの外部の電場の影響によるトランジスタの電気特性の変動を抑制することができ、信頼性を高めることができる。なお、図29においては、走査線駆動回路に含まれるトランジスタを図示したが、信号線駆動回路に含まれるトランジスタもトランジスタ911と同様にデュアルゲートトランジスタとすることができます。信号線駆動回路に含まれるトランジスタをデュアルゲートトランジスタとすることで、当該トランジスタはトランジスタ911と同様の効果を奏する。

【0289】

上記より、本発明の一態様である半導体装置(表示装置)は信頼性の高い半導体装置である。

10

【0290】

ここで、本発明の一態様である半導体装置(表示装置)に含まれるトランジスタにおいて、例えば、走査線駆動回路904に含まれる複数のトランジスタにおいて、ゲート電極を含む配線とソース電極又はドレイン電極を含む配線とが導電膜によって電気的に接続される構造について説明する。図30(A)に当該構造の上面図を示し、図30(B)に図30(A)の一点鎖線Y1-Y2及び一点鎖線Z1-Z2の断面図を示す。

【0291】

図30(A)より、トランジスタ911のゲート電極を含む配線950、及びトランジスタ911のソース電極又はドレイン電極を含む配線952は、開口954及び開口956に設けられた導電膜958と接している。

20

【0292】

図30(B)より、断面構造は、第1の基板901上に絶縁膜923が設けられており、配線950及び絶縁膜923上にはゲート絶縁膜922が設けられており、ゲート絶縁膜922上には配線952が設けられており、ゲート絶縁膜922及び配線952上には絶縁膜924が設けられている。そして、一点鎖線Y1-Y2の領域において、ゲート絶縁膜922及び絶縁膜924に配線950に達する開口954が設けられており、一点鎖線Z1-Z2の領域において、絶縁膜924に配線952に達する開口956が設けられている。そして、絶縁膜924上と、開口954及び開口956とには導電膜958が設けられている。

【0293】

30

上記より、ゲート電極を含む配線950とソース電極又はドレイン電極を含む配線952とが、導電膜958によって電気的に接続されている。

【0294】

導電膜958は、トランジスタ911の導電膜917の形成工程を利用して形成することができる。

【0295】

開口954及び開口956は一括して形成することができる。詳細は以下の通りである。配線950上にゲート絶縁膜922に加工される絶縁膜を形成し、当該絶縁膜上に配線952を形成し、配線952上に絶縁膜924に加工される絶縁膜を形成する。その後、絶縁膜924上にマスクを形成し、当該マスクを用いて加工することにより、開口954及び開口956を形成することができる。当該マスクとしては、レジストマスクを用いることができる。当該加工としては、ドライエッチングを利用することができる。配線950を金属材料などで形成することで、配線950及びゲート絶縁膜922におけるエッチング選択比を高くすることができるため、当該ドライエッチングによって、開口954及び開口956を一括して形成することができる。

40

【0296】

画素部902に設けられたトランジスタ910は表示素子と電気的に接続されている。

【0297】

表示素子である液晶素子913は、第1の電極930、第2の電極931、及び液晶908を含む。なお、液晶908を挟持するように配向膜として機能する絶縁膜932、絶

50

縁膜 933 が設けられている。また、第2の電極 931 は第2の基板 906 側に設けられ、第1の電極 930 と第2の電極 931 とは液晶 908 を介して重なる構成となっている。液晶素子 913 は実施の形態 1 に記載した液晶素子 108 を参照することができる。第1の電極 930 は、実施の形態 1 に記載した画素電極 121 に相当し、第2の電極 931 は、実施の形態 1 に記載した対向電極 154 に相当し、液晶 908 は実施の形態 1 に記載した液晶 160 に相当し、絶縁膜 932 は実施の形態 1 に記載した配向膜 158 に相当し、絶縁膜 933 は実施の形態 1 に記載した配向膜 156 に相当する。

【0298】

表示素子に電圧を印加する第1の電極 930 及び第2の電極 931（画素電極、共通電極、対向電極などともいう。）においては、取り出す光の方向、電極が設けられる場所、及び電極のパターン構造によって透光性又は反射性を選択すればよい。

10

【0299】

第1の電極 930 及び第2の電極 931 は、実施の形態 1 に示す画素電極 121 及び対向電極 154 と同様の材料を適宜用いることができる。

【0300】

また、スペーサ 935 は絶縁膜を選択的にエッティングすることで得られる柱状のスペーサであり、第1の電極 930 と第2の電極 931 との間隔（セルギャップ）を制御するために設けられている。なお、球状のスペーサを用いていてもよい。

【0301】

第1の基板 901 及び第2の基板 906 はシール材 905 によって固定されている。シール材 905 は、熱硬化樹脂、光硬化樹脂などの有機樹脂を用いることができる。また、シール材 905 は、絶縁膜 924 と接している。

20

【0302】

また、本発明の一態様である半導体装置（表示装置）において、遮光膜（ブラックマトリクス）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いててもよい。また、光源としてバックライト、サイドライトなどを用いててもよい。

【0303】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

30

【0304】

図 31 に、図 28 及び図 29 に示す表示装置において、第2の基板 906 に設けられた第2の電極 931 と電気的に接続するための共通接続部（パッド部）を、第1の基板 901 上に形成する例を示す。

【0305】

共通接続部は、第1の基板 901 と第2の基板 906 とを接着するためのシール材と重なる位置に配置され、シール材に含まれる導電性粒子を介して第2の電極 931 と電気的に接続される。又は、シール材と重ならない箇所（但し、画素部を除く）に共通接続部を設け、共通接続部に重なるように導電性粒子を含むペーストをシール材とは別途設けて第2の電極 931 と電気的に接続してもよい。

40

【0306】

図 31 (A) は、共通接続部の断面図であり、図 31 (B) に示す上面図の I - J に相当する。

【0307】

共通電位線 975 は、ゲート絶縁膜 922 上に設けられ、図 31 に示すトランジスタ 910 のソース電極 971 又はドレイン電極 973 と同じ材料及び同じ工程で作製される。

【0308】

また、共通電位線 975 は、絶縁膜 924 で覆われ、絶縁膜 924 は、共通電位線 975 と重なる位置に複数の開口を有している。この開口は、トランジスタ 910 のソース電極 971 又はドレイン電極 973 の一方と、第1の電極 930 とを接続するコンタクトホ

50

ールと同じ工程で作製される。

【0309】

また、共通電位線 975 及び共通電極 977 が開口において接続する。共通電極 977 は、絶縁膜 924 上に設けられ、接続端子電極 915 や、画素部の第 1 の電極 930 と同じ材料及び同じ工程で作製される。

【0310】

このように、画素部 902 のスイッチング素子の作製工程と共にさせて共通接続部を作製することができる。

【0311】

共通電極 977 は、シール材に含まれる導電性粒子と接触する電極であり、第 2 の基板 10 906 の第 2 の電極 931 と電気的に接続が行われる。

【0312】

また、図 31(C) に示すように、共通電位線 985 を、トランジスタ 910 のゲート電極と同じ材料、同じ工程で形成してもよい。

【0313】

図 31(C) に示す共通接続部において、共通電位線 985 は、ゲート絶縁膜 922 及び絶縁膜 924 の下層に設けられ、ゲート絶縁膜 922 及び絶縁膜 924 は、共通電位線 985 と重なる位置に複数の開口を有する。該開口は、トランジスタ 910 のソース電極 971 又はドレイン電極 973 の一方と第 1 の電極 930 とを接続するコンタクトホールと同じ工程で絶縁膜 924 をエッティングした後、さらにゲート絶縁膜 922 を選択的にエッティングすることで形成される。 20

【0314】

また、共通電位線 985 及び共通電極 987 が開口において接続する。共通電極 987 は、絶縁膜 924 上に設けられ、接続端子電極 915 や、画素部の第 1 の電極 930 と同じ材料及び同じ工程で作製される。

【0315】

以上より、容量素子の一方の電極として、トランジスタの半導体膜と同じ形成工程で形成される半導体膜を用いることで、開口率を高めつつ、電荷容量を大きくした容量素子を有する半導体装置を作製することができる。例えば、本実施の形態における半導体装置においても、画素密度を 300 ppi 程度とする場合、画素の開口率を 50% 以上、さらには画素の開口率を 55% 以上、さらには画素の開口率を 60% 以上にすることができる。また、開口率を高めることによって表示品位が良い半導体装置を得ることができる。 30

【0316】

また、トランジスタの半導体膜（具体的には酸化物半導体膜）は酸素欠損が低減され、水素、窒素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置である。

【0317】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0318】

(実施の形態 6)

本発明の一態様である半導体装置は、さまざまな電子機器（遊戯機も含む）に適用することができる。電子機器としては、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう。）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊戯機（パチンコ機、スロットマシン等）、ゲーム筐体が挙げられる。これらの電子機器の一例を図 32 に示す。

【0319】

図 32(A) は、表示部を有するテーブル 9000 を示している。テーブル 9000 は、筐体 9001 に表示部 9003 が組み込まれており、表示部 9003 により映像を表示 50

することができる。なお、4本の脚部9002により筐体9001を支持した構成を示している。また、電力供給のための電源コード9005を筐体9001に有している。

【0320】

上記実施の形態のいずれかに示す半導体装置は、表示部9003に用いることが可能である。それゆえ、表示部9003の表示品位を高くすることができます。

【0321】

表示部9003は、タッチ入力機能を有しており、テーブル9000の表示部9003に表示された表示ボタン9004を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、又は制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、イメージセンサ機能を有する半導体装置を用いれば、表示部9003にタッチ入力機能を持たせることができる。10

【0322】

また、筐体9001に設けられたヒンジによって、表示部9003の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【0323】

図32(B)は、テレビジョン装置9100を示している。テレビジョン装置9100は、筐体9101に表示部9103が組み込まれており、表示部9103により映像を表示することが可能である。なお、ここではスタンド9105により筐体9101を支持した構成を示している。20

【0324】

テレビジョン装置9100の操作は、筐体9101が備える操作スイッチや、別体のリモコン操作機9110により行うことができる。リモコン操作機9110が備える操作キー9109により、チャンネルや音量の操作を行うことができ、表示部9103に表示される映像を操作することができる。また、リモコン操作機9110に、当該リモコン操作機9110から出力する情報を表示する表示部9107を設ける構成としてもよい。

【0325】

図32(B)に示すテレビジョン装置9100は、受信機やモデムなどを備えている。テレビジョン装置9100は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向(送信者から受信者)又は双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。30

【0326】

上記実施の形態のいずれかに示す半導体装置は、表示部9103、9107に用いることが可能である。それゆえ、テレビジョン装置の表示品位を向上させることができます。

【0327】

図32(C)は、コンピュータ9200を示している。コンピュータ9200は、本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングデバイス9206などを含む。40

【0328】

上記実施の形態のいずれかに示す半導体装置は、表示部9203に用いることが可能である。それゆえ、コンピュータの表示品位を向上させることができます。

【0329】

図33(A)及び図33(B)は2つ折り可能なタブレット型端末である。図33(A)は、開いた状態であり、タブレット型端末は、筐体9630、表示部9631a、表示部9631b、表示モード切り替えスイッチ9034、電源スイッチ9035、省電力モード切り替えスイッチ9036、留め具9033、操作スイッチ9038、を有する。

【0330】

上記実施の形態のいずれかに示す半導体装置は、表示部 9631a、表示部 9631b に用いることが可能である。それゆえ、タブレット端末の表示品位を向上させることができる。

【0331】

表示部 9631a は、一部をタッチパネルの領域 9632a とすることことができ、表示された操作キー 9638 にふれることでデータ入力をすることができる。なお、表示部 9631a においては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部 9631a の全ての領域がタッチパネルの機能を有する構成としても良い。例えば、表示部 9631a の全面をキーボードボタン表示させてタッチパネルとし、表示部 9631b を表示画面として用いることができる。10

【0332】

また、表示部 9631b においても表示部 9631a と同様に、表示部 9631b の一部をタッチパネルの領域 9632b とすることができます。また、タッチパネルのキーボード表示切り替えボタン 9639 が表示されている位置に指やスタイラスなどでふれることで表示部 9631b にキーボードボタン表示することができる。

【0333】

また、タッチパネルの領域 9632a とタッチパネルの領域 9632b に対して同時にタッチ入力することもできる。

【0334】

また、表示モード切り替えスイッチ 9034 は、縦表示又は横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ 9036 は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができます。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。20

【0335】

また、図 33 (A) では表示部 9631b と表示部 9631a の表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なっていてもよく、表示の品質も異なっていてもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。30

【0336】

図 33 (B) は、閉じた状態であり、タブレット型端末は、筐体 9630、太陽電池 9633、充放電制御回路 9634 を有する。なお、図 33 (B) では充放電制御回路 9634 の一例としてバッテリー 9635、DCDC コンバータ 9636 を有する構成について示している。

【0337】

なお、タブレット型端末は 2 つ折り可能なため、未使用時に筐体 9630 を閉じた状態にすることができる。従って、表示部 9631a、表示部 9631b を保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。40

【0338】

また、この他にも図 33 (A) 及び図 33 (B) に示したタブレット型端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。

【0339】

タブレット型端末の表面に装着された太陽電池 9633 によって、電力をタッチパネル、表示部、又は映像信号処理部等に供給することができる。なお、太陽電池 9633 は、筐体 9630 の片面又は両面に設けることができ、バッテリー 9635 の充電を効率的に50

行う構成とすることができます。なお、バッテリー 9635 としては、リチウムイオン電池を用いると、小型化を図れるなどの利点がある。

【0340】

また、図33(B)に示す充放電制御回路9634の構成、及び動作について図33(C)にブロック図を示し説明する。図33(C)には、太陽電池9633、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3が、図33(B)に示す充放電制御回路9634に対応する箇所となる。

【0341】

まず、外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池9633で発電した電力は、バッテリー9635を充電するための電圧となるようDCDCコンバータ9636で昇圧又は降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧又は降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635の充電を行う構成とすればよい。

【0342】

なお、太陽電池9633については、発電手段の一例として示したが、特に限定されず、圧電素子(ピエゾ素子)や熱電変換素子(ペルティエ素子)などの他の発電手段によるバッテリー9635の充電を行う構成であってもよい。例えば、無線(非接触)で電力を送受信して充電する無接点電力伝送モジュールや、また他の充電手段を組み合わせて行う構成としてもよい。

【0343】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【実施例1】

【0344】

本実施例では、酸化物半導体膜、及び多層膜の抵抗について、図34及び図35を用いて説明する。

【0345】

はじめに、試料の構造について図34を用いて説明する。

【0346】

図34(A)は、試料1乃至試料4の上面図であり、一点破線A1-A2の断面図を図34(B)、(C)、(D)に示す。なお、試料1乃至試料4は、上面図が同一であり、断面の積層構造が異なるため、断面図が異なる。試料1の断面図を図34(B)に、試料2の断面図を図34(C)に、試料3及び試料4の断面図を図34(D)に、それぞれ示す。

【0347】

試料1は、ガラス基板1901上に絶縁膜1903が形成され、絶縁膜1903上に絶縁膜1904が形成され、絶縁膜1904上に酸化物半導体膜1905が形成される。また、酸化物半導体膜1905の両端を電極として機能する導電膜1907、1909が覆い、酸化物半導体膜1905及び導電膜1907、1909を絶縁膜1910、1911が覆う。なお、絶縁膜1910、1911には、開口部1913、1915が設けられており、それぞれ当該開口部において、導電膜1907、1909が露出している。

【0348】

試料2は、ガラス基板1901上に絶縁膜1903が形成され、絶縁膜1903上に絶縁膜1904が形成され、絶縁膜1904上に酸化物半導体膜1905が形成される。また、酸化物半導体膜1905の両端を電極として機能する導電膜1907、1909が覆い、酸化物半導体膜1905及び導電膜1907、1909を絶縁膜1911が覆う。な

10

20

30

40

50

お、絶縁膜 1911 には、開口部 1917、1919 が設けられており、それぞれ当該開口部において、導電膜 1907、1909 が露出している。

【0349】

試料 3 及び試料 4 は、ガラス基板 1901 上に絶縁膜 1903 が形成され、絶縁膜 1903 上に絶縁膜 1904 が形成され、絶縁膜 1904 上に多層膜 1906 が形成される。また、多層膜 1906 の両端を電極として機能する導電膜 1907、1909 が覆い、多層膜 1906 及び導電膜 1907、1909 を絶縁膜 1911 が覆う。なお、絶縁膜 1911 には、開口部 1917、1919 が設けられており、それぞれ当該開口部において、導電膜 1907、1909 が露出している。

【0350】

このように、試料 1 乃至試料 4 は、酸化物半導体膜 1905、または多層膜 1906 上に接する絶縁膜の構造が異なる。試料 1 は、酸化物半導体膜 1905 と絶縁膜 1910 が接しており、試料 2 は、酸化物半導体膜 1905 と絶縁膜 1911 が接しており、試料 3 及び試料 4 は、多層膜 1906 と絶縁膜 1911 が接している。

【0351】

次に、各試料の作製方法について説明する。

【0352】

はじめに、試料 1 の作製方法について説明する。

【0353】

ガラス基板 1901 上に、絶縁膜 1903 として、プラズマ CVD 法により厚さ 400 nm の窒化シリコン膜を成膜した。

【0354】

次に、絶縁膜 1903 上に、絶縁膜 1904 として、プラズマ CVD 法により厚さ 50 nm の酸化窒化シリコン膜を成膜した。

【0355】

次に、絶縁膜 1904 上に、酸化物半導体膜 1905 として、金属酸化物ターゲット (In : Ga : Zn = 1 : 1 : 1) を用い、スパッタリング法により厚さ 35 nm の IGO 膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、酸化物半導体膜 1905 を形成した。

【0356】

次に、絶縁膜 1904 及び酸化物半導体膜 1905 上に、スパッタリング法により厚さ 50 nm のタンゲステン膜、厚さ 400 nm のアルミニウム膜、及び厚さ 100 nm のチタン膜を順に積層した後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、導電膜 1907 及び導電膜 1909 を形成した。

【0357】

次に、絶縁膜 1904、酸化物半導体膜 1905、導電膜 1907、及び導電膜 1909 上に、絶縁膜 1910 として、プラズマ CVD 法により厚さ 450 nm の酸化窒化シリコン膜を成膜した後、350 nm の窒素及び酸素の混合雰囲気で 1 時間の加熱処理を行った。

【0358】

次に、絶縁膜 1910 上に、絶縁膜 1911 として、プラズマ CVD 法により厚さ 50 nm の窒化シリコン膜を成膜した。

【0359】

次に、絶縁膜 1911 上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、絶縁膜 1910、及び絶縁膜 1911 に開口部 1913、1915 を形成した。

【0360】

以上の工程により試料 1 を作製した。

【0361】

次に、試料 2 の作製方法について説明する。

10

20

30

40

50

【0362】

試料1の絶縁膜1904、酸化物半導体膜1905、導電膜1907、及び導電膜1909上に、絶縁膜1910として、プラズマCVD法により厚さ450nmの酸化窒化シリコン膜を成膜した後、350の窒素及び酸素の混合雰囲気で1時間の加熱処理を行った。その後、絶縁膜1910の除去を行った。

【0363】

次に、絶縁膜1904、酸化物半導体膜1905、導電膜1907、及び導電膜1909上に、絶縁膜1911として、プラズマCVD法により厚さ50nmの窒化シリコン膜を成膜した。

【0364】

次に、絶縁膜1911上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、絶縁膜1911に開口部1917、1919を形成した。

【0365】

以上の工程により試料2を作製した。

【0366】

次に、試料3の作製方法について、説明する。

【0367】

試料3は、試料2の酸化物半導体膜1905の代わりに、多層膜1906を用いた。多層膜1906としては、絶縁膜1904上に、金属酸化物ターゲット(In : Ga : Zn = 1 : 3 : 2)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In : Ga : Zn = 1 : 1 : 1)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In : Ga : Zn = 1 : 3 : 2)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、多層膜1906を形成した。

【0368】

以上の工程により試料3を作製した。

【0369】

次に、試料4の作製方法について、説明する。

【0370】

試料4は、試料2の酸化物半導体膜1905の代わりに、多層膜1906を用いた。多層膜1906としては、絶縁膜1904上に、金属酸化物ターゲット(In : Ga : Zn = 1 : 3 : 2)を用い、スパッタリング法により厚さ20nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In : Ga : Zn = 1 : 1 : 1)を用い、スパッタリング法により厚さ15nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In : Ga : Zn = 1 : 3 : 2)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、多層膜1906を形成した。

【0371】

以上の工程により試料4を作製した。

【0372】

次に、試料1乃至試料4に設けられた酸化物半導体膜1905、及び多層膜1906のシート抵抗を測定した。試料1においては、開口部1913及び開口部1915にプローブを接触させ、酸化物半導体膜1905のシート抵抗を測定した。また、試料2乃至試料4においては、開口部1917及び開口部1919にプローブを接触させ、酸化物半導体膜1905、及び多層膜1906のシート抵抗を測定した。なお、試料1乃至試料4の酸化物半導体膜1905、及び多層膜1906において、導電膜1907及び導電膜1909が対向する幅を1mm、導電膜1907と導電膜1909との間の距離を10μmとした。また、試料1乃至試料4において、導電膜1907を接地電位とし、導電膜1909に1Vを印加した。

10

20

30

40

50

【0373】

試料1乃至試料4のシート抵抗を図35に示す。

【0374】

試料1のシート抵抗は、約 1×10^{11} / sqであった。また、試料2のシート抵抗は、約2620 / sqであった。また、試料3のシート抵抗は、約4410 / sqであった。また、試料4のシート抵抗は、約2930 / sqであった。

【0375】

このように、酸化物半導体膜1905、及び多層膜1906に接する絶縁膜の違いにより、酸化物半導体膜1905、及び多層膜1906のシート抵抗は、異なる値を示す。

【0376】

なお、上述した試料1乃至試料4のシート抵抗を抵抗率に換算した場合、試料1は、 3.9×10^5 cm、試料2は、 9.3×10^{-3} cm、試料3は、 1.3×10^{-2} cm、試料4は、 1.3×10^{-2} cmであった。

【0377】

試料1は、酸化物半導体膜1905上に接して絶縁膜1910として用いる酸化窒化シリコン膜が形成されており、絶縁膜1911として用いる窒化シリコン膜と離れて形成されている。一方、試料2乃至試料4は、酸化物半導体膜1905、及び多層膜1906上に接して絶縁膜1911として用いる窒化シリコン膜が形成されている。このように、酸化物半導体膜1905、及び多層膜1906は、絶縁膜1911として用いる窒化シリコン膜に接して設けると、酸化物半導体膜1905、及び多層膜1906に欠陥、代表的には酸素欠損が形成されると共に、該窒化シリコン膜に含まれる水素が、酸化物半導体膜1905、及び多層膜1906へ移動または拡散する。これらの結果、酸化物半導体膜1905、及び多層膜1906の導電性が向上する。

【0378】

例えば、トランジスタのチャネル形成領域に酸化物半導体膜を用いる場合、試料1に示すように酸化物半導体膜に接して酸化窒化シリコン膜を設ける構成が好ましい。また、容量素子の電極に用いる透光性を有する導電膜としては、試料2乃至試料4に示すように酸化物半導体膜または多層膜に接して窒化シリコン膜を設ける構成が好ましい。このような構成を用いることによって、トランジスタのチャネル形成領域に用いる酸化物半導体膜または多層膜と、容量素子の電極に用いる酸化物半導体膜または多層膜と、を同一工程で作製しても酸化物半導体膜、及び多層膜の抵抗率を変えることができる。

【0379】

次に、試料2及び試料3において、高温高湿環境で保存した試料のシート抵抗値について測定した。ここで用いた各試料の条件について、以下に説明する。なお、ここでは、一部の条件において、試料2及び試料3と異なる条件を用いている。このため、試料2及び試料3と構造が同じであり、作製条件が異なる試料をそれぞれ試料2a及び試料3aとする。

【0380】

はじめに、試料2aの作製方法について説明する。

【0381】

ガラス基板1901上に、絶縁膜1903及び絶縁膜1904を成膜した。

【0382】

絶縁膜1904上に、酸化物半導体膜1905として、金属酸化物ターゲット(In : Ga : Zn = 1 : 1 : 1)を用い、スパッタリング法により厚さ35nmのIGZO膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行った後、350または450で加熱処理を行い、酸化物半導体膜1905を形成した。

【0383】

絶縁膜1904及び酸化物半導体膜1905上に、スパッタリング法により厚さ50nmのチタン膜、及び厚さ400nmの銅膜を順に積層した後、フォトリソグラフィ工程に

10

20

30

40

50

より形成したマスクを用いてエッティング処理を行い、導電膜 1907 及び導電膜 1909 を形成した。

【0384】

次に、絶縁膜 1904、酸化物半導体膜 1905、導電膜 1907、及び導電膜 1909 上に、絶縁膜 1910 として、プラズマ CVD 法により厚さ 450 nm の酸化窒化シリコン膜を成膜した後、350 の窒素及び酸素の混合雰囲気で 1 時間の加熱処理を行った。

【0385】

次に、絶縁膜 1904、酸化物半導体膜 1905、導電膜 1907、及び導電膜 1909 上に、絶縁膜 1911 として、プラズマ CVD 法により厚さ 50 nm の窒化シリコン膜を成膜した。なお、窒化シリコン膜の成膜温度を 220 または 350 とした。

10

【0386】

次に、絶縁膜 1911 上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッティング処理を行い、絶縁膜 1910、及び絶縁膜 1911 に開口部 1917、1915 を形成した。

【0387】

以上の工程により試料 2a を作製した。

【0388】

次に、試料 3a の作製方法について、説明する。

【0389】

20

試料 3a は、試料 2a の酸化物半導体膜 1905 の代わりに、多層膜 1906 を用いた。多層膜 1906 としては、絶縁膜 1904 上に、金属酸化物ターゲット (In : Ga : Zn = 1 : 1 : 1) を用い、スパッタリング法により厚さ 10 nm の IZO 膜を成膜し、続けて金属酸化物ターゲット (In : Ga : Zn = 1 : 3 : 2) を用い、スパッタリング法により厚さ 10 nm の IZO 膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッティング処理を行った後、350 または 450 で加熱処理を行い、多層膜 1906 を形成した。

【0390】

以上の工程により試料 3a を作製した。

【0391】

30

次に、試料 2a 及び試料 3a に設けられた酸化物半導体膜 1905、及び多層膜 1906 のシート抵抗を測定した。試料 2a 及び試料 3a においては、開口部 1917 及び開口部 1919 にプローブを接触させ、酸化物半導体膜 1905、及び多層膜 1906 のシート抵抗を測定した。なお、試料 2a 及び試料 3a の酸化物半導体膜 1905、及び多層膜 1906 において、導電膜 1907 及び導電膜 1909 が対向する幅を 1.5 mm、導電膜 1907 と導電膜 1909との間の距離を 10 μm とした。また、試料 2a 及び試料 3a において、導電膜 1907 を接地電位とし、導電膜 1909 に 1 V を印加した。また、温度 60 、湿度 95 % の雰囲気において、試料 2a 及び試料 3a を、60 時間及び 130 時間保管した後、各試料のシート抵抗値を測定した。

【0392】

40

試料 2a 及び試料 3a のシート抵抗値を図 39 に示す。なお、図 39 において、実線は、各試料において絶縁膜 1911 として形成した窒化シリコン膜の成膜温度が 220 であり、破線は 350 であることを示す。また、黒塗りマーカは、各試料において、酸化物半導体膜 1905 または多層膜 1906 を形成した後、350 で加熱処理を行ったことを示し、白塗りマーカは、酸化物半導体膜 1905 または多層膜 1906 を形成した後、450 で加熱処理を行ったことを示す。丸マーカは、各試料が酸化物半導体膜 1905 を有する、即ち、試料 2a であることを示す。三角マーカは、各試料が多層膜 1906 を有する、即ち試料 3a であることを示す。なお、図 39 において、多層膜 1906 を形成した後、350 で加熱した試料 3a の測定結果、即ち黒塗り三角マーカはプロットしていない。

50

【0393】

図39より、試料2a及び試料3aは、シート抵抗値が低く、容量素子の電極として好ましいシート抵抗値、0.2M / sq以下を満たしていることが分かる。また、試料2a及び試料3aは、シート抵抗値の時間変動量が少ないことがわかる。以上のことから、窒化シリコン膜に接する酸化物半導体膜または多層膜は、高温高湿環境において、シート抵抗値の変動量が少ないため、容量素子の電極に用いる透光性を有する導電膜として用いることができる。

【0394】

次に、試料2a及び試料3aにおいて、基板温度を25、60、及び150として、それぞれのシート抵抗値を測定した結果を図40に示す。なお、ここでは、試料2a及び試料3aとして、絶縁膜1911として形成した窒化シリコン膜の成膜温度が220であり、酸化物半導体膜1905または多層膜1906を形成した後、350で加熱処理を行った試料を用いた。また、図40において、黒塗り丸マーカは試料2aの測定結果を示し、黒塗り三角マーカは、試料3aの測定結果を示す。

【0395】

図40より、基板温度を高くしても、酸化物半導体膜1905及び多層膜1906のシート抵抗値は変動しないことが分かる。即ち、窒化シリコン膜に接する酸化物半導体膜または多層膜は、縮退半導体ともいえる。窒化シリコン膜に接する酸化物半導体膜または多層膜は、基板温度が変化してもシート抵抗値の変動量が少ないため、容量素子の電極に用いる透光性を有する導電膜として用いることができる。

【0396】

本実施例に示す構成は、他の実施の形態、または実施例に示す構成と適宜組み合わせて用いることができる。

【実施例2】**【0397】**

本実施例は、酸化物半導体膜と、酸化物半導体膜上に形成された絶縁膜との不純物分析について、図36を用いて説明する。

【0398】

本実施例においては、不純物分析用のサンプルとして、2種類のサンプル（以下、試料5、及び試料6）を作製した。

【0399】

まず、はじめに試料5の作製方法を以下に示す。

【0400】

試料5は、ガラス基板上にIGZO膜を成膜し、その後窒化シリコン膜を成膜した。その後、窒素雰囲気下で450、1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気（窒素=80%、酸素=20%）下で450×1時間の熱処理を行った。

【0401】

なお、IGZO膜の成膜条件としては、スパッタリング法にて、金属酸化物ターゲット（In:Ga:Zn=1:1:1）を用い、Ar/O₂=100/100scm（O₂=50%）、圧力=0.6Pa、成膜電力=5000W、基板温度=170の条件で100nmの厚さIGZO膜を成膜した。

【0402】

また、窒化シリコン膜の成膜条件としては、PECVD法にて、SiH₄/N₂/NH₃=50/5000/100scm、圧力=100Pa、成膜電力=1000W、基板温度=220の条件で100nmの厚さの窒化シリコン膜を成膜した。

【0403】

次に、試料6の作製方法を以下に示す。

【0404】

ガラス基板上にIGZO膜を成膜し、その後酸化窒化シリコン膜及び窒化シリコン膜を積層して成膜した。その後、窒素雰囲気下で450、1時間の熱処理を行い、続けて窒

10

20

30

40

50

素と酸素の混合ガス雰囲気(窒素 = 80%、酸素 = 20%)下で450 × 1時間の熱処理を行った。

【0405】

なお、IGZO膜の成膜条件、及び窒化シリコン膜の成膜条件としては、試料5と同様の条件を用いた。また、酸化窒化シリコン膜の成膜条件としては、PE-CVD法にて、 $\text{SiH}_4/\text{N}_2\text{O} = 30/4000 \text{ sccm}$ 、圧力 = 40 Pa、成膜電力 = 150 W、基板温度 = 220 の条件で50 nmの厚さの酸化窒化シリコン膜を成膜し、その後、PE-CVD法にて、 $\text{SiH}_4/\text{N}_2\text{O} = 160/4000 \text{ sccm}$ 、圧力 = 200 Pa、成膜電力 = 1500 W、基板温度 = 220 の条件で400 nmの厚さの酸化窒化シリコン膜を成膜した。

10

【0406】

試料5及び試料6の不純物分析結果を図36に示す。

【0407】

なお、不純物分析としては、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)を用い、図36に示す矢印の方向から分析を行った。すなわち、ガラス基板側からの測定である。

【0408】

また、図36(A)は、試料5の測定により得られた水素(H)の濃度プロファイルである。図36(B)は、試料6の測定により得られた水素(H)の濃度プロファイルである。

20

【0409】

図36(A)よりIGZO膜中の水素(H)濃度は、 $1.0 \times 10^{20} \text{ atoms/cm}^3$ であることがわかる。また、窒化シリコン膜中の水素(H)濃度は、 $1.0 \times 10^{23} \text{ atoms/cm}^3$ であることがわかる。また、図36(B)よりIGZO膜中の水素(H)濃度は、 $5.0 \times 10^{19} \text{ atoms/cm}^3$ であることがわかる。また、酸化窒化シリコン膜中の水素(H)濃度は、 $3.0 \times 10^{21} \text{ atoms/cm}^3$ であることがわかる。

【0410】

なお、SIMS分析は、その測定原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素(H)の厚さ方向の分布を、SIMSで分析する場合、対象となる膜の存在する範囲において、極端な変動が無く、ほぼ一定の強度が得られる領域における平均値を採用する。

30

【0411】

このように、IGZO膜に接する絶縁膜の構成を変えることにより、IGZO膜中の水素(H)濃度に差が確認された。

【0412】

例えば、トランジスタのチャネル形成領域に上述したIGZO膜を用いる場合、試料6に示すようにIGZO膜に接して酸化窒化シリコン膜を設ける構成が好ましい。また、容量素子の電極に用いる透光性を有する導電膜としては、試料5に示すようにIGZO膜に接して窒化シリコン膜を設ける構成が好ましい。このような構成を用いることによって、トランジスタのチャネル形成領域に用いるIGZO膜と、容量素子の電極に用いるIGZO膜と、を同一工程で作製してもIGZO膜中の水素濃度を変えることができる。

40

【実施例3】

【0413】

本実施例では、酸化物半導体膜及び多層膜の欠陥量について、図37及び図38を用いて説明する。

【0414】

はじめに、試料の構造について説明する。

【0415】

50

試料 7 は、石英基板上に形成された厚さ 35 nm の酸化物半導体膜と、酸化物半導体膜上に形成された厚さ 100 nm の窒化絶縁膜とを有する。

【0416】

試料 8 及び試料 9 は、石英基板上に形成された厚さ 30 nm の多層膜と、多層膜上に形成された厚さ 100 nm の窒化絶縁膜とを有する。なお、試料 8 の多層膜は、厚さ 10 nm の第 1 の酸化物膜、厚さ 10 nm の酸化物半導体膜、及び厚さ 10 nm の第 2 の酸化物膜が順に積層されている。また、試料 9 は、厚さ 20 nm の第 1 の酸化物膜、厚さ 15 nm の酸化物半導体膜、及び厚さ 10 nm の第 2 の酸化物膜が順に積層されている。試料 8 及び試料 9 は、試料 7 と比較して、酸化物半導体膜の代わりに多層膜を有する点が異なる。

10

【0417】

試料 10 は、石英基板上に形成された厚さ 100 nm の酸化物半導体膜と、酸化物半導体膜上に形成された厚さ 250 nm の酸化絶縁膜と、酸化絶縁膜上に形成された厚さ 100 nm の窒化絶縁膜とを有する。試料 10 は、試料 7 乃至試料 9 と比較して酸化物半導体膜が窒化絶縁膜と接しておらず、酸化絶縁膜と接している点が異なる。

【0418】

次に、各試料の作製方法について説明する。

【0419】

はじめに、試料 7 の作製方法について説明する。

【0420】

石英基板上に、酸化物半導体膜として厚さ 35 nm の I G Z O 膜を成膜した。I G Z O 膜の成膜条件としては、スパッタリング法にて、金属酸化物ターゲット (In : Ga : Zn = 1 : 1 : 1) を用い、Ar / O₂ = 100 sccm / 100 sccm (O₂ = 50 %)、圧力 = 0.6 Pa、成膜電力 = 5000 W、基板温度 = 170 の条件を用いた。

20

【0421】

次に、第 1 の加熱処理として、450 の窒素雰囲気で 1 時間の加熱処理を行った後、450 の窒素と酸素の混合ガス雰囲気 (窒素 = 80 %、酸素 = 20 %) で 1 時間の加熱処理を行った。

【0422】

次に、酸化物半導体膜上に、窒化絶縁膜として厚さ 100 nm の窒化シリコン膜を成膜した。窒化シリコン膜の成膜条件としては、PE-CVD 法にて、SiH₄ / N₂ / NH₃ = 50 / 5000 / 100 sccm、圧力 = 100 Pa、成膜電力 = 1000 W、基板温度 = 350 の条件を用いた。

30

【0423】

次に、第 2 の加熱処理として、250 の窒素雰囲気で 1 時間の加熱処理を行った。

【0424】

以上の工程により試料 7 を作製した。

【0425】

次に、試料 8 の作製方法について説明する。

【0426】

試料 8 は、試料 7 の酸化物半導体膜の代わりに、多層膜を形成した。多層膜としては、石英基板上に、スパッタリング法にて、金属酸化物ターゲット (In : Ga : Zn = 1 : 3 : 2) を用い、Ar / O₂ = 180 / 20 sccm (O₂ = 10 %)、圧力 = 0.6 Pa、成膜電力 = 5000 W、基板温度 = 25 の条件で厚さ 10 nm の第 1 の酸化物膜を成膜した。次に、スパッタリング法にて、金属酸化物ターゲット (In : Ga : Zn = 1 : 1 : 1) を用い、Ar / O₂ = 100 / 100 sccm (O₂ = 50 %)、圧力 = 0.6 Pa、成膜電力 = 5000 W、基板温度 = 170 の条件で厚さ 10 nm の酸化物半導体膜を成膜した。次に、スパッタリング法にて、金属酸化物ターゲット (In : Ga : Zn = 1 : 3 : 2) を用い、Ar / O₂ = 180 / 20 sccm (O₂ = 10 %)、圧力 = 0.6 Pa、成膜電力 = 5000 W、基板温度 = 25 の条件で厚さ 10 nm の第 2 の酸

40

50

化物膜を成膜した。

【0427】

その他の工程は、試料7と同様である。以上の工程により試料8を形成した。

【0428】

次に、試料9の作製方法について説明する。

【0429】

試料9は、試料7の酸化物半導体膜の代わりに、多層膜を形成した。多層膜としては、石英基板上に、試料8に示す第1の酸化物膜と同じ条件を用いて、厚さ20nmの第1の酸化物膜を成膜した。次に、スパッタリング法にて、試料8に示す酸化物半導体膜と同じ条件を用いて、厚さ15nmの酸化物半導体膜を成膜した。次に、試料8に示す第2の酸化物膜と同じ条件を用いて、厚さ10nmの第2の酸化物膜を成膜した。10

【0430】

その他の工程は、試料7と同様である。以上の工程により試料9を形成した。

【0431】

次に、試料10の作製方法について説明する。

【0432】

試料10は、試料7と同じ条件を用いて石英基板上に厚さ100nmの酸化物半導体膜を形成した。

【0433】

次に、試料7と同様の条件を用いて、第1の加熱処理を行った。20

【0434】

次に、酸化物半導体膜上に、酸化絶縁膜として、厚さ50nmの第1の酸化窒化シリコン膜及び厚さ200nmの第2の酸化窒化シリコン膜を形成した。ここでは、PE-CVD法にて、 $\text{SiH}_4 / \text{N}_2\text{O} = 30 / 4000 \text{ sccm}$ 、圧力=40Pa、成膜電力=150W、基板温度=220 の条件で50nmの厚さの第1の酸化窒化シリコン膜を成膜し、その後、PE-CVD法にて、 $\text{SiH}_4 / \text{N}_2\text{O} = 160 / 4000 \text{ sccm}$ 、圧力=200Pa、成膜電力=1500W、基板温度=220 の条件で200nmの厚さの第2の酸化窒化シリコン膜を成膜した。なお、第2の酸化窒化シリコン膜は、化学量論的組成を満たす酸素よりも多くの酸素を含む膜である。30

【0435】

次に、試料7と同じ条件を用いて、酸化絶縁膜上に厚さ100nmの窒化シリコン膜を形成した。

【0436】

次に、試料7と同様の条件を用いて、第2の加熱処理を行った。

【0437】

以上の工程により試料10を形成した。

【0438】

次に、試料7乃至試料10についてESR測定を行った。ESR測定は、所定の温度で、マイクロ波の吸収の起こる磁場の値(H_0)から、式 $g = h / H_0$ 、を用いてg値というパラメータが得られる。なお、 h はマイクロ波の周波数である。 h はプランク定数であり、 h はボーア磁子であり、どちらも定数である。40

【0439】

ここでは、下記の条件でESR測定を行った。測定温度を室温(25)とし、8.92GHzの高周波電力(マイクロ波パワー)を20mWとし、磁場の向きは作製した試料の膜表面と平行とした。

【0440】

試料7乃至試料9に含まれる酸化物半導体膜及び多層膜をESR測定して得られた一次微分曲線を図37に示す。図37(A)は、試料7の測定結果であり、図37(B)は、試料8の測定結果であり、図37(C)は、試料9の測定結果である。

【0441】

10

20

30

40

50

試料 10 に含まれる酸化物半導体膜を E S R 測定して得られた一次微分曲線を図 3 8 に示す。

【 0 4 4 2 】

図 3 7 (A) 乃至図 3 7 (C) において、試料 7 は、 g 値が 1.93 において、酸化物半導体膜中の欠陥に起因する対称性を有する信号が検出されている。試料 8 及び試料 9 は、 g 値が 1.95 において、多層酸化物膜中の欠陥に起因する対称性を有する信号が検出されている。試料 7 における g 値が 1.93 のスピン密度は、 2.5×10^{19} spins / cm³ であり、試料 8 における g 値が 1.93 及び 1.95 のスピン密度の総和は、 1.6×10^{19} spins / cm³ であり、試料 9 における g 値が 1.93 及び 1.95 のスピン密度の総和は、 2.3×10^{19} spins / cm³ であった。即ち、酸化物半導体膜及び多層膜には、欠陥が含まれることが分かる。なお、酸化物半導体膜及び多層膜の欠陥の一例としては酸素欠損がある。

【 0 4 4 3 】

図 3 8 において、試料 10 は、試料 7 の酸化物半導体膜、試料 8 及び試料 9 の多層膜と比較して、酸化物半導体膜の厚さが厚いにも関わらず、欠陥に起因する対称性を有する信号が検出されず、即ち、検出下限以下（ここでは、検出下限を 3.7×10^{16} spins / cm³ とする。）であった。このことから、酸化物半導体膜に含まれる欠陥量が検出できないことが分かる。

【 0 4 4 4 】

酸化物半導体膜または多層膜に窒化絶縁膜、ここでは P E - C V D で形成された窒化シリコン膜が接すると、酸化物半導体膜または多層膜に欠陥、代表的には酸素欠損が形成されることが分かる。一方、酸化物半導体膜に酸化絶縁膜、ここでは、酸化窒化シリコン膜を設けると、酸化窒化シリコン膜に含まれる過剰酸素、即ち化学量論的組成を満たす酸素よりも多くの酸素が酸化物半導体膜に拡散し、酸化物半導体膜中の欠陥が増加しない。

【 0 4 4 5 】

以上のことから、試料 7 乃至試料 9 に示すように、窒化絶縁膜に接する酸化物半導体膜または多層膜は欠陥、代表的には酸素欠損量が多く、導電性が高いため、容量素子の電極として用いることができる。一方、試料 10 に示すように、酸化絶縁膜に接する酸化物半導体膜は、酸素欠損量が少なく、導電性が低いため、トランジスタのチャネル形成領域として用いることができる。

【 0 4 4 6 】

ここで、窒化絶縁膜と接する酸化物半導体膜及び多層膜の抵抗率が低減する原因について、以下に説明する。

【 0 4 4 7 】

< H の存在形態間のエネルギーと安定性 >

はじめに、酸化物半導体膜に存在する H の形態のエネルギー差と安定性について、計算した結果を説明する。ここでは、酸化物半導体膜として In Ga Zn O₄ を用いた。

【 0 4 4 8 】

計算に用いた構造は、In Ga Zn O₄ 結晶の六方晶の単位格子を a 軸及び b 軸方向に 2 倍ずつにした 84 原子バルクモデルを基本とした。

【 0 4 4 9 】

バルクモデルにおいて、3 個の In 原子と 1 個の Zn 原子と結合した O 原子 1 個を H 原子に置換したモデルを用意した。これを V_oH と表記する（図 4 1 (A) 参照）。

【 0 4 5 0 】

また、バルクモデルにおいて、3 個の In 原子と 1 個の Zn 原子と結合した O 原子 1 個を取り除き、酸素欠損 (V_o) を形成する。該 V_o 近傍で、a b 面に対して 1 個の Ga 原子と 2 個の Zn 原子と結合した O 原子に H 原子が結合したモデルを用意した。これを V_o+H と表記する（図 4 1 (B) 参照）。

【 0 4 5 1 】

上記 2 つのモデルに対して、格子定数を固定しての最適化計算を行い、全エネルギーを

10

20

30

40

50

算出した。なお、全エネルギーの値が小さいほどその構造はより安定といえる。

【0452】

計算には、第一原理計算ソフトウェアVASP(The Vienna Ab initio simulation package)を用いた。計算条件を表1に示す。

【0453】

【表1】

ソフトウェア	VASP
擬ポテンシャル	PAW
汎関数	GGA/PBE
カットオフエネルギー	500 eV
k点	4×4×1

10

【0454】

電子状態擬ポテンシャル計算にはProjector Augmented Wave(PAW)法により生成されたポテンシャルを、汎関数にはGGA/PBE(Generalized Gradient-Approximation/Perdew-Burke-Ernzerhof)を用いた。

【0455】

また、計算により算出された2つのモデルの全エネルギーを表2に示す。

【0456】

【表2】

モデル	全エネルギー
VoH	-456.084 eV
Vo+H	-455.304 eV

20

【0457】

表2より、VoHの方がVo+Hよりも全エネルギーが0.78 eV小さい。よって、VoHの方がVo+Hよりも安定であるといえる。したがって、酸素欠損(Vo)にH原子が近づくと、H原子はO原子と結合するよりも、酸素欠損(Vo)中に取り込まれやすいと考えられる。

30

【0458】

< VoH の熱力学的状態 >

次に、酸素欠損(Vo)中にH原子が取り込まれたVoHの形成エネルギーと荷電状態について、計算した結果を説明する。VoHは荷電状態によって形成エネルギーが異なり、フェルミエネルギーにも依存する。よって、VoHはフェルミエネルギーに依存して安定な荷電状態が異なる。ここでは、VoHが電子を1つ放出した状態を(VoH)⁺とし、電子を1つ捕獲した状態を(VoH)⁻と示し、電子の移動のない状態を、(VoH)⁰と示す。(VoH)⁺、(VoH)⁻、(VoH)⁰それぞれの形成エネルギーを計算した。

30

【0459】

計算には、第一原理計算ソフトウェアVASPを用いた。計算条件を表3に示す。

【0460】

40

【表3】

ソフトウェア	VASP
擬ポテンシャル	PAW
汎関数	HSE06
カットオフエネルギー	800 eV
k点サンプリング数	2x2x1(opt.)
	4x4x1(single)
スピン分極	○
遮蔽パラメータ	0.2
交換項混合比	0.25
原子数	84

10

【0461】

電子状態擬ポテンシャル計算にはProjector Augmented Wave (PAW)法により生成されたポテンシャルを、汎関数にはHeyd-Scuseria-Ernzerhof (HSE) DFTハイブリッド汎関数 (HSE06)を用いた。

【0462】

なお、酸素欠損陥の形成エネルギーの算出では酸素欠損濃度の希薄極限を仮定し、電子および正孔の伝導帯、価電子帯への過剰な広がりを補正してエネルギーを算出した。また、完全結晶の価電子帯上端をエネルギー原点とし、欠陥構造に由来する価電子帯のズレは平均静電ポテンシャルを用いて補正した。

20

【0463】

図42(A)に、(VOH)⁺、(VOH)⁻、(VOH)⁰それぞれの形成エネルギーを示す。横軸はフェルミレベルであり、縦軸は形成エネルギーである。実線は(VOH)⁺の形成エネルギーを示し、一点鎖線は(VOH)⁰の形成エネルギーを示し、破線は(VOH)⁻の形成エネルギーを示す。また、VOHの電荷が、+から0を経て-に変わった遷移レベルを(+/-)と示す。

【0464】

図42(B)に、VOHの熱力学的遷移レベルを示す。計算結果から、InGaZnO₄のエネルギーギャップは2.739eVであった。また、価電子帯のエネルギーを0eVとすると、遷移レベル(+/-)は2.62eVであり、伝導帯の直下に存在する。このことから、酸素欠損(VO)中にH原子が取り込まれることにより、InGaZnO₄がn型になることが分かる。

30

【0465】

酸化物半導体膜がプラズマに曝されると、酸化物半導体膜はダメージを受け、酸化物半導体膜に、欠陥、代表的には酸素欠損が生成される。また、酸化物半導体膜に窒化絶縁膜が接すると、窒化絶縁膜に含まれる水素が酸化物半導体膜に移動する。これらの結果、酸化物半導体膜に含まれる酸素欠損に水素が入ることで、酸化物半導体膜中にVOHが形成され、酸化物半導体膜がn型となり、抵抗率が低下する。以上のことから、窒化絶縁膜に接する酸化物半導体膜を容量素子の電極として用いることができる。

40

【符号の説明】

【0466】

- 100 画素部
- 101 画素
- 102 基板
- 103 トランジスタ
- 104 走査線駆動回路
- 105 容量素子
- 106 信号線駆動回路
- 107 走査線

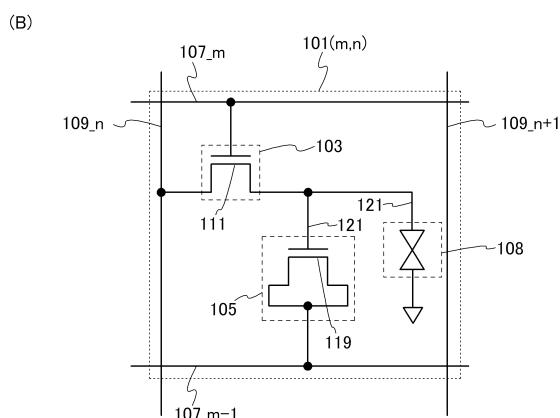
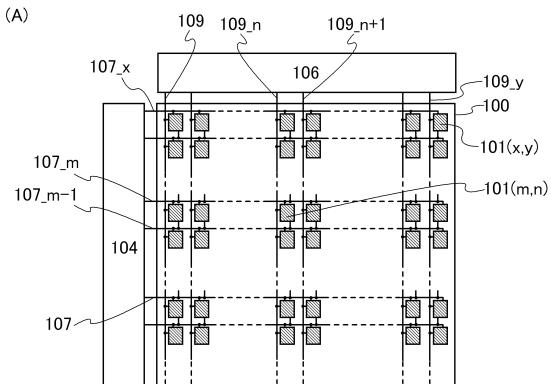
50

1 0 7 _m	走査線	
1 0 7 _m - 1	走査線	
1 0 8	液晶素子	
1 0 9	信号線	
1 0 9 _n	信号線	
1 1 1	酸化物半導体膜	
1 1 3	導電膜	
1 1 7	開口	
1 1 9	酸化物半導体膜	10
1 2 1	画素電極	
1 2 3	開口	
1 2 7	ゲート絶縁膜	
1 2 8	絶縁膜	
1 2 9	絶縁膜	
1 3 0	絶縁膜	
1 3 1	絶縁膜	
1 3 2	絶縁膜	
1 3 3	絶縁膜	
1 5 0	基板	
1 5 2	遮光膜	20
1 5 4	対向電極	
1 5 6	配向膜	
1 5 8	配向膜	
1 6 0	液晶	
1 6 7	導電膜	
1 6 9	トランジスタ	
1 8 2	チャネル保護膜	
1 8 3	トランジスタ	
1 8 5	トランジスタ	
1 8 7	導電膜	30
1 9 0	トランジスタ	
1 9 5	酸化物半導体膜	
2 0 5	容量素子	
2 2 6	絶縁膜	
2 2 7	絶縁膜	
2 2 8	絶縁膜	
2 2 9	絶縁膜	
2 3 0	絶縁膜	
2 3 1	絶縁膜	
2 3 2	絶縁膜	40
2 3 3	絶縁膜	
2 4 5	容量素子	
2 9 7	トランジスタ	
2 9 9 a	酸化物半導体膜	
2 9 9 b	酸化物半導体膜	
2 9 9 c	酸化物半導体膜	
3 0 5	容量素子	
3 1 9	酸化物半導体膜	
9 0 1	基板	
9 0 2	画素部	50

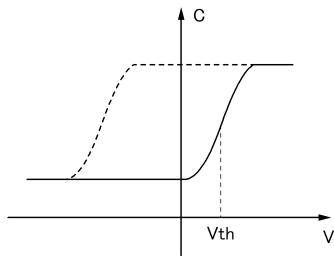
9 0 3	信号線駆動回路	
9 0 4	走査線駆動回路	
9 0 5	シール材	
9 0 6	基板	
9 0 8	液晶	
9 1 0	トランジスタ	
9 1 1	トランジスタ	
9 1 3	液晶素子	
9 1 5	接続端子電極	
9 1 6	端子電極	10
9 1 7	導電膜	
9 1 8	F P C	
9 1 9	異方性導電剤	
9 2 2	ゲート絶縁膜	
9 2 3	絶縁膜	
9 2 4	絶縁膜	
9 2 6	容量素子	
9 2 7	酸化物半導体膜	
9 2 9	走査線	
9 3 0	電極	20
9 3 1	電極	
9 3 2	絶縁膜	
9 3 3	絶縁膜	
9 3 5	スペーサ	
9 5 0	配線	
9 5 2	配線	
9 5 4	開口	
9 5 6	開口	
9 5 8	導電膜	
9 7 1	ソース電極	30
9 7 3	ドレイン電極	
9 7 5	共通電位線	
9 7 7	共通電極	
9 8 5	共通電位線	
9 8 7	共通電極	
1 9 0 1	ガラス基板	
1 9 0 3	絶縁膜	
1 9 0 4	絶縁膜	
1 9 0 5	酸化物半導体膜	
1 9 0 6	多層膜	40
1 9 0 7	導電膜	
1 9 0 9	導電膜	
1 9 1 0	絶縁膜	
1 9 1 1	絶縁膜	
1 9 1 3	開口部	
1 9 1 5	開口部	
1 9 1 7	開口部	
1 9 1 9	開口部	
9 0 0 0	テーブル	
9 0 0 1	筐体	50

9 0 0 2	脚部	
9 0 0 3	表示部	
9 0 0 4	表示ボタン	
9 0 0 5	電源コード	
9 0 3 3	具	
9 0 3 4	スイッチ	
9 0 3 5	電源スイッチ	
9 0 3 6	スイッチ	
9 0 3 8	操作スイッチ	
9 1 0 0	テレビジョン装置	10
9 1 0 1	筐体	
9 1 0 3	表示部	
9 1 0 5	スタンド	
9 1 0 7	表示部	
9 1 0 9	操作キー	
9 1 1 0	リモコン操作機	
9 2 0 0	コンピュータ	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	20
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 1 a	表示部	
9 6 3 1 b	表示部	
9 6 3 2 a	領域	
9 6 3 2 b	領域	
9 6 3 3	太陽電池	30
9 6 3 4	充放電制御回路	
9 6 3 5	バッテリー	
9 6 3 6	D C D C コンバータ	
9 6 3 7	コンバータ	
9 6 3 8	操作キー	
9 6 3 9	ボタン	

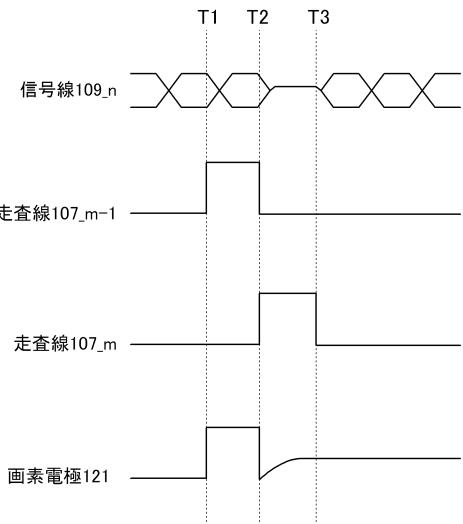
【図1】



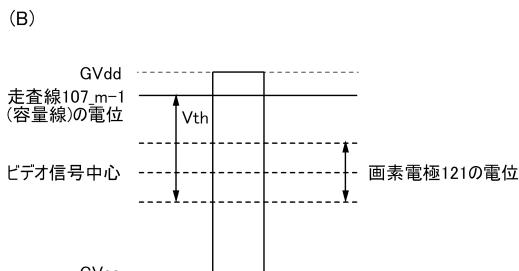
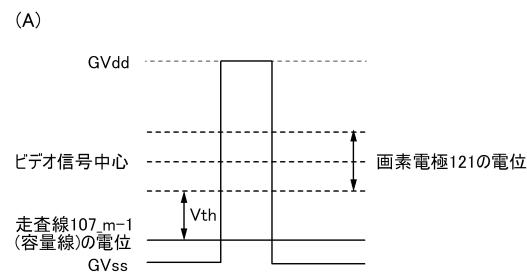
【図2】



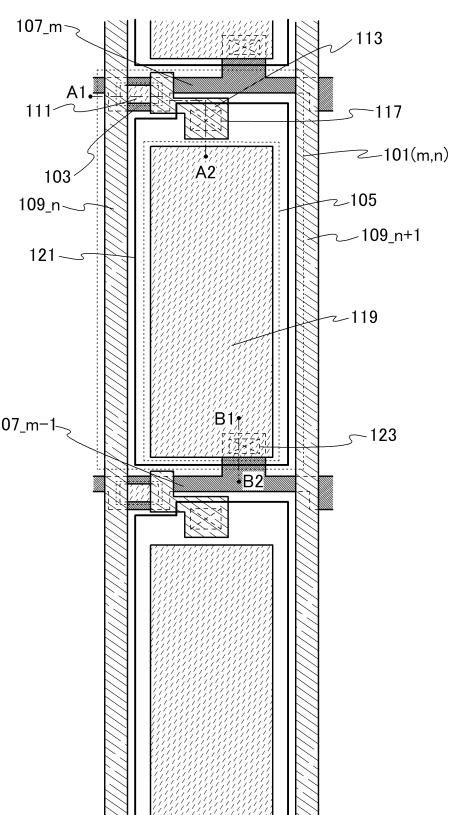
【図3】



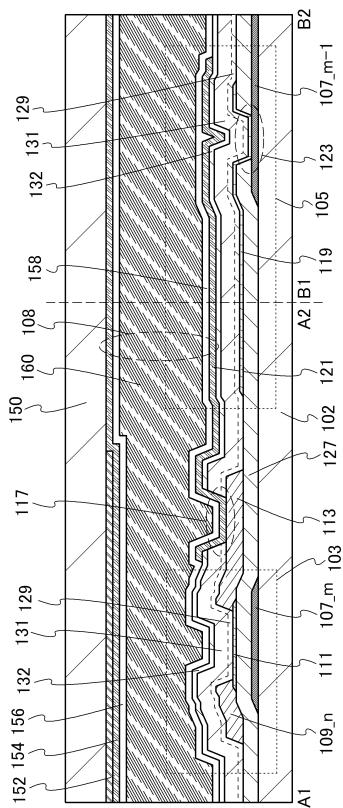
【図4】



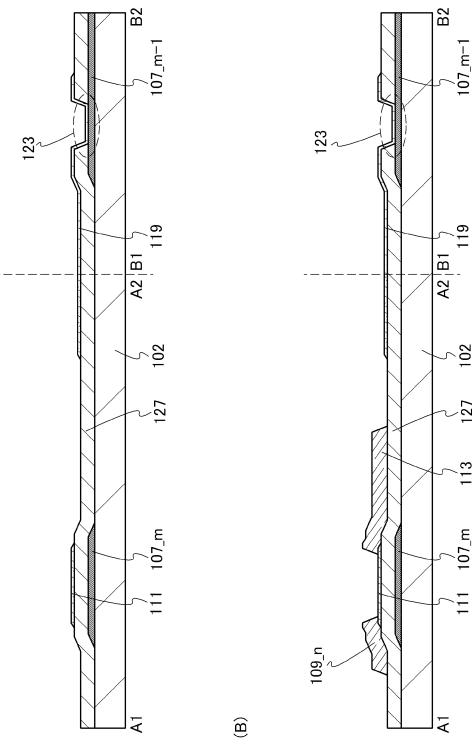
【図5】



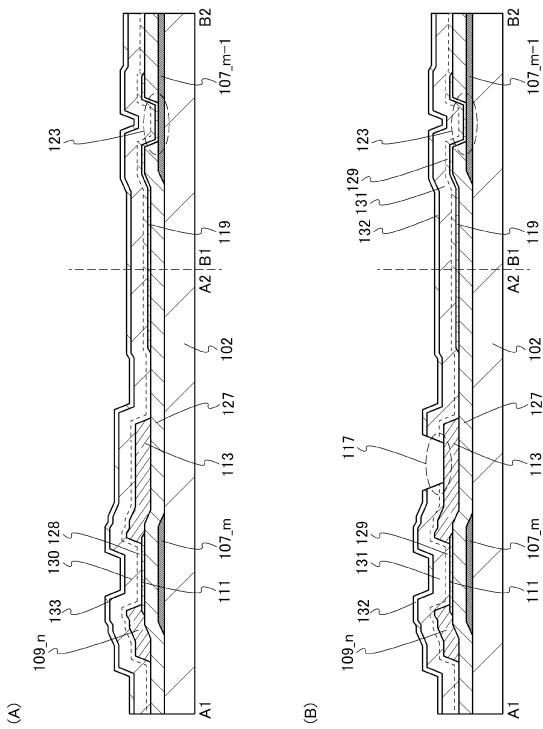
【図6】



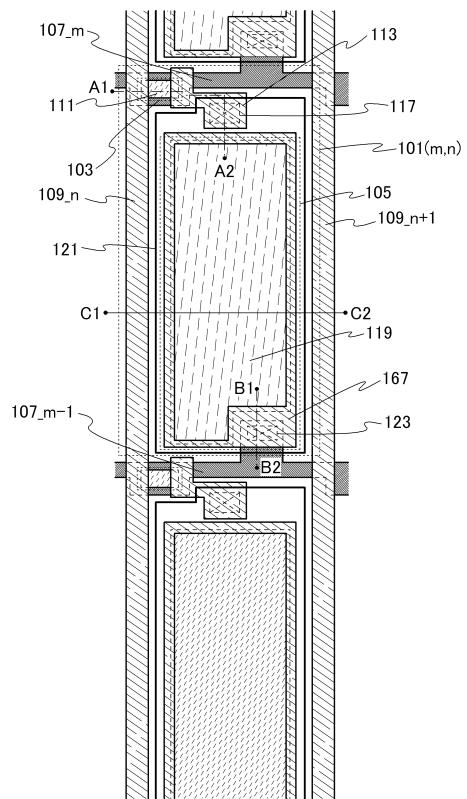
【図7】



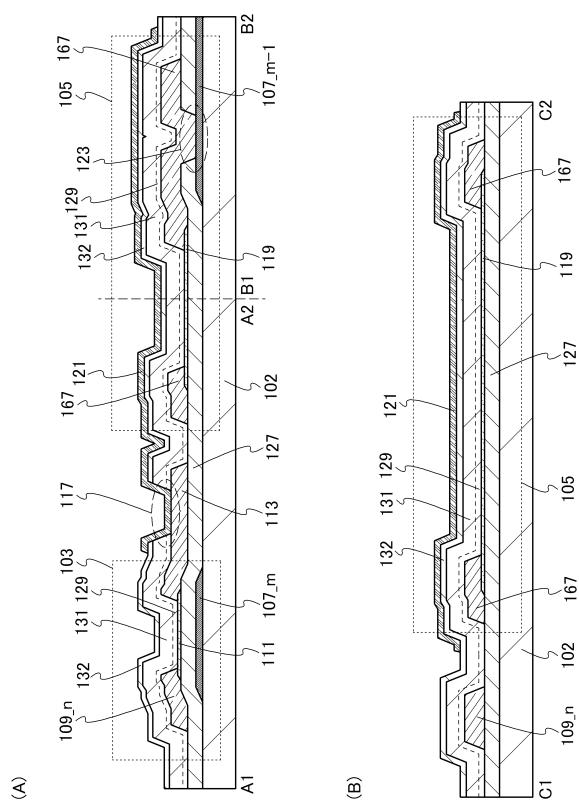
【図8】



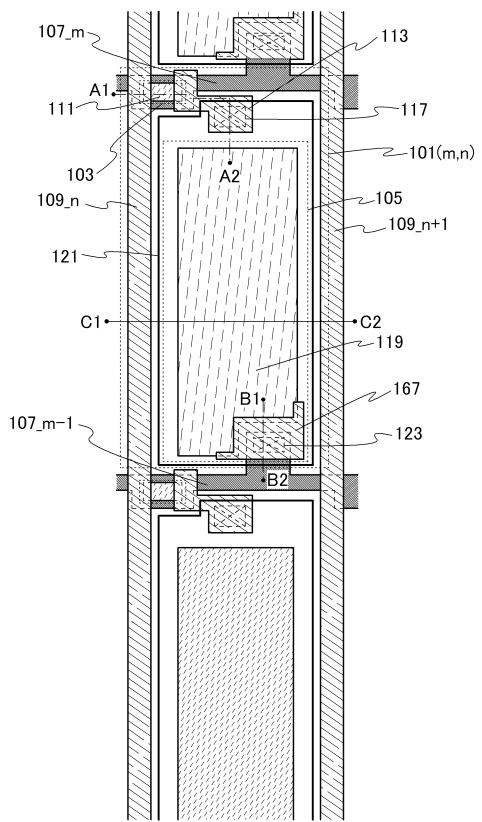
【図9】



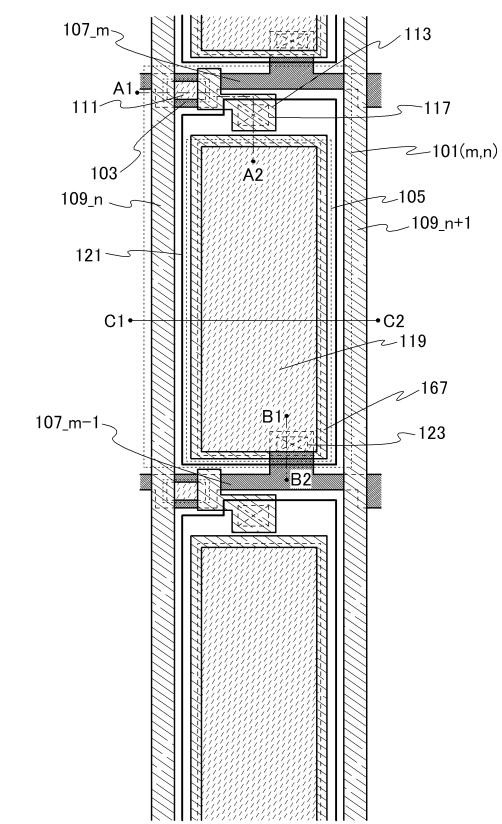
【図10】



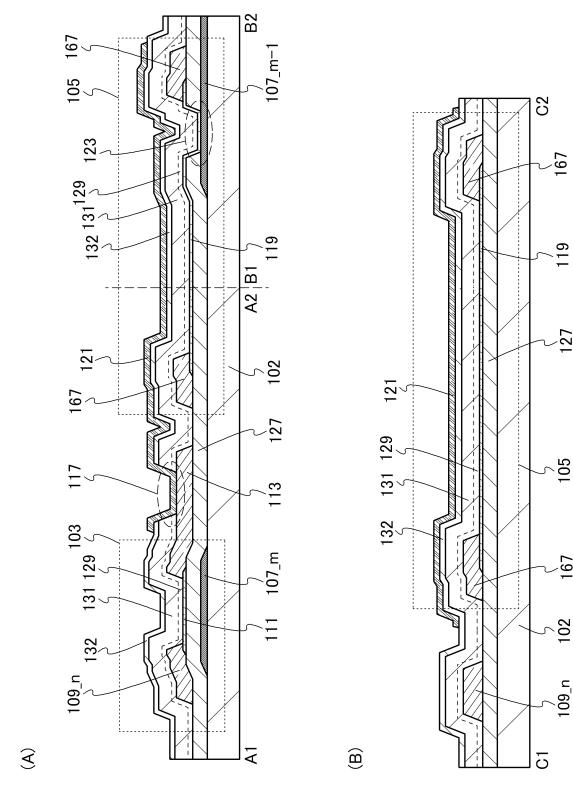
【 図 1 1 】



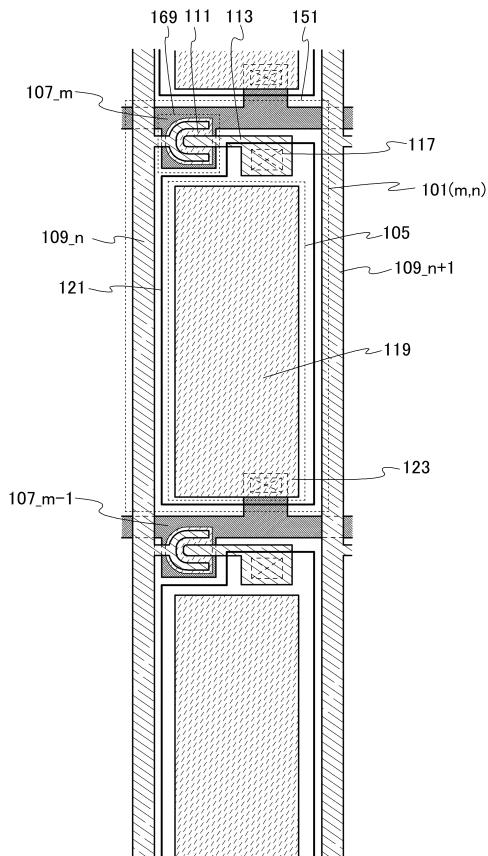
【図12】



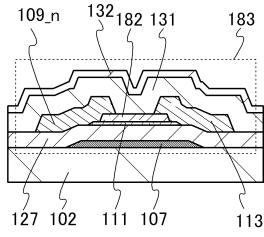
【図13】



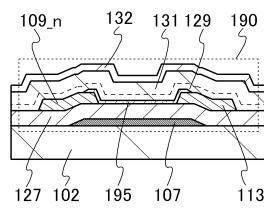
【図14】



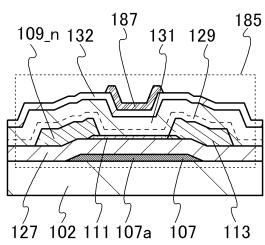
【図15】



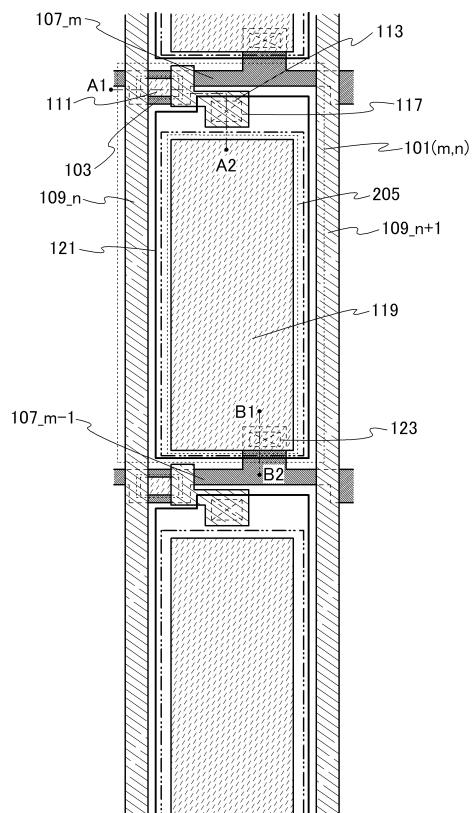
【図16】



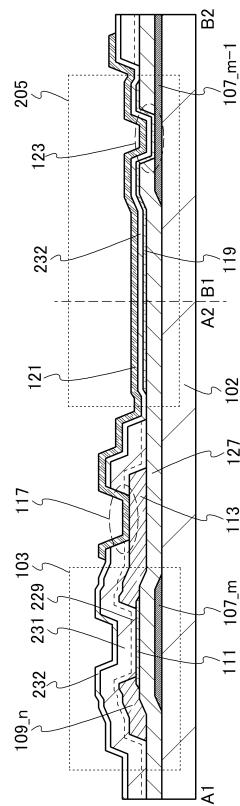
【図17】



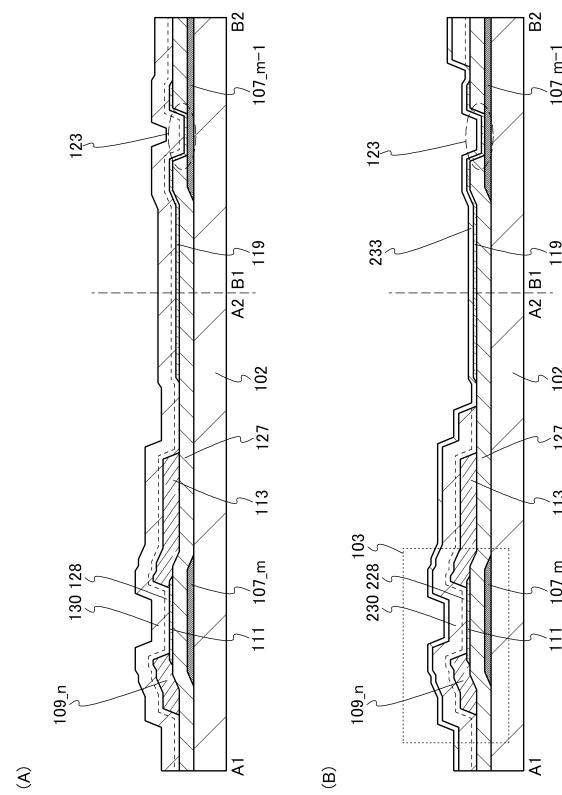
【図18】



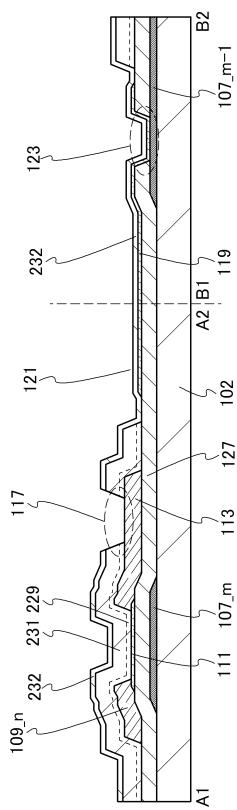
【図19】



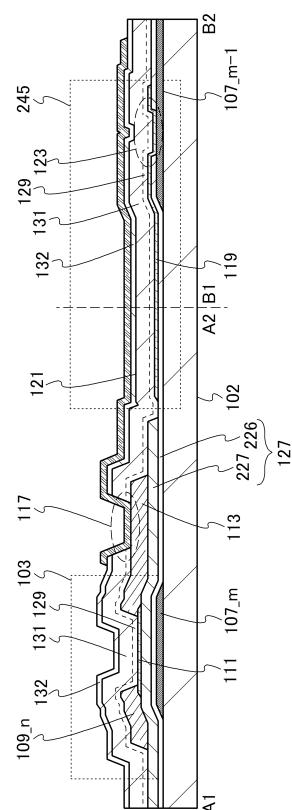
【図20】



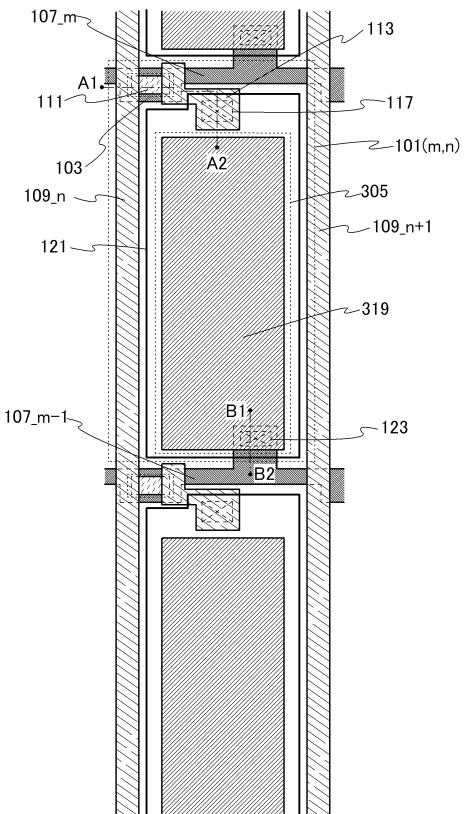
【図21】



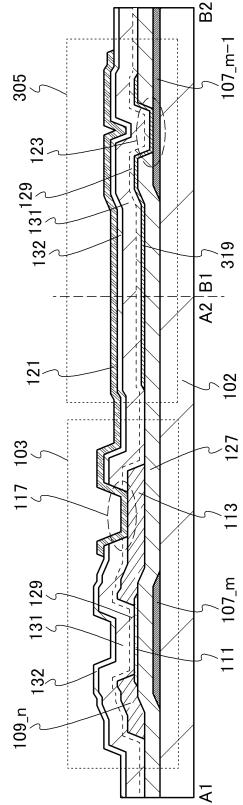
【図22】



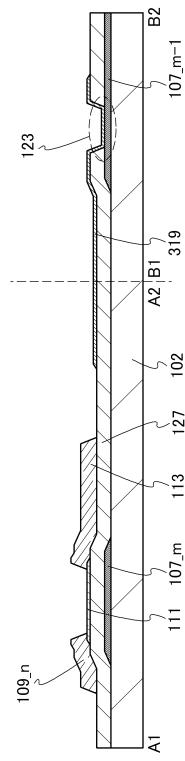
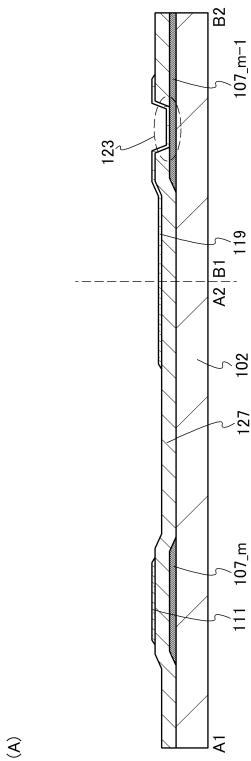
【図23】



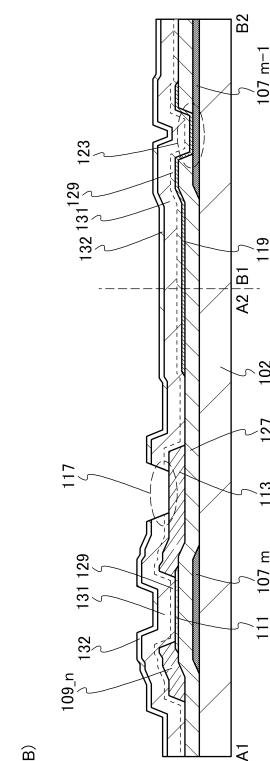
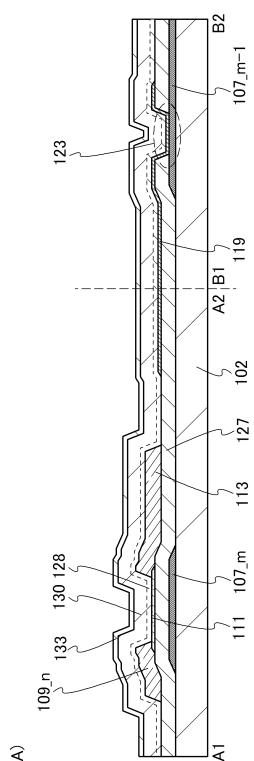
【図24】



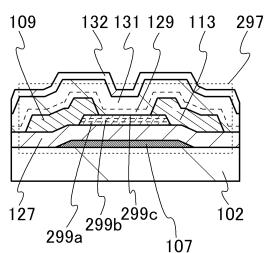
【図25】



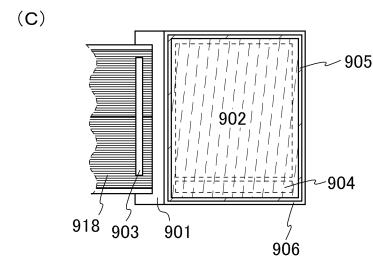
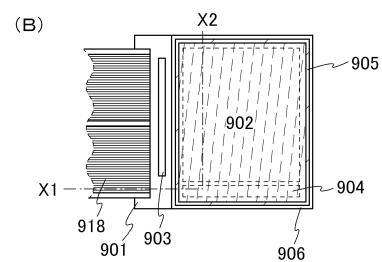
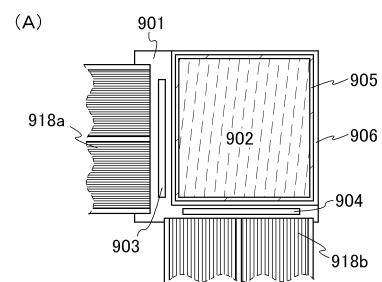
【図26】



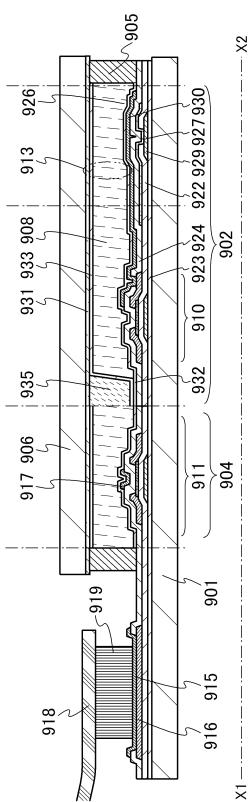
【図27】



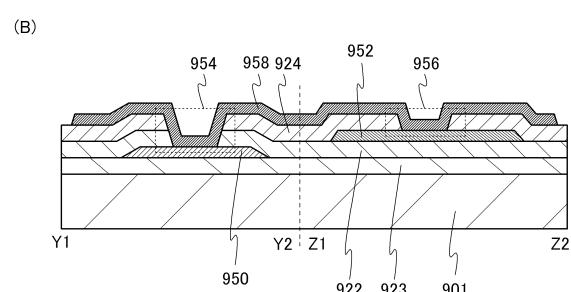
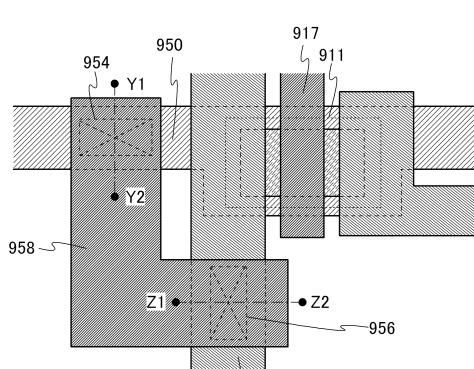
【図28】



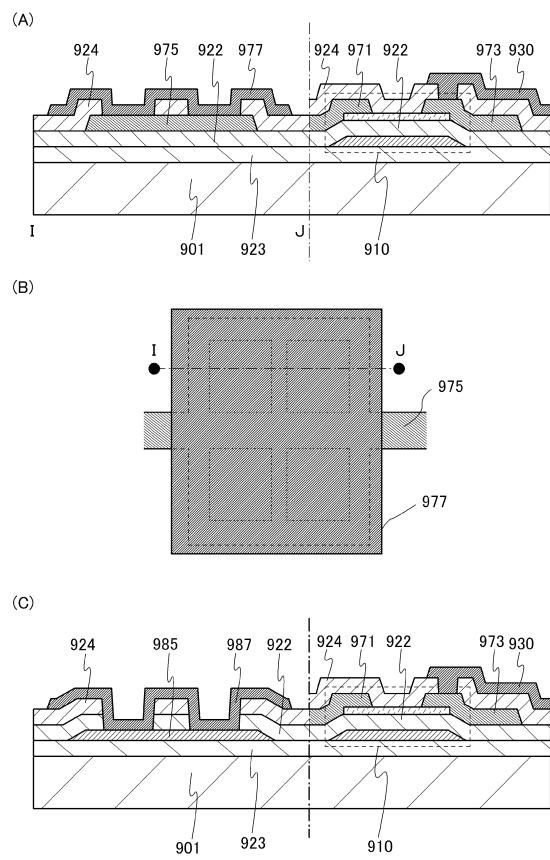
【図29】



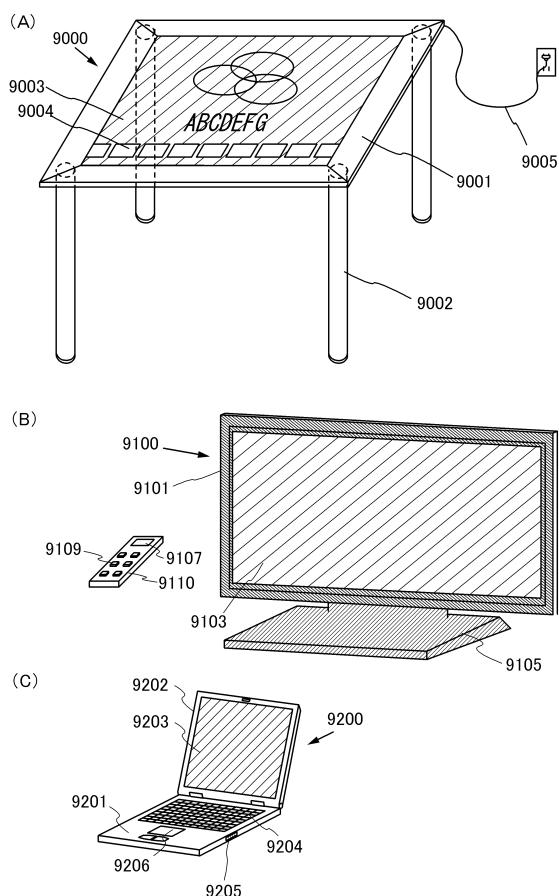
【図30】



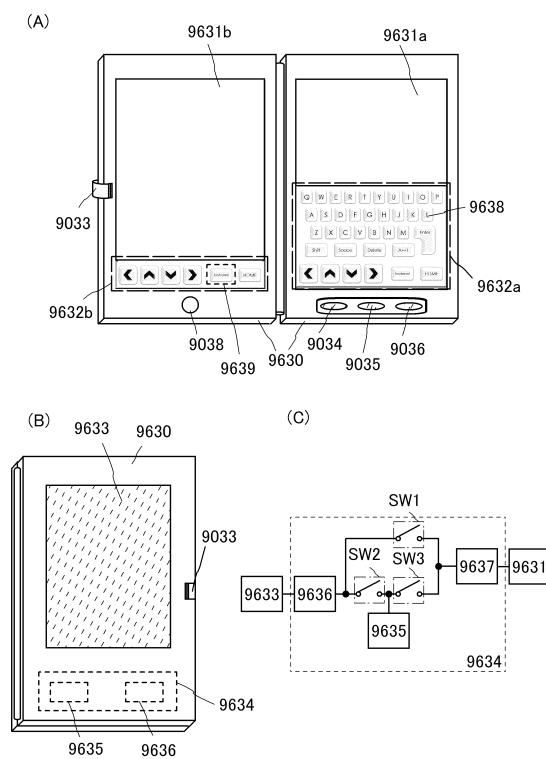
【図31】



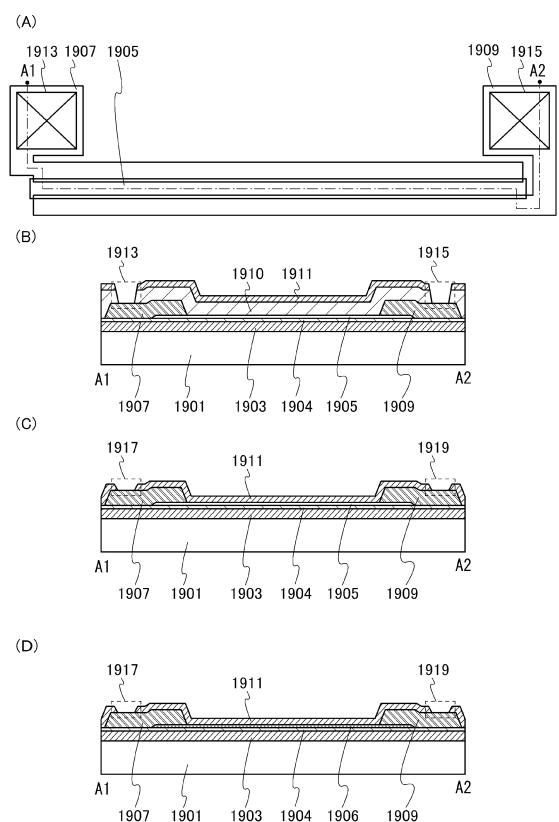
【図32】



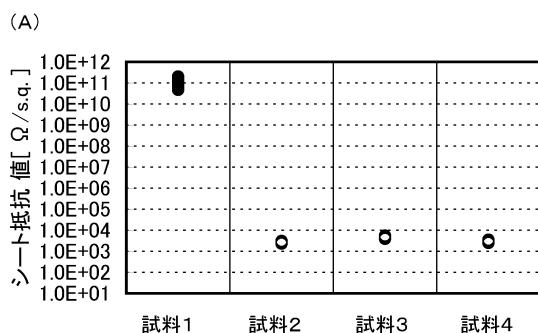
【図33】



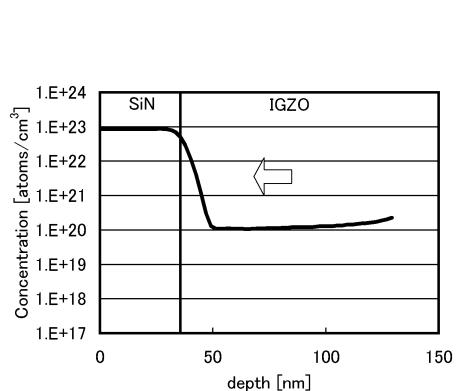
【図34】



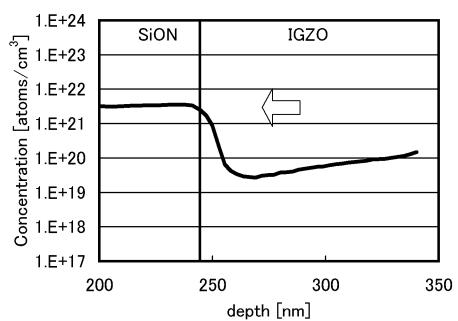
【図35】



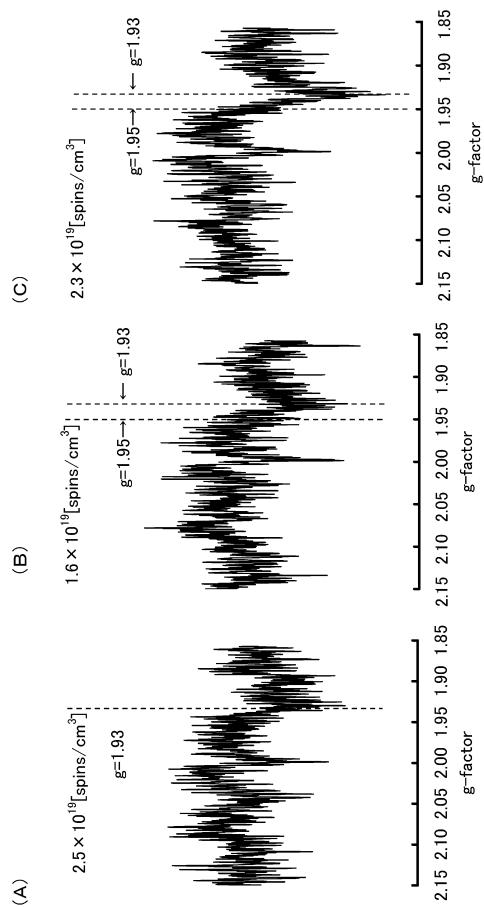
【図36】



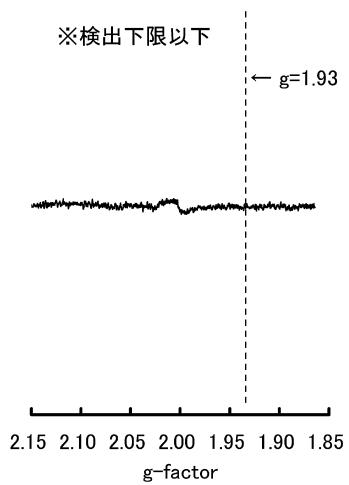
(B)



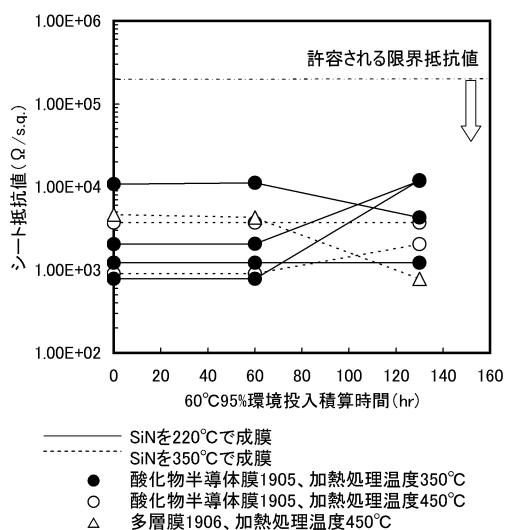
【図37】



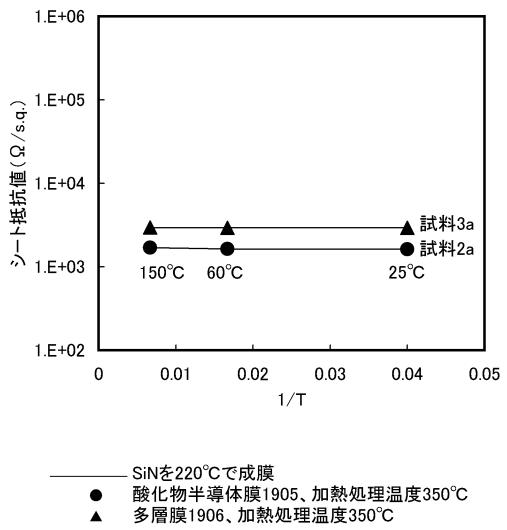
【図38】



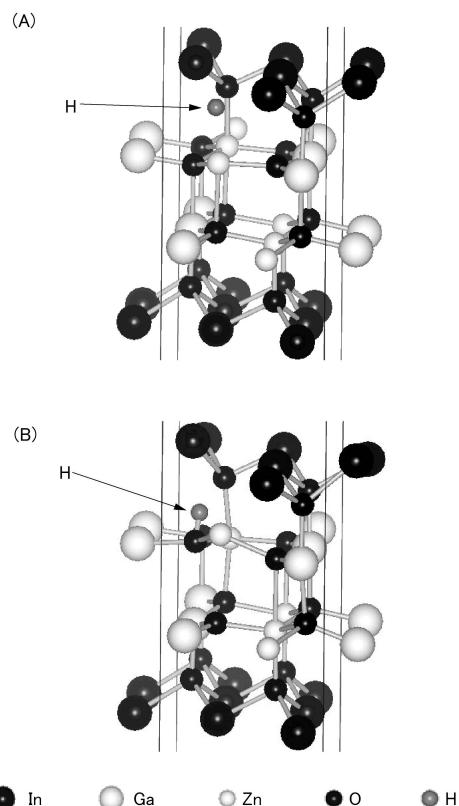
【図39】



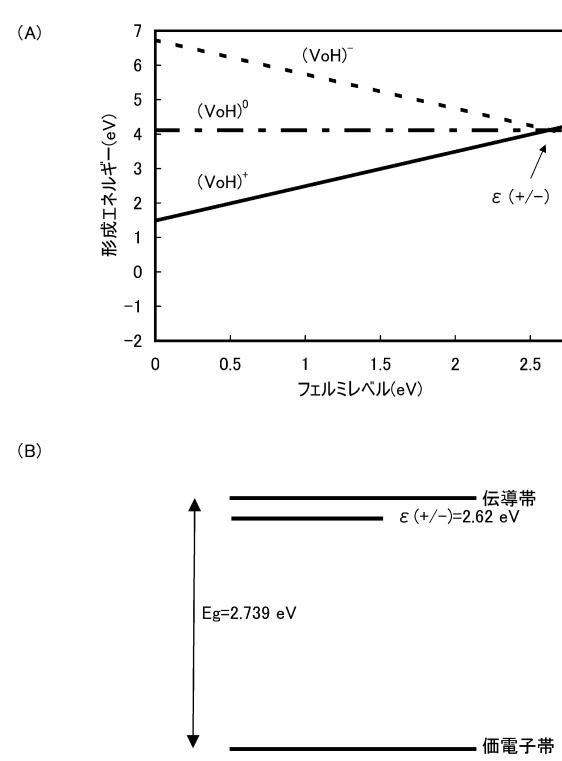
【図40】



【図41】



【図42】



フロントページの続き

(56)参考文献 特開2012-083738(JP,A)
米国特許出願公開第2009/0141203(US,A1)
特開2011-170172(JP,A)
特開2004-191931(JP,A)
特開2003-241687(JP,A)
特開平05-257161(JP,A)
特開2010-243594(JP,A)
特開2010-177223(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 09 F	9 / 00	-	9 / 46
G 02 F	1 / 1368		
H 01 L	21 / 336		
H 01 L	29 / 786		