

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2010-517168

(P2010-517168A)

(43) 公表日 平成22年5月20日 (2010.5.20)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/16 3 2 0 G	5 B 0 1 8
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 4 1	5 B 1 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E	
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 0 1 E	
	G 1 1 C 17/00 6 3 9 C	
審査請求 未請求 予備審査請求 未請求 (全 25 頁)		

(21) 出願番号 特願2009-547272 (P2009-547272)
 (86) (22) 出願日 平成20年1月22日 (2008.1.22)
 (85) 翻訳文提出日 平成21年9月14日 (2009.9.14)
 (86) 国際出願番号 PCT/US2008/000804
 (87) 国際公開番号 W02008/091590
 (87) 国際公開日 平成20年7月31日 (2008.7.31)
 (31) 優先権主張番号 11/698, 455
 (32) 優先日 平成19年1月26日 (2007.1.26)
 (33) 優先権主張国 米国 (US)

(71) 出願人 595168543
 マイクロン テクノロジー, インク,
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデ
 ラル ウェイ 8000
 (74) 代理人 100106851
 弁理士 野村 泰久
 (74) 代理人 100074099
 弁理士 大菅 義之
 (72) 発明者 マーレイ, マイケル
 アメリカ合衆国, カリフォルニア州 94
 041, マウンテン ビュー, フォック
 スボロ ドライブ 385

最終頁に続く

(54) 【発明の名称】 NANDメモリのためのプログラミング管理データ

(57) 【要約】

方法、装置、システム、及びデータ構造は、ページにおける特定のセクター (708) を除いて、ページ (700) の複数のセクター (702、704、706) のそれぞれのためのエラー訂正データ (703、705、707) を生成し、或いは格納するように動作しうる。かつ、修正されたセクターを生成するために特定のセクター (708) とブロック管理データを組み合わせるように動作しうる。更には、種々の方法、装置、システム、及びデータ構造は、修正されたセクターのためのエラー訂正データを生成し、或いは格納するように動作しうる。かつ、複数のセクター、特定のページ以外の複数のセクターのそれぞれのためのエラー訂正データ (709)、修正されたセクターのためのブロック管理データ及びエラー訂正データを組み合わせるように動作しうる。

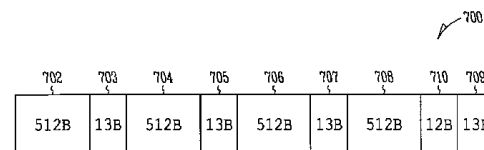


FIG. 7A

【特許請求の範囲】**【請求項 1】**

ページにおける特定のセクターを除く、前記ページの複数のセクターのそれぞれのためのエラー訂正データを生成するステップと、

修正されたセクターを生成するために、前記特定のセクターとブロック管理データを組み合わせるステップと、

前記修正されたセクターのためのエラー訂正データを生成するステップと、

前記複数のセクター、前記特定のセクター以外の前記複数のセクターのそれぞれのための前記エラー訂正データ、前記修正されたセクターのための前記ブロック管理データ及び前記エラー訂正データ、を組み合わせるステップと、

を含む方法。

10

【請求項 2】

メモリコントローラからの要求に基づいて、前記複数のセクターをバッファに格納するステップを含む、

ことを特徴とする請求項 1 に記載の方法。

【請求項 3】

エラー訂正モジュール内のレジスタへ、前記複数のセクター、及び前記ブロック管理データを伝送するステップを含む、

ことを特徴とする請求項 1 に記載の方法。

【請求項 4】

20

前記複数のセクター、前記特定のセクター以外の前記ページにおける前記複数のセクターのそれぞれのための前記エラー訂正データ、前記ブロック管理データ、及び、前記修正されたセクターのための前記エラー訂正データを、マルチレベルセル (MLC) NAND フラッシュメモリに格納するステップを含む、

ことを特徴とする請求項 1 に記載の方法。

【請求項 5】

前記複数のセクターを前記マルチレベルセル (MLC) NAND フラッシュメモリのデータ領域に格納するステップ、及び、前記エラー訂正データを前記マルチレベルセル (MLC) NAND フラッシュメモリの予備領域に格納するステップを含む、

ことを特徴とする請求項 4 に記載の方法。

30

【請求項 6】

前記特定のセクターと前記ブロック管理データを組み合わせるステップは、前記マルチレベルセル (MLC) NAND フラッシュメモリの前記予備領域から前記ブロック管理データを検索するステップを含む、

ことを特徴とする請求項 5 に記載の方法。

【請求項 7】

前記複数のセクターを格納するステップは、前記バッファに前記複数のセクターのそれぞれに対応する 512 バイトのデータを格納するステップを含む、

ことを特徴とする請求項 1 に記載の方法。

【請求項 8】

40

前記複数のセクターのそれぞれのために、複数のエラー訂正チェックビットを生成するステップは、前記マルチレベルセル (MLC) NAND フラッシュメモリに接続された前記バッファに格納されたページの前記複数のセクターのため、複数のエラーチェックビットを生成するステップを含む、

ことを特徴とする請求項 5 に記載の方法。

【請求項 9】

前記特定のセクターと前記ブロック管理データを組み合わせるステップは、前記特定のセクターにおける 512 バイトのデータと、12 バイトのブロック管理データを組み合わせるステップを含む、

ことを特徴とする請求項 6 に記載の方法。

50

【請求項 10】

複数のデータセクター、及びブロック管理データをフラッシュメモリにおいて格納するステップと、

組み合わせられたブロック管理データセクターを生成するため、複数のデータセクターのうちの少なくとも一つと前記ブロック管理データを組み合わせるステップと、

前記組み合わせられたブロック管理データセクターを生成するために使用される、前記複数のデータセクターのうちの前記少なくとも一つ以外の前記複数のデータセクターのそれぞれのためのエラー訂正データを生成するステップと、

前記組み合わせられたブロック管理データセクターのための、組み合わせられたブロック管理エラー訂正データを生成するステップと、

前記複数のデータセクター、前記ブロック管理データ、前記複数のデータセクターのそれぞれのための前記エラー訂正データ、及び前記組み合わせられたブロック管理エラー訂正データを組み合わせるステップと、

を含む方法。

10

【請求項 11】

メモリコントローラを使用して、データにエラー訂正コード (ECC) 動作を実施するステップを含む、

ことを特徴とする請求項 10 に記載の方法。

【請求項 12】

前記複数のデータセクター、及び前記ブロック管理を格納するステップは、マルチレベルセル (MLC) NANDフラッシュメモリのデータ領域に格納するステップを含む、

ことを特徴とする請求項 10 に記載の方法。

20

【請求項 13】

エラー訂正データを生成するステップは、前記 MLC NANDフラッシュメモリの予備領域に前記エラー訂正データを格納するステップを含む、

ことを特徴とする請求項 12 に記載の方法。

【請求項 14】

前記複数のデータセクター、前記ブロック管理データ、前記複数のデータセクターのそれぞれのための前記エラー訂正データ、及び前記組み合わせられたブロック管理エラー訂正データを組み合わせるステップは、前記 MLC NANDフラッシュメモリにおいてページを格納するステップを含む、

ことを特徴とする請求項 11 に記載の方法。

30

【請求項 15】

前記ページを格納するステップは、少なくとも 4 つのデータセクターを有するページを格納するステップを含む、

ことを特徴とする請求項 14 に記載の方法。

【請求項 16】

少なくとも 4 つのデータセクターを有する前記ページを格納するステップは、少なくとも 512 バイトのデータを有する複数のデータセクターを格納するステップを含む、

ことを特徴とする請求項 15 に記載の方法。

40

【請求項 17】

エラー訂正データを生成するステップは、13 バイトのエラー訂正チェックビットを生成するステップを含む、

ことを特徴とする請求項 8、或いは 13 のいずれか一項に記載の方法。

【請求項 18】

エラー訂正データを生成するステップは、26 バイトのエラー訂正チェックビットを生成するステップを含む、

ことを特徴とする請求項 8、或いは 13 のいずれか一項に記載の方法。

【請求項 19】

前記ブロック管理データを格納するステップは、前記 MLC NANDフラッシュメモ

50

りの前記予備領域に、少なくとも 10 バイトのブロック管理データを格納するステップを含む、

ことを特徴とする請求項 12 に記載の方法。

【請求項 20】

バッファとダイレクトメモリアクセス制御回路との間に接続された第一のマルチプレクサであって、前記第一のマルチプレクサは前記バッファから前記ダイレクトメモリアクセス制御回路へとデータを伝送する、第一のマルチプレクサと、

前記バッファと前記ダイレクトメモリアクセスとの間に接続された第二のマルチプレクサであって、前記第二のマルチプレクサは前記ダイレクトメモリアクセスから前記バッファへとデータを伝送する、第二のマルチプレクサと、

10

前記第一のマルチプレクサへと接続されたエラー訂正チェックビット発生器と、

前記第二のマルチプレクサと前記バッファへと接続されたエラー訂正モジュールと、

前記エラー訂正モジュールと前記ダイレクトメモリアクセスとの間に接続されたシンドローム発生器であって、前記シンドローム発生器は前記ダイレクトメモリアクセスから受信されたデータにおいて少なくとも 1 ビットのエラーの存在を検出する、シンドローム発生器と、

前記エラー訂正チェックビット発生器、前記エラー訂正モジュール、前記第一のマルチプレクサ、及び前記ダイレクトメモリアクセスに接続されたブロック管理モジュールであって、前記ブロック管理モジュールは一組のブロック管理データを生成する、ブロック管理モジュールと、

20

を含む装置。

【請求項 21】

前記ダイレクトメモリアクセスは、マルチレベルセル (MLC) NAND フラッシュメモリへと接続される、

ことを特徴とする請求項 20 に記載の装置。

【請求項 22】

前記シンドローム発生器は、前記検出されたエラーを前記エラー訂正モジュールへと伝送し、前記シンドローム発生器は、前記ダイレクトメモリアクセスから前記バッファへと伝送されたデータにおける前記検出されたエラーに基づいてシンドロームを生成する、

ことを特徴とする請求項 21 に記載の装置。

30

【請求項 23】

前記ブロック管理モジュールは、前記バッファから前記ダイレクトメモリアクセスへと伝送されたデータのそれぞれのページのためにブロック管理データを提供し、前記ブロック管理データは、前記バッファから前記ダイレクトメモリアクセスへと伝送されたデータのそれぞれのページの最終セクターと組み合わせられる、

ことを特徴とする請求項 22 に記載の装置。

【請求項 24】

エラー訂正チェックビットモジュールは、それぞれのページの最終セクターを除いて、それぞれのページの前記複数のセクターのそれぞれのためにエラー訂正コードを生成する、

40

、

ことを特徴とする請求項 23 に記載の装置。

【請求項 25】

前記エラー訂正チェックビットモジュールは、前記ブロック管理データ、及びそれぞれのページの最終セクターのためのエラー訂正コードを生成する、

ことを特徴とする請求項 23 に記載の装置。

【請求項 26】

前記第一のマルチプレクサは、複数のセクター、特定のセクターを除く前記複数のセクターのそれぞれのためのエラー訂正データ、ならびに、前記ブロック管理データと組み合わせられた前記特定のセクターのための前記ブロック管理データ及びエラー訂正データ、を含むページを受信する、

50

ことを特徴とする請求項 20 に記載の装置。

【請求項 27】

データ構造をそこに格納した、コンピュータが読み出し可能な媒体であって、
複数のデータビットの第一のセクターを含む第一のフィールドと、
前記第一のフィールドに由来する第一組のエラー訂正ビットを含む第二のフィールドと、
、
複数のデータビットの第二のセクターを含む第三のフィールドと、
一組のブロック管理ビットを含む第四のフィールドと、
前記第三のフィールド、及び前記第四のフィールドに由来する第二組のエラー訂正ビットを含む第五のフィールドと、
を含むコンピュータが読み出し可能な媒体。

10

【請求項 28】

プロセッサと、
前記プロセッサへと接続するディスプレイと、
前記プロセッサへと接続するワイヤレストランシーバと、
前記プロセッサへと動作可能のように接続されたメモリと、を含み、前記メモリはページにおける特定のセクターを除いて、前記ページの複数のセクターのそれぞれのためのエラー訂正データを生成し、修正されたセクターを生成するために前記特定のセクターとブロック管理データを組み合わせ、前記修正されたセクターのためのエラー訂正データを生成し、前記複数のセクター、前記特定のセクター以外の前記複数のセクターのそれぞれのための前記エラー訂正データ、前記修正されたセクターのための前記ブロック管理データ及び前記エラー訂正データ、を組み合わせる、メモリと、
を含むシステム。

20

【請求項 29】

レンズと、
前記プロセッサへと接続する結像面とを含み、前記結像面は前記レンズによって捕捉された光を受信する、
ことを特徴とする請求項 28 に記載のシステム。

【請求項 30】

前記ワイヤレストランシーバの一部を形成する携帯電話受信機を含む、
ことを特徴とする請求項 28 に記載のシステム。

30

【請求項 31】

前記プロセッサへと接続する一組のメディアプレイバック制御を含む、
ことを特徴とする請求項 28 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願]

本特許出願は、本明細書において参照によって組み入れられている、2007年1月26日に提出された、U . S . A p p l i c a t i o n No . 11 / 698455の優先権を享受する利益を主張する。

40

【0002】

[技術分野]

本明細書に記述される種々の実施形態は、一般的には、不揮発性メモリデバイスに関し、不揮発性メモリデバイスと併せて使用されるエラー訂正を含む。

【背景技術】

【0003】

エラー訂正コード (E C C) エンジンとは、データ伝送中に、データの精度、及びインテグリティ (整合性) を確保するため、エラーを検出し、かつ訂正するプロセスを実行するデバイスである。典型的には、メモリシステムにおいては、メモリコントローラは、デー

50

タ、及びECCデータをメモリデバイスへと書き込む。ECCデータは、データがメモリへと書き込まれてから生じたかもしれないエラーを識別し、かつ、訂正するため、読み出し動作中にコントローラによって使用される。

【0004】

メモリデバイスは、二つの大まかな領域へと類別されうる。それは、揮発性、及び不揮発性である。揮発性メモリデバイスは、データを保持するために電力を必要とするが、不揮発性メモリは、電力供給なくしてデータを保持することが可能である。不揮発性メモリの例は、フラッシュメモリであり、フラッシュメモリは、チップに情報を保持するために電力の必要なく半導体デバイスにおいて情報を格納する。

【0005】

フラッシュメモリは、NORデバイス、或いはNANDデバイスのいずれかを使用して形成されうる。NANDフラッシュは、シングルレベルセル(SLC)或いはマルチレベルセル(MLC)のいずれかの構造でありうる。MLC NANDフラッシュは、SLC NANDフラッシュと比較して、より高密度のメモリデバイスを可能にする。なぜなら、各メモリセルにおいて、二つ、或いはそれ以上のデータビットを格納することが可能だからである。メモリ密度を増加させるために複数レベルを使用すると、MLC NANDのプログラミング中に、より多くのエラーが生じる可能性があり、効率的なエラー訂正スキームが必要とされる。

【発明の概要】

【0006】

本明細書に発明の概要に該当する記載なし。

【図面の簡単な説明】

【0007】

【図1】本発明の種々の実施形態に係る、メモリシステムのブロック図を示す。

【図2】本発明の種々の実施形態に係る、メモリシステムにおけるメモリセルアレイ構成を示す概要図を示す。

【図3】本発明の種々の実施形態に係る、NANDフラッシュメモリアレイの概要図を示す。

【図4】本発明の種々の実施形態に係る、図3に示されるマルチレベルセル(MLC)アレイの閾値電圧の分布を示す図を示す。

【図5】本発明の種々の実施形態に係る、エラー訂正装置を示すシステムのブロック図を示す。

【図6】本発明の種々の実施形態に係る、NANDフラッシュメモリにおけるページをプログラミングする方法を示すフロー図を示す。

【図7A】本発明の種々の実施形態に係る、4つのセクター、及びブロック管理データと組み合わせられるECCを示すページのデータ構造を示す。

【図7B】本発明の種々の実施形態に係る、4つのセクター、及びブロック管理データと組み合わせられるECCを示すページのデータ構造を示す。

【図7C】本発明の種々の実施形態に係る、8つのセクター、及びブロック管理データと組み合わせられるECCを示すページのデータ構造を示す。

【図8】本発明の種々の実施形態に係る、NANDフラッシュメモリにおけるエラー訂正を実行する方法を示すフロー図を示す。

【図9】本発明の種々の実施形態に係る、NANDフラッシュメモリにおけるエラー訂正を実行する方法を示すフロー図を示す。

【発明を実施するための形態】

【0008】

図1は、本発明の種々の実施形態に係る、メモリシステム100のブロック図を示す。種々の実施形態においては、システム100は、集積回路メモリ120、及びコントローラ110を含む。メモリ120は、不揮発性浮遊ゲートメモリセルアレイ122、アドレス回路124、制御回路126、入力/出力(I/O)回路128、及びエラー訂正シス

10

20

30

40

50

テム 130 を含む。メモリアレイ 122 は、フラッシュメモリセルアレイとも呼ばれてもよい。なぜなら、メモリセルブロックは典型的には‘フラッシュ’動作において、同時に消去されるからである。種々の実施形態においては、メモリアレイは、NANDフラッシュメモリアレイを含む。

【0009】

種々の実施形態においては、制御回路 126 は、読み出し、書き込み及び消去動作のようなメモリ動作を管理するために提供される。以下に説明されているように、メモリ制御回路 126 によって実行されるメモリ動作の一つは、内部データ移動動作を含む。

【0010】

種々の実施形態においては、メモリ 120 は、メモリアレイ 122 にアクセスするために、プロセッサ、或いは他のメモリコントローラ 110 へと接続されてもよい。種々の実施形態においては、メモリ 120 は、(示されていない)プロセッサへと接続されてもよく、電子システムの一部を形成してもよい。種々の実施形態の新規の装置、及びシステムは、以下の物を含んでもよく、及び/或いは以下の物に含まれてもよい。それは、高速コンピュータ、通信及び信号処理回路、シングルプロセッサモジュール、或いはマルチプロセッサモジュール、シングル組込プロセッサ、或いはマルチ組込プロセッサ、マルチコアプロセッサ、データスイッチ、及びマルチレイヤ、マルチチップモジュールを含む特定のアプリケーションモジュールにおいて使用される電子回路である。このような装置、及びシステムは、更に、以下のような種々の電子システム内のサブ構成要素として含まれてもよい。それは、テレビ、携帯電話、パーソナルコンピュータ(例えば、ラップトップコンピュータ、デスクトップコンピュータ、携帯用コンピュータ、タブレットコンピュータなど)、ワークステーション、ラジオ、ビデオプレイヤー、オーディオプレイヤー(例えば MP3(モーションピクチャエキスパートグループ、オーディオレイヤー3)プレイヤー)、自動車、医療デバイス(例えば、心臓モニター、血圧モニターなど)、セットトップボックスその他のような電子システムである。実施形態の中には、多数の方法を含むものもある。

【0011】

メモリ 120 は、制御回路 126 を介してメモリアレイ 122 へのアクセスを制御するために、コントローラ 110 におけるプロセッサから I/Oライン 132 をわたって制御信号を受信する。I/Oライン 132 をわたって受信されたアドレス信号に応じて、メモリアレイ 122 へのアクセスは、一つ或いはそれ以上のターゲットメモリセルへと向けられる。いったんアレイ 122 が制御信号、及びアドレス信号に応じてアクセスされると、データは、I/Oライン 132 をわたって、メモリセルへと書き込まれうる、或いはメモリセルから読み出されうる。

【0012】

更なる回路、及び制御信号が提供されてもよく、本発明の実施形態に対して焦点を合わせやすくするために、図 1 のメモリデバイスは簡略化されていることが、当業者によって理解されるであろう。メモリデバイスの上記の説明は、メモリの一般的な理解を提供することを意図するものであり、典型的なメモリデバイスの全構成要素、及び機能を完全に説明するものではないことを理解されたい。

【0013】

種々の実施形態においては、システム 100 は、コントローラ 110 によって提供される ECC 情報を格納するためのエラー訂正システム 130 を含む。エラー訂正システム 130 は、例えば、ハミングコード、BCHコード、或いはリードソロモンコードなどの、コントローラによって使用される ECC スキームの指示を格納してもよい。コントローラによって使用される ECC のタイプに加えて、エラー訂正システム 130 は、アレイデータに関連する ECC データバイト位置のアドレス、或いはオフセットを格納しうる。

【0014】

幾つかの実施形態においては、システム 100 は、ディスプレイ、及び/或いはワイヤレストランシーバへと接続された、(示されていない)プロセッサを含んでもよい。メモ

10

20

30

40

50

リ 1 2 0 に含まれる（複数の）メモリアレイ 1 2 2 もまた、プロセッサへと動作可能なように接続されてもよい。

【 0 0 1 5 】

幾つかの実施形態においては、システム 1 0 0 は、プロセッサへと接続するレンズ、及び結像面を含むカメラを含んでもよい。結像面は、レンズによって捕捉された光を受信するために使用されてもよい。

【 0 0 1 6 】

多くの改変が可能である。例えば、幾つかの実施形態においては、システム 1 0 0 は、ワイヤレストランシーバの一部を形成する、（示されていない）携帯電話受信機を含んでもよい。幾つかの実施形態においては、システム 1 0 0 は、プロセッサへと接続する一組のメディアプレイバック制御を含む、オーディオ、ビデオ、或いはマルチメディアプレイヤーを含んでもよい。

【 0 0 1 7 】

前述された構成要素のうちのいずれも、ソフトウェアにおける実施形態を含む、多数の方法において実装されてもよい。ソフトウェアの実施形態は、シミュレーションシステムで使用されてもよく、そのようなシステムの出力は、本明細書に記述されるメモリ 1 2 9 、及びシステム 1 0 0 の様々な部分を操作するために使用されてもよい。

【 0 0 1 8 】

E C C 技術は、本技術分野において既知であるため、本明細書においては詳細には記載されず、或いは説明されない。本発明の実施形態は、特定の（複数の）E C C コードへ限定することなく実施されうることを理解されたい。エラーが検出された場合、コントローラ 1 1 0 はメモリ 1 2 0 からコントローラのバッファへとデータを読み出し、エラーを訂正するための E C C 動作を実施し、メモリ 1 2 0 へと訂正されたデータを書き込み直しうる。

【 0 0 1 9 】

図 2 は、本発明の種々の実施形態に係る、メモリシステム 2 0 0 におけるメモリセルアレイ構成を示す概要図を示す。メモリシステム 2 0 0 は、ブロック 2 0 2 、データレジスタ 2 0 4 、キャッシュレジスタ 2 0 6 、データ領域 2 0 8 、予備領域 2 1 0 、I / O ポート 2 1 2 、及びプレーン 2 1 4 を含む。メモリシステム 2 0 0 は、S L C メモリ、或いは M L C メモリを含み、N A N D フラッシュメモリを含んでもよい。データは、バイト単位で、データレジスタ 2 0 4 及びキャッシュレジスタ 2 0 6 を介して、N A N D フラッシュメモリ 2 0 0 との間でやりとりされる。キャッシュレジスタ 2 0 6 は、I / O 制御回路の最も近くに位置し、I / O データのためのデータバッファとして動作しうるが、一方でデータレジスタ 2 0 4 は、メモリアレイに最も近く、N A N D フラッシュメモリの動作中にデータバッファとして動作しうる。種々の実施形態においては、データ領域 2 0 8 の長さは、“ページ”として定義される。

【 0 0 2 0 】

メモリはページに基づく動作においてプログラムされ、かつ読みだされ、ブロックに基づく動作において消去される。ページ動作中に、データレジスタ、及びキャッシュレジスタはともに結合しあって、単一のレジスタとして動作しうる。キャッシュ動作中は、データレジスタ、及びキャッシュレジスタは、データスループットを増加させるために独立して動作しうる。

【 0 0 2 1 】

図 2 に示されるような構造の N A N D フラッシュメモリは、ページのブロックから構成されてもよい。各ブロックは、1 6 ページ、3 2 ページ、或いは 6 4 ページから構成されてもよい。種々の実施形態においては、各ページは、データ領域 2 0 8 においては 5 1 2 バイト（2 1 6 語）を、予備領域 2 1 0 においては追加の 1 6 バイト（8 語）を有してもよい。種々の実施形態においては、各ページは、データ領域 2 0 8 においては 2 0 4 8 バイト（1 0 2 4 語）を、予備領域 2 1 0 においては 6 4 バイト（3 2 語）を有してもよい。予備領域 2 1 0 は、製造プロセス中に無効ブロックを標示するために使用されるビット

を格納するために使用されてもよい。更には、予備領域 210 は、ECC チェックビットを格納するために使用されてもよい。無効ブロックの標示は、ブロック管理データ内に含まれる一組のビットに対して動作するソフトウェアによって実行されうる。種々の実施形態においては、プロセッサが ECC ハードウェアを含んでいない場合には、このソフトウェアは ECC コードを提供してもよい。

【0022】

S L C N A N D メモリの種々の実施形態においては、予備領域におけるデータは、ホストセクターとともに、或いは個別にプログラムされうる。例えば、割り当て管理情報、或いはブロック管理情報、及び ECC チェックビットは、データがホストから到着する前にまずプログラムされうる。更には、ホストデータのための ECC チェックビットは、ホストデータと同時にプログラムされてもよい。

10

【0023】

M L C N A N D メモリの種々の実施形態においては、予備領域データはホストデータと同時にプログラムされなければならない。更には、全ページが同時にプログラムされうる。ブロック管理データは、ホストセクターがバッファにおいて受信される前に決定されるが、ホストデータがプログラムされるまではプログラムされない。幾つかの実施形態においては、ホストデータがメモリ内へとプログラムされる前に、ECC 回路を介してセクターがストリームされると、ブロック管理は、ホストセクターの一つへと加えられる。したがって、ブロック管理データのためにエラー訂正を個別に実施するのと比較して、追加の時間は必要がない。

20

【0024】

図 2 に示されるメモリシステム 200 の種々の実施形態においては、読み出し動作、及びプログラム動作の手順は、ページに基づいて実施される（例えば、NOR フラッシュメモリにおいて実施される、1 バイト或いは単語に基づくのとは対照的に、一時に 528 バイト）。更には、消去動作は、ブロックに基づいて実施される。動作においては、種々の実施形態におけるページの読み出し動作中に、528 バイトのページが、出力のためにメモリからデータレジスタへと伝送される。ページのプログラム動作においては、528 バイトのページが、データレジスタへと書き込まれ、続いてメモリアレイ内へとプログラムされる。ブロック消去動作においても、一群の連続したページが、単一の動作において消去されうる。

30

【0025】

図 3 は、本発明の種々の実施形態に係る、NAND フラッシュメモリアレイ 300 の概要図を示す。メモリアレイ 300 は、メモリアレイにおいて典型的に使用される全構成要素を示してはいない。例えば、3 本のビット線（B L 1、B L 2、及び B L 3 2）のみが示されているが、実際には使用されるビット線の本数はメモリの密度に依存する。ビット線は、以下、（B L 1 - B L 3 2）と称する。

【0026】

NAND メモリは、一連のストリング 304、305 において配列される、浮遊ゲートメモリセル 301 のアレイ 300 を含む。各浮遊ゲートメモリセル 301 は、それぞれの一連のストリング 304、305 においてドレインからソースへと接続されうる。複数の一連のストリング 304、305 を横切るワード線（W L 0 - W L 3 1）は、その動作を制御するため、ある行における各浮遊ゲートセルの制御ゲートへと接続される。ビット線（B L 1 - B L 3 2）は、最終的には各セル 301 の状態を検出する（示されていない）センス増幅器へと接続される。

40

【0027】

動作においては、ワード線（W L 0 - W L 3 1）は、書き込み或いは読み出しされる一連のストリング 304、305 における個々の浮遊ゲートメモリセルを選択し、パスルーモードにおいては、各一連のストリング 304、305 において、残りの浮遊ゲートメモリセルを操作する。浮遊ゲートメモリセルの各一連のストリング 304、305 は、ソース選択ゲート 316、317 によってソース線 306 へと接続され、ドレイン選択ゲート

50

ト 3 1 2、3 1 3 によって個々のビット線 (B L 1 - B L 3 2) へと接続される。ソース選択ゲート 3 1 6、3 1 7 は、その制御ゲートへと接続されたソース選択ゲート制御線 S G (S) 3 1 8 によって制御される。ドレイン選択ゲート 3 1 2、3 1 3 は、ドレイン選択制御線 S G (D) 3 1 4 によって制御される。

【 0 0 2 8 】

それぞれのセルは、1 セルにつき単一ビット、或いは 1 セルにつき複数ビットとしてプログラムされうる。S L C は、1 セルにつき単一ビットをプログラムすることを許容し、M L C は、1 セルにつき複数ビットをプログラムすることを許容する。各セルの閾値電圧 (V_t) は、セル内に格納されるデータを決定する。例えば、1 セルにつき単一ビットのアーキテクチャにおいては、1 V の V_t がプログラムされたセルを示しうることに対して、
- 1 V の V_t は消去されたセルを示しうる。マルチレベルセルは、二つよりも多くの V_t ウィンドウを有し、それぞれが異なる状態を示す。M L C は、ビットパターンをセルに格納された特定の電圧範囲へと割り当てることによって、従来のフラッシュセルのアナログ特性を利用する。この技術によって、セルに割り当てられた電圧範囲の量に依存して、1 セルにつき二つ以上のビットを格納することが可能となる。

10

【 0 0 2 9 】

例えば、セルは 4 つの異なる電圧 V_t 分布を割り当てられ、それぞれが約 2 0 0 m V の幅を有する。種々の実施形態においては、さらに 0 . 3 V から 0 . 5 V の分離が、各 V_t 分布範囲の間に割り当てられる。 V_t 分布間のこの分離域は、複数の V_t 分布が重なって論理エラーを引き起こさないように定められる。検証中に、セルに格納された電圧が 0 1
の低い V_t 分布内であると検出された場合には、セルは 0 1 を格納している。電圧が 0 0
の二番目に高い分布内である場合には、セルは 0 0 を格納している。これが、セルに使用されるのと同じだけの範囲 (レベル) にわたって継続する。

20

【 0 0 3 0 】

プログラミング動作中、フラッシュメモリセルがプログラムされるために選択されたワード線 (W L) には、一連の高電圧プログラミングパルスが供給される。高電圧プログラミングパルスは、典型的には、1 6 V から開始して 0 . 5 V の増加量で増加する。1 0 V の増加しない高電圧パルスは、選択されていない W L に対して印加される。

【 0 0 3 1 】

選択されたセルが、選択された W L においてプログラミングされるのを抑止するために、一実施形態においては、B L に対して ~ 1 . 3 V を印加することによって、抑止されるセルのチャネルはビット線 (B L) から分断される。選択された W L において選択されたセルをプログラムするために、チャネルは B L を介して 0 V へと接地される。チャネルと W L の間に形成される大きな電位差がセルをプログラムさせるように設計され、デバイスの V_t はより高いプログラミングパルスが印加されるにつれて増加する。

30

【 0 0 3 2 】

種々の実施形態においては、各プログラミングパルス間で、検証フェーズが実施される。検証中、選択された W L は 0 V へと下げられ、選択されていない W L は 5 V へと下げられ、選択されたセルの状態が検出される。W L における 0 V によってデバイスに伝導が誘発されないように、セルが V_t レベルを有するようにプログラムされる場合、デバイスは
プログラムされているものと考えられる。さもなければ、セルは消去されているものと考えられ、プログラミングパルスの高さは 0 . 5 V ずつ増加し、選択された W L へと再度印加される。プログラムされるべき、全ての選択されたセルが実際にプログラムされるまで、このプロセスが繰り返される。

40

【 0 0 3 3 】

典型的なメモリブロックは、6 4 論理ページを含みうる。6 4 論理ページは、3 2 本の物理的な W L とともに形成されうる。各 W L は 2 論理ページを含みうる。例えば、一つの W L には 4 K ビットセルが存在してもよい。このうち、2 K ビットは、別の 2 K ビットページと同一の W L を共有する 1 ページに専用であってもよい。各セルが複数の V_t 分布レベルモードにおいて使用される場合、記述された構成の W L は、1 ページにつき 2 K ビット

50

トを有する4ページを保持する。これらのページのうちの1つがプログラムされる場合、同一のWL上の第二のページは、たとえ抑止されていたとしても、外乱状態を経験する。したがって、共有されたWLを伴うページは、プログラミング外乱を経験しうる。共有されたWL上に引き起こされるプログラミング外乱は、同一のWL上にある第二のページにおいてあらかじめプログラムされているセルの V_t 分布をシフトさせ、その分布をより広くさせる。1セルにつき二つのレベルを使用する不揮発性メモリデバイスにとっては、このことは主要な問題とはなり得ない。なぜなら、二つの分布間の分離域は、分布が外乱状態によって重複するのを妨げるほどに十分大きいからである。しかしながら、MLC動作にとっては、単一セルが物理的な単一のセルにつき2ビット、或いは4レベルを表すために使用される場合、分離域が減少し、 V_t 分布が重複する、或いはシフトするのを防止するためには、外乱状態を減少させることが望ましくなる。

10

【0034】

図4は、本発明の種々の実施形態に係る、図3のNANDフラッシュメモリアレイの閾値電圧の分布を示す図400を示す。図400内の閾値電圧の分布は、各メモリセルが2ビットのデータ、すなわち4つのデータ状態を格納することを示す。図400は、閾値電圧を表すy軸402と、メモリセルにおける論理レベルを表す曲線406、408、410、及び412を有するx軸404を含む。曲線406は、負の閾値電圧において、消去状態にあるアレイ122（図1参照）内のセルの閾値レベル V_t の分布を表す。曲線408、及び曲線410は、それぞれ“10”及び“00”を格納するための閾値電圧分布を表すために示される。更に、曲線408は、0Vと1Vの間にあり、曲線410は1Vと2Vの間にある。曲線412は、2Vより大きく4.5V未満に設定された、最も高い閾値電圧レベルにおいて、状態“01”へとプログラムされたセルの分布を示す。

20

【0035】

単一のメモリセル内に格納された2ビットのうちのそれぞれは、上の実施例において記述されたように、異なる論理ページに由来する。すなわち、各メモリセル内に格納された2ビットのうちの各ビットは、互いに異なる論理ページアドレスを有する。図4に示される下位のページビットは、偶数ページアドレス（0、2、4、・・・N/2）が要求された場合にアクセスされる。上位のページビットは、奇数ページアドレス（1、3、5、・・・[N/2+1]）が要求された場合にアクセスされる。改良された信頼性を提供するために、個々の分布は減少し、それによって、より大きい読み出しマージンが提供されうる。

30

【0036】

読み出し動作においては、ターゲットの（選択された）メモリセルのワード線は、低電圧レベルにおいて維持されうる。選択されていないセルのワード線は全て、その浮遊ゲートの電荷に関わらず、選択されていないセルを活性化させるために十分に高い電圧に接続されうる。選択されたセルが、帯電していない浮遊ゲートを有する場合には、それは活性化される。ビット線、及びソース線は、続いてアレイ内の一連のメモリセルを介して接続される。選択されたセルが帯電した浮遊ゲートを有する場合には、それは活性化されない。その場合には、ビット線、及びソース線は、一連のメモリセルを介して接続されない。

【0037】

NANDフラッシュメモリデバイスの中には、メモリアレイ（ブロック）内に初期不良ブロックを含むものもある。これらの不良ブロックは、製造者によって不良品として標示され、いかなるシステムにおいても使用されるべきではないことが示されうる。更には、NANDデバイスは、劣化して磨耗する可能性があり、それによって、通常のデバイス動作中に、更なる不良ブロックが発生する結果となる。更には、NANDフラッシュデバイス動作中に、或いは長期の休止期間中に、ビットエラーが生じうる。したがって、NANDフラッシュメモリはデータインテグリティ（整合性）を確保するためにECC機能を提供されうる。

40

【0038】

NANDフラッシュメモリは、各ページに“スペアエリア（予備領域）”と呼ばれる追

50

加の記憶装置を含みうる。種々の実施形態においては、予備領域は64バイト(512バイトセクターにつき16バイト)を含む。種々の実施形態においては、予備領域は、ECC、及び、不良ブロック情報の格納、ウェアレベリング、或いは論理物理ブロックマッピングのために使用される、ブロック管理データのような情報を格納するために使用される。ウェアレベリングは、ファイルがプログラムされる度毎に、論理メモリアドレスを異なる物理メモリアドレスへ変換することを含む。ウェアレベリングは、メモリアレイの全範囲へとNANDフラッシュメモリセルの使用を拡大し、それによって全メモリセルの使用を均一にし、デバイスの寿命を延長するのに役立つ。この動作は、NANDフラッシュメモリデバイスへ接続されたコントローラによって、モニターされ、かつ実施されうる。

【0039】

図5は、本発明の種々の実施形態に係る、エラー訂正のための装置を示すシステム500のブロック図を示す。システム500は、ホスト502、バッファ504、エラー訂正システム518、ダイレクトメモリアクセスコントローラ(DMA)520、及びフラッシュメモリ522を含む。エラー訂正システム518は、エラー訂正チェックビット発生器506、ブロック管理データブロック508、第一のマルチプレクサ510、シンドローム発生器512、エラー訂正モジュール514、及び第二のマルチプレクサ516を含む。種々の実施形態においては、システム500は、ソフトウェア、ハードウェア、或いはその二つの組み合わせにおいて実装される、NANDフラッシュメモリコントローラを含む。システム500のコントローラは、図1の制御回路126と類似してもよいし、或いは、同一であってもよい。種々の実施形態においては、バッファ504は、(示されていない)マルチメディアカードインターフェイスを介して、ホスト502へと接続される。種々の実施形態においては、エラー訂正システム518は、(示されていない)NANDフラッシュコントローラハードウェアにおいて実装される。エラー訂正は、ハードウェア、或いはソフトウェアにおいて実施されうる。エラー訂正システム518は、図1のエラー訂正システム130と類似してもよいし、或いは、同一であってもよい。

【0040】

図5に示されるように、ホスト502は、バッファ504へと接続され、DMA520は、フラッシュメモリ522へと接続される。バッファ504、及びDMA520の両者は、それぞれホスト502、及びフラッシュメモリ522からデータを送信し、受信するように構成される。種々の実施形態においては、ホスト502、及びフラッシュメモリ522とのデータのやりとりは、8ビット幅、或いは16ビット幅の双方向データバスを介して実施される。バッファ504の出力は、エラー訂正モジュール514、エラー訂正チェックビット発生器506、及び第一のマルチプレクサ510の入力へと接続される。第一のマルチプレクサ510の出力は、DMA520の入力へと接続される。DMA520の出力は、シンドローム発生器512、ブロック管理モジュール508、及び第二のマルチプレクサ516の入力へと接続される。

【0041】

幾つかの実施形態においては、ブロック管理モジュール508は、メモリブロック内の不良ブロック(無効ブロック)とその位置に関する情報を格納する。無効ブロックは、二つのグループへと分類されうる。すなわち、先天的な(inherent)無効ブロックと後天的な(acquired)無効ブロックとである。先天的な無効ブロックは、NANDデバイスの製造プロセス中に生じる。一方で、後天的な無効ブロックは製造工場によっては同定されない。これらのブロックは、消耗の結果として顧客側に起源がある。消耗されたブロックは、無効ブロックとして標示され、ブロック消去、或いはページプログラム障害のいずれかがあった場合には、それ以降アクセスされることはない。後天的な無効ブロックは、通常、先天的な無効ブロックと同一の方法によって標示される。ブロック管理データブロック508は、エラー訂正モジュール514、及びエラー訂正チェックビット発生器506へと接続され、エラー訂正モジュール514、及びエラー訂正チェックビット発生器506からデータを送信、及び受信する。第二のマルチプレクサ516の出力は、バッファ504の入力へと接続される。

10

20

30

40

50

【 0 0 4 2 】

種々の実施形態においては、ホスト 5 0 2 からのデータワードがフラッシュメモリ 5 2 2 へと書き込まれる場合、ワードは最初にページの一部としてバッファ 5 0 4 に格納される。種々の実施形態においては、ページは、情報のビットとして格納される、ホスト 5 0 2 からの情報を有する、一連のセクターを含む。種々の実施形態においては、フラッシュメモリ 5 2 2 へとページをプログラムするよう（示されていない）コントローラから指示を受信すると、（おそらくページの最終セクターを除いて）ページ内に含まれる各セクターのために、エラー訂正チェックビットがエラー訂正チェックビット発生器 5 0 6 において生成される。ページの最終セクターは、修正されたセクターを形成するために、ブロック管理モジュール 5 0 8 によって提供されるブロック管理データと組み合わせられうる。エラー訂正チェックビットは、修正されたセクターのために生成される。最終セクター以外の一連のセクター、修正されたセクター、及びそれらに対応するエラー訂正ビットは、図 7 A - 図 7 C に示されるようにフラッシュメモリ 5 2 2 におけるページとして格納される。

10

【 0 0 4 3 】

種々の実施形態においては、データワードがフラッシュメモリ 5 2 2 から読み直される場合、ページに格納されたエラー訂正チェックビットは再計算され、フラッシュメモリ 5 2 2 から読み出された、格納されたエラー訂正チェックビットと比較される。比較の結果として相違がある場合には、それはエラーが生じたということを示している。このような比較の結果はシンドロームと呼ばれ、シンドローム発生器 5 1 2 において生成される。シンドロームがゼロであることがわかった場合、エラーがなかったということが決定されうる。シンドロームがゼロでない場合、どのデータビット、或いは ECC ビットがエラーであるかを同定するために、或いは、エラーが訂正不可能であることを決定するために、シンドロームが使用されうる。種々の実施形態においては、シンドロームがゼロでない場合、どのビットがエラーであるかを決定するために、テーブルにインデックスを作成するためにシンドロームが使用されうる。種々の実施形態においては、このテーブルルックアップステージは、ハードウェアにおいて実装され、他の実施形態においては、ソフトウェアにおいて実装される。

20

【 0 0 4 4 】

幾つかの実施形態においては、実装されるエラー訂正コードのタイプと、任意のシステムにおいて必要とされるエラー保護の程度は、格納されるデータのタイプ、及び、使用される NAND フラッシュ技術のタイプ（SLC、或いはMLC）に依存する。種々の実施形態においては、使用されるエラー訂正コードは、ボース チョードリー ホッケンガム（ BCH ）、リード ソロモン（ RS ）、ハミング、ゴレイ、リードミュラー、ゴッパ、及びデニストンコードのうちのいずれか一つ、或いはそれ以上を含んでもよい。幾つかの実施形態においては、8つの単一ビットエラーが、エラー訂正コードを使用して、任意のいずれのセクターにおいても訂正されうる。種々の実施形態においては、16の単一のビットエラーが、エラー訂正コードを使用して、任意のいずれのセクターにおいても訂正されうる。

30

【 0 0 4 5 】

図 6 は、種々の実施形態に係る、NAND フラッシュメモリにおけるページをプログラミングする方法のフローチャートを示す。方法 6 0 0 は、ページをプログラムするためのブロック 6 0 2 から開始する。ここで、図 5、及び図 6 を参照すると、方法 6 0 0 は、フラッシュメモリ 5 2 2 へのページアドレスとともに、プログラムコマンドを送信するステップをブロック 6 0 4 において含んでもよいことが明らかである。方法 6 0 0 は、ホスト 5 0 2 からバッファ 5 0 4 へと1つのセクターを伝送するステップを、ブロック 6 0 6 において含みうる。方法 6 0 0 は、フラッシュメモリ 5 2 2 へと、エラー訂正システム 5 1 8 における ECC 論理を介して一つずつ、バッファ 5 0 4 に格納されたセクターを伝送するステップを、ブロック 6 0 8 において含みうる。

40

【 0 0 4 6 】

50

方法 600 は、そのセクターがページの最終セクターであるかどうかを決定するステップをブロック 610 において含みうる。セクターが最終セクターであると決定された場合、続いて、方法はブロック 614 へと進行する。セクターが最終セクターではないと決定された場合、方法はブロック 612 へと戻り、そこで対応するセクターの ECC バイトがフラッシュメモリ 522 へと伝送される。

【0047】

方法 600 は、ECC 論理を介して、続いてフラッシュメモリ 522 へと、ブロック管理データをクロックするステップを、ブロック 614 において含みうる。方法 600 は、最終セクターに対応する ECC 冗長バイト及び、ブロック管理データをフラッシュメモリ 522 へと伝送するステップを、ブロック 616 において含みうる。方法 600 は、ページをプログラムするために、プログラム確認コマンドをフラッシュメモリ 522 へと送信するステップを、ブロック 618 において含みうる。方法 600 は、フラッシュメモリ 522 からプログラム確認状態を受信するステップを、ブロック 620 において含みうる。

【0048】

図 7A、及び図 7B は、種々の実施形態に係る、4つのセクター、及びブロック管理データと組み合わせられる ECC チェックビットをそれぞれ示すページ 700、及び 720 のデータ構造を示す。図 7A に示されるように、ページ 700 は、フィールド 702 - 710 を含む。フィールド 702、704、706、及び 708 は、データビットを含むセクターを表す。フィールド 703、705、707、及び 709 は、それぞれセクター 702、704、706、及び 708 のために生成される ECC チェックビットに対応する。フィールド 710 は、ブロック管理データを含む。種々の実施形態においては、フィールド 702、704、706、及び 708 は、ホスト 502 からフラッシュメモリ 522 へと伝送されるべきデータを集合的に含む。種々の実施形態においては、フィールド 702、704、706、及び 708 は、512 バイトの情報を含む。幾つかの実施形態においては、フィールド 703、705、707、及び 709 は、13 バイトの ECC チェックコードを含む。種々の実施形態においては、ブロック管理データ 710 は、12 バイトのブロック管理情報を含む。

【0049】

図 7B に示されるように、ページ 720 はフィールド 722 - 730 を含む。フィールド 722、724、726、及び 728 は、データビットを含むセクターを表す。フィールド 723、725、727、及び 729 は、それぞれセクター 722、724、726、及び 728 のために生成される ECC チェックビットに対応する。フィールド 730 は、ブロック管理データを含む。種々の実施形態においては、フィールド 722、724、726、及び 728 は、ホストデバイス 502 からフラッシュメモリ 522 へと伝送されるデータを集合的に含む。種々の実施形態においては、フィールド 722、724、726、及び 728 は、512 バイトの情報を含む。幾つかの実施形態においては、フィールド 723、725、727、及び 729 は、13 バイトの ECC チェックコードを含む。種々の実施形態においては、ブロック管理データ 730 は、10 バイトのブロック管理情報を含む。

【0050】

図 7C は、本発明の種々の実施形態に係る、8つのセクター、及びブロック管理データと組み合わせられる ECC を示すページ 740 のデータ構造を示す。図 7C に示されるように、ページ 740 は、フィールド 741、742・・・759 を含む。フィールド 741、742・・・748 は、データビットを含むセクターを表す。フィールド 751、752・・・758 は、それぞれセクター 741、742・・・748 のために生成される ECC チェックビットに対応する。フィールド 759 は、ブロック管理データを含む。種々の実施形態においては、セクターフィールド 741、742・・・748 は、ホストデバイス 502 からフラッシュメモリ 522 へと伝送されるデータを集合的に含む。種々の実施形態においては、セクター 741、742・・・748 は、512 バイトの情報を含む。幾つかの実施形態においては、フィールド 751、752・・・758 は、26 バイ

トのECCチェックビットを含む。種々の実施形態においては、フィールド730は、10バイトのブロック管理情報を含む。

【0051】

図8は、種々の実施形態に係る、NANDフラッシュメモリにおけるエラー訂正を実施するための方法800を示すフロー図を示す。方法800は、ページにおける一つ以上の選択されたセクターを除く、ページの複数のセクターのそれぞれのために、エラー訂正データを生成するステップをブロック802において含みうる。方法800は、修正されたセクターを生成するために、ブロック管理データを選択された(複数の)セクターと組み合わせるステップを、ブロック804において含みうる。方法800は、修正されたセクターのためにエラー訂正データを生成するステップを、ブロック806において含みうる。

10

【0052】

方法800は、複数のセクター、選択されたセクター以外の複数のセクターのそれぞれのためのエラー訂正データ、修正されたセクターのためのブロック管理データ及びエラー訂正データを組み合わせるステップを、ブロック808において含みうる。

【0053】

図9は、種々の実施形態に係る、NANDフラッシュメモリにおけるエラー訂正を実施するための方法900を示すフロー図を示す。方法900は、マルチレベルセルフラッシュメモリにおいて、複数のデータセクター及び、ブロック管理データを格納するステップを、ブロック902において含みうる。

20

【0054】

方法900は、組み合わせられたブロック管理データセクターを生成するために、ブロック管理データを、複数のデータセクターのうちの少なくとも一つと組み合わせるステップを、ブロック904において含みうる。

【0055】

方法900は、組み合わせられたブロック管理データセクターを生成するために使用される、複数のデータセクターのうちの少なくとも一つ以外の複数のデータセクターのそれぞれのためにエラー訂正データを生成するステップを、ブロック906において含みうる。

【0056】

方法900は、組み合わせられたブロック管理データセクターのための、組み合わせられたブロック管理エラー訂正データを生成するステップを、ブロック908において含みうる。

30

【0057】

方法900は、複数のデータセクター、ブロック管理データ、複数のデータセクターのそれぞれのためのエラー訂正データ、及び、組み合わせられたブロック管理エラー訂正データを組み合わせるステップを、ブロック910において含みうる。

【0058】

本明細書に記述された装置、システム及び方法を実施することで、結果としてNANDフラッシュメモリにとってより良いエラー訂正機能が利用可能になる。更には、エラー訂正動作のために要する時間、及びエラー訂正に使用されるメモリが著しく節約されうる。

40

【0059】

本明細書の一部を形成する、付随する図面は、例示の目的のためであって、限定する目的ではなく、本発明の主題が実施されうる特定の実施形態を示している。示されている実施形態は、当業者が本明細書に開示される教示を実施することが可能なほど十分詳細に記述されている。他の実施形態は、本開示の範囲から逸脱することなく構造的、及び論理的な置換、及び変形がなされるように、そこから利用され、派生されうる。したがって、この「発明を実施するための形態」は限定する目的でなされるわけではなく、種々の実施形態の範囲は、付随の請求項、及び、請求項が権利を与えられるあらゆる種類の均等物によってのみ定義される。

50

【 0 0 6 0 】

本発明の主題のこのような実施形態は、本明細書においては、単に簡便性のために個別に、或いは集合的に、“発明”という用語で言及されているが、実際には一つ以上が開示されている場合でも、この用途の範囲をいかなる単一の発明、或いは発明的な概念へと任意に限定することを意図するものではない。このように、本明細書においては、特定の実施形態が示され、説明されてきたが、同一の目的を達成すると予測されるいかなる装置が、示される特定の実施形態と置換されてもよい。本開示は、種々の実施形態のいかなる、及び全ての改作物或いは変形物を包含するように意図される。上述の実施形態と、本明細書においては特に記述されていない他の実施形態との組み合わせは、上記の説明を再考することによって当業者にとって明らかになるであろう。

10

【 0 0 6 1 】

“ロウ”論理信号、及び“ハイ”論理信号のための電圧の大きさは、通常定義されない。なぜなら、負の電圧、及び正の電圧を含む、様々な相対的な値を有しうるからである。“ハイ”及び“ロウ”論理信号は、二進値を表すことにおいて、お互いに対するその関係によってのみ定義される。典型的には、“ハイ”論理信号は“ロウ”論理信号よりも高い電圧レベル、或いは電位を有し、もしくは、“ロウ”信号は、“ハイ”信号とは異なる極性、或いは負の極性を有しうる。当業者にとって理解されるように、幾つかの論理システムにおいては、相対的な“ロウ”論理値が接地を基準として負の電位によって表される場合には、“ハイ”論理値は、接地電位によって表されることさえありうる。

20

【 0 0 6 2 】

本開示の要約書は、読者が技術的な開示の特徴を直ちに確認することを可能にする要約書を必要とするという、37 C. F. R. § 1.72 (b) に従うために提供される。要約書は、請求項の範囲、或いは意味を解釈する、或いは限定するためには使用されないことを理解したうえで提出される。前述の「発明を実施するための形態」においては、本開示を簡素化する目的のために、単一の実施形態において種々の特徴がともにグループ化されている。この開示の方法は、各請求項において明確に列挙されるよりも、より多くの特徴を必要とすると解釈されるべきではない。むしろ、本発明の主題は、開示された単一の実施形態の全特徴よりも少ない特徴において理解されうる。このように、付随する請求項は、これによって「発明を実施するための形態」に組み込まれ、各請求項は個々の実施形態として独立する。

30

【 0 0 6 3 】

[結 論]

種々の実施形態は、本明細書において、メモリデバイスにおけるプログラミングシステム管理データのための機構として説明された。プログラミングは、バッファとダイレクトメモリアクセスとの間に接続される、エラー訂正モジュールを使用して内部で実施される。種々の実施形態においては、メモリデバイスはMLC NANDデバイスを含む。

【 図 3 】

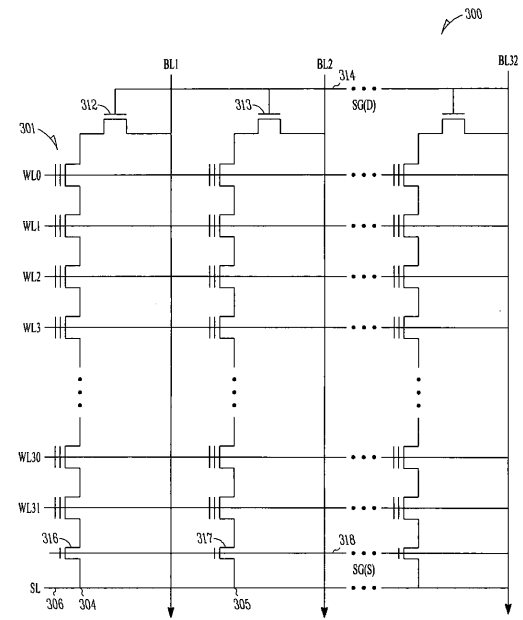


FIG. 3

Diagram illustrating a bus structure 700, showing a sequence of blocks labeled 512B, 13B, 512B, 13B, 512B, 13B, 512B, 12B, and 13B, with corresponding labels 702, 703, 704, 705, 706, 707, 708, 710, and 709 above them.

【 図 7 B 】

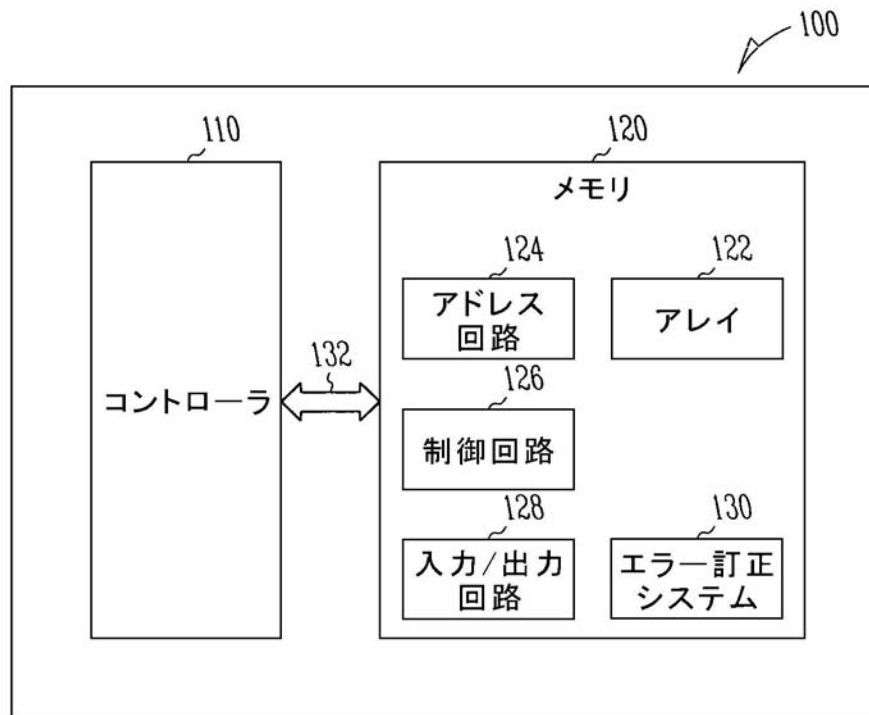
512B	26B	512B	26B	512B	26B	512B	10B	26B
722	723	724	725	726	727	728	730	729

【 図 7 C 】

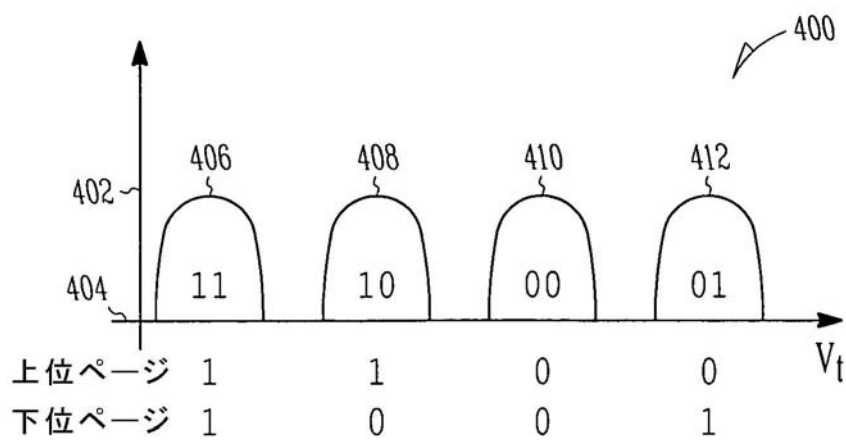
512B	26B	512B	26B	• • •	512B	10B	26B
741	751	742	752		748	759	758

FIG. 7C

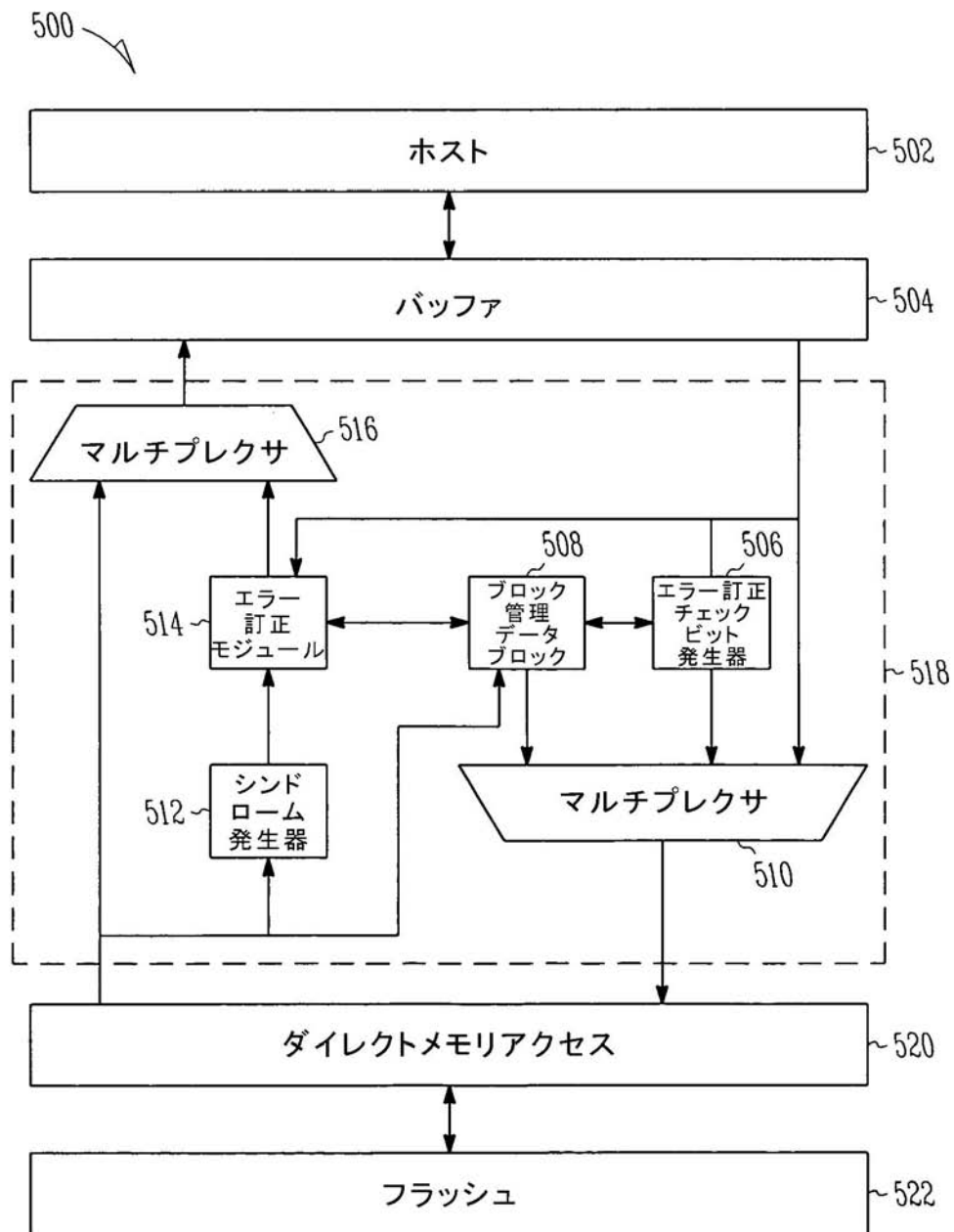
【図 1】



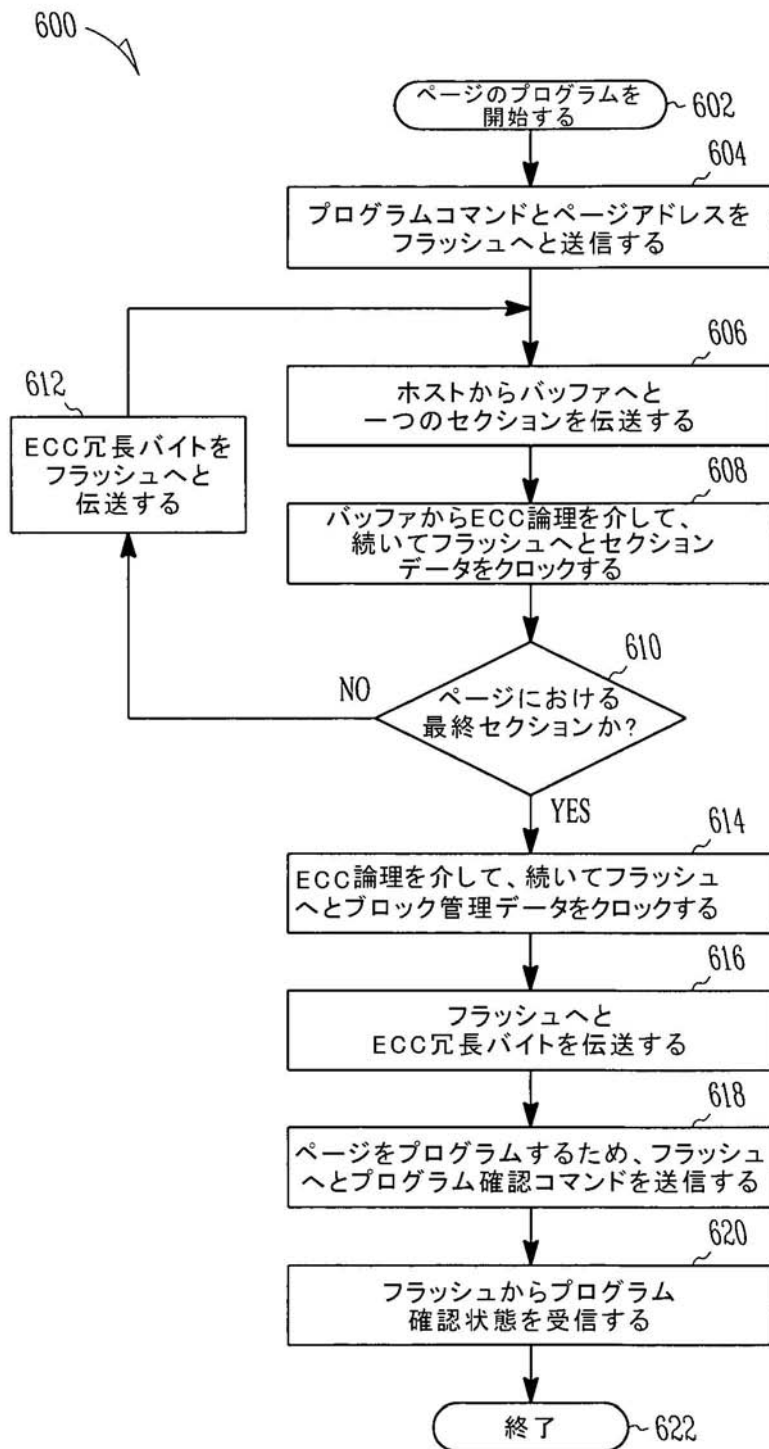
【図 4】



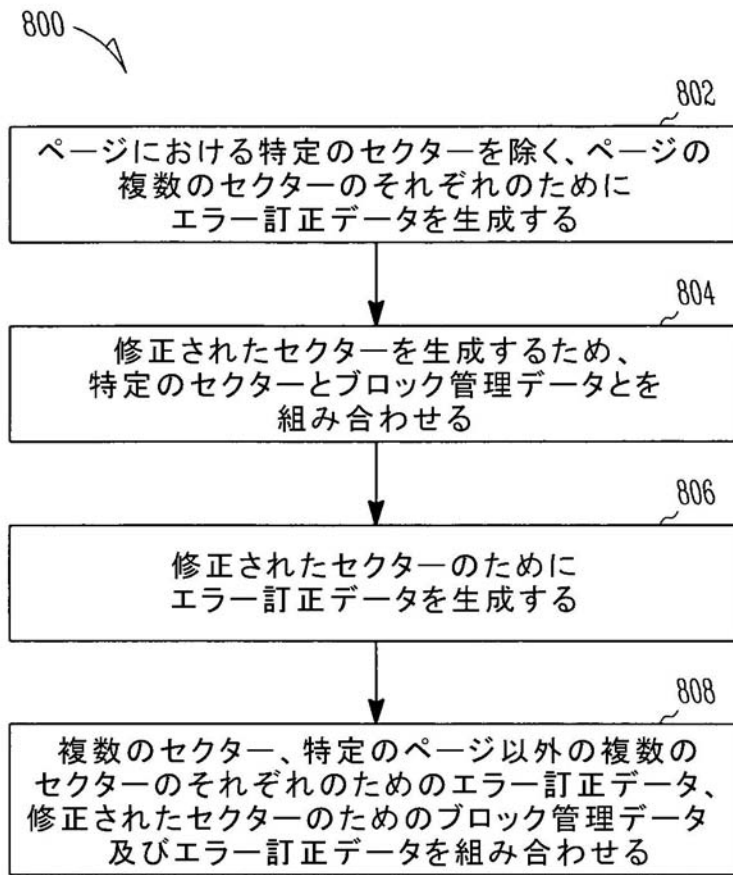
【図 5】



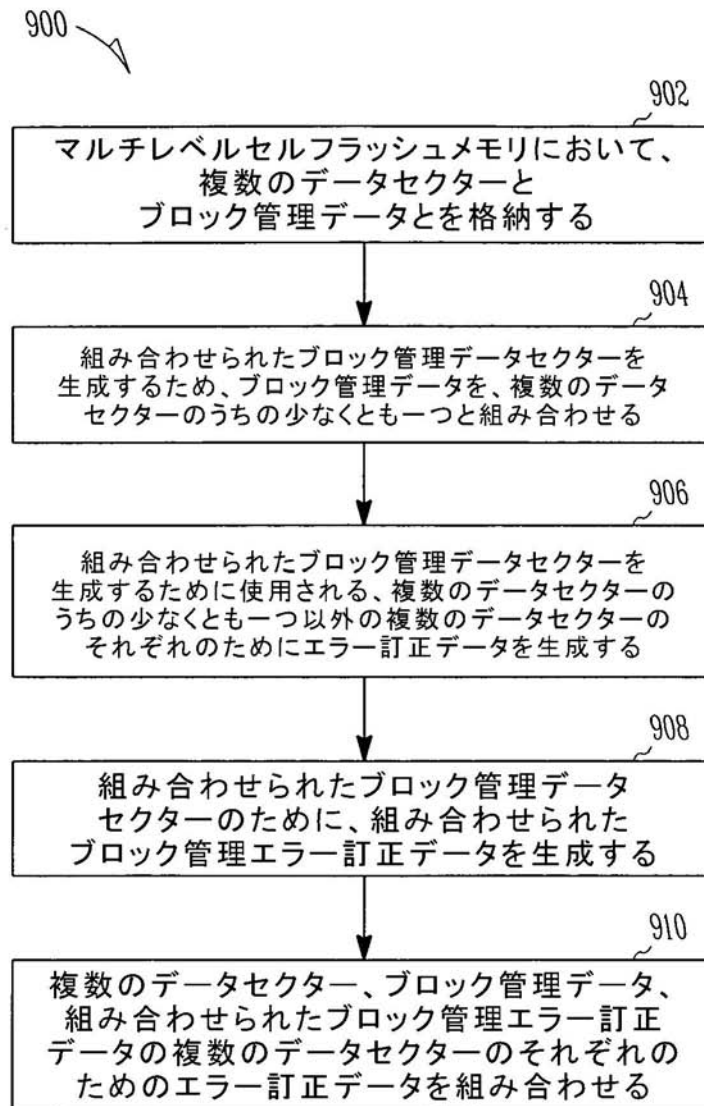
【図 6】



【図 8】



【図 9】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2008/000804

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06F11/10 G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2004/083334 A1 (CHANG ROBERT C [US] ET AL) 29 April 2004 (2004-04-29) the whole document	20-26 1-19, 27-31
X	US 2005/055610 A1 (SASSA AKIRA [JP] ET AL) 10 March 2005 (2005-03-10) paragraph [0040] - paragraph [0057]; figure 2	20-26

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

20 May 2008

Date of mailing of the international search report

29/05/2008

Name and mailing address of the ISA/

European Patent Office, P.O. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 851 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Harms, Juergen

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2008/000804

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2004083334	A1	29-04-2004	NONE	
US 2005055610	A1	10-03-2005	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ラドキ, ウィリアム ヘンリー

アメリカ合衆国, カリフォルニア州 95030, ロス ガトス, クレランド アベニュー 90

Fターム(参考) 5B018 GA02 HA14 NA06

5B125 BA02 BA19 CA11 DA03 DB08 DB12 DC03 DD01 DD09 DE08

DE17 EA05 EA10 EB10 EK10 FA01 FA06 FA10