

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-141144

(P2009-141144A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	4 M 1 0 4
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 0 1
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 6 1 6 V	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/58 G	

審査請求 未請求 請求項の数 12 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2007-316173 (P2007-316173)
 (22) 出願日 平成19年12月6日 (2007.12.6)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100065248
 弁理士 野河 信太郎
 (72) 発明者 木本 賢治
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 Fターム(参考) 4M104 AA01 AA02 AA08 AA09 BB01
 BB20 BB21 BB22 BB25 BB30
 BB32 BB36 CC01 CC05 DD37
 DD65 DD79 DD80 DD84 EE03
 EE12 GG09 GG10 GG14 GG16

最終頁に続く

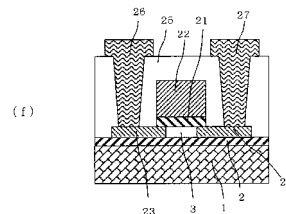
(54) 【発明の名称】 半導体記憶装置及びその製造方法と駆動方法

(57) 【要約】 (修正有)

【課題】 寄生抵抗の増大なく、ホットキャリアによる特性劣化を抑制できる不揮発性半導体記憶装置およびその製造方法を提供する。

【解決手段】 ガラス基板 1 上に形成した半導体層 3 と、半導体層 3 上に形成したONO膜による電荷保持膜 2 1 と、電荷保持膜 2 1 上に設けたゲート電極 2 2 とを備える。更に半導体層 3 にゲート電極 2 2 とオーバーラップするように設けられたニッケルシリサイド等の半導体と金属の化合物からなるソース・ドレイン領域 2 3 を有する。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

半導体層と、
前記半導体層上に形成した電荷保持膜と、
前記電荷保持膜上に設けたゲート電極と、
前記半導体層に前記ゲート電極と一部オーバーラップするように設けられた半導体と金属の化合物からなるソース・ドレイン領域
を有する半導体記憶装置。

【請求項 2】

前記オーバーラップの長さは、2 ~ 100 nmである請求項 1 に記載の半導体記憶装置。 10

【請求項 3】

前記半導体と金属の化合物は、前記半導体層を構成する半導体と、Ni、Co、Ti、Er、Yb、またはPtとの化合物よりなる請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記半導体層はシリコンであり、前記半導体と金属の化合物はNiSiである請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記半導体層が前記ソース・ドレイン領域と接する領域に、前記半導体層とは導電型が逆の不純物を含む領域を備える請求項 1 に記載の半導体記憶装置。 20

【請求項 6】

前記電荷保持膜は、酸化シリコン、窒化シリコン、酸化シリコンの順に堆積された積層膜、酸化シリコン、導電性物質、酸化シリコンの順に堆積された積層膜、または酸化シリコン、導電性物質、酸化シリコン、窒化シリコン、酸化シリコンの順に堆積された積層膜である請求項 1 に記載の半導体記憶装置。

【請求項 7】

前記導電性物質は、Si、TiN、Ta₂N₅、NiSi、Geのいずれかである請求項 6 に記載の半導体装置。

【請求項 8】

前記半導体層は、ガラス基板上に設けられている請求項 1 に記載の半導体記憶装置。 30

【請求項 9】

前記半導体層は、Geまたはアモルファスシリコンである請求項 1 に記載の半導体記憶装置。

【請求項 10】

半導体層に、半導体と金属の化合物によってソース・ドレイン領域を形成する工程と、
前記半導体層上に電荷保持膜を形成する工程と、
前記ソース・ドレイン領域にオーバーラップするように、前記電荷保持膜上にゲート電極を形成する工程と
を、この順に実施する半導体記憶装置の製造方法。 40

【請求項 11】

半導体層上に電荷保持膜を形成する工程と、
前記電荷保持膜上にゲート電極を形成する工程と、
前記ゲート電極に対して自己整合的な位置に、半導体と金属との化学反応によってソース・ドレイン領域を形成する工程と
を、この順に実施する半導体記憶装置の製造方法。 40

【請求項 12】

前記ソース・ドレイン領域のうち、前記電荷保持膜中の電荷が捕獲されている領域に接する方の領域と、ゲート電極との間に、前記電荷の極性が正の場合は、ゲート電極の電位の方が高くなるように、または前記電荷の極性が負の場合には、ゲート電極の電位の方が低くなるように、電位勾配を与える請求項 1 から 9 までのいずれか 1 項に記載の半導体記 50

憶装置のデータ消去駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置及びその製造方法とデータ消去駆動方法に関する。

【背景技術】

【0002】

MONOS (Metal Oxide Nitride Oxide Semiconductor) 型記憶素子、フローティングゲート型記憶素子を始めたMIS (Metal Insulator Semiconductor) 型電界効果トランジスタ構造を持つ記憶素子では、一般的にシングルドレイン構造が用いられ、ONO (Oxide Nitride Oxide) 膜やフローティングゲートといった電荷保持膜中へのチャンネルホットキャリア注入を用いたデータ書き込みが行われる。

シングルドレイン構造におけるソース領域およびドレイン領域は、ゲート電極をマスクとして、N型チャンネル素子の場合はP、As、Sbのいずれかを、P型チャンネル素子の場合はBを、高濃度にイオン注入した後、活性化アニールすることによって形成される。これによりソース領域およびドレイン領域は、ゲート電極に対して自己整合的な位置に形成することが出来るため、素子特性のばらつきを小さくすることが出来る。

【0003】

図8に、従来技術によって製造した半導体記憶装置の例を示す。図8に示した半導体記憶装置は、ガラス基板51上に保護絶縁膜52を介して多結晶シリコン53を形成し、この多結晶シリコン53の上にゲート絶縁膜54およびゲート電極55を積層し、ゲート電極55をマスクとして結晶シリコン53にBを注入し、活性化アニールしてソース領域56、ドレイン領域57を形成したものである。この半導体記憶装置は、更に層間絶縁膜61、ソース電極62、ドレイン電極63が形成される。

【0004】

しかしながら、図9に示すように、前記シングルドレイン構造を用いたMIS型電界効果トランジスタ構造を持つ記憶素子では、ソース領域56及びドレイン領域57に対してゲート電極13がオーバーラップする長さTは600以下の活性化アニールによるB(ボロン)の熱拡散によって形成される部分であるため小さい。そのため、チャンネルホットキャリアに対する耐性が弱い。即ち、データ書き込み時のチャンネルホットキャリアHがドレイン端近傍上の絶縁膜中に注入されるチャンネルホットキャリアCにより、ドレイン端部が空乏化され、更には反転層が形成されることによって、ドレイン領域57がゲート電極55に対して容易にオフセットSを生じてしまう。特に、前記オフセットをソース側としてデータ読み出し動作を行う場合は、S値(サブスレッショルド係数)の劣化、オン電流が減少することによるオン電流の劣化等が顕著となり、良好なデータ保持特性が得られない。S値とは、サブスレッショルド領域において、ドレイン電流が1桁上昇するのに必要なゲート電圧増加を表す値である。即ち、 $S = 1 / (d(\log_{10}(I_d)) / dV_g)$ (I_dはドレイン電流)で表される。

【0005】

また、低消費電力を実現する不揮発性メモリトランジスタが、例えば特許文献1に開示されている。特許文献1のメモリトランジスタは、半導体層上に、第1絶縁膜、フローティングゲート、第2絶縁膜、コントロール電極を積層し、このゲートの側方の半導体層にチタン、タングステン、コバルト、モリブデン等の金属をスパッタリング法により金属層を形成し、次に熱処理してシリサイド化することにより、ソース領域とドレイン領域を形成する構造である。この構成によりチャンネル領域とソース領域、ドレイン領域の境界にショットキー接合を形成する。ショットキー接合の電位障壁は、pn接合の電位障壁に比して、小さいため、低い電圧を印加することで電流を流すことができ、従って低消費電力化が実現できるものである。

しかしながら、この構造のメモリトランジスタもチャンネルホットキャリアに対する耐性

が弱く、従って容易にオフセットを生じ、S値の劣化、オン電流の劣化等が顕著となる。

【0006】

更に、例えば、ガラス基板上に形成した半導体よりなる素子、例えばGeを始めとする低融点無機半導体上に形成される素子、ゲート電極に金属等の比較的融点若しくは軟化点の低い材料が用いられる素子、電荷保持膜の一部に高誘電率膜（例えば、 HfO_2 、 ZrO_2 、 Ta_2O_5 等）が用いられる素子等のように、少なくともソース領域およびドレイン領域への不純物注入後のプロセスが、600程度以下の低温で行われる場合は、ソース領域およびドレイン領域における不純物の活性化率が低くなる。そのため、ソース領域およびドレイン領域のキャリア密度が十分に高濃度とならず、従って、ホットキャリアによる特性劣化は更に顕著となる。

10

【0007】

また、データの書き込みは、チャンネルホットキャリア、または基板からのFN（Fowler-Nordheim）型トンネリングを用いた、電荷保持膜中へのキャリア注入によって行われるのが一般的である。データの消去は、電荷保持膜のうち、データ書き込み動作によって電荷が捕獲された領域に、前記電荷とは逆極性の電荷をほぼ等量注入することによって行うのが理想的である。

しかしながら、データ消去は、基板からのFN型トンネリング注入、またはドレイン（またはソース）接合近傍でのバンド間トンネリングによって発生するホットキャリアを用いた電荷保持膜中へのキャリア注入によって行われるのが一般的であるが、電荷保持膜のうちデータ書き込み動作によって電荷が捕獲された領域に対してデータ消去時のキャリア注入位置を合わせ、前記電荷とは逆極性の電荷をほぼ等量注入することは容易ではない。従って、過消去が起こりやすく、素子特性の劣化を招きやすい。

20

【0008】

また、特にSOI（Silicon-on-Insulator）基板やガラス基板上の薄膜半導体上等に素子を形成する場合は、ボディコンタクトがないため、FN型トンネリングによってチャンネルキャリアとは逆極性のキャリアを半導体から電荷保持膜へ注入することや、バンド間トンネリングによって電荷保持膜へキャリア注入を行うことは出来ない。もしもボディコンタクトを設けるとしても、素子面積が非常に大きくなったり、ゲート電極が電荷保持膜を介して被覆する半導体領域が大きくなるため、ゲート電極半導体間の静電容量が大きくなり、読み出し速度の低下を招いたりする問題がある。

30

【特許文献1】特開2004-296852号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

この発明は、前記課題を解決するものであり、その目的は、寄生抵抗の増大がなく、ホットキャリアによる特性劣化を抑制できる半導体記憶装置およびその製造方法を提供することと、ボディコンタクトを必要とせず、過消去を抑制したデータ消去駆動方法を提供することにある。

【課題を解決するための手段】

【0010】

前記目的を達成するため、本発明の第1の観点による半導体記憶装置は、半導体層と、前記半導体層上に形成した電荷保持膜と、前記電荷保持膜上に設けたゲート電極と、前記半導体層に前記ゲート電極とオーバーラップするように設けられた、半導体と金属の化合物からなるソース・ドレイン領域を有することを特徴としている。

40

【0011】

前記構成の半導体記憶装置によれば、半導体と金属の化合物からなるソース・ドレイン領域がゲート電極に対してオーバーラップしているため、データ書き込み時等に発生するチャンネルホットキャリアが電荷保持膜やソース・ドレイン領域近傍の絶縁膜中等に捕獲されてソース・ドレイン領域が空乏化することがない。従って、ソース・ドレイン領域がゲート電極に対してオフセットすることを防ぐことが出来る。これにより、読み出し時のS

50

値の劣化や、オン電流の劣化を防ぐことが出来る。

また、例えば、ドレイン領域近傍の電荷保持膜中にチャネルホットキャリアを注入した場合、キャリア注入領域下の半導体表面ではバンドが変調され、蓄積層が形成される。半導体層表面のバンドが変調されるため、半導体層とドレイン領域との間のショットキー障壁の幅は小さくなり、更に、鏡像効果によってショットキー障壁高さが小さくなる。従って、ドレイン領域と蓄積層は電氣的に接続されるため、ドレイン領域とゲート電極間にバイアス電圧を印加することにより、蓄積層中キャリアのFN (Fowler - Nordheim) 型トンネリングによるデータ消去が可能となる。従って、ボディコンタクトなしで、データ消去が可能である。

【0012】

また、一実施形態の半導体記憶装置では、前記オーバーラップの長さが2~100nmであることを特徴としている。オーバーラップの長さを2nm以上とすることにより、ゲート電極への電圧印加によるショットキー障壁高さの変調効果を確実に得ることが出来る。オーバーラップの長さが2nmより小さい場合は、製造工程中の熱処理工程における雰囲気中の残留酸素等によって半導体と金属の化合物表面がわずかに酸化されることによって、良好なショットキー接合特性とショットキー障壁高さ変調効果が得られない場合がある。また、オーバーラップの長さが過剰に大きい場合、オーバーラップ容量の増加によるデータ読み出し速度の低下や、ゲート電極とソース・ドレイン領域との間のリーク電流の増加や短絡の原因になるため、100nm以下とするのが望ましい。従って、オーバーラップの長さは、2~100nmが望ましいが、さらに好ましくは5~30nmである。これにより、ショットキー障壁高さ変調のために十分なオーバーラップ長と、十分に小さいオーバーラップ容量を両立することが出来るため、データの読み出しや、チャネルホットキャリア注入によるデータの書き込みを高速に行うことが出来る。また、ゲート電極とソース・ドレイン領域との間のリーク電流の増加や短絡の確率が非常に小さくなるため、素子の信頼性が向上する。

【0013】

また、一実施形態の半導体記憶装置では、前記半導体と金属の化合物が、前記半導体層を構成する半導体と、Ni、Co、Ti、Er、Yb、またはPtとの化合物であることを特徴としている。

前記金属は、Ni、Co、Ti、Er、Yb、またはPtであることが好ましい。例えば、半導体層がシリコンの場合、Ni、Co、Ti、Er、Yb、Ptは、600以下でシリコンと反応して金属シリサイドを形成するため、この金属シリサイドをソース・ドレインとすることが出来る。例えば、NiSiは320~550程度、CoSiは400~600程度、TiSiは500~600程度、ErSi_x (典型的にはx=1.7)は400~600程度、YbSi_x (x=2)は600程度、PtSiは400~600程度で形成可能である。尚、これら金属シリサイドの金属とシリコンの組成比は、典型的なものを示しているが、反応温度等のプロセス条件によって組成比は変化し得る。このような金属シリサイドは、不純物拡散層に比べて非常に低抵抗であるのに加え、金属シリサイド/シリコン界面が通常の金属/シリコン界面に比べて極めて安定で再現性の高い整流特性を示すため、良好なデバイス特性が得られやすい。更に、これらの金属シリサイドは自己整合シリサイド化プロセスによって形成可能であるため、簡単にソース・ドレイン領域を形成することが出来る。

【0014】

また、一実施形態の半導体記憶装置では、前記半導体層がシリコンであり、前記半導体と金属の化合物が、NiSiであることを特徴としている。

前記構成の半導体記憶装置によれば、NiSiはニッケルシリサイドの中でも最低抵抗相であり、600以下で形成可能な他の金属シリサイドに比べても低抵抗であるので、もっとも効果的に寄生抵抗を低減し、データ読み出し速度を向上することが出来る。また、NiSiは320~550程度で形成可能であるため、600以下のプロセス温度で低抵抗ソース・ドレインを形成することが出来る。

10

20

30

40

50

【0015】

また、一実施形態の半導体記憶装置では、前記半導体層は、前記ソース・ドレイン領域と接する領域に、前記半導体層とは導電型が逆の不純物を含む領域を有することを特徴としている。半導体の導電型はN型が好ましい。

前記構成の半導体記憶装置によれば、書き込み時に電圧を印加すると、前記半導体層と前記ソース・ドレイン領域間のショットキー障壁高さおよび幅が変調され、ゲート電極下のチャンネルを通過するキャリアに対してはショットキー障壁高さが実効的に小さくなるので寄生抵抗が小さくなる。同時に、前記キャリアと逆極性のキャリアに対するショットキー障壁高さは大きくなるので、逆バイアス印加時の接合リーク電流を抑制することができる。本発明の半導体記憶装置はP型MOSであるので、低電圧で高速な書き込み動作、および消去動作が実現できる。

10

尚、前記半導体層とは導電型が逆の不純物を含む領域は、完全に空乏化されていてもよい。

【0016】

また、一実施形態の半導体記憶装置では、前記電荷保持膜が、酸化シリコン、窒化シリコン、酸化シリコンの順に堆積された積層膜であることを特徴としている。

前記構成の半導体記憶装置によれば、MONOS (Metal - Oxide - Nitride - Oxide - Semiconductor) 型記憶素子を構成することが出来る。

【0017】

20

また、一実施形態の半導体記憶装置では、前記電荷保持膜が、酸化シリコン、導電性物質、酸化シリコンの順に堆積された積層膜、または、酸化シリコン、導電性物質、酸化シリコン、窒化シリコン、酸化シリコンの順に堆積された積層膜であることを特徴としている。

前記構成の半導体記憶装置によれば、フローティングゲート型記憶素子を構成することができる。

【0018】

また、一実施形態の半導体記憶装置では、前記導電性物質が、Si、TiN、Ta₂N₅、NiSi、Geのいずれかである。

前記構成の半導体記憶装置によれば、前記導電性物質として、Si、TiN、Ta₂N₅、NiSi、Geいずれかを用いることにより、容易にフローティングゲート型記憶素子を構成することが出来る。また、Si、TiN、Ta₂N₅、NiSi、Geのフェルミレベルは、酸化シリコンのバンドギャップの中央付近に位置するため、良好な記憶保持特性を得ることが出来る。またSi、TiN、Ta₂N₅、NiSi、Geのフェルミレベルは、シリコンのバンドギャップ中央付近に位置するため、特に、前記半導体がシリコンの場合は、良好なデータ記憶特性が得られる。

30

【0019】

また、一実施形態の半導体記憶装置では、前記半導体が、ガラス基板上に設けられていることを特徴としている。

前記構成の半導体記憶装置によれば、プロセス温度が600程度以下に制限される。一般的に用いられる高濃度不純物ドーピングによって形成されたソース・ドレイン領域が、十分な活性化率が得られないためにチャンネルホットキャリアによるオフセットが起りやすいのとは対照的に、前記構成の半導体記憶装置では、ソース・ドレイン領域が空乏化しないため、チャンネルホットキャリアによる特性劣化が起りにくい。

40

【0020】

また、一実施形態の半導体記憶装置では、前記半導体がGeまたはアモルファスシリコンである。

前記構成の半導体記憶装置によれば、プロセス温度が600程度以下に制限される。一般的に用いられる高濃度不純物ドーピングによって形成されたソース・ドレイン領域が、十分な活性化率が得られないためにチャンネルホットキャリアによるオフセットが起りやす

50

いのとは対照的に、前記構成の半導体記憶装置では、ソース・ドレイン領域が空乏化しないため、チャンネルホットキャリアによる特性劣化がおこりにくい。

【0021】

また、本発明の第2の観点による半導体記憶装置の製造方法は、半導体層に、半導体と金属の化合物によってソース・ドレイン領域を形成する工程と、前記半導体層上に電荷保持膜を形成する工程と、前記ソース・ドレイン領域にオーバーラップするように、前記電荷保持膜上にゲート電極を形成する工程とを、この順に実施することを特徴としている。

前記半導体記憶装置の製造方法によれば、前記半導体記憶装置を容易に製造することが出来る。

【0022】

また、本発明の第3の観点による半導体記憶装置の製造方法は、半導体層上に電荷保持膜を形成する工程と、前記電荷保持膜上にゲート電極を形成する工程と、前記ゲート電極に対して自己整合的な位置に、半導体と金属との化学反応によってソース・ドレイン領域を形成する工程とを、この順に実施することを特徴としている。

前記構成の半導体記憶装置の製造方法によれば、ソース・ドレイン領域をゲート電極に対して自己整合的に形成することが出来るので、素子特性のばらつきを小さくすることができる。

【0023】

また、本発明の第4の観点による半導体記憶装置のデータ消去駆動方法は、前記ソース・ドレイン領域のうち、前記電荷保持膜中の電荷が捕獲されている領域に接する方の領域と、ゲート電極との間に、前記電荷の極性が正の場合は、ゲート電極の電位の方が高くなるように、または前記電荷の極性が負の場合には、ゲート電極の電位の方が低くなるように、電位勾配を与えることを特徴としている。

【0024】

前記構成の半導体記憶装置のデータ消去方法によれば、例えば、ドレイン領域近傍の電荷保持膜中にチャンネルホットキャリアを注入した場合、キャリア注入領域下の半導体層表面ではバンドが変調され、蓄積層が形成される。半導体層表面のバンドが変調されるため、半導体層とドレイン領域との間のショットキー障壁の幅は小さくなり、更に、鏡像効果によってショットキー障壁高さが小さくなる。従って、ドレイン領域と蓄積層は電氣的に接続されるため、ドレイン領域とゲート電極間にバイアス電圧を印加することにより、蓄積層中キャリアのFN(Fowler-Nordheim)型トンネリングによるデータ消去が可能となる。従って、ポディコンタクトなしで、データ消去が可能であるため、SOI基板やガラス基板上に成長した薄膜半導体層上に素子を形成する場合にも適用可能である。

【0025】

また、前記FN型トンネリングは、電荷保持膜のうち、チャンネルホットキャリアが注入されている領域において最も効率的に起こるため、チャンネルホットキャリアが注入されている領域に選択的にチャンネルホットキャリアとは逆極性のキャリアを注入し、データ消去を行うことが出来る。また、電荷保持膜中に捕獲されている正味の電荷量が小さくなるにつれて、前記ショットキー障壁高さおよび幅の変調量が小さくなるため、FN型トンネリングによるキャリア注入量は小さくなる。従って、過消去を抑制し、素子特性の劣化を防ぐことができる。

【発明の効果】

【0026】

以上より明らかなように、この発明の半導体記憶装置およびその製造方法、データ消去駆動方法によれば、寄生抵抗の増大なく、ホットキャリアによる特性劣化を抑制できる半導体記憶装置およびその製造方法を提供することができ、更に、ポディコンタクトを必要とせず、過消去を抑制したデータ消去駆動方法が提供される。

【発明を実施するための最良の形態】

【0027】

10

20

30

40

50

以下、この発明の半導体記憶装置およびその製造方法を図示の実施形態により詳細に説明する。

尚、各実施形態では、ガラス基板上に形成した多結晶シリコンを用いた場合を中心に説明するが、この発明に使用できる半導体は前記ガラス基板上に形成した多結晶シリコンには限定されず、半導体であれば何でも良い。

但し、例えば、ガラス基板上に形成した半導体よりなる素子、例えばGeを始めとする低融点無機半導体上に形成される素子、ゲート電極に金属等の融点若しくは軟化点の比較的低い材料が用いられる素子、電荷保持膜の一部に高誘電率膜（例えば、 HfO_2 、 ZrO_2 、 Ta_2O_5 等）が用いられる素子等のように、少なくともソース領域およびドレイン領域への不純物注入後のプロセスが600程度以下に制限される場合は、半導体中に不純物を高濃度にドーピングして形成されるソース領域およびドレイン領域中の不純物活性化率は低くなり、ホットキャリアによる特性劣化が大きくなるため、この発明による特性改善効果は特に大きくなる。

【0028】

また、各実施形態では、P型チャネル素子を中心に説明するが、不純物の導電型を逆にし、正孔と電子を逆にすることによって、N型チャネル素子を形成することも出来る。無論、両型の素子が同一基板上に形成されてもよい。

【0029】

（実施形態1）

本実施形態1の半導体記憶装置は、ガラス基板上に成長した多結晶シリコン上に、電荷保持膜としてONO膜を有するMIS（Metal-Insulator-Semiconductor）型電界効果トランジスタを構成し、そのソース領域及びドレイン領域はNiSiからなり、且つ、ゲート電極に対して一部分がオーバーラップするように配置されている。

【0030】

図1(a)～(e)は本発明の実施形態1の半導体記憶装置の製造方法を説明するために工程順に示した半導体記憶装置の断面図であり、図2は本発明の実施形態1の半導体装置の断面図を示す。

図1(a)に示すように、ガラス基板1上に保護絶縁膜2を介して成長したN型多結晶シリコンを島状に形成した多結晶シリコン3上に、レジスト4を塗布し、リソグラフィ技術によって、ソース領域5およびドレイン領域6となるべき領域を開口する。多結晶シリコンは、CGシリコン（連続粒界シリコン）とするのが望ましい。島状に形成した多結晶シリコン3は、例えば液晶表示装置の1画素に対応して1つの島状多結晶シリコンを形成する。続いて、例えばスパッタリング法によってNi膜、続いてTiN膜を堆積し、TiN/Ni積層膜5を形成する。Ni膜の膜厚は、多結晶シリコン3の膜厚の1/4以上多結晶シリコン3の膜厚以下とするのが好ましく、多結晶シリコン3の膜厚の1/3以上2/3以下とするのがより望ましく、最も良好な特性を得ることが出来る。Ni膜の膜厚を多結晶シリコン3の膜厚の1/4以上とすることにより、後の工程で形成するニッケルシリサイドを保護絶縁膜2に接して形成することが出来るため、リーク電流を著しく低減することが出来る。また、Ni膜の膜厚を多結晶シリコン3の膜厚より大きくすると、過剰なシリサイド化反応起こり、ソース・ドレイン領域のゲート電極に対するオーバーラップが大きくなる、ゲート電極とソース・ドレイン領域の短絡の原因になる、等の問題が生じやすい。また、TiN膜は、10nm以上100nm以下とするのが好ましい。TiN膜は、シリサイド化反応時にNi等の金属、または、ニッケルシリサイド等の半導体と金属の化合物が酸化するのを防ぐ効果があるが、膜厚10nm以下では十分な効果を得ることが出来ない。また、TiN膜の膜厚が厚過ぎると、スパッタリング時間が長くなる、後の工程でTiN膜を除去するのにかかる時間が非常に長くなる、ゲート電極とソース・ドレイン領域の短絡の原因になる、等の問題が生じるため、膜厚は100nm以下とするのが好ましい。

Niの代わりに、Co、Ti、Er、Yb、または、Ptを用いても良い。

【0031】

尚、ここでは半導体層にN型多結晶シリコンを用いたが、導電型はN型に限らず、完成したトランジスタがP型チャネル素子として動作可能である限り何でも良い。例えば、P型多結晶シリコンを用いて、多結晶シリコンに接して形成する絶縁膜中の固定電荷や、多結晶シリコンの粒界にある界面準位の効果によって、N型チャネル素子として動作させることも可能である。N型チャネル素子を形成する場合も同様に、N型チャネル素子として動作する導電型の多結晶シリコンを用いればよい。しかし、実施形態1では、P型チャネル素子の方がN型チャネル素子よりも低電圧で高速な書き込み動作、消去動作が実現され、メモリウインドウが大きくなる。

半導体層の厚さは、10~100nmが望ましく、30~60nmがより望ましい。トランジスタの閾値は半導体層の膜厚に依存するため、10nm以下では半導体層の膜厚ばらつきに起因する閾値のばらつきが大きくなり、メモリウインドウを確保するのが困難になる。また、リーク電流を抑制するため、半導体層の膜厚は100nm以下が好ましい。半導体層の厚さが30~60nmであれば、より顕著に本発明のメモリとしての効果を得ることができる。

【0032】

次に、図1(b)に示すように、レジスト剥離液中で超音波洗浄を行うことにより、レジスト上のTiN/Ni積層膜5をリフトオフする。その後、剥離したNiの再付着がないように、アセトン、IPA(イソプロピルアルコール)等の有機溶媒、及び、超純水にて十分に洗浄することが好ましい。

次に、図1(c)に示すように、450程度でRTA(Rapid Thermal Annealing)を行い、NiSi領域6を形成する。RTAの温度は320~550程度でも良い。RTA時間は例えば、30秒~10分とすればよい。その後、硫酸と過酸化水素水の混合液中にて、未反応のNiを除去する。NiSi領域6は、ソースおよびドレインとして機能する。

Niの代わりに、Co、Ti、Er、Yb、または、Ptを用いる場合のRTA温度はそれぞれ、400~600程度、500~600程度、400~600程度、600程度、400~600程度とすることにより、CoSi、TiSi、ErSi_x(典型的にはx=1.7)、YbSi_x(x=2)、PtSiを形成することが出来る。尚、これらの金属シリサイドの金属とシリコンの組成比は典型的なものを示しているが、RTA温度等のプロセス条件により、組成比が変わることもある。

【0033】

ここで形成したNiSiはニッケルシリサイドの中でも最低抵抗相であり、最も好ましいが、320程度以下のRTAをおこなうことにより、Ni_xSi(x=2)を形成しても良いし、550~600程度のRTAを行うことにより、NiSi_x(x=2)を形成しても良い。単結晶シリコン基板やSOI(Silicon-on-Insulator)基板等の高温プロセスを適用可能な半導体基板を用いる場合は、550程度以上のRTAをおこなうことにより、NiSi_x(x=2)を形成することも可能である。

【0034】

このように、NiSiは600程度以下で形成可能な低抵抗シリサイドであるので、例えば、ガラス基板上に成長した半導体上に形成される素子、例えばGeを始めとする低融点無機半導体上に形成される素子、ゲート電極に金属等の融点若しくは軟化点の比較的低い材料が用いられる素子、電荷保持膜の一部に高誘電率膜(例えば、HfO₂、ZrO₂、Ta₂O₅等)が用いられる素子等を製造する場合のように、少なくともソース領域およびドレイン領域形成工程及びそれ以降のプロセスが600程度以下に制限される場合は、特に有効である。また、TiN/Ni積層膜5の代わりにAu層を堆積し、金シリサイドを形成しても良い。

【0035】

次に、図1(d)に示すように、例えばCVD(Chemical Vapor Deposition; 化学的気相成長)法によって第1の酸化シリコン膜を10nm、窒化

10

20

30

40

50

シリコン膜を20nm、第2の酸化シリコン膜を20nm順次堆積することにより、ON₂O(Oxide-Nitride-Oxide)膜11を形成する。それぞれの膜厚は任意であるが、第2の酸化シリコン膜の膜厚は第1の酸化シリコン膜の膜厚より大きいことが好ましい。なぜなら、特にFN(Fowler Nordheim)型トンネルによるキャリア注入を行う場合、ゲート電極からのキャリア注入を抑制することができるからである。

【0036】

また、ON₂O膜11の代わりに、酸化シリコン、シリコン、酸化シリコンの順に堆積した積層膜、酸化シリコン、多結晶シリコン、ON₂O膜の順に堆積した積層膜等を用いることにより、フローティングゲート型の記憶素子とすることもできる。尚、前記積層膜中のシリコンは単結晶シリコンに限らず、アモルファスシリコンまたは多結晶シリコンでもよい。

その後、ゲート用導電性膜12を堆積する。例えばスパッタリング法によって、TaN膜を50nm、W膜を150nm、順次堆積すれば良い。それぞれの膜厚は任意である。

【0037】

次に、レジストを塗布し、リソグラフィ技術によってレジストをパターニングした後、例えばRIE(Reactive Ion Etching:反応性イオンエッチング)により、ON₂O膜11、ゲート用導電性膜12をエッチングし、図1(e)に示すように、ゲート絶縁膜21、ゲート電極22を形成する。このとき、ゲート電極22の両端がNiSi領域6の上部に一部分がオーバーラップするようにパターニングする。ゲート電極22がNiSi領域6とオーバーラップするゲート長方向の長さTは、2~100nmになるように形成される。更にオーバーラップする長さは5~30nmが好ましい。

次に、図2に示すように、層間絶縁膜25、上部配線26,27を形成することにより、本発明の半導体記憶装置は完成する。

【0038】

本発明の半導体記憶装置は、ソース領域23およびドレイン領域24がNiSiで形成されているため、NiSiよりなるソース領域23およびドレイン領域24端部上の絶縁膜中にホットキャリアが注入されても空乏化することがない。そのため、ホットキャリアによる特性劣化を極めて抑制することができる。また、ソース領域23およびドレイン領域24は、ゲート電極22に対してオーバーラップするように形成しているので、ソース領域23およびドレイン領域24を形成するNiSi/多結晶シリコン間のショットキー障壁高さおよび幅はゲート電極13にバイアス電圧を印加することによって変調される。

【0039】

次に、本発明の半導体記憶装置における記憶動作について、説明する。

以下、NiSiからなるソース領域23及びドレイン領域24の一方を第1の電極、他方を第2の電極と呼ぶ。

まず、データの書き込みは、ゲート電極22および第1の電極に正バイアスがかかることによって発生するチャンネルホットキャリア(正孔)を第1の電極近傍の電荷保持膜21中へ注入することによって行う。例えば、ゲート電極22に10V、第1の電極に10V、第2の電極に0Vを印加する。

このとき、半導体と金属の化合物からなるソース領域23、ドレイン領域24がゲート電極22に対してオーバーラップしているため、データ書き込み時等に発生するチャンネルホットキャリアが電荷保持膜21やソース領域23、ドレイン領域24近傍の絶縁膜中等に捕獲されることにより、ソース領域23、ドレイン領域24が空乏化し、ゲート電極22に対してオフセットすることを防ぐことが出来る。従って、読み出し時のS値の劣化や、オン電流の劣化を防ぐことが出来る。

【0040】

データの読み出しは、例えば、ゲート電極22に5V、第1の電極に0V、第2の電極に書き込み時より低い正バイアス、例えば3Vを印加することによって行う。第1の電極近傍の電荷保持膜21に正孔が捕獲されている場合、閾値電圧が正にシフトし、第1の電

10

20

30

40

50

極と第2の電極間の電流が減少するため、データを読み出しが可能となる。

【0041】

データの消去について、図3を用いて説明する。図3は、図2の一部分のみを示し、かつデータ消去動作の説明に必要な部分を示している。

図3に示すように、第1の電極501近傍のONO膜100中に正孔504が捕獲されている場合、正孔が捕獲されているONO膜100下には電子の蓄積層503が誘起される。更に、捕獲された正孔504による電界によって、第1の電極501と蓄積層503との間のショットキー障壁の高さと幅が変調されるので、第1の電極501と蓄積層503との間の抵抗は小さくなる。捕獲された正孔504の密度が十分に高い場合は、第1の電極501と蓄積層503との間はオーミックに連結される。この場合、例えば、ゲート電極22に-40V、第1の電極501に0Vを印加し、第2の電極502はオープンとすると、FN型トンネリングにより、多結晶シリコン3からONO膜100への電子注入が起こる。

10

【0042】

このとき、ONO膜100の中でも、特に捕獲された正孔504と多結晶シリコン3との間の電界が最も大きくなるため、蓄積層503からONO膜100へのFN型トンネリングによる電子注入が最も効率よく起こり、従って、捕獲された正孔504を選択的に打ち消すことができる。

更に、電子注入によって捕獲された正孔504の正味の密度が小さくなると、FN型トンネリングによる電子注入の効率が落ちると共に、多結晶シリコン3と第1の電極501との間のショットキー障壁高さ及び幅の変調量が減少し、第1の電極501から多結晶シリコン3への電子供給の効率が落ちる。従って、捕獲された正孔504の正味の密度が減少すると共に、FN型トンネリングによる電子注入は自動的に抑制され、過消去を抑制することができる。

20

尚、第1の電極と第2の電極の印加電圧を入れ替えることにより、第2の電極近傍のONO膜100中へのチャネルホットキャリア（正孔）注入によるデータの書き込み、データの読み出し、データの消去を行うこともできる。即ち、1素子あたり、2bitのデータ記憶が可能である。

【0043】

（実施形態2）

本実施形態2の半導体記憶装置は、実施形態1の半導体記憶装置同様に、ガラス基板上に成長した多結晶シリコン上に、電荷保持膜としてONO膜を有するMIS（Metal-Insulator-Semiconductor）型電界効果トランジスタを構成し、そのソース領域及びドレイン領域はNiSiからなり、且つ、ゲート電極に対してオーバーラップするように配置されている。更に、実施形態2の半導体記憶装置は、NiSiからの固層拡散により、ソース領域端部及びドレイン領域端部にはP型領域を形成することを特徴としている。

30

【0044】

図4（f）～（h）は本発明の実施形態2の半導体装置の製造方法を説明するための、工程順に示した半導体装置の断面図である。

40

まず、前記実施形態1に示したように、図1（a）～（e）の工程を行う。

次に、図4（f）に示すように、例えばCVD法によって、第3の酸化シリコン膜31を堆積する。ここで、第3の酸化シリコン膜31は、後述するB注入時の注入保護膜として働き、B注入時の汚染やダメージを抑制することができる。更に、後述するアニール工程において、Bが外方拡散することを防ぐことができるため、NiSiからなるソース領域5及びドレイン領域6から多結晶シリコン3への固相拡散が効率的に起こり、P型領域32のB濃度を高くすることができる。

【0045】

次に、図4（g）に示すように、ゲート電極22をマスクとして、NiSi領域6中にBをイオン注入後、窒素雰囲気または不活性ガス雰囲気にて400程度のアニールを行

50

う。アニール温度は、350～550 程度であれば良いが、NiSi領域6を形成した温度以下であることが好ましい。このアニールにより、BはNiSi領域6からの固相拡散によって、NiSi領域6/多結晶シリコン3界面付近に偏析し、ソース領域5及びドレイン領域6近傍の多結晶シリコン3中に比較的高濃度のP型領域32が形成される。

尚、P型領域32は完全に空乏化していてもよい。P型領域32によって、NiSi領域6/多結晶シリコン3間の正孔に対するショットキー障壁高さが実効的に小さくなるので、寄生抵抗を低減することができ、また電子に対するショットキー障壁高さが実効的に大きくなるので逆バイアス印加時の接合リークを抑制することができる。尚、Bの代わりにInを用いても良い。また、N型チャネル素子の場合は、Bの代わりにP、As、Sb、Sのいずれかを用いることにより同様の効果を得ることができる。

10

【0046】

尚、ONO膜21中へのホットキャリア注入によってP型領域32が空乏化しても、NiSi領域6はゲート電極22に対してオーバーラップするように形成しているので、S値の劣化等の特性劣化はほとんど起こらない。

次に、図4(h)に示すように、層間絶縁膜25、上部配線26、27を形成して、本発明の半導体記憶装置は完成する。

実施形態2の書き込み動作、読み出し動作、消去動作は実施形態1と同じである。

【0047】

(実施形態3)

本実施形態3の半導体記憶装置は、実施形態1の半導体記憶装置同様に、ガラス基板上に成長した多結晶シリコン上に、電荷保持膜としてONO膜を有するMIS(Metal-Insulator-Semiconductor)型電界効果トランジスタを構成し、そのソース領域及びドレイン領域は自己整合シリサイドプロセスによって形成したNiSiからなり、且つ、ゲート電極に対してオーバーラップするように配置されている。

20

【0048】

図5(a)～図6(f)は本発明の実施形態3の半導体装置の製造方法を説明するための、工程順に示した半導体装置の断面図である。

図5(a)に示すように、ガラス基板1上に保護絶縁膜2を介して成長したP型多結晶シリコンを島状に形成した多結晶シリコン3上に、例えばCVD(Che mical Vapor Deposition; 化学的気相成長)法によって第1の酸化シリコン膜を10nm、窒化シリコン膜を20nm、第2の酸化シリコン膜を20nm順次堆積してONO膜11を形成し、続いて、TaN膜を50nm、W膜12を150nm順次堆積し、ゲート用導電性膜12を形成する。

30

半導体層の厚さは、10～100nmが望ましく、30～60nmがより望ましい。トランジスタの閾値は半導体層の膜厚に依存するため、10nm以下では半導体層の膜厚ばらつきに起因する閾値のばらつきが大きくなり、メモリウインドウを確保するのが困難になる。また、リーク電流を抑制するため、半導体層の膜厚は100nm以下が好ましい。半導体層の厚さが30～60nmであれば、より顕著に本発明のメモリとしての効果を得ることができる。

【0049】

ONO膜11の代わりに、酸化シリコン、シリコン、酸化シリコンの順に堆積した積層膜、酸化シリコン、シリコン、ONO膜の順に堆積した積層膜等を用いることにより、フローティングゲート型の記憶素子とすることもできる。尚、前記積層膜中のシリコンはアモルファスシリコンまたは多結晶シリコンでもよい。また、前記積層膜中のシリコンの代わりに、TiN、TaN、Geを用いても良い。

40

【0050】

次に、レジストを塗布し、リソグラフィー技術によってレジストをパターニングした後、例えばRIE(Reactive Ion Etching)により、ゲート用導電性膜11、ONO膜12をエッチングし、図5(b)に示すように、ゲート絶縁膜21とゲート電極22を形成する。その後、例えばCVD法にて第3の酸化シリコン膜35を10

50

~ 20 nm 程度堆積する。

次に、図 5 (c) に示すように、R I E によって第 3 の酸化シリコン膜 35 をエッチバックすることにより、ゲート側壁 36 を形成する。ゲート側壁 36 の厚さは、多結晶シリコン 3 の膜厚より小さいことが好ましい。これは、第 3 の酸化シリコン膜 35 の膜厚を多結晶シリコン 3 の膜厚より小さく設定することにより容易に実現される。ゲート側壁 36 の厚さを多結晶シリコン 3 の膜厚より小さくすることにより、後の工程で形成する金属シリサイド (例えば、NiSi) をゲート電極 22 に対してオーバーラップするように形成するのが容易となる。

【0051】

次に、図 6 (d) に示すように、例えばスパッタリング法により Ni 膜、続いて TiN 膜を堆積し、TiN/Ni 積層膜 5 を形成する。Ni 膜の膜厚は、多結晶シリコン 3 の膜厚の 1/4 以上多結晶シリコン 3 の膜厚以下とするのが好ましく、多結晶シリコン 3 の膜厚の 1/3 以上 2/3 以下とするのがより望ましく、最も良好な特性を得ることが出来る。Ni 膜の膜厚を多結晶シリコン 3 の膜厚の 1/4 以上とすることにより、後の工程で形成するニッケルシリサイドを保護絶縁膜 2 に接して形成することが出来るため、リーク電流を著しく低減することが出来る。また、Ni 膜の膜厚を多結晶シリコン 3 の膜厚より大きくすると、過剰なシリサイド化反応起こり、ソース・ドレイン領域のゲート電極に対するオーバーラップが大きくなる、ゲート電極とソース・ドレイン領域の短絡の原因になる、等の問題が生じやすい。また、TiN 膜は、10 nm 以上 100 nm 以下とするのが好ましい。TiN 膜は、シリサイド化反応時に Ni 等の金属、または、ニッケルシリサイド等の半導体と金属の化合物が酸化するのを防ぐ効果があるが、膜厚 10 nm 以下では十分な効果を得ることが出来ない。また、TiN 膜の膜厚が厚過ぎると、スパッタリング時間が長くなる、後の工程で TiN 膜を除去するのにかかる時間が非常に長くなる、ゲート電極とソース・ドレイン領域の短絡の原因になる、等の問題が生じるため、膜厚は 100 nm 以下とするのが好ましい。

Ni の代わりに、Co、Ti、Er、Yb、または、Pt を用いても良い。

【0052】

次に、図 6 (e) に示すように、450 程度の RTA を行うことにより、NiSi 領域 38 が自己整合的に形成される。このとき、NiSi 領域 38 はゲート電極 22 に対してオーバーラップするように形成する。通常 320 ~ 550 程度の RTA を行うことにより、最低抵抗相の NiSi が形成され、最も好ましいが、シリコンの過不足により NiSi_y (y < 1) となる場合もあり得る。その後、硫酸と過酸化水素水の混合液中にて、未反応の Ni を除去する。NiSi 領域 38 は、ソースおよびドレインとして機能する。NiSi 領域 38 がゲート電極 22 に対してオーバーラップする距離は、Ni 膜の膜厚を制御することにより、実施することができる。

ゲート電極 22 が NiSi 領域 38 とオーバーラップするゲート長方向の長さ T は、2 ~ 100 nm になるように形成される。オーバーラップの長さを 2 nm 以上とすることにより、ゲート電極への電圧印加によるショットキー障壁高さの変調効果を確実に得ることが出来る。オーバーラップの長さが 2 nm より小さい場合は、製造工程中の熱処理工程における雰囲気中の残留酸素等によって半導体と金属の化合物表面がわずかに酸化されることによって、良好なショットキー接合特性とショットキー障壁高さ変調効果が得られない場合がある。また、オーバーラップの長さが過剰に大きい場合、オーバーラップ容量の増加によるデータ読み出し速度の低下や、ゲート電極とソース・ドレイン領域との間のリーク電流の増加や短絡の原因になるため、100 nm 以下とするのが望ましい。オーバーラップの長さは、2 ~ 100 nm が望ましいが、さらに好ましくは 5 ~ 30 nm である。これにより、ショットキー障壁高さ変調のために十分なオーバーラップ長と、十分に小さいオーバーラップ容量を両立することが出来るため、データの読み出しや、チャネルホットキャリア注入によるデータの書き込みを高速に行うことが出来る。また、ゲート電極とソース・ドレイン領域との間のリーク電流の増加や短絡の確率が非常に小さくなるため、素子の信頼性が向上する。

10

20

30

40

50

Niの代わりに、Co、Ti、Er、Yb、または、Ptを用いる場合のRTA温度はそれぞれ、400~600程度、500~600程度、400~600程度、600程度、400~600程度とすることにより、CoSi、TiSi、ErSi_x(典型的にはx=1.7)、YbSi_x(x=2)、PtSiを形成することが出来る。尚、これらの金属シリサイドの金属とシリコンの組成比は典型的なものを示しているが、RTA温度等のプロセス条件により、組成比が変わることもある。

【0053】

このように、NiSiは600程度以下で形成可能な低抵抗シリサイドであるので、例えば、ガラス基板上に成長した半導体上に形成される素子、Geを始めとする低融点無機半導体上に形成される素子、ゲート電極に金属等の融点若しくは軟化点の比較的低い材料が用いられる素子、電荷保持膜の一部に高誘電率膜(例えば、HfO₂、ZrO₂、Ta₂O₅等)が用いられる素子等を製造する場合のように、少なくともソース領域およびドレイン領域形成工程およびそれ以降のプロセスが600程度以下に制限される場合は、特に有効である。

次に、図5(f)に示すように、層間絶縁膜25、上部配線26、27を形成することにより、本発明の半導体記憶装置は完成する。

実施形態3の書き込み動作、読出し動作、消去動作は実施形態1と同じである。

【0054】

(実施形態4)

本実施形態4の半導体記憶装置は、実施形態3の半導体記憶装置の構造において、NiSi領域38からの固層拡散により、ソース領域端部及びドレイン領域端部にP型領域を形成したものである。

図7(f)~(h)は本発明の実施形態4の半導体装置の製造方法を説明するための、工程順に示した半導体装置の断面図である。

【0055】

まず、前記実施形態3に示したように、図5(a)~図6(e)の工程を行う。

次に、図7(f)に示すように、第4の酸化シリコン膜41を10nm程度体積後、ゲート電極22およびゲート側壁36をマスクとして、多結晶シリコン3中にBをイオン注入する。

次に、図7(g)に示すように、窒素雰囲気または不活性ガス雰囲気にて400程度のアニールを行う。アニール温度は、350~550程度であれば良いが、NiSi領域6を形成した温度以下であることが好ましい。このアニールにより、BはNiSi領域6/多結晶シリコン3界面付近に偏析し、NiSi領域6近傍の多結晶シリコン3中に比較的高濃度のP型領域42が形成される。尚、P型領域42は完全に空乏化していてもよい。これにより、NiSi領域6/多結晶シリコン3間の正孔に対するショットキー障壁高さが実効的に小さくなるので、寄生抵抗を低減することができ、また電子に対するショットキー障壁高さは実効的に大きくなるので接合リークを抑制することができる。尚、Bの代わりにInを用いても良い。また、N型チャネル素子の場合は、Bの変わりにP、As、Sb、Sのいずれかを用いることにより同様の効果を得ることができる。

次に、図7(h)に示すように、公知の方法により、層間絶縁膜25、上部配線26、27を形成することにより、本発明の半導体記憶装置は完成する。

実施形態4の書き込み動作、読出し動作、消去動作は実施形態1と同じである。

【図面の簡単な説明】

【0056】

【図1】この発明の第1実施形態の半導体記憶装置の製造工程を示す図である。

【図2】第1実施形態の半導体記憶装置の最終工程を示す図である。

【図3】この発明の半導体記憶装置において、データ消去方法を説明するための、半導体記憶装置の断面図である。

【図4】この発明の第2実施形態の半導体記憶装置の製造工程を示し、図1(e)に続く半導体記憶装置の製造工程を示す図である。

10

20

30

40

50

【図5】この発明の第3実施形態の半導体記憶装置の製造工程を示す図である。

【図6】図4に続く、第3実施形態の半導体記憶装置の製造工程を示す図である。

【図7】この発明の第4実施形態の半導体記憶装置の製造工程を示し、図5(e)に続く半導体記憶装置の製造工程を示す図である。

【図8】従来技術であるシングルドレイン構造を用いたMIS型電界効果トランジスタ構造を持つ記憶素子の断面図である。

【図9】従来技術であるシングルドレイン構造を用いたMIS型電界効果トランジスタ構造を持つ記憶素子の問題点を説明するための、断面図である。

【符号の説明】

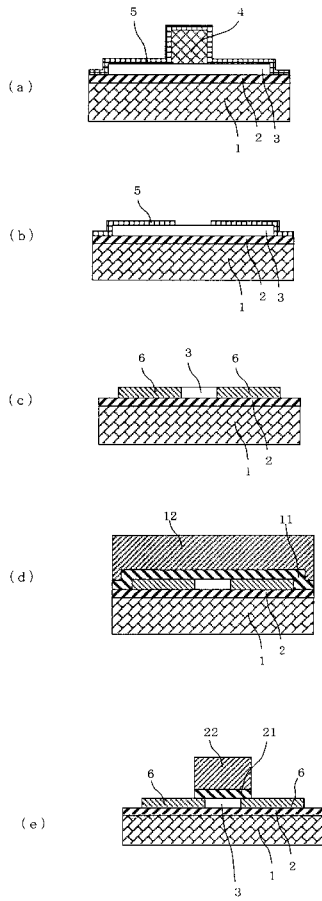
【0057】

- 1 ガラス基板
- 3 多結晶シリコン
- 4 レジスト
- 5 TiN/Ni積層膜
- 6 NiSi領域
- 21 ONO膜
- 22 ゲート電極
- 26, 27 上部電極
- 32, 42 N型領域
- 31 第3の酸化シリコン膜
- 36 ゲート側壁
- 41 第4の酸化シリコン膜
- 100 ONO膜
- 101 ゲート用導電性膜
- 501 第1の電極
- 502 第2の電極
- 503 蓄積層
- 504 捕獲された正孔

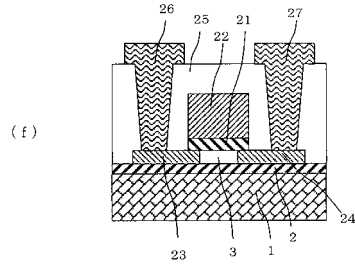
10

20

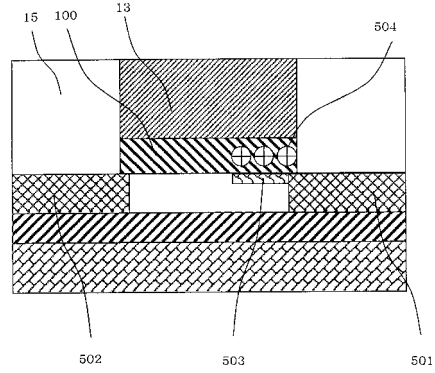
【 図 1 】



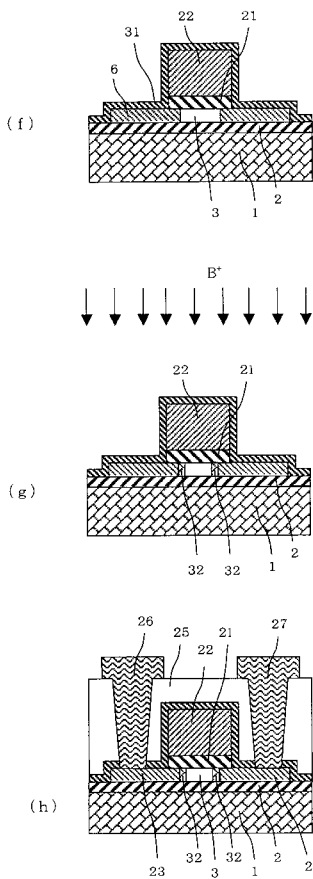
【 図 2 】



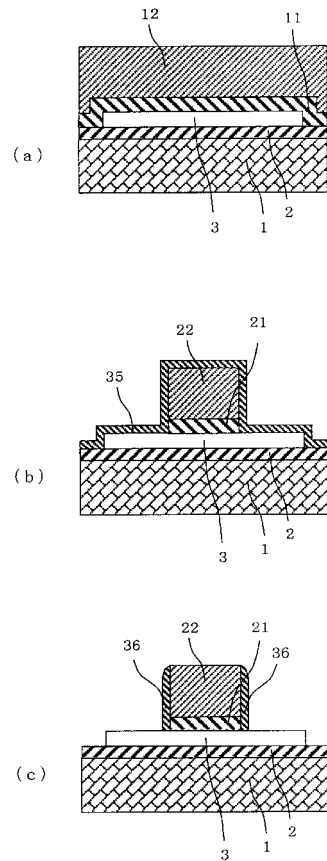
【 図 3 】



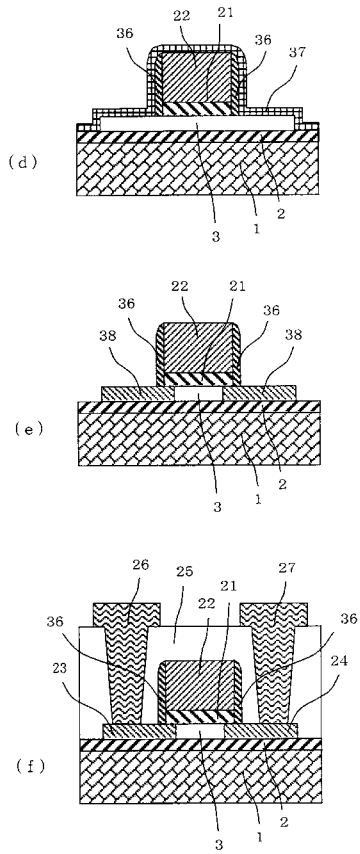
【 図 4 】



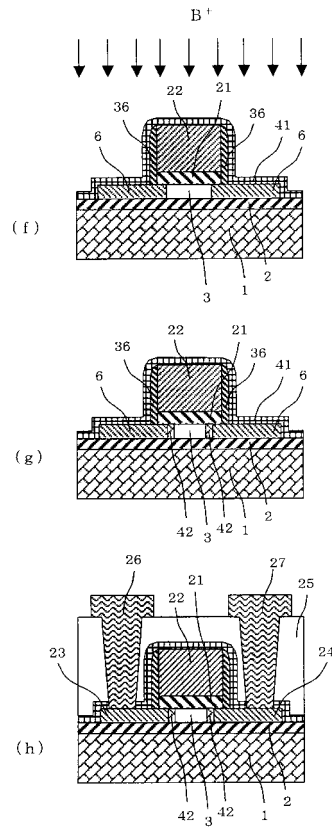
【 図 5 】



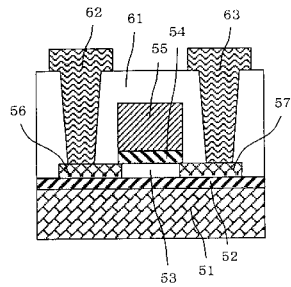
【 図 6 】



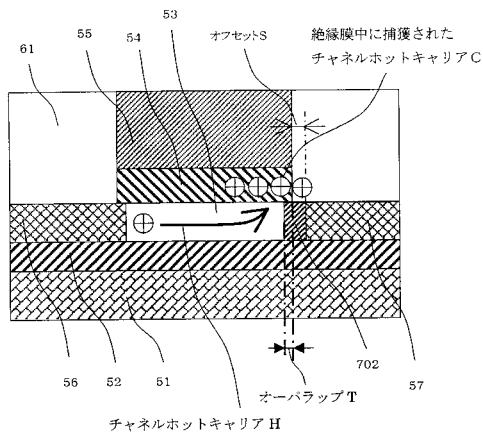
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
<i>H 0 1 L 29/423 (2006.01)</i>	H 0 1 L	29/50		M
<i>H 0 1 L 29/49 (2006.01)</i>	H 0 1 L	21/28	3 0 1 S	
<i>H 0 1 L 29/417 (2006.01)</i>				
<i>H 0 1 L 21/28 (2006.01)</i>				

Fターム(参考)	5F083	EP02	EP18	EP22	EP55	EP56	EP61	EP62	EP67	ER02	ER03
		ER11	ER21	ER30	GA01	GA02	GA06	GA11	GA17	GA27	HA02
		HA10	JA02	JA04	JA06	JA19	JA35	JA38	JA39	JA40	PR05
		PR33	PR34	ZA21							
	5F101	BA02	BA19	BA29	BA36	BA45	BB02	BB08	BC02	BC11	BD03
		BD09	BD10	BD30	BD39	BE02	BE05	BE07	BF02	BF05	BF09
		BH07	BH16	BH19							
	5F110	AA30	BB08	DD02	EE01	EE04	EE14	EE31	FF01	FF02	FF03
		FF10	FF29	GG02	GG03	GG13	GG15	GG25	HJ01	HJ13	HJ23
		HK05	HK33	HK40	NN03	NN23	QQ11				