

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 18 年 5 月 11 日 (2006.5.11)

【公開番号】特開 2001-109700 (P2001-109700A)
 【公開日】平成 13 年 4 月 20 日 (2001.4.20)
 【出願番号】特願 平 11-287290
 【国際特許分類】

G 0 6 F 13/14 (2006.01)

G 1 1 B 20/10 (2006.01)

【 F I 】

G 0 6 F 13/14 3 2 0 A

G 1 1 B 20/10 D

G 1 1 B 20/10 3 1 1

【手続補正書】
 【提出日】平成 18 年 3 月 17 日 (2006.3.17)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 3 5
 【補正方法】変更
 【補正の内容】
 【 0 0 3 5 】

ステップ S T 9 では、Sample_P D I A G - State に遷移して、ステップ S T 1 0 からの処理によってスレーブ側で終了した自己診断結果の判別を行う。ステップ S T 1 0 では P D I A G - 信号がアサートされているか否かを判別する。ここで、P D I A G - 信号がアサートされていると判別されていないときにはステップ S T 1 1 に進み、経過時間 T p が 4 5 0 ms 以内であるか否かの判別を行い、経過時間 T p が 4 5 0 ms 以内であるときにはステップ S T 1 0 に戻り、引き続き P D I A G - 信号がアサートされているか否かの判別を行う。また、経過時間 T p が 4 5 0 ms を超えるとステップ S T 1 2 に進み、経過時間 T p が 3 1 秒以内であるか否かの判別を行う。ここで、経過時間 T p が 3 1 秒以内であるときにはステップ S T 1 0 に戻り、経過時間 T p が 3 1 秒よりも大きくなったときには、スレーブ側は存在するが自己診断結果は異常と判別されて、A T A インタフェース制御回路 4 0 1 におけるエラーレジスタのビット b 7 を「1」に設定することで、スレーブ側は異常であることが示されてステップ S T 1 4 に進む。

【手続補正 2】
 【補正対象書類名】図面
 【補正対象項目名】図 3
 【補正方法】変更
 【補正の内容】

【 図 3 】

デバイスポジションの割り当て処理 (2 / 2)

