

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4324246号
(P4324246)

(45) 発行日 平成21年9月2日 (2009.9.2)

(24) 登録日 平成21年6月12日 (2009.6.12)

(51) Int.Cl.

F 1

A 6 3 F 7/02 (2006.01)

A 6 3 F 5/04 (2006.01)

A 6 3 F 7/02 3 3 4

A 6 3 F 7/02 3 0 4 Z

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 5/04 5 1 2 Z

請求項の数 7 (全 19 頁)

(21) 出願番号 特願2004-319948 (P2004-319948)
 (22) 出願日 平成16年11月2日 (2004.11.2)
 (65) 公開番号 特開2006-129960 (P2006-129960A)
 (43) 公開日 平成18年5月25日 (2006.5.25)
 審査請求日 平成17年12月4日 (2005.12.4)

(73) 特許権者 390031772
 株式会社オリンピア
 東京都台東区東上野2丁目11番7号
 (74) 代理人 100107113
 弁理士 大木 健一
 (72) 発明者 柴垣 貴司
 東京都台東区東上野二丁目11番7号 株
 式会社オリンピア内
 審査官 足立 俊彦

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

基板と、前記基板上に搭載された記憶素子とを含んで構成され、CPUを含む処理部に着脱可能なメモリモジュールを備える遊技機において、

電源切断時に電力を供給するためのバックアップ電源と、前記処理部に搭載されて前記バックアップ電源から電力の供給を受ける第1半導体素子及び第2半導体素子と、前記メモリモジュールの取り外しの有無を判定する判定部と、を備え、

前記バックアップ電源から前記第1半導体素子への電力の供給線の少なくとも一部は前記メモリモジュール内を経由するように配置され、

前記バックアップ電源から前記第2半導体素子への電力の供給線は前記メモリモジュール内を経由しないように配置され、

前記第1半導体素子又は前記第2半導体素子の一方は、電源電圧が低下したときにそのことを示すフラグをセットするか又は信号を出力する電圧低下検出半導体素子であり、他方は揮発性記憶素子であり、

前記判定部は、

電源切断時に前記揮発性記憶素子のデータの特徴値を求め、これを電源切断時の特徴値として保持し、電源投入時に前記揮発性記憶素子のデータの特徴値を求め、これを前記電源切断時の特徴値と比較することにより電圧低下の有無を判定し、

電源投入時に前記電圧低下検出半導体素子の前記フラグ又は前記信号に基づき電圧低下の有無を判定し、

10

20

前記揮発性記憶素子に関する電圧低下の判定結果と前記電圧低下検出半導体素子に関する電圧低下の判定結果とに基づき前記メモリモジュールの取り外しの有無を判定することを特徴とする遊技機。

【請求項 2】

前記判定部は、前記特徴値を得るために、前記揮発性記憶素子の全データ又は一部のデータについてチェックサムを求めること、論理積、論理和又は排他的論理和を含む論理演算を行うこと、又は、ハッシュ関数によりハッシュ値を求めることの少なくとも何れかを行うことを特徴とする請求項 1 記載の遊技機。

【請求項 3】

基板と、前記基板上に搭載された記憶素子とを含んで構成され、CPUを含む処理部に着脱可能なメモリモジュールを備える遊技機において、

電源切断時に電力を供給するためのバックアップ電源と、前記処理部に搭載されて前記バックアップ電源から電力の供給を受ける第 1 半導体素子及び第 2 半導体素子と、前記メモリモジュールの取り外しの有無を判定する判定部と、を備え、

前記バックアップ電源から前記第 1 半導体素子への電力の供給線の少なくとも一部は前記メモリモジュール内を経由するように配置され、

前記バックアップ電源から前記第 2 半導体素子への電力の供給線は前記メモリモジュール内を経由しないように配置され、

前記第 1 半導体素子又は前記第 2 半導体素子の一方は、電源電圧が低下したときにそのことを示すフラグをセットするか又は信号を出力する電圧低下検出半導体素子であり、他方は揮発性記憶素子であり、

前記判定部は、

電源切断時に前記揮発性記憶素子の全部又は一部のデータを退避させ、電源投入時に前記揮発性記憶素子の全部又は一部のデータを読み取り、これを退避させたデータと比較することにより電圧低下の有無を判定し、

電源投入時に前記電圧低下検出半導体素子の前記フラグ又は前記信号に基づき電圧低下の有無を判定し、

前記揮発性記憶素子に関する電圧低下の判定結果と前記電圧低下検出半導体素子に関する電圧低下の判定結果とに基づき前記メモリモジュールの取り外しの有無を判定することを特徴とする遊技機。

【請求項 4】

基板と、前記基板上に搭載された記憶素子とを含んで構成され、CPUを含む処理部に着脱可能なメモリモジュールを備える遊技機において、

電源切断時に電力を供給するためのバックアップ電源と、前記処理部に搭載されて前記バックアップ電源から電力の供給を受ける第 1 半導体素子及び第 2 半導体素子と、前記メモリモジュールの取り外しの有無を判定する判定部と、を備え、

前記バックアップ電源から前記第 1 半導体素子への電力の供給線の少なくとも一部は前記メモリモジュール内を経由するように配置され、

前記バックアップ電源から前記第 2 半導体素子への電力の供給線は前記メモリモジュール内を経由しないように配置され、

前記第 1 半導体素子又は前記第 2 半導体素子の一方は、電源電圧が低下したときにそのことを示すフラグをセットするか又は信号を出力する電圧低下検出半導体素子であり、他方は揮発性記憶素子であり、

前記判定部は、

前記揮発性記憶素子の予め定められたアドレスに予め定められたデータを書き込み、電源投入時に前記揮発性記憶素子の前記予め定められたアドレスのデータを読み出し、これを前記予め定められたデータと比較することにより電圧低下の有無を判定し、

電源投入時に前記電圧低下検出半導体素子の前記フラグ又は前記信号に基づき電圧低下の有無を判定し、

前記揮発性記憶素子に関する電圧低下の判定結果と前記電圧低下検出半導体素子に関する

10

20

30

40

50

る電圧低下の判定結果とに基づき前記メモリモジュールの取り外しの有無を判定すること
を特徴とする遊技機。

【請求項5】

前記バックアップ電源は前記処理部に搭載され、

前記バックアップ電源から前記第1半導体素子への電力の供給線は、少なくとも一度は
前記バックアップ電源から前記メモリモジュールに入り、前記メモリモジュールを経由し
て前記処理部に戻り、前記第1半導体素子に接続されるように配置されたことを特徴とす
る請求項1乃至請求項4いずれかに記載の遊技機。

【請求項6】

前記バックアップ電源は、前記メモリモジュールに搭載された第1バックアップ電源と
前記処理部に搭載された第2バックアップ電源を含み、

前記第1半導体素子は前記第1バックアップ電源から電力の供給を受け、前記第2半導
体素子は前記第2バックアップ電源から電力の供給を受け、

前記第1バックアップ電源から前記第1半導体素子への電力の供給線は、前記メモリモ
ジュールから前記処理部に入り、前記第1半導体素子に接続されるように配置されたこと
を特徴とする請求項1乃至請求項4いずれかに記載の遊技機。

【請求項7】

前記第1半導体素子に関する判定結果が電圧低下を示し、かつ、前記第2半導体素子に
関する判定結果が電圧低下を示していないとき前記メモリモジュールの取り外しが有った
と判定し、エラー報知又は遊技停止のうちの少なくともいずれかを行うことを特徴とする
請求項1乃至請求項6いずれかに記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、スロットマシン等の遊技機に関し、特に記憶素子（ROM）の交換・記憶
素子（ROM）の改ざん等の不正行為を防止できる遊技機に関する。

【背景技術】

【0002】

スロットマシンやパチンコ機などの遊技機はマイコン（CPU）を内蔵していて、抽選
・入賞・払い出し・演出の制御をプログラムで実現している。この種の遊技機は、遊技者
の操作を受けて内部抽選及び該抽選結果に応じた入賞判定を行うとともに、入賞に応じて
遊技媒体の払い出し制御を行うメイン基板と、メイン基板からコマンドを受けて内部抽選
の結果を報知したり各種演出を行うサブ基板とを備えている。

【0003】

メイン基板のプログラムは遊技を直接制御する重要なものである。改ざん等を受けない
ようにメイン基板はその全体が封印されている。サブ基板のプログラムは液晶表示装置や
スピーカ、表示ランプなどの演出表示装置を制御して遊技者に入賞等を報知するものであ
るが、さらに、出玉の獲得割合の重みを制御するようにしている遊技機がある（例えばア
シストタイム（AT）：一定ゲーム間に特定の小役を台自体が何らかのアクションを伴っ
てユーザに教えたりする）。具体的には、上述のように出玉を得るための指示を液晶表示
装置に表示して遊技者がその指示に従って操作すれば容易に出玉を得られるようにしてい
る。

【0004】

このように、メイン基板やサブ基板は抽選・入賞・払い出し・演出の制御をプログラム
で実現している。各基板のプログラムは遊技に関する重要な制御を行っている。

【0005】

CPUとプログラムなどを格納するROMなどの記憶素子（以下、メモリ又は半導体メ
モリと記す）を1枚の基板に装着することが多いが、近年の遊技機においては、演出の多
様化により画像や音のデータが増大する傾向にあり、特にサブ基板において多くのメモリ
が使用されるようになってきている。これら大容量のメモリを簡便に扱う方法として、メ

モリのパッケージの形状をDIP→SOP→SSOPと小型化するとともに、これらを簡易な方法で基板に組み込むために複数のメモリを搭載した基板（以下、ROMモジュール又はメモリモジュールと呼ぶ）を使用するようになってきた（DIP：Dual In-line Package：平たい長方形のパッケージの両方の長辺に外部入出力用のピンを並べたパッケージ方式としてはポピュラーなもの。SOP：Small Outline Package：表面実装用のパッケージ方式で、DIPのフラットタイプにあたる。SSOP：Shrink Small Out-Line Package：SOPのリードピッチを縮小したパッケージ）

【0006】

また、ROMの挿抜には工具類が必要であることから、取り扱いを容易にするという観点でメモリモジュールをボードtoボードコネクタ等を利用してメイン基板やサブ基板上に接続して使用することがある。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

遊技機のCPUを制御しているプログラムに手を加え、不正に出玉を得ようとするものがある。自己に有利なようにプログラムを改ざんしたROMを不正にメイン基板やサブ基板に装着するのである。あるいは、サブ基板のROMを不正に交換して、例えばAT機能を自己に有利なように改ざんするのである。

【0008】

ところで、スロットマシンやパチンコ機のような遊技機は法律による規制を受けていて、このため各基板のプログラムは関係機関による事前の検定及び承認を受ける必要があり、勝手に改変することは許されていない。各基板に搭載されるプログラム、具体的にはROMの内容は関係機関への申請時に決定され、同じ機種種の遊技機のROMの内容は常に同一であることが求められている。

20

【0009】

しかし、不正な手段を用いてROMが交換され、プログラムの内容が変更されることがあった。このような不正行為による損害はかなりの額に上りホールの経営を圧迫するとともに、社会問題にもなりつつある。

【0010】

本発明の目的は斯かる課題を解決するためになされたものであり、メモリモジュールを交換して行うROM交換・ROM改ざん等の不正行為を防止できる遊技機を提供することを目的とする。

30

【課題を解決するための手段】

【0011】

この発明は、基板と、前記基板上に搭載された記憶素子とを含んで構成され、CPUを含む処理部に着脱可能なメモリモジュールを備える遊技機において、

電源切断時に電力を供給するためのバックアップ電源と、前記処理部に搭載されて前記バックアップ電源から電力の供給を受ける第1半導体素子及び第2半導体素子と、前記メモリモジュールの取り外しの有無を判定する判定部と、を備え、前記バックアップ電源から前記第1半導体素子への電力の供給線の少なくとも一部は前記メモリモジュール内を経由するように配置され、

40

前記バックアップ電源から前記第2半導体素子への電力の供給線は前記メモリモジュール内を経由しないように配置され、前記第1半導体素子又は前記第2半導体素子の一方は、電源電圧が低下したときにそのことを示すフラグをセットするか又は信号を出力する電圧低下検出半導体素子であり、他方は揮発性記憶素子であり、

前記判定部は、

電源切断時に前記揮発性記憶素子のデータの特徴値を求め、これを電源切断時の特徴値として保持し、電源投入時に前記揮発性記憶素子のデータの特徴値を求め、これを前記電源切断時の特徴値と比較することにより電圧低下の有無を判定し、

電源投入時に前記電圧低下検出半導体素子の前記フラグ又は前記信号に基づき電圧低下

50

の有無を判定し、

前記揮発性記憶素子に関する電圧低下の判定結果と前記電圧低下検出半導体素子に関する電圧低下の判定結果とに基づき前記メモリモジュールの取り外しの有無を判定するものである。

【0012】

前記判定部は、前記特徴値を得るために、例えば、前記揮発性記憶素子の全データ又は一部のデータについてチェックサムを求めること、論理積、論理和又は排他的論理和を含む論理演算を行うこと、又は、ハッシュ関数によりハッシュ値を求めることの少なくとも何れかを行う。

【0013】

この発明は、基板と、前記基板上に搭載された記憶素子とを含んで構成され、CPUを含む処理部に着脱可能なメモリモジュールを備える遊技機において、

電源切断時に電力を供給するためのバックアップ電源と、前記処理部に搭載されて前記バックアップ電源から電力の供給を受ける第1半導体素子及び第2半導体素子と、前記メモリモジュールの取り外しの有無を判定する判定部と、を備え、

前記バックアップ電源から前記第1半導体素子への電力の供給線の少なくとも一部は前記メモリモジュール内を経由するように配置され、

前記バックアップ電源から前記第2半導体素子への電力の供給線は前記メモリモジュール内を経由しないように配置され、

前記第1半導体素子又は前記第2半導体素子の一方は、電源電圧が低下したときにそのことを示すフラグをセットするか又は信号を出力する電圧低下検出半導体素子であり、他方は揮発性記憶素子であり、

前記判定部は、

電源切断時に前記揮発性記憶素子の全部又は一部のデータを退避させ、電源投入時に前記揮発性記憶素子の全部又は一部のデータを読み取り、これを退避させたデータと比較することにより電圧低下の有無を判定し、

電源投入時に前記電圧低下検出半導体素子の前記フラグ又は前記信号に基づき電圧低下の有無を判定し、

前記揮発性記憶素子に関する電圧低下の判定結果と前記電圧低下検出半導体素子に関する電圧低下の判定結果とに基づき前記メモリモジュールの取り外しの有無を判定するものである。

【0014】

この発明は、基板と、前記基板上に搭載された記憶素子とを含んで構成され、CPUを含む処理部に着脱可能なメモリモジュールを備える遊技機において、

電源切断時に電力を供給するためのバックアップ電源と、前記処理部に搭載されて前記バックアップ電源から電力の供給を受ける第1半導体素子及び第2半導体素子と、前記メモリモジュールの取り外しの有無を判定する判定部と、を備え、

前記バックアップ電源から前記第1半導体素子への電力の供給線の少なくとも一部は前記メモリモジュール内を経由するように配置され、

前記バックアップ電源から前記第2半導体素子への電力の供給線は前記メモリモジュール内を経由しないように配置され、

前記第1半導体素子又は前記第2半導体素子の一方は、電源電圧が低下したときにそのことを示すフラグをセットするか又は信号を出力する電圧低下検出半導体素子であり、他方は揮発性記憶素子であり、

前記判定部は、

前記揮発性記憶素子の予め定められたアドレスに予め定められたデータを書き込み、電源投入時に前記揮発性記憶素子の前記予め定められたアドレスのデータを読み出し、これを前記予め定められたデータと比較することにより電圧低下の有無を判定し、

電源投入時に前記電圧低下検出半導体素子の前記フラグ又は前記信号に基づき電圧低下の有無を判定し、

10

20

30

40

50

前記揮発性記憶素子に関する電圧低下の判定結果と前記電圧低下検出半導体素子に関する電圧低下の判定結果とに基づき前記メモリモジュールの取り外しの有無を判定するものである。

【0015】

前記バックアップ電源を前記処理部に搭載するときは、

前記バックアップ電源から前記第1半導体素子への電力の供給線を、少なくとも一度は前記バックアップ電源から前記メモリモジュールに入り、前記メモリモジュールを経由して前記処理部に戻り、前記第1半導体素子に接続されるように配置する。

【0016】

前記バックアップ電源を前記メモリモジュールに搭載するときは、

前記バックアップ電源から前記第1半導体素子への電力の供給線を、前記メモリモジュールから前記処理部に入り、前記第1半導体素子に接続されるように配置する。

【0017】

好ましくは、前記第1半導体素子に関する判定結果が電圧低下を示し、かつ、前記第2半導体素子に関する判定結果が電圧低下を示していないとき前記メモリモジュールの取り外しが有ったと判定し、エラー報知又は遊技停止のうちの少なくともいずれかを行う。

【発明の効果】

【0027】

本発明によれば、処理部にある第1半導体素子へのバックアップ電源の供給をメモリモジュールを介して行い、メモリモジュールが処理部から外された場合にバックアップ電源の供給がなくなるようにするが、メモリモジュールが処理部から外された場合でも第2半導体素子への電力供給は維持されるように構成し、そして、電源投入時に第1半導体素子及び第2半導体素子について電源電圧の低下があったかどうかを確認することでメモリモジュールが処理部から外されたかどうか検知することができる。メモリモジュールが外されたと判定されたとき、エラー報知を行ったり、遊技を停止することで不正行為を抑止することができる。

【発明を実施するための最良の形態】

【0028】

発明の実施の形態1.

この発明の実施の形態に係る遊技機について図面を参照して説明する。

図1は遊技機（スロットマシン、回胴式遊技機とも呼ばれる）の正面図である。

スロットマシン10で遊技を楽しもうとする遊技者は、まずメダル貸機（図示しない）等から遊技媒体であるメダルを借り、メダル投入装置のメダル投入口100に直接メダルを入れる。メダル投入口100は、スロットマシン10の正面で略中央の高さに設けられている。

【0029】

スロットマシン10は、四角箱状の筐体11を有する。前記筐体11の中央部及び上部には、遊技者側に向かって臨む四角窓状の表示窓12が形成されている。そして、この中央部の表示窓12の中央には、三個の回転リール40の図柄61を見ることができる図柄表示窓13が形成されている。ベットスイッチ16は、回転リール40の下方に位置するスイッチであって、メダル投入口100に連続してメダル投入をして貯留させた貯留メダル数を減じてメダル投入に代える。精算スイッチ17は、回転リールの斜め下方に位置するスイッチであって、貯留した投入メダルを払い出す。スタートスイッチ30は回転リール40の斜め下方に位置するレバーであって、遊技メダルの投入若しくはベットスイッチ16の投入を条件に、リールユニット60の駆動を開始させる。ストップスイッチ50は、リールユニット60の駆動を停止させるためのものである。リールユニット60は、三個の回転リール40とから構成されている。そして、各回転リール40は、合成樹脂からなる回転ドラムと、この回転ドラムの周囲に貼付されるテープ状のリールテープ42とを備えている。このリールテープ42の外周面には、複数個（例えば21個）の図柄61が表示されている。62は各種の演出を行うための液晶表示部である。

【0030】

スロットマシン10の内部には、後述のように、スロットマシン10の全体の動作を制御するための制御装置が内蔵されている。制御装置は、CPUを中心に構成され、ROM、RAM、I/O等を備えている。そして、CPU（処理部）が遊技者の操作を受けてROM（記憶部）に記憶されたプログラムを読み込むことで動作させるものであり、具体的には、スタートスイッチ30及びストップスイッチ50の操作に基づき回転リール40の回転及び停止を制御するとともに、ランプやスピーカ等の表示を制御する。CPUが動作する際に必要な一時的なデータなどはRAM（一般にRAMは揮発性メモリであり、その電源断によりデータは原則失われるが、本遊技機においてはその一部又は全部についてバッテリーなどのバックアップ電源が用意されていることがあり、この場合は電源断でもデータは失われない）に記憶される。CPUはROMに記録されたプログラムに従って所定の動作を行うとともに、処理に必要な一時的なデータをRAMに記録するとともに記録されたデータを必要に応じて読み出して参照する。

10

【0031】

スタートスイッチ30は、前述のように回転リール40の斜め下方に位置するレバーであって、遊技メダルの投入若しくはベットスイッチ16の投入を条件に、または、入賞判定に応じて得られる「再遊技（Replay）」時には前遊技からの所定時間経過を条件に、リールユニット60の駆動を開始させるためのものである。

【0032】

ストップスイッチ50は、前述のようにリールユニット60の駆動を停止させるためのものである。具体的には、ストップスイッチ50は、各回転リール40に対応した三個のスイッチから構成され、各回転リール40の下方に1個ずつ配置されているものである。回転リール40に対応したストップスイッチ50の操作により、当該対応した回転リール40の回転を停止するように設定されている。

20

【0033】

メダルの投入若しくはベットスイッチ16の投入を条件に、または、前記「再遊技（Replay）」時には前遊技から所定時間経過を条件に、スタートスイッチ30を操作すると、リールユニット60が駆動され、三個の回転リール40が回転を開始する。その後、ストップスイッチ50の一個を操作すると、当該対応する回転リール40の回転が停止する。そして、ストップスイッチ50を三個全て操作すると、三個の回転リール40の回転が全て停止する。このとき、表示窓13の有効入賞ライン上に、予め設定された図柄61が停止すると入賞と判定され、図示しないホッパーユニットを介して所定枚数のメダルが払い出される。なお、メダルを払い出す代わりに、クレジットしてもよい。

30

【0034】

図2はスロットマシン10の電氣的な概略構造を示すブロック図である。この図において電源系統についての表示は省略されている。スロットマシン10は、その主要な処理装置としてメイン基板1とこれからコマンドを受けて動作するサブ基板2とを備える。なお、少なくともメイン基板1は、外部から接触不能となるようにケース内部に収容され、これら基板を取り外す際に痕跡が残るように封印処理が施されている。

【0035】

メイン基板1は、遊技者の操作を受けて内部抽選を行ったり、リールの回転・停止やメダルの払い出しなどの処理を行うためのものである。メイン基板1は、予め設定されたプログラムに従って制御動作を行うCPUと、前記プログラムを記憶する記憶手段であるROMおよび処理結果などを一時的に記憶するRAMを含む。

40

【0036】

サブ基板2は、メイン基板1からコマンド信号を受けて内部抽選の結果を報知したり各種演出を行うためのものである。サブ基板2は、前記コマンド信号に応じた予め設定されたプログラムに従って制御動作を行うCPUと、前記プログラムを記憶する記憶手段であるROMおよび処理結果などを一時的に記憶するRAMを含む。コマンドの流れはメイン基板1からサブ基板2へ的一方のみであり、逆にサブ基板2からメイン基板1へコマンド

50

等が出されることはない。また、サブ基板 2 は R O M などの半導体メモリを搭載したメモリモジュール 3 を備えている。なお、メイン基板 1 にメモリモジュールを備えていてもよい。

【0037】

メイン基板 1 にはスタートスイッチ 3 0、ストップスイッチ 5 0、リール駆動部 7 0、リール位置検出回路 7 1、ホッパー駆動部 8 0、ホッパー 8 1 及びホッパー 8 1 から払い出されたメダルの枚数を数えるためのメダル検出部 8 2 が接続されている。サブ基板 2 には液晶表示装置 6 2 の制御基板 2 0 0、スピーカ 2 0 1、L E D 基板 2 0 2 などの周辺基板（ローカル基板）が接続されている。

【0038】

図 3 にメモリモジュール 3 をサブ基板（処理部）2 に装着した状態を示す。

このメモリモジュール 3 は、メモリモジュールの基板 3 b と、これに搭載されるひとつ又は複数の半導体メモリ（R O M）3 a と、メモリモジュール 3 をサブ基板 2 に電氣的に接続するためのメモリモジュール 3 側のコネクタ 6 とを備える。サブ基板 2 にはメモリモジュール 3 と電氣的接続を行うためのコネクタ 2 a が設けられている。コネクタ 2 a はメモリモジュール 3 のコネクタ 6 と結合する。図 3 の例では、メモリモジュール 3 はサブ基板 2 に対して垂直になるようにコネクタ 2 a に取り付けられる。

【0039】

本発明の実施の形態 1 に係るメモリモジュールと処理部（サブ基板）の接続図を図 4 に示す。同図は本発明の実施の形態 1 の動作を説明するために必要な部分のみを示し、サブ基板 2 上の C P U やメモリモジュール 3 上の R O M の表示や、アドレス信号やデータ信号の表示を省略している。

【0040】

図 4 において、2 b は電源切断時に電力を供給するためのバックアップ電源である。バックアップ電源 2 b は、リチウム電池等の二次電池であるが、本発明は二次電池に限定されない。一次電池やコンデンサなどの蓄電器であってもよい。2 c - 1 はバックアップ電源から電力の供給を受けるリアルタイムクロック I C（半導体素子。以下、R T C と記す）である。R T C 2 c - 1 は市販の I C であって、例えば、年・月・日・曜日・時・分・秒のカレンダー機能やカウンタ機能とともに、時刻アラーム・インターバルタイマー・時刻変更割り込みなどの機能を備えるものである。R T C 2 c - 1 は、後述のように電源電圧の低下を検出可能に構成されたもので、この点に鑑みて電圧低下検出半導体素子と呼ぶことができる。2 c - 2 はバックアップ電源 2 b から電力の供給を受ける R A M（揮発性記憶素子）である。R T C 2 c - 1 と R A M 2 c - 2 は電源断時に同じバックアップ電源 2 b から電力の供給を受けるが、バックアップ電源 2 b からの配線のルートが異なっている（この点はさらに後述する）。2 d はメモリモジュール 3 の取り外しの有無を判定する判定部である。判定部 2 d は R T C 2 c - 1、R A M 2 c - 2 からデータ（フラグ）を読み出したり、R T C 2 c - 1、R A M 2 c - 2 にデータを書き込む（フラグをセット／リセットする）ことができる。判定部 2 d は、例えば所定のプログラムで動作する図示しない C P U で実現される。判定部 2 d はメモリモジュール 3 の取り外しの有無を判定する以外にも、バックアップ電源 2 b の劣化を判断することもある。2 e は基板の電源（直流電圧）V D D を受けてバックアップ電源 2 b に供給し充電を行うとともに、電源断のバックアップ時にバックアップ電源 2 b の電流が電源 V D D に逆流しないようにするためのダイオードである。

【0041】

図 4 においてバックアップ電源 2 b はサブ基板（処理部）2 に搭載されているが、バックアップ電源 2 b から R T C 2 c - 1 への電力の供給線の少なくとも一部はメモリモジュール 3 内を経由するように配置されている。すなわち、バックアップ電源 2 b から R T C 2 c - 1 への電力の供給線は、まずバックアップ電源 2 b からコネクタ 2 a の端子 2 a - 1 に接続され、この端子に対応するコネクタ 6 の端子 6 - 1 に接触することによりメモリモジュール 3 に入る。電力の供給線は、コネクタ 6 の端子 6 - 2 とコネクタ 2 a の端子 2

10

20

30

40

50

a-2を経由して再びサブ基板2に戻り、RTC2c-1の電源端子に接続されている。コネクタ6の端子6-1と端子6-2はメモリモジュール3内において配線3cにより接続されている。これに対し、バックアップ電源2bからRAM2c-2への電力の供給線はメモリモジュール3内を経由しないようになっている。すなわち、バックアップ電源2bとRAM2c-2間の接続はサブ基板2上にのみ存在し、その外部に出ることはない。

【0042】

参考のため図11に従来のバックアップ電源2bとRTC2c-1、RAM2c-2間の接続を示す。従来はこれらが直接接続されていて、メモリモジュール3を経由することはなかった。バックアップ電源2bからRTC2c-1への電力の供給線の少なくとも一部がメモリモジュール3内を経由するような配置は、新規なものである。

10

【0043】

本発明の実施の形態1に係る装置／方法は、サブ基板（処理部）2上にある揮発性記憶素子（RAM）2c-1へのバックアップ電源の供給をメモリモジュール3を介して行い、メモリモジュール3がサブ基板2から外された場合にはRTC2c-1へのバックアップ電源の供給がなくなるようにし、そして、電源投入時にRTC2c-1に関して電源電圧の低下があったかどうかと、RAM2c-2の内容が電源断時と同じかどうか（不一致であればRAM2c-2に関して電源電圧の低下があったことを意味する）をそれぞれ確認することでメモリモジュール3がサブ基板2から外されたかどうかを確認することを特徴とする。メモリモジュール3が外されていないればバックアップは正常に行われており、電源切断時と電源投入時（つまり電源断の間）にRTC2c-1が電源電圧の低下を検出することはないはずである。RTC2c-1が電源電圧の低下を検出したとすれば、メモリモジュール3が外された可能性がある判断できる。RTC2c-1はその内部にフラグレジスタを持ち、少なくともその1ビットは電源電圧が低下したときにセットされるフラグ（VLF（Voltage Low Flag）ビット）である。VLFビットがセット（＝1）であることは、電源電圧の低下などによって計時データ等が消失している可能性があることを意味し、レジスタ等を初期設定することが推奨されている。

20

【0044】

バックアップ電源2bが劣化したときも同様にRTC2c-1は電源電圧の低下を検出するが、この場合はRAM2c-2の内容にも変化が生じる。RTC2c-1とRAM2c-2それぞれについて電源電圧の低下の有無の確認を行い、これらの結果を総合的に判断することで、メモリモジュール3が外された場合をバックアップ電源2bが劣化した場合と区別することができる。

30

【0045】

電源断の間すなわち電源切断時と電源投入時でRAM2c-2の内容に変化が生じたかどうかを判定するために、発明の実施の形態1ではチェックサム（検査合計）を利用する。チェックサムとは、RAMの全アドレスのデータ又は一部のアドレスのデータについて求めた総合計である。ひとつのデータの1ビットが変化したときでもこれをチェックサムで検出することができる。チェックサムはRAM2c-2のデータ全体をそれぞれ表現する特徴値と言える。

【0046】

図5に電源スイッチをオフにしたときの処理フローチャートを示し、図6に電源スイッチをオンにしたときの処理フローチャートを示す。図7（a）に電源スイッチをオフにしたときのタイミングチャートを示し、図7（b）に電源スイッチをオンにしたときのタイミングチャートを示す。これらの図を参照して発明の実施の形態1の動作を説明する。

40

【0047】

図7（a）において電源スイッチがオンのとき、電源電圧は規定値である（期間P1）。期間P1では、図8に太線で示すように電源VDDがRTC2c-1とRAM2c-2にそれぞれ供給されるとともにバックアップ電源2bを充電している。電源スイッチがオンからオフにされたとき（時刻T1）サブ基板2等に供給される電源電圧はすぐには低下せず、電源スイッチのオフからしばらく時間が経ってから電源電圧がゼロになる（時刻T

50

2)。この間（期間 P 2）でサブ基板 2 の C P U 等は所定の処理を行うことができる。電源スイッチがオンからオフにされたとき（時刻 T 1）、その直後にその旨を示す電源断信号が有効になるので、C P U 等は電源断信号を契機に電源終了時の処理を実行することができる。具体的には期間 P 2 において図 5 の処理を行う。

【0048】

すなわち、R A M のチェックサムを求め（S 1）、求めたチェックサムを R A M の任意のアドレス（予めどのアドレスにするか決めておく）にそれぞれ記憶する（S 2）。R A M 2 c-2 にはバックアップ電源が供給されているから、電源断の際の R A M 2 c-2 の特徴値（チェックサム）が電源断の期間（図 7 の期間 P 3）において R A M 2 c-2 で保持されることになる。

10

【0049】

図 7（a）の時刻 T 2 以降の期間 P 3 において電源電圧はゼロであるが、図 9 に太線で示すように R T C 2 c-1 と R A M 2 c-2 に対してバックアップ電源 2 b から電力が供給される。したがって、R T C 2 c-1 は電源電圧の低下を検出せず、R A M 2 c-2 の内容は保持されたままである。

【0050】

次に、図 7（b）に示すように、電源スイッチがオンになると（時刻 T 3）電源電圧が上昇し速やかに規定値に達する。その際に通常はリセット信号が発生し、その後の期間 P 4 において C P U 等は初期動作を開始する。初期動作のひとつとして図 6 の処理を行う。

【0051】

20

すなわち、R A M 2 c-2 のチェックサムを求め（S 10）、電源断の際に R A M 2 c-2 に記憶させたチェックサムを読み出し（S 11）、両者を比較する（S 12）。S 12 の比較処理は電源電圧低下の有無の判断を行うものである。

【0052】

R A M 2 c-2 に関して S 11 で読み出したチェックサムが S 10 で求めたチェックサムに一致した場合（S 12 で一致）、R A M 2 c-2 の内容が電源断中も保持されたことを意味する。バックアップ電源 2 b が正常であると判断できるから、次にメモリモジュール 3 が取り外されたかどうかを判定するために S 14 以降の処理を行う。

【0053】

チェックサムが一致しなかったら（S 12 で不一致）、バックアップ電源 2 b が劣化したことを意味するから、エラー処理（S 13）を行いその旨の報知を行う。

30

【0054】

次に、R T C 2 c-1 のフラグレジスタを調べ（S 14）、V L F ビットがセットされているかどうか調べる（S 15）。V L F ビットがセットされていないとき（N O）、R T C 2 c-1 が電源断中もバッテリバックアップされたことを意味するから、メモリモジュール 3 が取り外されなかったと判断できる。これは正常状態であるので通常の起動処理を行う（S 17）。なお、この際に R A M 2 c-2 に記憶されたチェックサムをクリアするようにしてもよい。

【0055】

これに対し、電源断の期間においてメモリモジュール 3 が交換されると（メモリモジュールの R O M を有効にするには電源切断時に交換する必要がある）、図 10 に示すようにメモリモジュール 3 が外された時点で R T C 2 c-1 への電力の供給が絶たれる。バックアップ電源 2 b から R T C 2 c-1 への電力の供給線の少なくとも一部はメモリモジュール 3 内を経由するように配置されているためである。図 10 の状態になると R T C 2 c-1 の V L F ビットがセット（= 1）され、再度電源が供給されても当該ビットがリセット（= 0）されることはない。その結果、S 15 の判定結果は Y E S となり、エラー処理を行い、メモリモジュール 3 が交換されたことを報知する（S 16）。これ以降は通常の起動処理を行わないので、遊技を行うことができなくなる。なお、電源断の期間以外でも V L F ビットのセットを検出したときにエラー処理を行うようにしてもよい。

40

【0056】

50

発明の実施の形態 1 によれば、メモリモジュールを介して電圧低下検出半導体素子（例えば R T C）へのバックアップ電源の供給を行い、メモリモジュールが処理部（サブ基板）から外された場合に電圧低下検出半導体素子へのバックアップ電源の供給が遮断されるようにし、バックアップ不良を発生させる。電源投入時には電圧低下検出半導体素子に関して電圧低下の有無のチェックが行われるため、メモリモジュールが外された場合には電圧低下があったことを検出することになり、不正行為の可能性があると判断し、エラー状態などに移行して遊技を停止させる。他方、揮発性記憶素子（R A M）は、そのバックアップ電力の供給線がメモリモジュールを経由しないので、メモリモジュールが取り外されても電圧は低下せず、その特徴値が一致する。電圧低下検出半導体素子のみに関して電圧の低下を検出したときに、メモリモジュールが交換されたと判定し、エラー処理を行う。このように処理することで、バックアップ電源の劣化によるバックアップ不良と区別して、メモリモジュールが外されたということを判定できるようにした。以上のような構成により、メモリモジュールの交換を検知しエラー報知することができ、R O M の不正な交換という不正行為を抑止することが可能になる。

10

【0057】

なお、以上の説明において、バックアップ電源の供給を受ける半導体素子としてリアルタイムクロック I C（R T C）を例にとり説明を加えたが、これは一例であって他の半導体素子を使用することもできる。例えば、電源低下時にこれを検出して信号（例えばリセット信号）を出力する I C を用いるとともに、例えばレジスタや不揮発性メモリ（E E P R O M など）によりその出力を電源投入時まで保持するようにしてもよい。

20

【0058】

なお、以上の説明で、特徴値としてチェックサムを求める場合を例にとり説明を加えたが、本発明はこれに限定されない。揮発性記憶素子（R A M）の内容に固有の特徴値を求めることができればよく、例えば、論理積、論理和又は排他的論理和を含む論理演算を行ったり、又は、ハッシュ関数によりハッシュ値を求めるようにしてもよい。ハッシュ関数とは、与えられた原文から固定長の疑似乱数を生成する演算手法であり、生成した値は「ハッシュ値」と呼ばれる。「要約関数」「メッセージダイジェスト」とも呼ばれる。不可逆な一方向関数を含むため、ハッシュ値から原文を再現することはできず、また同じハッシュ値を持つ異なるデータを作成することは極めて困難である。

【0059】

以上の説明で、特徴値を R A M 2 c - 2 自身に書き込んだが、本発明はこれに限定されない。バックアップ電源の供給されるほかの R A M 又は不揮発性記憶素子（E E P R O M など）に書き込むようにしてもよい。

30

【0060】

発明の実施の形態 1 の変形例。

上記例ではメモリモジュール 3 経由でバックアップ電源を供給する素子（第 1 半導体素子）に電圧低下検出半導体素子（R T C）を適用し、メモリモジュール 3 を経由せずにバックアップ電源を供給する素子（第 2 半導体素子）に揮発性記憶素子（R A M）を適用したが、本発明はこれに限定されない。図 1 2 に示すように、メモリモジュール 3 経由でバックアップ電源を供給する素子（第 1 半導体素子）に揮発性記憶素子（R A M）を適用し、メモリモジュール 3 を経由せずにバックアップ電源を供給する素子（第 2 半導体素子）に電圧低下検出半導体素子（R T C）を適用するようにしてもよい。

40

【0061】

この場合、図 6 の S 1 0 乃至 S 1 2 の処理と S 1 4 乃至 S 1 5 の処理を入れ替える。

【0062】

すなわち、まず、R T C 2 c - 1 のフラグレジスタを調べ、V L F ビットがセットされているかどうか調べる。V L F ビットがセットされていないとき、R T C 2 c - 1 が電源断中もバッテリバックアップされたことを意味するから、バックアップ電源 2 b が正常であると判断できるので、次に R A M 2 c - 2 に関する電圧低下の有無を判定する。V L F ビットがセットされているときは、バックアップ電源 2 b が劣化したことを意味するから

50

、エラー処理（S 1 3）を行いその旨の報知を行う。

【0063】

電源断の期間 P 3 においてメモリモジュール 3 が交換された場合（図 1 0 に示すようにメモリモジュール 3 が外された時点で R T C 2 c - 1 への電力の供給が絶たれる）、R A M 2 c - 2 の内容は失われ、再度電源が供給されても回復することはない（でたらめな内容になる）。そのため、R A M 2 c - 2 に関して、読み出したチェックサム（電源断時のチェックサム）が電源投入時に求めたチェックサムに一致しなくなる。R A M 2 c - 2 の内容が失われるから電源投入時に求めたチェックサムは電源断時に求めたものと当然異なるし、記憶していたチェックサム自体も失われるからである。そこでエラー処理を行い、メモリモジュール 3 が交換されたことを報知する（S 1 6）。 10

発明の実施の形態 1 の変形例も、発明の実施の形態 1 と同様の作用効果を奏する。

【0064】

発明の実施の形態 2 .

発明の実施の形態 1 ではバックアップ電源 2 b をサブ基板 2 に搭載したが、本発明はこれに限定されない。例えば、図 1 3 に示すようにメモリモジュール 3 にバックアップ電源 2 b を搭載するようにしてもよい。図 1 3 の構成でもバックアップ電源 2 b から R T C 2 c - 1 への電力の供給線の少なくとも一部をメモリモジュール 3 内を経由するように配置することができる。図 1 3 の構成でも発明の実施の形態 1 と同様の作用効果を奏する。

【0065】

発明の実施の形態 3 . 20

発明の実施の形態 1 では揮発性記憶素子の内容の特徴値を利用して電源電圧の低下を検出したが、特徴値を求めることなくデータそのものを比較することにより同様の検出を行うこともできる。その例を列挙する。なお、以下の例は発明の実施の形態 1 の変形例にも適用できる。

【0066】

（1）R A M 2 c - 2 の全データを退避させることにより、例えばバックアップ電源の供給されるほかの R A M 又は不揮発性記憶素子（E E P R O M など）に書き込むことにより、電源断中も保持する。退避とは、一般的には、主記憶装置(main storage)上の特定の記憶位置(location)、領域(region)、レジスタ(register)などの内容を他の目的に使用するために、一時的に主記憶装置の他の記憶場所又は補助記憶に格納しておくことである。 30

電源切断時に R A M 2 c - 2 の全データを読み取り、これらを他の R A M 又は不揮発性記憶素子に書き込む。電源投入時に R A M 2 c - 2 の全データを読み取り、これを退避したデータと比較する。比較の結果、全部又は一部のデータについて不一致が生じたとき、電源電圧が低下したと判定する。

【0067】

（2）R A M 2 c - 2 の一部のデータを退避させることにより、例えばバックアップ電源の供給されるほかの R A M 又は不揮発性記憶素子（E E P R O M など）に書き込むことにより、電源断中も保持する。

電源切断時に R A M 2 c - 2 の一部のデータを読み取り、これらを他の R A M 又は不揮発性記憶素子に書き込む。電源投入時に R A M 2 c - 2 の一部のデータ（電源切断時と同じアドレスのもの）を読み取り、これを退避したデータと比較する。比較の結果、全部又は一部のデータについて不一致が生じたとき、電源電圧が低下したと判定する。なお、ひとつのアドレスのデータのみを退避するようにしてもよい。電源断により R A M の全てのアドレスのデータが影響を受けるので、ひとつのアドレスのデータを監視するだけでも判定可能である。 40

【0068】

（3）R A M 2 c - 2 の一部のデータを、R A M 2 c - 2 自身の予め用意された領域に書き込む（退避させる）。他の点は上記（2）と同様である。

【0069】

発明の実施の形態 3 は、発明の実施の形態 1 と同様の作用効果を奏する。 50

【0070】

発明の実施の形態 4.

RAMの特定のアドレスに特定の値を書き込んでおき、電源投入時にそれが維持されているかどうか判断するようにしても、上記発明の実施の形態 1 乃至 3 と同様の効果を奏する。RAMの特定のアドレスは、少なくとも電源断時において常に特定の値であると決めておき、電源投入時にそれが維持されていなければ電源電圧が低下したと判断するのである。この場合、特徴値を求める必要はないし、電源断時にRAMの内容を読み取る必要もない。

【0071】

発明の実施の形態 4 に係る事前データ書き込み処理のフローチャートを図 14 に、電源スイッチをオンしたときの処理のフローチャートを図 15 に示す。図 14 の特定のアドレスに特定の値を書き込む処理は電源断時（図 7 の期間 P2）に行ってもよいし、それ以外の任意のタイミング（初期化時など）に行ってもよいし、定期的又は不定期に繰り返す行うようにしてもよい。

10

【0072】

発明の実施の形態 4 は、発明の実施の形態 1 と同様の作用効果を奏する。

【0073】

本発明は、以上の実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

20

【0074】

また、本明細書において、部とは必ずしも物理的手段を意味するものではなく、各部の機能が、ソフトウェアによって実現される場合も包含する。さらに、一つの部の機能が、二つ以上の物理的手段により実現されても、若しくは、二つ以上の部の機能が、一つの物理的手段により実現されてもよい。

【図面の簡単な説明】

【0075】

【図 1】遊技機（スロットマシン）の正面図である。

【図 2】遊技機のブロック図である。

【図 3】メモリモジュールを処理部（サブ基板）に取り付けた状態を示す斜視図である。

30

【図 4】発明の実施の形態 1 に係るバックアップ電源系統を示すブロック図である。

【図 5】発明の実施の形態 1 に係る電源スイッチのオフ時の処理フローチャートである。

【図 6】発明の実施の形態 1 に係る電源スイッチのオン時の処理フローチャートである。

【図 7】発明の実施の形態 1 の動作を説明するためのタイミングチャートである。

【図 8】発明の実施の形態 1 の動作を説明するためのブロック図である（電源入、バックアップ電源非作動時）。

【図 9】発明の実施の形態 1 の動作を説明するためのブロック図である（電源断、バックアップ電源作動時）。

【図 10】発明の実施の形態 1 の動作を説明するためのブロック図である（電源断時にメモリモジュールを取り外した状態）。

40

【図 11】従来のバックアップ電源系統を示すブロック図である。

【図 12】発明の実施の形態 1 の変形例に係るバックアップ電源系統を示すブロック図である。

【図 13】発明の実施の形態 2 に係るバックアップ電源系統を示すブロック図である。

【図 14】発明の実施の形態 4 に係る事前データ書き込み処理のフローチャートである。

【図 15】発明の実施の形態 4 に係る電源スイッチのオン時の処理フローチャートである。

。

【符号の説明】

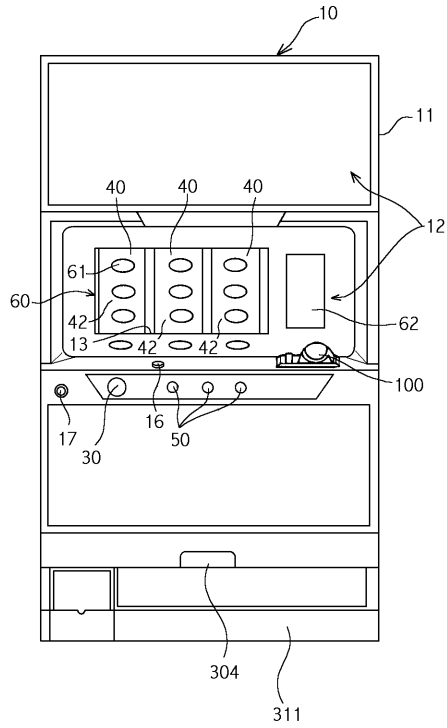
【0076】

1 メイン基板

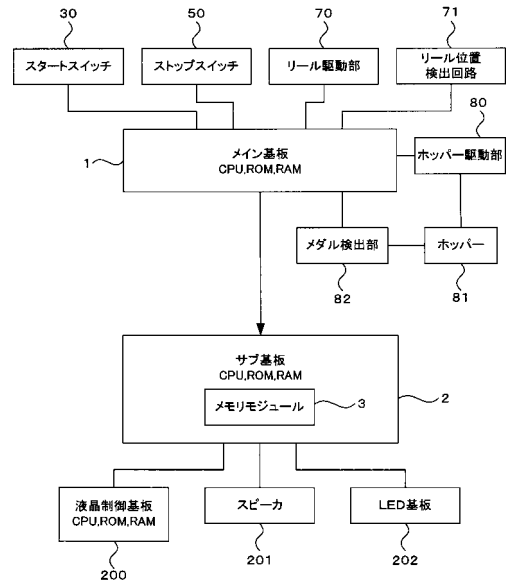
50

2	サブ基板	
2 a	コネクタ	
2 a-1	第1端子	
2 a-2	第2端子	
2 b	バックアップ電源	
2 c-1	R T C (電圧低下検出半導体素子、図4で第1半導体素子、図12で第2半導体素子)	
2 c-2	R A M (揮発性記憶素子、図4で第1半導体素子、図12で第2半導体素子)	
2 d	判定部	10
2 e	ダイオード	
3	メモリモジュール	
3 a	記憶素子(半導体メモリ、R O M)	
3 b	メモリモジュール基板	
3 c	メモリモジュール内のバックアップ電力の供給線	
6	コネクタ	
6-1	第1端子	
6-2	第2端子	
10	スロットマシン	
11	筐体	20
12	表示窓	
13	図柄表示窓	
16	ベットスイッチ	
17	精算スイッチ	
30	スタートスイッチ	
40	回転リール	
42	リールテープ	
50	ストップスイッチ	
60	リールユニット	
61	図柄	30
62	液晶表示部	
70	リール駆動部	
71	リール位置検出回路	
80	ホッパー駆動部	
81	ホッパー	
82	メダル検出部	
100	メダル投入口	
200	液晶制御基板	
201	スピーカ	
202	L E D基板	40
304	メダル払い出し口	
311	メダル受け部(下皿)	

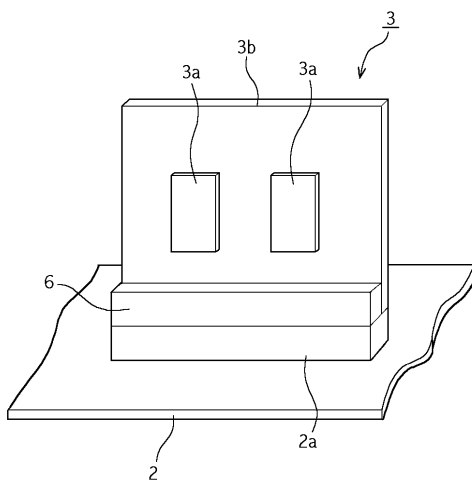
【図 1】



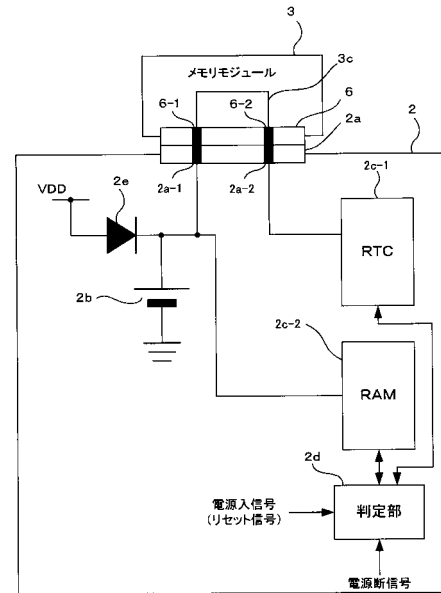
【図 2】



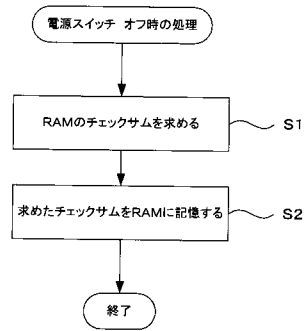
【図 3】



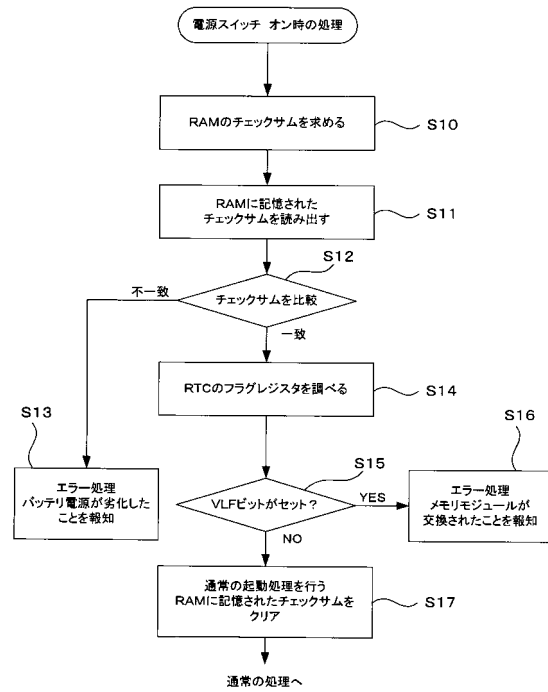
【図 4】



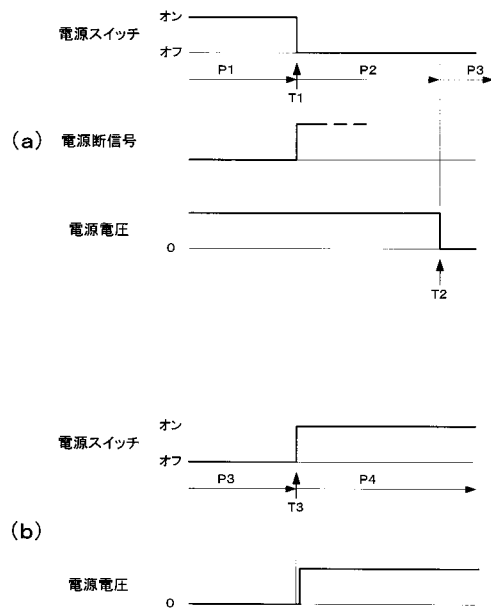
【図 5】



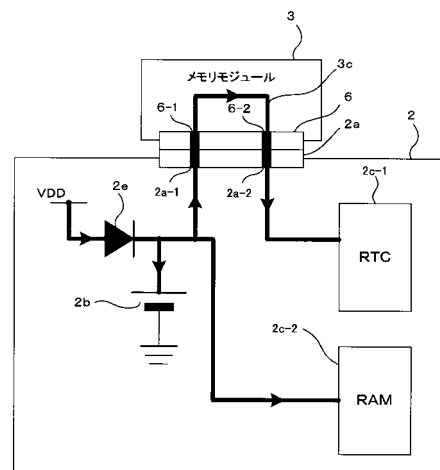
【図 6】



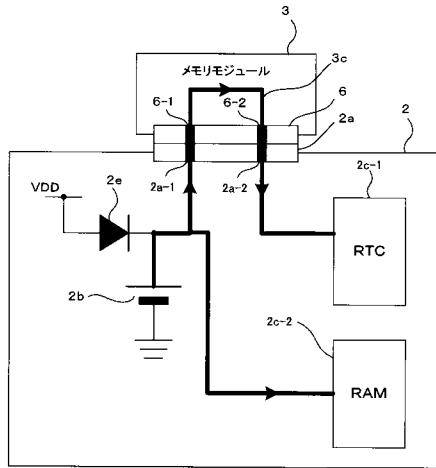
【図 7】



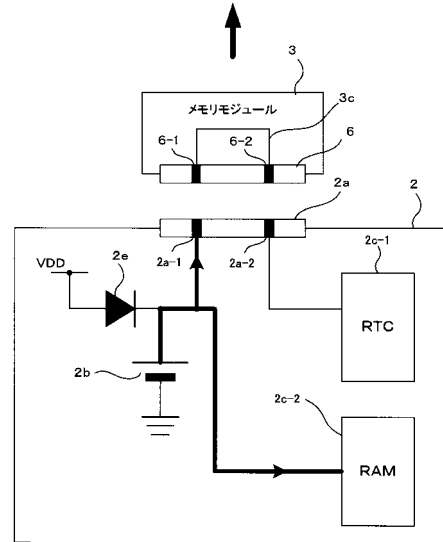
【図 8】



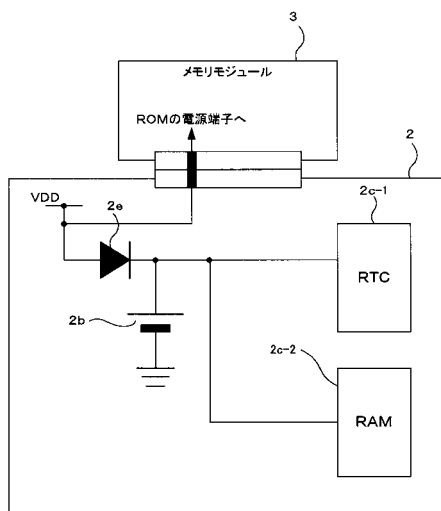
【図 9】



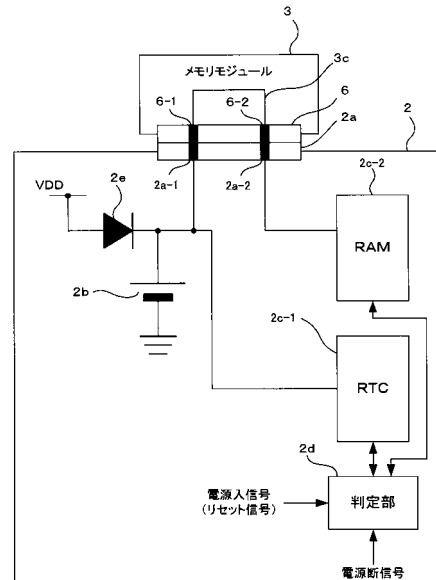
【図 10】



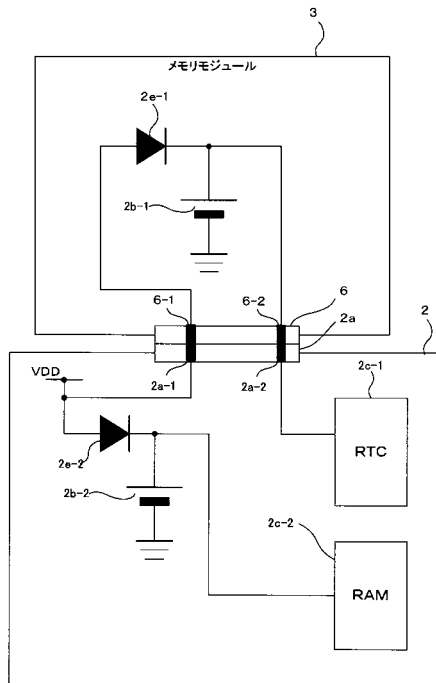
【図 11】



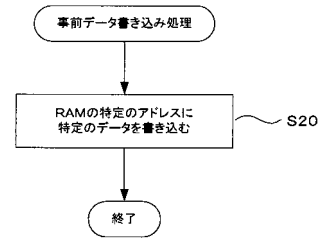
【図 12】



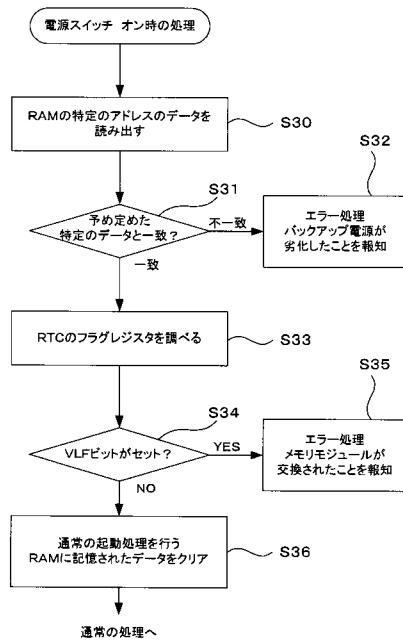
【図 13】



【図 14】



【図 15】



フロントページの続き

(56)参考文献 特開平08-155112 (JP, A)
特開平09-239132 (JP, A)
特開2003-126519 (JP, A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02
A63F 5/04