

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4013432号
(P4013432)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int. Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 301C

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2000-2594 (P2000-2594)	(73) 特許権者	000006013
(22) 出願日	平成12年1月11日(2000.1.11)		三菱電機株式会社
(65) 公開番号	特開2001-196500 (P2001-196500A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成13年7月19日(2001.7.19)	(74) 代理人	100113077
審査請求日	平成18年8月30日(2006.8.30)		弁理士 高橋 省吾
		(74) 代理人	100112210
			弁理士 稲葉 忠彦
		(74) 代理人	100108431
			弁理士 村上 加奈子
		(74) 代理人	100128060
			弁理士 中鶴 一隆
		(72) 発明者	田牧 努
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【特許請求の範囲】

【請求項1】

表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティに向かう方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことを特徴とする半導体パッケージ。

【請求項2】

表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティの周囲方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことを特徴とする半導体パッケージ。

【請求項3】

表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティに向かう方向及び上記キャビティの周囲方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことを特徴とする半導体パッケージ。

【請求項4】

10

20

表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、抵抗膜を形成した、長さの異なる複数のスルーホールを配置したことを特徴とする請求項 1 ～ 3 のいずれかに記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、高周波数帯で動作するマイクロ波、ミリ波集積回路を封止するパッケージに関するものである。

【0002】

【従来の技術】

図 6、図 7、図 8 は従来の半導体パッケージを示す図である。図において、1 は金属製の箱体、2 は入出力端子、3 はキャップ、4 は半導体素子及び誘電体回路基板、5 は抵抗体である。

【0003】

また、図 9 は従来の半導体パッケージの特性を示す図である。図において、曲線 a 1, a 2 は図 6 のようにキャビティ内に抵抗体 5 を設けない場合、曲線 b 1, b 2 は図 7 のようにキャビティ側壁に抵抗体 5 を設けた場合、曲線 c 1, c 2 は図 8 のようにキャップ 3 の裏面に抵抗体 5 を設けた場合、の入出力端子 2 における反射特性及びキャビティ内空間伝播特性である。

【0004】

次に、従来の半導体パッケージの動作及び特性について説明する。従来の半導体パッケージは、図 6、図 7、図 8 のように箱体 1 に形成したキャビティに半導体素子及び誘電体回路基板 4 を配置し、出力端子 2 を設けて、パッケージ内部に配置した半導体素子及び誘電体回路基板 4 と外部とを電氣的に接続する。さらにキャップ 3 で封止することにより気密構造とする。このような半導体パッケージでは、キャビティ内寸法により、遮断周波数の決まる導波管伝送モード及び共振周波数の決まる導波管共振モードが存在し、この共振周波数を有する信号がこのキャビティに蓄えられる。この信号が、半導体素子及び誘電体回路基板 4 に結合した場合、異常発振や破壊を招き、外部の回路等にも悪影響を与える。したがって、従来のパッケージでは、図 7 及び図 8 のように、キャビティ内に抵抗体 5 を設けることにより、共振を抑圧していた。

【0005】

次に、従来の半導体パッケージの特性について補足する。従来の各半導体パッケージの入出力端子 2 における反射特性は、図 9 の曲線 a 1、曲線 b 1 及び曲線 c 1 のようになり、キャビティに抵抗体 5 がない場合（図 6 の場合、曲線 a 1）は共振周波数を有し、キャビティ抵抗体 5 がある場合（図 7 及び図 8 の場合、曲線 b 1 及び c 1）は共振を抑えることが可能になる。また、従来の各半導体パッケージの空間伝播特性は図 9 の曲線 a 2、曲線 b 2 及び曲線 c 2 のようになり、キャビティに抵抗体 5 がない場合（図 6 の場合、曲線 a 2）は異常発振が起こり、キャビティに抵抗体 5 がある場合（図 7 及び図 8 の場合、曲線 b 2 及び c 2）でも高い空間アイソレーションが確保できない（伝播特性の損失を大きくできない）ため、半導体素子及び誘電体回路基板 4 の利得が高い場合、または安定性が低い場合、空間アイソレーションの低い周波数帯と結合すると異常発振、破壊等が起こる可能性がある。このように、従来の半導体パッケージでは、キャビティ内に抵抗体 5 を設けることで共振を抑圧していたが、高い空間アイソレーションを確保できないため、高利得の半導体回路等を実装した場合、異常発振、破壊等が起こる可能性があり、問題となっていた。

【0006】

【発明が解決しようとする課題】

上記のように、従来の半導体パッケージでは、キャビティ内に抵抗体を設けることで共振を抑圧していたが、高い空間アイソレーションを確保できないため、高利得の半導体回路

10

20

30

40

50

等を実装した場合、異常発振、破壊等が起こる可能性があり、課題となっていた。

【0007】

この発明はかかる課題を解決するためになされたものであり、高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能な半導体パッケージを提供するものである。

【0008】

【課題を解決するための手段】

第1の発明による半導体パッケージは、積層した誘電体基板内にキャビティを形成する際に設ける複数の表裏導通スルーホールから、キャビティ方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したものである。

10

【0009】

また、第2の発明による半導体パッケージは、積層した誘電体基板内にキャビティを形成する際に設ける複数の表裏導通スルーホールから、キャビティの周囲方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したものである。

【0010】

第3の発明による半導体パッケージは、積層した誘電体基板内にキャビティを形成する際に設ける複数の表裏導通スルーホールから、キャビティ方向及びキャビティの周囲方向の2方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したものである。

20

【0011】

また、第4の発明による半導体パッケージは、積層した誘電体基板内にキャビティを形成する際に設ける複数の表裏導通スルーホールから、キャビティ方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した長さの異なる複数のスルーホールを配置したものである。

【0012】

【発明の実施の形態】

実施の形態1.

図1は、この発明の実施の形態1を示す半導体パッケージの構成図であり、図において、2は入出力端子、3はキャップ、4は半導体素子及び誘電体回路基板、7はベース、8a ~ 8eは積層してキャビティを構成する誘電体基板、9は表裏導通スルーホール、10はシールリング、11は抵抗膜を形成したスルーホールである。

30

【0013】

また、図2はこの発明の半導体パッケージの特性を示す図である。図において、曲線a1, a2, b1, b2, c1, c2は図9と同様であり、曲線d1, d2はこの発明の半導体パッケージの入出力端子2における反射特性及びキャビティ内空間伝播特性である。

【0014】

次に、動作及び特性について説明する。図1のようにベース7の上に誘電体基板8a ~ 8eを積層し表裏導通スルーホール9によってキャビティを形成する。また、出力端子2を設けてパッケージ内部に配置した半導体素子及び誘電体回路基板4と外部とを電氣的に接続する。さらにシールリング10とキャップ3とで封止することにより気密構造とする。抵抗膜を形成したスルーホール11は、表裏導通スルーホール9からキャビティ方向に、信号周波数F0の概略1/4伝送波長の間隔tをもって配置され、このキャビティにおける共振を抑圧する。

40

【0015】

次に、この発明の半導体パッケージの特性について補足する。図2において、曲線a1, a2, b1, b2, c1, c2は、従来技術(図9)にて説明したとおりである。曲線d1は、この発明の半導体パッケージの入出力端子2における反射特性であり、曲線d2はキャビティ内の空間伝播特性である。図のように、この半導体パッケージによると、キャビティ内寸法による共振を抑えることができ、空間伝播特性についても、高い空間アイ

50

ソレーションを確保することができるため、高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。

【 0 0 1 6 】

また、抵抗膜を形成した複数のスルーホール 11 の配置間隔により、空間伝播特性の調整が可能である。

【 0 0 1 7 】

なお、ベース 7 及びシールリング 10 のない半導体パッケージにおいても、上記と同等の効果が得られる。

【 0 0 1 8 】

実施の形態 2 .

10

図 3 は、この発明の実施の形態 2 を示す半導体パッケージの構成図であり、図において、3 はキャップ、4 は半導体素子及び誘電体回路基板、7 はベース、8 a ~ 8 e は積層してキャビティを構成する誘電体基板、9 は表裏導通スルーホール、10 はシールリング、11 は抵抗膜を形成したスルーホールである。

【 0 0 1 9 】

次に、動作及び特性について説明する。図 3 のようにベース 7 の上に誘電体基板 8 a ~ 8 e を積層し表裏導通スルーホール 9 によってキャビティを形成する。また、出力端子（図中では省略）を設けてパッケージ内部に配置した半導体素子及び誘電体回路基板 4 と外部とを電氣的に接続する。さらにシールリング 10 とキャップ 3 とで封止することにより気密構造とする。抵抗膜を形成したスルーホール 11 は、表裏導通スルーホール 9 からキャビティの周囲方向に、信号周波数 F_0 の概略 $1/4$ 伝送波長の間隔 t をもって配置され、図 2 の曲線 d 1 および曲線 d 2 のように、このキャビティにおける共振を抑圧し、また空間伝播特性についても、高い空間アイソレーションを確保することができる。したがって、この半導体パッケージによると、キャビティ内部に高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。

20

【 0 0 2 0 】

実施の形態 3 .

図 4 は、この発明の実施の形態 3 を示す半導体パッケージの構成図であり、図において、3 はキャップ、4 は半導体素子及び誘電体回路基板、7 はベース、8 a ~ 8 e は積層してキャビティを構成する誘電体基板、9 は表裏導通スルーホール、10 はシールリング、11 は抵抗膜を形成したスルーホールである。

30

【 0 0 2 1 】

次に、動作及び特性について説明する。図 4 のようにベース 7 の上に誘電体基板 8 a ~ 8 e を積層し表裏導通スルーホール 9 によってキャビティを形成する。また、出力端子（図中では省略）を設けてパッケージ内部に配置した半導体素子及び誘電体回路基板 4 と外部とを電氣的に接続する。さらにシールリング 10 とキャップ 3 とで封止することにより気密構造とする。抵抗膜を形成したスルーホール 11 は、表裏導通スルーホール 9 からキャビティ方向及びキャビティの周囲方向の 2 方向に、信号周波数 F_0 の概略 $1/4$ 伝送波長の間隔 t をもって配置され、図 2 の曲線 d 1 および曲線 d 2 のように、このキャビティにおける共振を抑圧し、また空間伝播特性についても、高い空間アイソレーションを確保することができる。したがって、この半導体パッケージによると、キャビティ内部に高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。また、複数のキャビティが隣接した場合でも、キャビティの周囲方向に設けた、抵抗膜を形成したスルーホール 11 によって、隣接したキャビティへの信号の漏れ出しを抑圧することができる。

40

【 0 0 2 2 】

実施の形態 4 .

図 5 は、この発明の実施の形態 4 を示す半導体パッケージの構成図であり、3 はキャップ、4 は半導体素子及び誘電体回路基板、7 はベース、8 a ~ 8 e は積層してキャビティを構成する誘電体基板、9 は表裏導通スルーホール、10 はシールリング、11 は抵抗膜を

50

形成したスルーホールである。

【0023】

次に、動作及び特性について説明する。図5のようにベース7の上に誘電体基板8a~8eを積層し表裏導通スルーホール9によってキャビティを形成する。また、出力端子(図中では省略)を設けてパッケージ内部に配置した半導体素子及び誘電体回路基板4と外部とを電氣的に接続する。さらにシールリング10とキャップ3とで封止することにより気密構造とする。

抵抗膜を形成したスルーホール11は、表裏導通スルーホール9からキャビティ方向に、信号周波数F0の概略1/4伝送波長の間隔tをもって配置され、図2の曲線d1および曲線d2のように、このキャビティにおける共振を抑圧し、また空間伝播特性についても、高い空間アイソレーションを確保することができる。したがって、この半導体パッケージによると、キャビティ内部に高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。

10

【0024】

また、実施の形態1~3では、抵抗膜を形成した複数のスルーホール11によって囲まれる誘電体を含む空間の寸法により、新たに導波管伝送モード及び導波管共振モードが発生するため、共振が発生する可能性がある。しかし、本実施の形態4の半導体パッケージによると、抵抗膜を形成した複数のスルーホール11の長さが異なるため、この抵抗膜を形成した複数のスルーホール11によって囲まれる空間を形成せず、新たに導波管伝送モード及び導波管共振モードが発生しない。したがって、この半導体パッケージによると、キャビティにおける共振の抑圧、高い空間アイソレーションの確保が、より効果的に達成できる。

20

【0025】

【発明の効果】

第1の発明によれば、積層した誘電体基板内にキャビティを形成するために設ける複数の表裏導通スルーホールから、キャビティ方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことにより、キャビティ内寸法による共振を抑えることができ、空間伝播特性についても、高い空間アイソレーションを確保することができるため、高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。

30

【0026】

また、第2の発明によれば、積層した誘電体基板内にキャビティを形成するために設ける複数の表裏導通スルーホールから、キャビティの周囲方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことにより、キャビティ内寸法による共振を抑えることができ、空間伝播特性についても、高い空間アイソレーションを確保することができるため、高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。

【0027】

第3の発明によれば、積層した誘電体基板内にキャビティを形成するために設ける複数の表裏導通スルーホールから、キャビティ方向及びキャビティの周囲方向の2方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことにより、キャビティ内寸法による共振を抑えることができ、空間伝播特性についても、高い空間アイソレーションを確保することができるため、高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。また、複数のキャビティが隣接した場合でも、隣接したキャビティへの信号の漏れ出しを抑圧することができる。

40

【0028】

また、第4の発明によれば、積層した誘電体基板内にキャビティを形成するために設ける複数の表裏導通スルーホールから、キャビティ方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した長さの異なる複数のスルーホールを配置したことにより

50

、第 1 ～ 第 3 の発明よりも、効果的にキャビティ内寸法による共振を抑えることができ、空間伝播特性についても、高い空間アイソレーションを確保することができるため、高利得の半導体回路等を実装した場合でも、異常発振、破壊等を抑圧することが可能になる。

【図面の簡単な説明】

【図 1】 この発明による半導体パッケージの実施の形態 1 を示す図である。

【図 2】 この発明による半導体パッケージの特性を示す図である。

【図 3】 この発明による半導体パッケージの実施の形態 2 を示す図である。

【図 4】 この発明による半導体パッケージの実施の形態 3 を示す図である。

【図 5】 この発明による半導体パッケージの実施の形態 4 を示す図である。

【図 6】 従来の半導体パッケージの一例を示す図である。

【図 7】 従来の半導体パッケージの一例を示す図である。

【図 8】 従来の半導体パッケージの一例を示す図である。

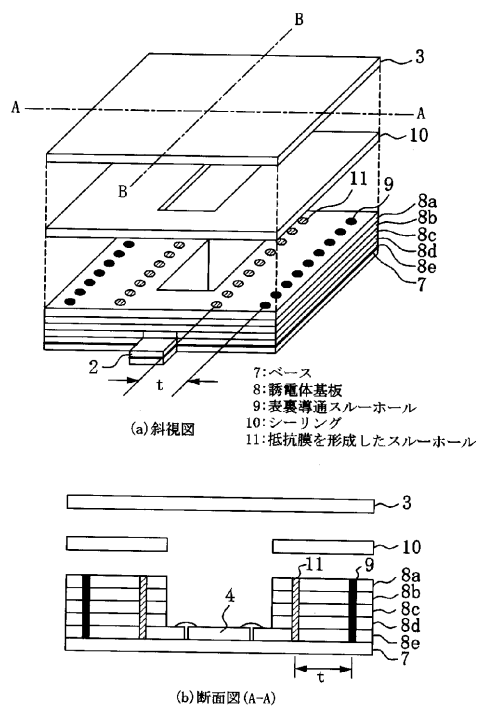
【図 9】 従来の半導体パッケージの特性を示す図である。

【符号の説明】

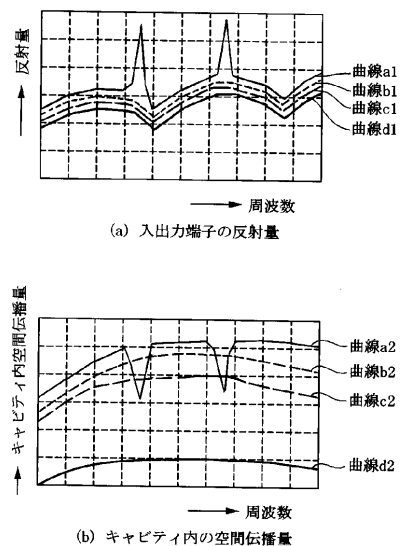
7 ベース、8 a 誘電体基板、8 b 誘電体基板、8 c 誘電体基板、8 d 誘電体基板、8 e 誘電体基板、9 表裏導通スルーホール、10 シールリング、11 抵抗膜を形成したスルーホール

10

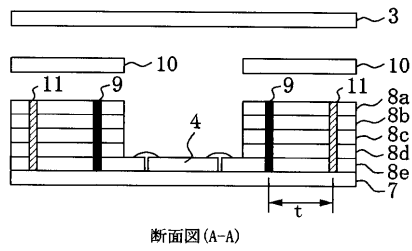
【図 1】



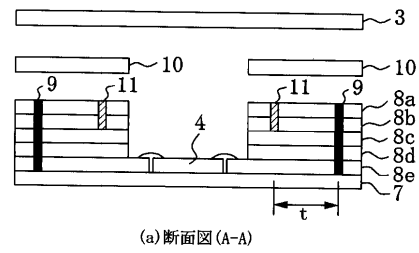
【図 2】



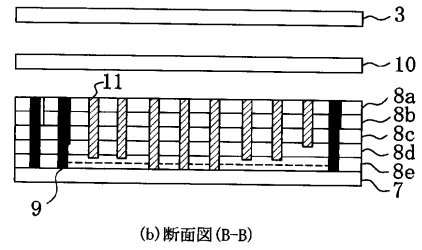
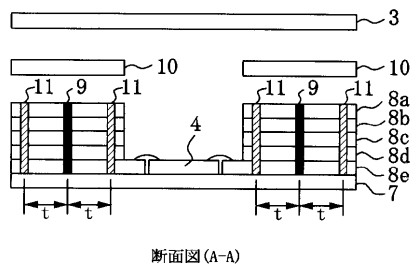
【図 3】



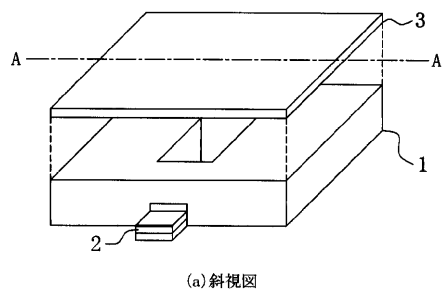
【図 5】



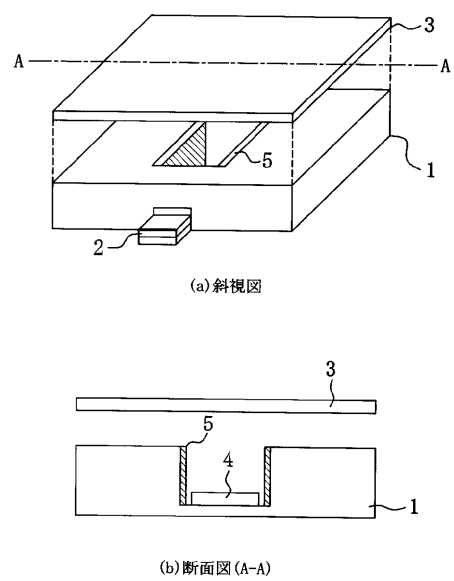
【図 4】



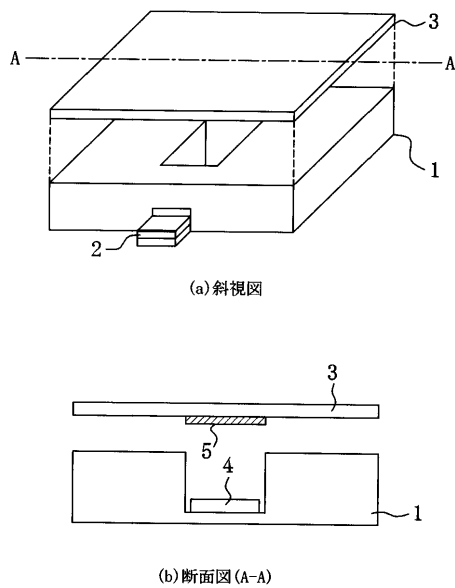
【図 6】



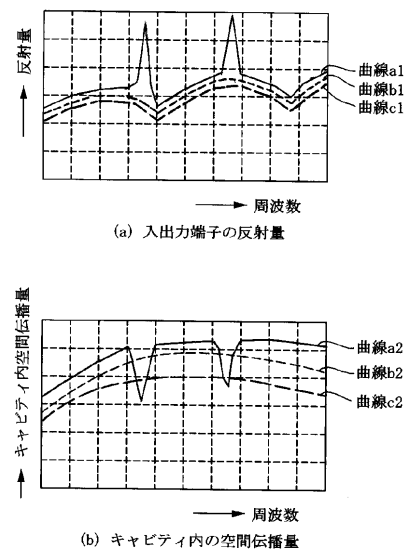
【図 7】



【 図 8 】



【 図 9 】



フロントページの続き

- (72)発明者 古屋 輝雄
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 坪田 吉弘
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 菅野 智子

- (56)参考文献 特開平11-260966(JP,A)
特開平09-321501(JP,A)
特開平05-063432(JP,A)
特開平11-136009(JP,A)
特開平06-188322(JP,A)
特開2001-144221(JP,A)
特開2001-024100(JP,A)
特開平03-253098(JP,A)
特開2000-164766(JP,A)
特開平09-191206(JP,A)
特開2001-185918(JP,A)
特開平11-186457(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H01L 23/04
H05K 9/00
H05K 3/46
H01P 1/04
H01P 3/02