

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-234822

(P2004-234822A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl.<sup>7</sup>

G 1 1 C 11/419

F I

G 1 1 C 11/34 3 1 1

テーマコード (参考)

5 B 0 1 5

審査請求 有 請求項の数 12 O L (全 9 頁)

(21) 出願番号 特願2004-1470 (P2004-1470)  
 (22) 出願日 平成16年1月6日 (2004.1.6)  
 (31) 優先権主張番号 10/355682  
 (32) 優先日 平成15年1月30日 (2003.1.30)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531  
 インターナショナル・ビジネス・マシー  
 ズ・コーポレーション  
 INTERNATIONAL BUSIN  
 ESS MACHINES CORPO  
 RATION  
 アメリカ合衆国10504 ニューヨーク  
 州 アーモンク ニュー オーチャード  
 ロード  
 (74) 代理人 100086243  
 弁理士 坂口 博  
 (74) 代理人 100091568  
 弁理士 市位 嘉宏  
 (74) 代理人 100108501  
 弁理士 上野 剛史

最終頁に続く

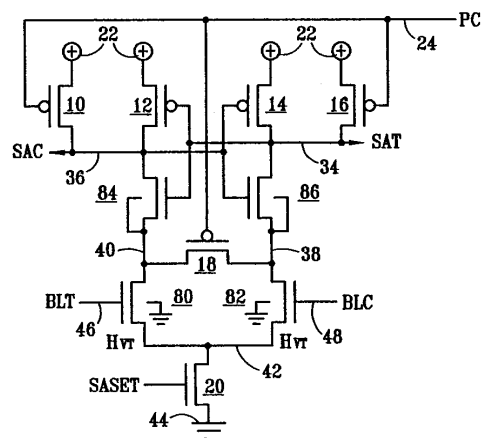
(54) 【発明の名称】 SOI センス・アンプ

(57) 【要約】

【課題】 SOI テクノロジ・センス・アンプから獲得された出力信号のタイミング遅延変動を低減させる装置および方法を提供する。

【解決手段】 クロス結合ラッチは、ボディがソースおよびドレインのうちの一方に接続されたボディ・コンタクトFET 84, 86を有し、スイッチング履歴効果を最小化し、入力FET 80, 82が通常のゲート・スイッチング電圧より高いゲート・スイッチング電圧を有すると同時に、入力信号感度を増加させる。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

SOI システムにおいて用いられるセンス・アンプであって、  
ラッチ・ノードを構成するボディ／ソース構成の一对のクロス結合並列インバータであって、それぞれがサイクルの異なる部分においてトリガされる一对のクロス結合並列インバータと、

一对の高スレショルド電圧 NFET 並列入力デバイスであって、それぞれが前記インバータのうちのそれぞれ異なる一方と相互接続される一对の高スレショルド電圧 NFET 並列入力デバイスと、を備えるセンス・アンプ。

## 【請求項 2】

10

一对の FET ラッチであって、それぞれのラッチが、ボディがソースおよびドレインのうちの一方と接続される少なくとも 1 つの FET を含む一对の FET ラッチと、

一对の高スレショルド電圧 FET 並列入力デバイスであって、それぞれが前記 FET ラッチのうちのそれぞれ異なる一方と相互接続される一对の高スレショルド電圧 FET 並列入力デバイスと、を備えるセンス・アンプ。

## 【請求項 3】

前記センス・アンプを作成する際に用いられる製造手法は SOI ベースであり、  
接続されたボディを有する前記ラッチ内の FET は NFET であり、前記ボディは前記ソースに接続される請求項 2 記載のセンス・アンプ。

## 【請求項 4】

20

前記高スレショルド電圧 FET 入力デバイスは NFET である請求項 2 記載のセンス・アンプ。

## 【請求項 5】

SOI テクノロジ・センス・アンプ内の入力デバイスの感度を上げる方法であって、  
入力 FET を作成し、ソース／ゲート電圧であって、前記ソース／ゲート電圧未満で前記入力 FET が導通しなくなるソース／ゲート電圧を、前記センス・アンプ内の他の FET と比べて上昇させる工程を含む方法。

## 【請求項 6】

一对の FET ラッチであって、それぞれのラッチが少なくとも 1 つのボディ・コンタクト・タイプ FET を有する一对の FET ラッチと、

30

一对のボディ・コンタクト FET 並列信号入力デバイスであって、それぞれが前記 FET ラッチのそれぞれ異なる一方と相互接続される一对のボディ・コンタクト FET 並列信号入力デバイスと、を備えるセンス・アンプ。

## 【請求項 7】

前記信号入力デバイスは、前記センス・アンプ内の他の FET より高いスレショルド電圧を有する請求項 6 記載のセンス・アンプ。

## 【請求項 8】

前記 FET ラッチのボディ・コンタクト FET は、それぞれ、ソースおよびドレイン端子部を有し、

前記 FET ラッチのボディ・コンタクト FET は、前記ソースおよびドレイン端子部のうちの一方と接続されたボディを有する請求項 6 記載のセンス・アンプ。

40

## 【請求項 9】

センス・アンプ内の入力信号履歴によるスイッチング遅延変動を低減させる方法であって、

フローティング・ボディ・テクノロジを用いて、前記センス・アンプの 2 つのラッチ部のそれぞれ内に少なくとも 1 つの FET を作る工程と、

前記少なくとも 1 つの FET のそれぞれのボディを、ソースおよびドレイン端子の一方へ電氣的に接続する工程と、を含む方法。

## 【請求項 10】

SOI テクノロジに従って作成された 2 重ラッチ部および入力信号部を有するセンス・

50

アンプであって、

前記入力信号部の一部を含むボディ・コンタクト構成入力信号 F E T と、

前記ラッチ部のそれぞれ内の少なくとも 1 つのボディ・コンタクト構成 F E T と、

前記ボディ・コンタクト構成 F E T のそれぞれのボディを、アース、それぞれの F E T のソース端子、およびそれぞれの F E T のドレイン端子のうちの 1 つに相互接続する電気的手段と、を備えるセンス・アンプ。

【請求項 1 1】

S O I テクノロジーに従って作成された 2 重ラッチ部および入力信号部を有するセンス・アンプであって、

前記入力信号部内に含まれた高スレシールド入力信号ボディ・コンタクト構成入力信号 F E T と、

前記ボディ・コンタクト構成 F E T のそれぞれのボディをアースに相互接続する電気的手段と、を備えるセンス・アンプ。

【請求項 1 2】

S O I テクノロジー・センス・アンプの利得を増加させる方法であって、

ボディ・コンタクト・デバイスの形態で入力 F E T を作成する工程と、

前記入力 F E T が高入力信号スレシールドを有するように前記入力 F E T のパラメータを調整する工程と、

前記入力 F E T のボディをアースに接続する工程と、を含む方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、S O I (silicon on insulator) センス・アンプ設計に関し、特に、クロック特性、センス履歴 (sense history) 特性およびローディング特性の向上に関する。

【背景技術】

【0 0 0 2】

典型的に、高密度、高性能 S R A M (静的 R A M) 信号状態検出回路設計は、記憶値の状態を検出する小信号センス・アンプに依存する。S R A M 設計者は、種々のアプローチを利用できる。S R A M 回路設計がバルク・テクノロジーから S O I テクノロジーへ移行した際に、センス・アンプ F E T (電界効果トランジスタ) が、センス・アンプ内部のセンス・デバイス間のマッチングを保持するためにボディ・コンタクトの追加を必要とした。

【0 0 0 3】

従来用いられたクロス結合インバータ (cross-coupled inverter) センス・アンプ・アプローチは、ビット線プリチャージ (precharge) とセンス・アンプ・タイミングとの同期を必要とする。

【0 0 0 4】

従来の S O I センス・アンプ回路設計アプローチは、小信号入力に対するゲート負荷を有するという点に限って利点を有していた。このアプローチは、また、小信号入力のプリチャージとセンス・アンプ自身の出力との間の異なるタイミングを可能にした。このようなアンプは、ラッチ・ノードで動作するクロス結合インバータを用いており、ラッチ・ノードは、プリチャージとサイクルの異なる部分においてトリガされる。当業者に知られているように、S O I F E T は、バルク・テクノロジー F E T とは対照的に、フローティング (接地されていない) ボディを典型的に有する。複数の論理 1 を受信するこのような F E T が一定方向にバイアスされ、そして論理 0 入力に反応するために典型的な F E T よりもはるかに長時間を必要とするという点において、F E T のフローティング・ボディは履歴 (history) 問題を生じさせる可能性がある。したがって高性能回路においてタイミングがクリティカルになる。

【0 0 0 5】

クリティカル F E T のボディをアースに接続する (ボディ・コンタクト F E T) ことによってこの履歴問題を最小化することを期待できる。一方、S O I F E T のボディを接

地する場合、信号入力に対する反応時間が減少する。さらに、このような回路において、センス・アンプのラッチ部分に対する履歴関連電圧増加は出力のタイミングに影響を与える（反応時間は電圧依存である）。加えて、接地されたボディ・コンタクト F E T は、接地されていない S O I F E T よりも低い入力信号感度を有する。

#### 【0006】

したがって、同期クロックを必要とせず、履歴問題に関連した可変遅延に対して比較的鈍感とすることができ、入力信号に対して従来の回路よりも高い感度を有するセンス・アンプを有することが望ましい。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

10

#### 【0007】

本発明は、高スレショルド入力電圧 F E T と組み合わせて接地ボディ F E T を用いて改良されたセンス・アンプを提供する。

#### 【発明を実施するための最良の形態】

#### 【0008】

図1において、複数のP型またはPチャネルFET（電界効果トランジスタ）10, 12, 14, 16, および18が示される。これらの指示されたFETのそれぞれ、そして図内の残りのFETは、それぞれソース端子およびドレイン端子を示す符号“s”および“d”を有する。FET10, 12, 14, および16は、それぞれ、22として示された正電圧に接続された自身のソース端子を有する。FET10, 16および18のそれぞれのゲートは、PC（プリチャージ）信号を供給するリード線24へ接続される。この信号は、PC（プリチャージ）信号として示されるものと同一とすることができ、PC信号の波形図が図2にさらに示される。

20

#### 【0009】

N型FET20のゲートへ供給される図2のSASET（センス・アンプSET）信号を有するN型FET20が示される。さらに、N型またはNチャネルFETトランジスタが26, 28, 30, および32と符号付される。当業者に知られているように、P型FETは閉スイッチとして動作する。すなわち言い換えれば、ゲート端子がソースに対してローまたは負電位であるときに、ターンONしてソースからドレインへ電流が流れるのを可能にする。ゲート電位が正またはソースと同じとき、FETはOFFになる。すなわち言い換えれば、電気を導通しない。他方、N型FETは閉スイッチまたはONスイッチとして動作し、ゲート端子がソースに対してハイまたは正のときに、そこを通しての電流の流れを可能にする。SAT（センス・アンプ真）としてさらに符号付される出力リード線34は、FET14および16のドレイン、FET28のドレイン、そしてFET12および26のゲートへ接続される。SAC（センス・アンプ補数）としてさらに符号付される出力リード線36は、FET10および12のドレイン、FET26のドレイン、そしてFET14および28のゲートへ接続される。リード線38はFET28のソースおよびFET32のドレインへ接続される。リード線40はFET26のソースおよびFET30のドレインへ接続される。FET18のソース・リードおよびドレイン・リードは、リード線38および40の間に接続される。リード線42は、FET30および32のソースをFET20のドレインへ相互接続する。FET20のソースは、アースまたは基準電位44へ接続される。FET12および26, そして14および28は物理的に相互接続されて商業的に入手可能なCMOS（相補形MOS）FETと同様に動作する。FET30のゲートは46と符号付けされ、そして一組のメモリ・セルのうちのメモリ・セルの論理値が検出されている1つのメモリ・セルからのBLT（ビット線真）信号を受信する。FET32のゲートは48と符号付され、同じメモリ・セルからのBLC（ビット線補数）信号を受信する。

30

40

#### 【0010】

図2において、既に上述した複数の波形が、ハイおよびロー電位値を表す頭文字の符号HおよびLと共に示される。関連した波形信号において同一の時点を示す2本の垂直破線

50

も示される。

#### 【0011】

図3および4において、同一の符号が用いられ、例えば、構成要素は図1のものと同一であってもよい。図示するように、FET70は信号BLTを受信する。FET70に関する記号は、ボディがアースへ接続され、多くの場合接地ボディ・コンタクトFETと呼ばれる構成を表す。同種のボディ・コンタクトFET72がBLC信号を受信する。図1のFET26および28は、図3において、接地ボディ・コンタクトFET74および76によって置き換えられる。

#### 【0012】

図4において、図3に対するさらなる改良は、FET70および72を $H_{vt}$ （高スレシ  
ョルド電圧）FET80および82で置き換える。高スレシヨルド電圧を備えるN型FETは、典型的なN型FETの場合よりも大きいソース／ゲート電圧でターンON（またはOFF）し始める。さらに、図3のFET74および76は、図4においてFET84および86で置き換えられている。FET84および86のそれぞれは、FETのソース・リード線に接続されたボディを有する。このタイプのコンタクトは、これらのFETを相互接続するプリチャージP型FET18によってこれらのFET間の履歴効果を等化しながら、FETのボディがフロートするのを可能にする。

#### 【0013】

動作時に、図のそれぞれで示されたタイプのセンス・アンプ回路は、メモリ・セル論理値から取得された入力BLTおよびBLC間で与えられる差動電圧に反応する。PCがハイになる時点の前に、FET26, 28, 30, および32（そして図3および4においてこれらに対応するFET）は、それらが敏速にターンONできる状態にプリチャージされる。SASET（およびPC）がハイになるとき、BLTおよびBLCを受信するように接続されたFETを通して電流が流れ始める。図示するように、BLTは、SASETがハイになる時にBLCよりも低い入力電圧を有する。したがって、FET30はFET32より少ない電流を導通することとなる。結果として、FET28がリード線34をプルダウンするのと同程度に強く、FET26がリード線36（SAC）をプルダウンすることはない。

#### 【0014】

図2に示すように、最初に、SATおよびSAC双方が落ち込むが、SATがより速く落ち込むことになる。電圧SATが落ち込むにつれて、FET26を閉じ始め、FET20に供給されている電流をより多くし、SATリード線をさらにいっそう強くプルダウンする。FET26がOFFになるとき、FET12がターンONし、リード線36をハイレベルまで引き戻す。2つのP型FET10および16は信号増幅に関与しないが、リード線34および36をプリチャージして次のアクセスの開始時における良好な“up”レベルを保証するために用いられる。様々な図に示すこのタイプのセンス・アンプは、入力信号FET30および32の電流調整能力に依存する。一方、上述したように、入力FETのフローティング・ボディは、入力FETが連続した複数の論理1を受信する場合に、FETのボディが一定方向に典型的にバイアスされるという点で、履歴問題を生じさせる可能性がある。このボディ電圧バイアスは、入力FETが論理0入力に対して反応するために典型的なFETよりもはるかに長い時間を生じさせる。入力信号および出力信号間のこのような遅延の変動は、これらの出力信号を利用する確かな動作の下流回路にとって有害である。

#### 【0015】

図3に示すように、FET70, 72, 74, および76のそれぞれのボディを接地することにより、遅延変動を低減させる。というのは、ボディが履歴電圧を生じさせ得ないからである。一方、図3に示すようにFETのボディの接地は、バルク・テクノロジーを用いる場合よりもほんのわずかに多く回路の利得を減少させる。

#### 【0016】

図4において認められるように、図3の実施例に対して2つの改良が成されている。第

1 番目は、F E T 8 4 および 8 6 がアースでなくてソースに接続されたボディを有するということである。これは、ボディがソース端子と同電位でフロートし、利得を図 1 の利得まで戻すことを可能にする。一方、等化 F E T 1 8 の動作により、履歴問題が除かれ、入力に対応する出力のスイッチング時の遅延変動を最小化する。第 2 番目の改良は、入力信号 B L T および B L C を受信するための高スレショルド電圧 F E T を用いる点にある。したがって、たとえばボディを接地しても、その効果が F E T のスイッチ点を初期のプリチャージ電圧の近くに引き上げることになる。というのは、スイッチング動作がより迅速に行われ、回路の利得を効果的に高めるからである。周知のように、高スレショルド電圧はこれら 2 つの F E T 間で必要な差動オーバードライブ率 (percentage difference overdrive) を減少させ、電流のより大きいレギュレーションを与える。さらに、高いスレショルド電圧はこれら 2 つの F E T の最大電流容量を減らすことになるので、デバイスの物理的  
10  
大きさを適切に増大させることが望ましい。分析により、一定の信号に関しては、図 4 の回路とのミスマッチを克服するために、図 3 の回路より小さい小信号が必要であることが示された。

#### 【0017】

入力信号を受信する N 型 F E T を用いて本発明を説明してきたが、含まれる F E T のそれぞれに対して逆のタイプを用いて本発明を実施することもできることに留意されたい。言い換えれば、N 型 F E T を P 型 F E T で置き換えるおよびその逆である。このような行為は、接地センス記憶素子 (ground sensed storage element) の検出を試みるときに必要とされるであろう。  
20

#### 【0018】

さらに、S O I テクノロジに関して本発明を説明したが、上述した改良は、他のフローティング・ボディ F E T 構成に等しく適用できるものである。

#### 【0019】

まとめとして、本発明の構成に関して以下の事項を開示する。

(1) S O I システムにおいて用いられるセンス・アンプであって、ラッチ・ノードを構成するボディ／ソース構成の一对のクロス結合並列インバータであって、それぞれがサイクルの異なる部分においてトリガされる一对のクロス結合並列インバータと、一对の高スレショルド電圧 N F E T 並列入力デバイスであって、それぞれが前記インバータのうちのそれぞれ異なる一方と相互接続される一对の高スレショルド電圧 N F E T 並列入力デバイスと、を備えるセンス・アンプ。  
30

(2) 一对の F E T ラッチであって、それぞれのラッチが、ボディがソースおよびドレインのうちの一方と接続される少なくとも 1 つの F E T を含む一对の F E T ラッチと、一对の高スレショルド電圧 F E T 並列入力デバイスであって、それぞれが前記 F E T ラッチのうちのそれぞれ異なる一方と相互接続される一对の高スレショルド電圧 F E T 並列入力デバイスと、を備えるセンス・アンプ。

(3) 前記センス・アンプを作成する際に用いられる製造手法は S O I ベースであり、接続されたボディを有する前記ラッチ内の F E T は N F E T であり、前記ボディは前記ソースに接続される上記 (2) 記載のセンス・アンプ。

(4) 前記高スレショルド電圧 F E T 入力デバイスは N F E T である上記 (2) 記載のセンス・アンプ。  
40

(5) S O I テクノロジ・センス・アンプ内の入力デバイスの感度を上げる方法であって、入力 F E T を作成し、ソース／ゲート電圧であって、前記ソース／ゲート電圧未満で前記入力 F E T が導通しなくなるソース／ゲート電圧を、前記センス・アンプ内の他の F E T と比べて上昇させる工程を含む方法。

(6) 一对の F E T ラッチであって、それぞれのラッチが少なくとも 1 つのボディ・コンタクト・タイプ F E T を有する一对の F E T ラッチと、一对のボディ・コンタクト F E T 並列信号入力デバイスであって、それぞれが前記 F E T ラッチのそれぞれ異なる一方と相互接続される一对のボディ・コンタクト F E T 並列信号入力デバイスと、を備えるセンス・アンプ。  
50

(7) 前記信号入力デバイスは、前記センス・アンプ内の他の F E T より高いスレシヨルド電圧を有する上記 (6) 記載のセンス・アンプ。

(8) 前記 F E T ラッチのボディ・コンタクト F E T は、それぞれ、ソースおよびドレイン端子部を有し、前記 F E T ラッチのボディ・コンタクト F E T は、前記ソースおよびドレイン端子部のうちの一方と接続されたボディを有する上記 (6) 記載のセンス・アンプ。

(9) センス・アンプ内の入力信号履歴によるスイッチング遅延変動を低減させる方法であって、フローティング・ボディ・テクノロジーを用いて、前記センス・アンプの 2 つのラッチ部のそれぞれ内に少なくとも 1 つの F E T を作る工程と、前記少なくとも 1 つの F E T のそれぞれのボディを、ソースおよびドレイン端子の一方へ電氣的に接続する工程と、を含む方法。 10

(10) S O I テクノロジーに従って作成された 2 重ラッチ部および入力信号部を有するセンス・アンプであって、前記入力信号部の一部を含むボディ・コンタクト構成入力信号 F E T と、前記ラッチ部のそれぞれ内の少なくとも 1 つのボディ・コンタクト構成 F E T と、前記ボディ・コンタクト構成 F E T のそれぞれのボディを、アース、それぞれの F E T のソース端子、およびそれぞれの F E T のドレイン端子のうちの 1 つに相互接続する電氣的手段と、を備えるセンス・アンプ。

(11) S O I テクノロジーに従って作成された 2 重ラッチ部および入力信号部を有するセンス・アンプであって、前記入力信号部内に含まれた高スレシヨルド入力信号ボディ・コンタクト構成入力信号 F E T と、前記ボディ・コンタクト構成 F E T のそれぞれのボディをアースに相互接続する電氣的手段と、を備えるセンス・アンプ。 20

(12) S O I テクノロジー・センス・アンプの利得を増加させる方法であって、ボディ・コンタクト・デバイスの形態で入力 F E T を作成する工程と、前記入力 F E T が高入力信号スレシヨルドを有するように前記入力 F E T のパラメータを調整する工程と、前記入力 F E T のボディをアースに接続する工程と、を含む方法。

【図面の簡単な説明】

【0020】

【図1】従来のセンス・アンプの回路図である。

【図2】回路図の動作の説明と共に用いられる一組の波形を含む図である。

【図3】図1のセンス・アンプの改良に向けての最初の試みの回路図である。 30

【図4】本発明に係るセンス・アンプの好適な実施形態の回路図である。

【符号の説明】

【0021】

10, 12, 14, 16, 18 P 型 F E T

20, 26, 28, 30, 32 N 型 F E T

22 正電圧

24, 34, 36, 38, 40, 42 リード線

44 アース

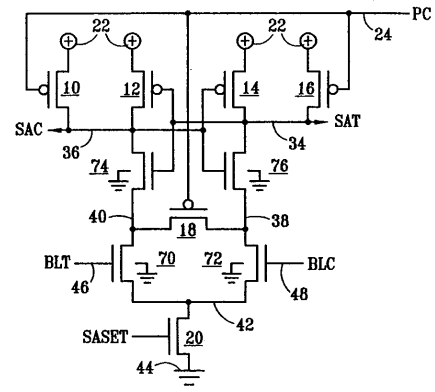
46, 48 ゲート

70, 72, 74, 76 接地ボディ・コンタクト F E T 40

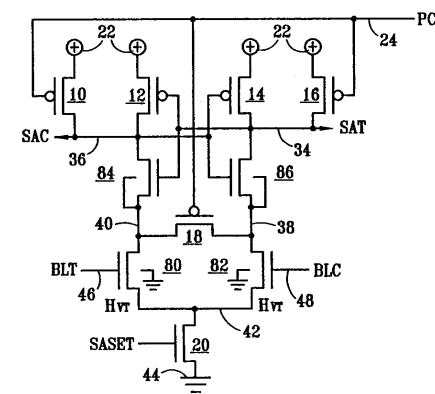
80, 82 高スレシヨルド電圧 F E T

84, 86 ボディ・コンタクト F E T

【 図 3 】



【 図 4 】



---

フロントページの続き

(72)発明者 アンソニー・ガス・エイッパースペイシュ  
アメリカ合衆国 55906 ミネソタ州 ロチェスター エヌイー サミット ディーアール  
2001

Fターム(参考) 5B015 HH01 JJ24 KB12 KB13 QQ03 QQ13