【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成20年4月24日(2008.4.24)

【公開番号】特開2007-195254(P2007-195254A)
【公開日】平成19年8月2日(2007.8.2)
【年通号数】公開・登録公報2007-029
【出願番号】特願2007-105344(P2007-105344)
【国際特許分類】
Ｈ０４Ｌ　7/04　(2006.01)
Ｈ０３Ｌ　7/081　(2006.01)
【ＦＩ】
Ｈ０４Ｌ　7/04　Ｂ
Ｈ０３Ｌ　7/08　Ｊ

【手続補正書】
【提出日】平成20年3月12日(2008.3.12)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
プログラム可能な数を受信する制御回路と、
該プログラム可能な数の入力信号をパラレルに受信する入力回路と、
該プログラム可能な数の入力信号を順次シリアルに示す出力信号を生成する出力回路とを備えている、プログラム可能なシリアライザ回路。
【請求項２】
前記出力信号は、第１のクロックレートを有する第１のクロック信号と同期しており、
前記回路は、
プログラム可能なファクタによって該クロックレートを除算することにより、入力信号を示す情報が前記入力回路から前記出力回路にパラレルに通過するタイミングのための第２のクロック信号を生成するクロックレート除算回路をさらに備えている、請求項１に記載のプログラム可能なシリアライザ回路。
【請求項３】
前記ファクタは、前記プログラム可能な数と等しくなるようにプログラム可能である、請求項２に記載のプログラム可能なシリアライザ回路。
【請求項４】
前記入力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量以下の任意の整数値にプログラム可能である、請求項１に記載のプログラム可能なシリアライザ回路。
【請求項５】
前記レジスタステージは、前記入力信号をパラレルに格納する、請求項４に記載のプログラム可能なシリアライザ回路。
【請求項６】
前記レジスタステージは、前記入力信号を示す情報を前記出力回路にパラレルにさらに出力する、請求項５に記載のプログラム可能なシリアライザ回路。
【請求項７】
前記出力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量

以下の任意の整数値にプログラム可能である、請求項１に記載のプログラム可能なシリアライザ回路。

【請求項８】

前記レジスタステージは、前記入力信号を示す、前記入力回路からの情報をパラレルに格納する、請求項７に記載のプログラム可能なシリアライザ回路。

【請求項９】

前記出力回路は、前記レジスタステージから情報を順次所定のシリーズでさらに出力する、請求項８に記載のプログラム可能なシリアライザ回路。

【請求項１０】

請求項１に記載のプログラム可能なシリアライザ回路と、

入力信号を供給するプログラム可能なロジック回路と

を備えている、プログラム可能なシステム。

【請求項１１】

プログラム可能な数を受信する制御回路と、

情報の複数のビットを示す入力信号を順次シリアルに受信し、該複数のビットのうちの該プログラム可能な数の連続するビットを格納する入力回路と、

該プログラム可能な数の出力信号をパラレルに生成する出力回路と

を備えており、

該プログラム可能な数の出力信号のそれぞれは、該入力回路によって格納されている該ビットのそれぞれを示している、プログラム可能なデシリアライザ回路。

【請求項１２】

前記入力信号は、第１クロックレートを有する第１のクロック信号と同期しており、前記回路は、

プログラム可能なファクタによって該クロックレートを除算することにより、該入力回路によって格納されている前記ビットを示す情報が前記入力回路から前記出力回路にパラレルに通過するタイミングのための第２のクロック信号を生成するクロックレート除算回路をさらに備えている、請求項１１に記載のプログラム可能なデシリアライザ回路。

【請求項１３】

前記ファクタは、前記プログラム可能な数と等しくなるようにプログラム可能である、請求項１２に記載のプログラム可能なデシリアライザ回路。

【請求項１４】

前記入力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量以下の任意の整数値にプログラム可能である、請求項１１に記載のプログラム可能なデシリアライザ回路。

【請求項１５】

前記レジスタステージのそれぞれは、前記ビットのうちの１つを格納する、請求項１４に記載のプログラム可能なデシリアライザ回路。

【請求項１６】

前記レジスタステージは、該レジスタステージに格納されているビットを示す情報を前記出力回路にパラレルにさらに出力する、請求項１５に記載のプログラム可能なデシリアライザ回路。

【請求項１７】

前記出力回路は、所定の複数量のレジスタステージを備えており、前記数は、該複数量以下の任意の整数値にプログラム可能である、請求項１１に記載のプログラム可能なデシリアライザ回路。

【請求項１８】

前記レジスタステージは、前記入力回路によって格納されているビットを示す、該入力回路からの情報をパラレルに格納する、請求項１７に記載のプログラム可能なデシリアライザ回路。

【請求項１９】

前記出力回路は、前記レジスタステージから情報をパラレルにさらに出力する、請求項１８に記載のプログラム可能なデシリアライザ回路。

【請求項２０】

請求項１１に記載のプログラム可能なデシリアライザ回路と、

出力信号を受信するプログラム可能なロジック回路と

を備えている、プログラム可能なシステム。

【請求項２１】

ＣＤＲ信号を生成し、送信する装置であって、

データ情報とＰＬＤクロック信号とを生成するように構成されたＰＬＤ回路と、

基準クロック信号を受信するように構成された入力回路と、

該ＰＤＬクロック信号に関連付けられたクロックレジームと該基準クロック信号に関連付けられた異なるクロックレジームとの間において該データ情報をバッファリングするように構成されたバッファ回路であって、該クロックレジームは、異なる周波数を有している、バッファ回路と、

該基準クロック信号を用いて、該データ情報と該基準クロック信号に関連する周波数を有する埋め込まれたクロック信号とを含む該ＣＤＲ信号を生成するように構成された出力回路と

を備えた、装置。

【請求項２２】

前記ＰＬＤ回路、前記入力回路および前記出力回路のすべてが、単一の集積回路デバイスに集積されている、請求項２１に記載の装置。

【請求項２３】

前記入力回路は、位相同期ループ回路を含む、請求項２１に記載の装置。

【請求項２４】

前記位相同期ループ回路は、動作パラメータに対してプログラム可能である、請求項２３に記載の装置。

【請求項２５】

前記位相同期ループ回路は、プログラム可能なパワーダウン信号に応答してパワーダウンするように構成されている、請求項２３に記載の装置。

【請求項２６】

前記出力回路は、前記データ情報をパラレル形式からシリアル形式に変換するように構成されたシリアライザ回路を含む、請求項２１に記載の装置。

【請求項２７】

前記シリアライザ回路は、動作パラメータに対してプログラム可能である、請求項２６に記載の装置。

【請求項２８】

前記入力回路および前記出力回路のうちの少なくとも１つは、この少なくとも１つの回路の動作状態を示す状態監視信号を前記ＰＬＤ回路に付与するように構成されている、請求項２１に記載の装置。

【請求項２９】

前記入力回路および前記出力回路のうちの少なくとも１つは、前記ＰＬＤ回路によって選択的に生成されるリセット信号によってリセットされる構成要素を含む、請求項２１に記載の装置。

【請求項３０】

前記ＰＬＤ回路は、前記データ情報と同期する非ＣＤＲクロック信号を生成するようにさらに構成されており、前記出力回路は、代替的な使用のために該非ＣＤＲクロック信号とパラレルに該データ情報を非ＣＤＲ形式で出力するようにさらに構成されている、請求項２１に記載の装置。

【請求項３１】

前記出力回路は、前記非ＣＤＲクロック信号を周波数スケールされた形式で出力する前

に、該非ＣＤＲクロック信号を所定のスケールファクタによって選択的に周波数スケールするようにさらに構成されている、請求項３０に記載の装置。
【請求項３２】
前記出力回路は、前記スケールファクタに対してプログラム可能である、請求項３１に記載の装置。
【請求項３３】
前記非ＣＤＲ形式のデータ情報は、ＬＶＤＳ信号である、請求項３０に記載の装置。