世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 **H01L 25/065, 23/32**	**A1**	(11) 国際公開番号	**WO00/14802**
		(43) 国際公開日	2000年3月16日(16.03.00)

(21) 国際出願番号 PCT/JP99/04785

(22) 国際出願日 1999年9月3日(03.09.99)

(30) 優先権データ
特願平10/272613 1998年9月9日(09.09.98) JP

(71) 出願人（米国を除くすべての指定国について）
セイコーエプソン株式会社
(SEIKO EPSON CORPORATION)[JP/JP]
〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP]
〒392-8502 長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内 Nagano, (JP)
(74) 代理人
井上 一, 外(INOUE, Hajime et al.)
〒167-0051 東京都杉並区荻窪5丁目26番13号
荻窪TMビル2階 Tokyo, (JP)

(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

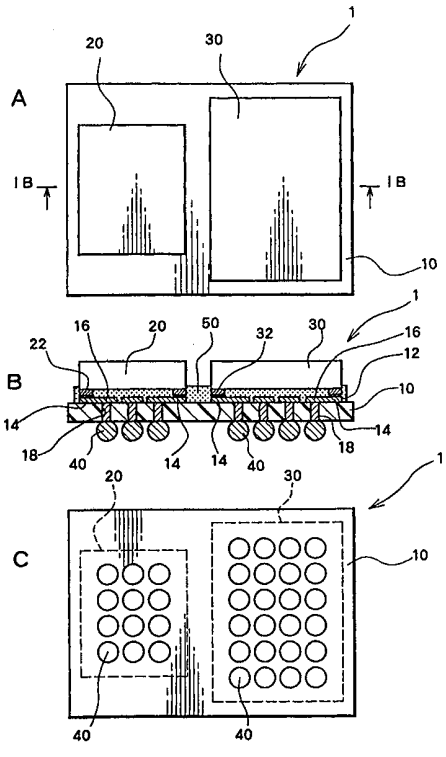
添付公開書類
国際調査報告書

(54)Title: **SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE**

(54)発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器

(57) Abstract

A semiconductor device comprises a plurality of semiconductor elements (20, 30) having electrodes (22, 32) and arranged in the same plane; a substrate (10) having wiring patterns (12) including bonding parts (14) connected with the electrodes (22, 32) of the semiconductor elements (20, 30) and lands (16) connected with the bonding parts (14); and external electrodes (40) provided on the land and connected with the electrodes (22, 32) through the wiring patterns (12).



(57)要約

半導体装置は、電極（２２、３２）を有して平面方向に並べられる複数の半導体素子（２０、３０）と、半導体素子（２０、３０）の電極（２２、３２）が接合されるボンディング部（１４）と、ボンディング部（１４）に接続されるランド部（１６）と、を有する配線パターン（１２）が形成された基板（１０）と、ランド部（１６）に設けられ、配線パターン（１２）を介して電極（２２、３２）に接続される外部電極（４０）と、を含む。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦
AL アルバニア
AM アルメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA ボズニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルギナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ
CG コンゴー
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CR コスタ・リカ
CU キューバ
CY キプロス
CZ チェッコ
DE ドイツ
DK デンマーク
DM ドミニカ
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GW ギニア・ビサオ
GR ギリシャ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国
KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MA モロッコ
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュー・ジーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シエラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴー
TJ タジキスタン
TZ タンザニア
TM トルクメニスタン
TR トルコ
TT トリニダッド・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴィェトナム
YU ユーゴースラビア
ZA 南アフリカ共和国
ZW ジンバブエ

明　細　書

半導体装置及びその製造方法、回路基板並びに電子機器

［技術分野］

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

［背景技術］

近年の電子機器の小型化に伴い、複数の半導体チップを高密度に組み込んだマルチチップモジュールの開発が進められている。また、マルチチップモジュールによれば、既存の複数の半導体チップを使用することができるので、新規の集積回路を設計するよりもコストの引き下げが可能になる。

しかしながら、これまでのマルチチップモジュールでは、ワイヤボンディングによって、基板の配線パターンと、半導体チップの電極とが接続されていた。したがって、配線パターンに、ワイヤとのボンディングパッドが必要となるため、基板の面積が大きくなって、パッケージの小型化の要求に十分に応えることができていなかった。

本発明は、この問題点を解決するものであり、その目的は、複数の半導体素子が高密度に組み込まれた小型の半導体装置及びその製造製造、回路基板並びに電子機器を提供することにある。

［発明の開示］

（１）本発明に係る半導体装置は、電極を有して平面方向に並べられてフェースダウンボンディングされる複数の半導体素子と、

前記半導体素子の前記電極が接続されるボンディング部と、前記ボンディング部に電気的に接続しているランド部と、を有する配線パターンが形成された基板と、

前記ランド部に設けられる外部電極と、

を含む。

本発明によれば、複数の半導体素子が平面方向に並べられて基板に搭載され、各半導体素子はフェースダウンボンディングされる。したがって、半導体素子の領域内でボンディングが行われるので、基板の面積を必要最低限に小さくすることができる。その結果、半導体装置の小型化が可能になる。

（２）この半導体装置において、

それぞれの前記外部電極は、前記半導体素子の搭載領域内に設けられてもよい。

これによれば、それぞれの半導体素子の電極に対応して、それぞれの半導体素子に対応する領域内に外部電極が設けられる。

（３）この半導体装置において、

全ての前記外部電極は、全ての前記半導体素子に対応する領域の外側に設けられてもよい。

こうすることで、基板の外周端部に外部電極を配列することができる。

（４）この半導体装置において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域よりも大きく形成され、外周端部に平坦保持部材が設けられてもよい。

こうすることで、フレキシブル基板を使用しても、平坦保持部材によって、外部電極の高さの平坦性（コプラナリティ）を確保することができる。

（５）この半導体装置において、

全ての前記外部電極は、いずれか１つの前記半導体素子のみに対応する領域内に設けられてもよい。

これによれば、いずれか１つの半導体素子に対応する領域内に全ての外部電極が設けられ、それ以外の半導体素子に対応する領域内には外部電極が設けられない。

（６）この半導体装置において、

前記基板は、フレキシブル基板であって一部が曲げられて、

前記外部電極が設けられる領域に対応する前記１つの半導体素子における前記電極が形成された面とは反対側の面に、残りの半導体素子のうちの少なくとも１

つにおける前記電極が形成された面とは反対側の面が接着されてもよい。

これによれば、半導体素子の上に他の半導体素子が接着されるので、半導体装置の平面方向のサイズを小さくすることができる。

（７）この半導体装置において、

前記基板は、曲げられる領域に沿って少なくとも１つの穴が形成されてもよい。

このように、基板に穴を形成しておくことで、基板の弾力を小さくして曲げられた状態を維持しやすくなる。

（８）この半導体装置において、

前記穴は、曲げ線に沿って延びる長穴であり、

前記配線パターンは、前記穴上を通って形成され、

前記長穴の、前記曲げ線に沿って延びる辺が、外形端の一部となっていてもよい。

これによれば、長穴の辺によって半導体装置の外形端の一部が形成されるので、端部の位置を正確に決めることができる。

（９）この半導体装置において、

複数の前記穴が形成され、

前記配線パターンは、前記複数の穴上を通って形成され、

前記複数の穴は、曲げ線に沿って延びる長穴であって、並列して形成されていてもよい。

こうすることで、基板を曲げやすくなる。

（１０）この半導体装置において、

前記基板は、曲げられる領域に沿ってスリットが形成され、

前記スリットによって、基板が切断されてなり、対向する切断端部間に間隔があけられていてもよい。

こうすることで、切断された基板を一体的なものととらえた場合に、この基板を容易に曲げることができる。

（１１）この半導体装置において、

前記スリットを掛け渡す接続部材が設けられていてもよい。

これによれば、接続部材によって、基板の曲げられた部分が補強される。

（１２）この半導体装置において、

前記穴を介して、前記配線パターン上に柔軟性を有する樹脂が設けられ、

前記樹脂が前記基板とともに曲げられていてもよい。

これによれば、樹脂によって、基板の曲げられた部分が補強される。

（１３）この半導体装置において、

導電性又は熱伝導性の接着剤を介して、前記半導体素子が接着されてもよい。

導電性の接着剤を使用すれば、接着される半導体素子の表面の電位を同じにすることができ、熱伝導性の接着剤を使用すれば、発熱量の大きい半導体素子の熱を発熱量の小さい半導体素子に伝えることで冷却が可能になる。

（１４）この半導体装置において、

前記半導体素子のうちの一つは、残りの半導体素子よりも平面積が大きく形成され、

前記外部電極は、前記平面積の大きい半導体素子に対応した領域にのみ設けられてもよい。

こうすることで、半導体素子の平面積の超えない範囲で外部電極を設ける領域を最も広く確保することができる。

（１５）この半導体装置において、

前記半導体素子の電極は、接着剤に導電粒子が分散されてなる異方性導電材料を介して前記ボンディング部に接続されてもよい。

これによれば、異方性導電材料によってボンディング部と電極とを電気的に導通させるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。

（１６）本発明に係る半導体装置の製造方法は、複数のボンディング部と、前記ボンディング部に電気的に接続される複数のランド部と、を有する配線パターンが形成された基板と、電極を有する複数の半導体素子と、を用意する工程と、

少なくとも前記ボンディング部上に、接着剤に導電粒子が分散されてなる異方性導電材料を設ける工程と、

前記異方性導電材料における前記ボンディング部上に前記電極を位置合わせして、前記半導体素子を前記基板の上に載せる工程と、

前記半導体素子と前記基板との少なくともいずれか一方を押圧して、前記導電粒子を介して、前記ボンディング部と前記電極とを電気的に接続する工程と、

前記ランド部に外部電極を形成する工程と、

を含む。

本発明によれば、複数の半導体素子を基板に搭載して、各半導体素子の電極とボンディング部とをフェースダウンボンディングする。したがって、半導体素子の領域内でボンディングを行うので、基板の面積を必要最低限に小さくすることができる。その結果、半導体装置の小型化が可能になる。

また、異方性導電材料によってボンディング部と電極とを電気的に導通させるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。

（１７）この方法において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域よりも大きく形成され、

前記基板の外周端部に平坦保持部材を設ける工程を含んでもよい。

こうすることで、フレキシブル基板を使用しても、外部電極の高さの平坦性（コプラナリティ）を確保することができる。全ての外部電極を、全ての半導体素子に対応する領域の外側に設ける場合には、平坦保持部材の貼り付けられた領域に外部電極を設けることができる。

（１８）この方法において、

前記半導体素子を前記基板の上に載せる工程の後に、前記基板の一部を曲げて、いずれか１つの前記半導体素子における前記電極が形成された面とは反対側の面に、他の１つの前記半導体素子における前記電極が形成された面とは反対側の面を接着する工程を含んでもよい。

これによれば、半導体素子の上に他の半導体素子を接着するので、半導体装置の平面方向のサイズを小さくすることができる。

（１９）この製造方法において、

前記基板は、曲げられる領域に沿って少なくとも１つの穴が形成されてもよい。

このように、基板に穴を形成しておくことで、基板の弾力を小さくして曲げやすくすることができる。

（２０）本発明に係る回路基板には、上記半導体装置が実装される。

（２１）本発明に係る電子機器は、上記回路基板を有する。

[図面の簡単な説明]

図１Ａ～図１Ｃは、本発明を適用した第１の実施の形態に係る半導体装置を示す図である。

図２Ａ～図２Ｃは、本発明を適用した第２の実施の形態に係る半導体装置を示す図である。

図３Ａ～図３Ｃは、本発明を適用した第３の実施の形態に係る半導体装置を示す図である。

図４は、本発明を適用した第３の実施の形態の変形例を示す図である。

図５は、本発明を適用した第４の実施の形態に係る半導体装置を示す図である。

図６Ａ～図６Ｃは、本発明を適用した第４の実施の形態に係る半導体装置の展開図である。

図７は、本発明を適用した第５の実施の形態に係る半導体装置の展開図である。

図８は、本発明を適用した第６の実施の形態に係る半導体装置の展開図である。

図９は、本発明を適用した第７の実施の形態に係る半導体装置の展開図である。

図１０は、本発明を適用した第８の実施の形態に係る半導体装置を示す図である。

図１１は、本発明を適用した第９の実施の形態に係る半導体装置を示す図である。

図１２は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

図１３は、本実施の形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第１の実施の形態)

図１Ａ～図１Ｃは、本発明を適用した第１の実施の形態に係る半導体装置を示す図である。なお、図１Ａは半導体装置の平面図であり、図１Ｂは図１ＡのIB－IB線断面図であり、図１Ｃは半導体装置の底面図である半導体装置１は、基板１０と、複数（例えば２つ）の半導体素子（半導体チップ）２０、３０と、複数の外部電極４０と、を含む。

基板１０は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。有機系の材料から形成された基板１０として、例えばポリイミド樹脂からなるフレキシブル基板が挙げられる。また、無機系の材料から形成された基板１０として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。

基板１０には、配線パターン１２が形成されている。配線パターン１２は、基板１０の一方の面に形成される。なお、基板１０の一方の面の配線パターン１２の他に、他方の面にも配線パターンを形成してもよい。

配線パターン１２は、スパッタリング等により基板１０に銅などの導電性の膜を被着し、これをエッチングして形成することができる。この場合には、基板１０に配線パターン１２が直接形成され、接着剤が介在しない２層基板となる。あるいは、基板１０と配線パターン１２との間に接着剤が介在する３層基板を使用してもよい。あるいは、基板に絶縁樹脂と配線パターンを積層して構成されるビルドアップ多層構造の基板や、複数の基板が積層された多層基板を使用してもよい。

配線パターン１２は、複数のボンディング部１４及び複数のランド部１６を含む。いずれか１つのボンディング部１４は、少なくともいずれか１つのランド部１６に電気的に接続されている。各ボンディング部１４及び各ランド部１６は、

配線のための部分よりも広い面積で形成されている。なお、ボンディング部１４上にバンプを形成してもよい。

ボンディング部１４及びランド部１６は、基板１０における半導体素子２０、３０のそれぞれの搭載領域内に位置し、その領域の外側には形成されていない。また、半導体素子２０、３０のそれぞれの搭載領域内に位置するボンディング部１４は、その搭載領域内に位置するランド部１６と接続されている。あるいは、半導体素子２０、３０のうちいずれか１つの搭載領域内に位置するボンディング部１４と、半導体素子２０、３０のうち残りの１つの搭載領域内に位置するランド部１６とを接続してもよい。基板１０は、抜き型を簡略化するため、図のように方形でも良いし、さらに究極の小型化が望まれる場合は、半導体素子外形に沿った形としても良い。

基板１０には、スルーホール１８が形成されている。そして、スルーホール１８上に、ランド部１６が位置する。すなわち、ランド部１６は、スルーホール１８を介して、配線パターン１２の形成された面とは反対側の面に接続できるようになっている。こうして、基板１０における配線パターン１２の形成された面とは反対側の面に、配線パターン１２に電気的に接続された複数の外部電極４０（図１Ｃ参照）を形成することができる。

複数の半導体素子２０、３０は、例えば、フラッシュメモリとＳＲＡＭ、ＳＲＡＭ同士、ＤＲＡＭ同士、メモリとＡＳＩＣ、あるいはＭＰＵとメモリなどであり、それぞれ複数の電極２２、３２を有する。電極２２、３２は、いずれかのボンディング部１４の上方に位置し、異方性導電材料５０を介して電気的に接続されている。すなわち、半導体素子２０、３０は、電極２２、３２が形成された面を下にして、基板１０の配線パターン１２に対して、フェースダウンボンディングされる。なお、図に示される半導体素子２０、３０は、大きさ及び形状が異なるが、同じ大きさ及び形状のものであってもよい。電極２２、３２は、メッキや、ワイヤーで形成された金であることが多いが、ニッケル、ハンダなどを材料としてもよい。

異方性導電材料５０は、接着剤（バインダ）に導電粒子（導電フィラー）が分

散されたもので、分散剤が添加される場合もある。異方性導電材料５０は、予めシート状に形成されてから基板１０に貼り付けてもよく、あるいは液状のまま基板１０に設けてもよい。なお、異方性導電材料５０の接着剤として、熱硬化性の接着剤が使用されることが多い。異方性導電材料５０は、少なくとも各ボンディング部１４上に設けられる。あるいは、基板１０の全体を覆うように異方性導電材料５０を設ければ、簡単にその工程を行うことができる。なお、基板１０の外周端部を除いて異方性導電材料５０を設ければ、基板１０の外周端面に異方性導電材料５０が付着しないようになり、その後の基板１０の取り扱い上都合がよい。

異方性導電材料５０は、電極２２、３２とボンディング部１４との間で押しつぶされて、導電粒子によって両者間での電気的導通を図るようになっている。本実施の形態では、半導体素子２０、３０がフェースダウンボンディングされることが特徴となっている。フェースダウンボンディングされるのであれば、異方性導電材料５０を使用する代わりに、光、熱、圧力及び振動のうちの少なくとも１つによって、電極２２、３２とボンディング部１４とを接合してもよい。この場合、金属同士で接合される方が信頼性が高い。その場合は、半導体素子２０、３０と基板１０との間に、アンダーフィル樹脂が充填されることが多い。

外部電極４０は、配線パターン１２のランド部１６に設けられている。詳しくは、外部電極４０は、基板１０における配線パターン１２の形成された面とは反対側の面に設けられ、スルーホール１８を介して、ランド部１６に電気的に接続されている。外部電極４０とランド部１６との電気的な接続は、半導体素子実装面とは反対側の基板のスルーホール上に、フラックスと共にハンダボールを搭載して、リフローを通して形成することが多いが、スルーホール１８の内面にメッキされた金や銅などの導電部材によって図ってもよい。あるいは、ハンダボールを外部電極４０とする場合には、ハンダボールの材料となるハンダをスルーホール１８に充填して、ハンダボールと一体化した導電部材をスルーホール１８内に形成してもよい。

さらに、半導体素子実装面とは反対側に、配線パターン１２と、ビアホールやスルーホールで接続された外部電極用のランドを形成し、その上に外部電極を形

成してもよい。また、外部電極は、上述のハンダ以外の金属や導電性樹脂などから形成してもよい。

上述したように、全てのランド部１６が半導体素子２０、３０の搭載領域内に位置している場合には、外部電極４０も、半導体素子２０、３０の搭載領域内に位置する（FAN-IN構造）。また、いずれかの半導体素子２０、３０の搭載領域内に設けられたボンディング部１４が、その搭載領域内に設けられたランド部１６に接続されている場合には、外部電極４０も、この外部電極４０が設けられた搭載領域に対応する半導体素子２０、３０の電極２２、３２に電気的に接続される。

本実施の形態によれば、複数の半導体素子２０、３０が平面方向に並べられて基板１０に搭載され、各半導体素子２０、３０の電極２２、３２とボンディング部１４とはフェースダウンボンディングされる。したがって、半導体素子２０、３０の領域内でボンディングが行われるので、基板１０の面積を必要最低限に小さくすることができる。その結果、半導体装置１の小型化が可能になる。

本実施の形態は、上記のように構成されており、以下その製造方法の１例を説明する。まず、複数のボンディング部１４と、ボンディング部１４に接続される複数のランド部１６と、を有する配線パターン１２が形成された基板１０を用意する。そして、基板１０における配線パターン１２が形成された面に、異方性導電材料５０を設ける。詳しくは、少なくともボンディング部１４上に、異方性導電材料５０を設ける。

そして、複数の電極２２、３２を有する複数の半導体素子２０、３０を用意する。異方性導電材料５０におけるボンディング部１４上に電極２２、３２を位置合わせして、半導体素子２０、３０を基板１０の上に載せる。

続いて、半導体素子２０、３０と基板１０との少なくともいずれか一方を押圧して、異方性導電材料５０の導電粒子を介して、ボンディング部１４と電極２２、３２とを電気的に接続する。

そして、基板１０における配線パターン１２の形成された面とは反対側から、スルーホール１８を介して、ランド部１６に外部電極４０を形成する。

以上の工程により、半導体装置１が得られる。本実施の形態によれば、異方性

導電材料５０によってボンディング部１４と電極２２、３２とを電気的に導通させるので、信頼性及び生産性に優れた方法で半導体装置１を製造することができる。

（第２の実施の形態）

図２Ａ～図２Ｃは、本発明を適用した第２の実施の形態に係る半導体装置を示す図である。なお、図２Ａは半導体装置の平面図であり、図２Ｂは図２ＡのIIB－IIB線断面図であり、図２Ｃは半導体装置の底面図である。半導体装置２は、基板１１０と、外部電極１４０と、第１の実施の形態で用いられた複数（例えば２つ）の半導体素子（半導体チップ）２０、３０と、を含む。

基板１１０には、配線パターン１１２が形成されている。配線パターン１１２は、ボンディング部１１４及びランド部１１６を含む。ボンディング部１１４は、半導体素子２０、３０の電極２２、３２に対応する位置に設けられている。一方、ランド部１１６は、半導体素子２０、３０のうちの一方の搭載領域内にのみ形成されている。そのため、この一方の搭載領域内のランド部１１６と、他方の搭載領域内に位置するボンディング部１１４とが、配線部１１５を介して電気的に接続されている。

ランド部１１６がこのように形成されているので、外部電極１４０も、半導体素子２０、３０のうちの一方の搭載領域内にのみ形成されている。なお、図２Ｃには、簡略化するために外部電極１４０の数を少なく図示してあり、実際にはこれ以上の数の外部電極１４０を設けることができる。

これら以外の構成及び製造方法は、上記第１の実施の形態と同様である。実装基板又はマザーボードの配線パターンによっては、第２の実施の形態に係る半導体装置２のように、１箇所に全ての外部電極１４０が集中することが有利な場合がある。

マザーボード実装時の重心のアンバランスによる半導体装置の傾きを防止するため、基板１１０における半導体素子２０側の実装面とは逆の面の上に、外部電極１４０と同じ大きさ、高さ又は形状の突起を形成してもよい。この突起は、樹脂やテープなどで形成してもかまわない。

(第３の実施の形態)

図３Ａ～図３Ｃは、本発明を適用した第３の実施の形態に係る半導体装置を示す図である。なお、図３Ａは半導体装置の平面図であり、図３Ｂは図３ＡのIIIB－IIIB 線断面図であり、図３Ｃは半導体装置の底面図である。半導体装置３は、基板２１０と、外部電極２４０と、第１の実施の形態で用いられた複数(例えば２つ)の半導体素子（半導体チップ）２０、３０と、を含む。

基板２１０には、配線パターン２１２が形成されている。配線パターン２１２は、ボンディング部２１４及びランド部２１６を含む。ボンディング部２１４は、半導体素子２０、３０の電極２２、３２に対応する位置に設けられている。一方、ランド部２１６は、半導体素子２０、３０の搭載領域の外側に形成されている。そのため、半導体素子２０、３０の搭載領域内のボンディング部２１４と、この搭載領域の外側に位置するランド部２１６とが、配線部２１５を介して電気的に接続されている。また、基板２１０は、半導体素子２０、３０の搭載領域よりも大きく形成されている。

ランド部２１６がこのように形成されているので、外部電極２４０も、半導体素子２０、３０の搭載領域の外側に形成されている（FAN-OUT構造）。なお、図３Ｃには、簡略化するために外部電極２４０の数を少なく図示してあり、実際にはこれ以上の数の外部電極２４０を設けることができる。

また、基板２１０には、金属などの剛性のある平坦保持部材２００が設けられている。平坦保持部材２００は、基板２１０を補強して平坦性を確保するためのもので、剛性があれば材料は限定されない。例えば、ステンレス鋼や銅系合金などの金属を使用することが多いが、プラスチックやセラミックスなどの絶縁性を有する材料で形成してもよい。本実施の形態では、配線パターン２１２上に異方性導電材料５０が設けられており、異方性導電材料５０の導電粒子による導通がなければ、金属製の平坦保持部材２００を使用しても、配線パターン２１２と平坦保持部材２００との電気的な導通を遮断することができる。あるいは、平坦保持部材２００を絶縁性を有する材料で形成すれば、異方性導電材料５０の導電粒子による電気的な接続があってもよい。また、平坦保持部材２００における少な

くとも異方性導電材料５０との接触面に絶縁層を形成すれば、平坦保持部材２００が金属製であっても、配線パターン２１２と平坦保持部材２００との電気的な導通を遮断することができる。また、平坦保持部材２００は、異方性導電材料以外の一般的な絶縁性接着剤で基板２１０に接着してもよい。

平坦保持部材２００は、半導体素子２０、３０の搭載領域の外側あるいは基板２１０の外周端部に、異方性導電材料５０を介して貼り付けられている。したがって、基板２１０がフレキシブル基板である場合でも、半導体素子２０、３０の外側の部分あるいは基板２１０の外周端部の平坦性を確保することができる。本実施の形態では、基板２１０における外部電極２４０が設けられた領域の平坦性が、平坦保持部材２００によって確保されるので、外部電極２４０の高さの均一性（コプラナリティ）を確保することができる。これら以外の構成及び製造方法は、上記第１の実施の形態と同様であるので説明を省略する。

なお、本実施の形態では、基板２１０における半導体素子２０、３０の搭載領域には外部電極２４０が設けられていないが、この領域にも外部電極を設けてもよい（FAN-IN/OUT構造）。これに加えて、あるいはこれとは別には、半導体素子２０と半導体素子３０との間の領域に、外部電極を設けてもよい。図４に示す半導体装置４は、基板２１０における半導体素子２０、３０の搭載領域の内側、外側及び半導体素子２０、３０間に外部電極２４０を設けた例である。

なお、第３の実施の形態において、基板２１０自体に平坦保持性があれば（例えば基板２１０がセラミクス、ガラスエポキシからなる場合）、平坦保持部材２００は必ずしも必要ではない。

（第４の実施の形態）

図５は、本発明を適用した第４の実施の形態に係る半導体装置を示す図であり、図６Ａ～図６Ｃは、図５に示す半導体装置の基板を展開した図である。なお、図６Ａは平面図であり、図６Ｂは図６ＡのVB－VB線断面図であり、図６Ｃは底面図である。半導体装置５は、基板３１０と、半導体素子３２０、３３０と、外部電極３４０と、を含む。

基板３１０は、図５に示すように曲げることができる材質から形成されており、

特に２層のフレキシブル基板、あるいは配線密度を一層高めることが必要な場合にはビルドアップ形のフレキシブル基板が好ましい。また、基板３１０は、一方向に長い長方形をなしている。この基板３１０の長手方向の両端部に、半導体素子３２０、３３０が搭載されている。なお、半導体素子３２０、３３０は、本実施の形態では、同じ大きさで同じ形状であるが、異なる大きさ異なる形状であってもよい。

基板３１０には、配線パターン３１２が形成されている。配線パターン３１２は、ボンディング部３１４及びランド部３１６を含む。ボンディング部３１４は、半導体素子３２０、３３０の電極３２２、３３２に対応する位置に設けられており、異方性導電材料３５０を介して電気的に接続されている。一方、ランド部３１６は、半導体素子３２０、３３０のうちの一方の搭載領域内にのみ形成されている。そのため、この一方の搭載領域内のランド部３１６と、他方の搭載領域内に位置するボンディング部３１４とが、配線部３１５を介して電気的に接続されている。また、配線部３１５は、半導体素子３２０、３３０間に形成されており、これらに覆われていないので、レジストなどの保護膜３０２によって覆われて保護されている。

ランド部３１６がこのように形成されているので、外部電極３４０も、半導体素子３２０、３３０のうちの一方の搭載領域内にのみ形成されている。なお、図には、簡略化するために外部電極３４０の数を少なく図示してあり、実際にはこれ以上の数の外部電極３４０を設けることができる。外部電極３４０の配置に関しては、第３の実施の形態で示したように、半導体素子の外側に平坦保持部材を用いて配置してもよい。

本実施の形態では、基板３１０における半導体素子３２０、３３０が搭載された面を谷として、この基板３１０における半導体素子３２０、３３０の間の領域が曲げられている。なお、図には、折り目を付けずに基板３１０が屈曲した状態が示されているが、基板３１０は折り曲げてもよい。基板３１０には、図６Ａ及び図６Ｃに示すように、屈曲する領域に、少なくとも一つ又は複数の穴３００が形成されてもよい。これによって、基板３１０の弾力が小さくなって曲げやすく

なるとともに、屈曲した状態を維持しやすくなる。なお、穴３００を避けて、配線部３１５を形成することが好ましいが、穴３００上に配線部３１５を形成してもよい。

基板３１０が曲げられて、半導体素子３２０の電極３２２が形成された面とは反対側の面と、半導体素子３３０における電極３３２が形成された面とは反対側の面とが接着剤３０４を介して接着されている。接着剤３０４の接着力によって、基板３１０の曲げられた状態が維持されている。また、半導体素子３２０、３３０の面は平坦になっているので、接着がしやすい。接着剤３０４が、導電性の接着剤であれば、接着される半導体素子３２０、３３０の接着面の電位を同じにすることができる。接着剤３０４が、熱伝導性の接着剤であれば、半導体素子３２０、３３０間で熱の伝達が可能になる。例えば、半導体素子３２０、３３０のうち一方の発熱量が大きく他方の発熱量が小さい場合には、一方から他方へと熱を伝えることで冷却が可能になる。接着剤３０４は、粘着剤でもよい。シート状もしくは液状の接着剤３０４を、図６Ａ～図６Ｃに示す状態のときに、半導体素子３２０、３３０の裏面に貼り付け、その後両方の半導体素子裏面同士を貼り付けてもよい。もしくは、半導体素子裏面同士を位置合わせした状態で液状の接着剤３０４を充填してもよい。

以上の構成以外の点は、上記第１の実施の形態と同様であるので説明を省略する。なお、違う大きさの半導体素子を用いても良いが、この場合は、大きい方の半導体素子が外部電極３４０形成側に配置された方が、幾何学的に安定するのでより好ましい。

本実施の形態では、２つの半導体素子３２０、３３０が使用されているが、２つを超える複数の半導体素子を使用してもよい。その場合、１つの半導体素子における電極が形成された面とは反対側の面に、残りの複数の半導体素子のうちの１つ又は複数における電極が形成された面とは反対側の面を貼り付けてもよい。このように形成することで、複数特に多数の半導体素子を狭い面積上に積層することができる。

さらに、１つの半導体素子毎に基板を曲げて積層せずに、複数の半導体素子を

一平面上に搭載した後、基板を曲げて積層してもよい。

本実施の形態に係る半導体装置５は、複数の半導体素子３２０、３３０が積層されているので、上述した実施の形態よりも一層小型化されている。なお、半導体装置５の製造方法については、基板３１０を曲げる点を除き、第１の実施の形態で説明した方法が適用される。

（第５の実施の形態）

図７は、本発明を適用した第５の実施の形態に係る半導体装置の基板を展開した図である。本実施の形態に係る半導体装置も、図５に示す半導体装置５と同様に、基板４１０が曲げられて構成される。また、基板４１０には、第４の実施の形態と同様に、半導体素子３２０、３３０が搭載されている。

図７に示す基板４１０には、少なくとも１つの穴４００が形成されている。穴４００は、基板４１０の曲げ線に沿って延びる長穴である。言い換えると、長穴である穴４００に沿って、基板４１０は曲げられる。図７では、複数の穴４００が直列して形成されている。穴４００は、基板４１０の端部よりも内側に形成されているので、基板４１０の端部が残っている。したがって、基板４１０は、切断されずにつながった状態となっている。

基板４１０には、配線パターン４１２が形成されている。配線パターン４１２は、穴４００上を通って形成されている。穴４００が形成されていても、基板４１０がつながっているので、配線パターン４１２は切断されにくくなっている。

上述した構成の基板４１０を、図５に示す基板３１０のように曲げると、穴４００を形成する辺が、半導体装置の外形端の一部となる。したがって、半導体装置の外形がきれいに出るので、位置決めが容易になる。

その他の内容は、第４の実施の形態で説明した内容を適用することができる。

（第６の実施の形態）

図８は、本発明を適用した第６の実施の形態に係る半導体装置の基板を展開した図である。本実施の形態に係る半導体装置も、図５に示す半導体装置５と同様に、基板５１０が曲げられて構成される。また、基板５１０には、第４の実施の形態と同様に、半導体素子３２０、３３０が搭載されている。

図８に示す基板５１０は、スリット５００が形成されることで切断されている。言い換えると、基板５１０の切断端部間に間隔があけられてスリット５００が形成されている。スリット５００は、基板５１０の曲げ線に沿って延びる。言い換えると、スリット５００に沿って、基板５１０は曲げられる。

基板５１０には、配線パターン５１２が形成されている。配線パターン５１２は、スリット５００上を通って形成されている。基板５１０が切断されているので、配線パターン５１２の幅を、図７に示す配線パターン４１２よりも太くすることが好ましい。

上述した構成の基板５１０を、図５に示す基板３１０のように曲げると、スリット５００を形成する辺が、半導体装置の外形端の一部となる。したがって、半導体装置の外形がきれいに出るので、位置決めが容易になる。

その他の内容は、第４の実施の形態で説明した内容を適用することができる。

（第７の実施の形態）

図９は、本発明を適用した第６の実施の形態に係る半導体装置の基板を展開した図である。本実施の形態は、図８に示す基板５１０のスリット５００を掛け渡す接続部材６２０が設けられた点で、第６の実施の形態と異なる。接続部材６２０を設けることで、切断されている基板５１０がつながって補強される。したがって、配線パターン６１２の幅も、図８に示す配線パターン５１２の幅よりも細くして良い。接続部材６２０は、配線パターン６１２と同一の材料で形成してもよい。配線パターン６１２を、銅箔などの金属箔をエッチングして形成する場合には、接続部材６２０も同時に形成することができるので工程を増やさなくて良い。

その他の内容は、第６の実施の形態で説明した内容を適用することができる。また、本実施の形態では、基板５１０を切断するスリット５００を掛け渡す接続部材６１０について説明したが、接続部材６１０は、基板５１０を切断しない穴４００（図７参照）を掛け渡しても良い。このような穴４００をスリットと称しても良い。

（第８の実施の形態）

図１０は、本発明を適用した第８の実施の形態に係る半導体装置を示す図である。図１０に示す半導体装置は、基板７１０及び穴７００を除き、図５に示す半導体装置５と同じ構成である。

基板７１０には、曲げられる領域に、複数の穴７００が形成されている。複数の穴７００は、曲げ線に沿って延びる長穴であって、並列して形成されてなる。あるいは、穴７００は、スリットと称してもよく、穴７００の代わりに基板７１０を切断するスリットが形成されていてもよい。このような穴（又はスリット）７００を形成することで、基板７１０を曲げやすくなる。また、配線パターン３１２は、穴７００上を通る。本実施の形態には、図５を参照して説明した内容を適用することができる。

（第９の実施の形態）

図１１は、本発明を適用した第９の実施の形態に係る半導体装置を示す図である。図１１に示す半導体装置では、基板８１０に形成された穴８００を介して、配線パターン３１２上に柔軟性を有する樹脂８２０が設けられている。樹脂８２０として例えば軟らかいポリイミド樹脂を使用することができる。

穴８００は、基板８１０の曲げられる領域に形成されている。穴８００は、スリットと称しても良く、穴８００の代わりに基板８１０を切断するスリットを形成してもよい。

本実施の形態では、基板８１０の、曲げられる内側に配線パターン３１２が形成されているので、樹脂８２０がなければ、穴８００を介して配線パターン３１２が外部に露出する。そこで、樹脂８２０を穴８００内に設けることで配線パターン３１２を保護することができる。しかも、樹脂８２０は、柔軟性を有するので、基板８１０が平面的に展開された状態で樹脂８２０を設けてから、基板８１０を曲げることができ、作業性がよい。なお、本実施の形態で説明した内容は、他の実施の形態にも適用することができる。

本発明は、フェースダウン型の半導体装置やそのモジュール構造に適用することができる。フェースダウン型の半導体装置として、例えば、ＣＯＦ（Chip On Flex/Film）構造やＣＯＢ（Chip On Board）構造などがある。

本実施の形態では、外部電極を有する半導体装置について述べてきたが、基板の一部を延出し、そこから外部接続を図るようにしても良い。基板の一部をコネクタのリードとしたり、コネクタを基板上に実装したり、基板の配線パターンそのものを他の電子機器に接続してもよい。

更に、積極的に外部端子を形成せずマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。この半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。

図１２には、上述した第１の実施の形態に係る半導体装置１を実装した回路基板１０００が示されている。回路基板１０００には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板１０００には、例えば銅からなる配線パターンが所望の回路となるように形成されている。そして、配線パターンと半導体装置１の外部電極４０（図１Ｂ参照）とを機械的に接続することでそれらの電気的導通が図られる。

なお、半導体装置１は、実装面積をベアチップにて実装する面積にまで小さくすることができるので、この回路基板１０００を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

そして、この回路基板１０００を備える電子機器として、図１３には、ノート型パーソナルコンピュータ１１００が示されている。

なお、上記実施の形態は、半導体装置に本発明を適用した例であるが、半導体装置と同様に多数の外部電極を必要とする面実装用の電子部品であれば、能動部品か受動部品かを問わず、本発明を応用することができる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

以上述べてきたすべての実施の形態では、半導体素子の実装方法としてフェースダウンボンディング方式を適用したが、ワイヤーボンディング方式やＴＡＢ（Tape Automated Bonding）方式など他の実装方式を採用してもよい。また、上

述した半導体素子と半導体素子以外の電子部品が混載された実装モジュール型の半導体装置を構成してもよい。

請 求 の 範 囲

1．電極を有して平面方向に並べられてフェースダウンボンディングされる複数の半導体素子と、

前記半導体素子の前記電極が接続されるボンディング部と、前記ボンディング部に電気的に接続しているランド部と、を有する配線パターンが形成された基板と、

前記ランド部に設けられる外部電極と、

を含む半導体装置。

2．請求項1記載の半導体装置において、

それぞれの前記外部電極は、前記半導体素子の搭載領域内に設けられる半導体装置。

3．請求項1記載の半導体装置において、

全ての前記外部電極は、全ての前記半導体素子に対応する領域の外側に設けられる半導体装置。

4．請求項3記載の半導体装置において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域よりも大きく形成され、外周端部に平坦保持部材が設けられる半導体装置。

5．請求項1記載の半導体装置において、

全ての前記外部電極は、いずれか1つの前記半導体素子のみに対応する領域内に設けられる半導体装置。

6．請求項5記載の半導体装置において、

前記基板は、フレキシブル基板であって一部が曲げられて、

前記外部電極が設けられる領域に対応する前記1つの半導体素子における前記電極が形成された面とは反対側の面に、残りの半導体素子のうちの少なくとも1つにおける前記電極が形成された面とは反対側の面が接着される半導体装置。

7．請求項6記載の半導体装置において、

前記基板は、曲げられる領域に沿って少なくとも1つの穴が形成される半導体装置。

８．請求項７記載の半導体装置において、

前記穴は、曲げ線に沿って延びる長穴であり、

前記配線パターンは、前記穴上を通って形成され、

前記長穴の、前記曲げ線に沿って延びる辺が、外形端の一部となる半導体装置。

９．請求項７記載の半導体装置において、

複数の前記穴が形成され、

前記配線パターンは、前記複数の穴上を通って形成され、

前記複数の穴は、曲げ線に沿って延びる長穴であって、並列して形成されてなる半導体装置。

１０．請求項６記載の半導体装置において、

前記基板は、曲げられる領域に沿ってスリットが形成され、

前記スリットによって、基板が切断されてなり、対向する切断端部間に間隔があけられてなる半導体装置。

１１．請求項１０記載の半導体装置において、

前記スリットを掛け渡す接続部材が設けられてなる半導体装置。

１２．請求項８記載の半導体装置において、

前記穴を介して、前記配線パターン上に柔軟性を有する樹脂が設けられ、

前記樹脂が前記基板とともに曲げられてなる半導体装置。

１３．請求項６記載の半導体装置において、

導電性又は熱伝導性の接着剤を介して、前記半導体素子が接着される半導体装置。

１４．請求項５記載の半導体装置において、

前記半導体素子のうちの一つは、残りの半導体素子よりも平面積が大きく形成され、

前記外部電極は、前記平面積の大きい半導体素子に対応した領域にのみ設けられる半導体装置。

１５．請求項１記載の半導体装置において、

前記半導体素子の電極は、接着剤に導電粒子が分散されてなる異方性導電材料

を介して前記ボンディング部に接続される半導体装置。

１６．複数のボンディング部と、前記ボンディング部に電気的に接続される複数のランド部と、を有する配線パターンが形成された基板と、電極を有する複数の半導体素子と、を用意する工程と、

少なくとも前記ボンディング部上に、接着剤に導電粒子が分散されてなる異方性導電材料を設ける工程と、

前記異方性導電材料における前記ボンディング部上に前記電極を位置合わせして、前記半導体素子を前記基板の上に載せる工程と、

前記半導体素子と前記基板との少なくともいずれか一方を押圧して、前記導電粒子を介して、前記ボンディング部と前記電極とを電気的に接続する工程と、

前記ランド部に外部電極を形成する工程と、

を含む半導体装置の製造方法。

１７．請求項１６記載の半導体装置の製造方法において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域よりも大きく形成され、

前記基板の外周端部に平坦保持部材を設ける工程を含む半導体装置の製造方法。

１８．請求項１６記載の半導体装置の製造方法において、

前記半導体素子を前記基板の上に載せる工程の後に、前記基板の一部を曲げて、いずれか１つの前記半導体素子における前記電極が形成された面とは反対側の面に、他の１つの前記半導体素子における前記電極が形成された面とは反対側の面を接着する工程を含む半導体装置の製造方法。

１９．請求項１８記載の半導体装置の製造方法において、

前記基板は、曲げられる領域に沿って少なくとも１つの穴が形成される半導体装置の製造方法。

２０．請求項１から請求項１５のいずれかに記載の半導体装置が実装された回路基板。

２１．請求項２０記載の回路基板を有する電子機器。

FIG. 1A

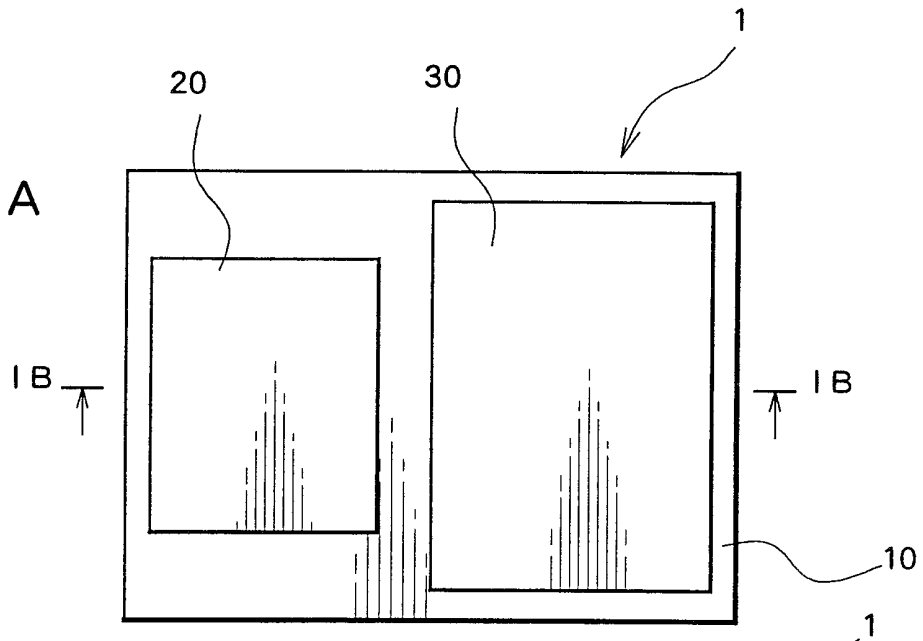


FIG. 1B

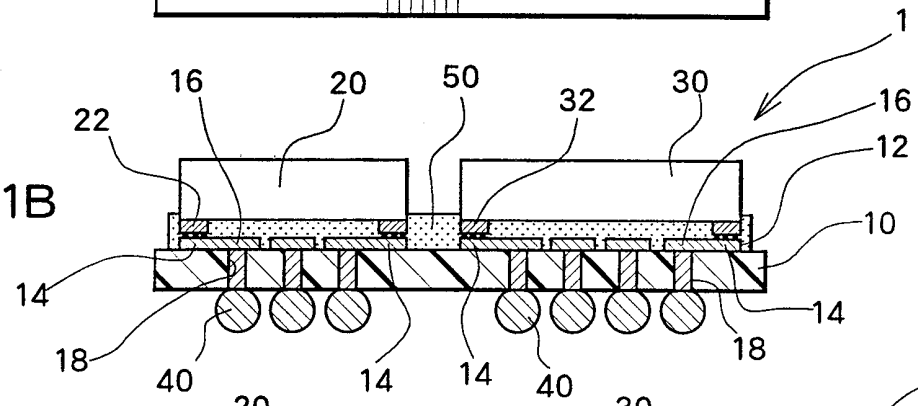


FIG. 1C

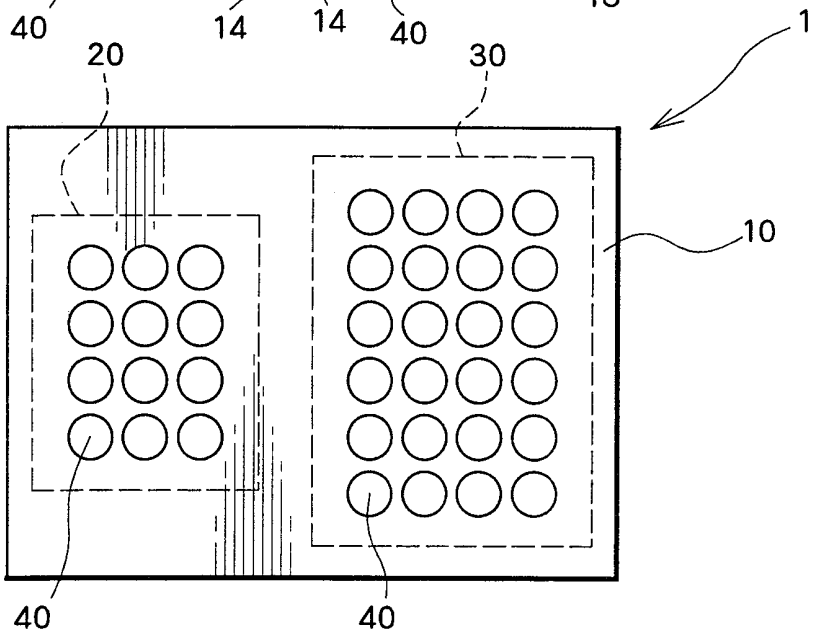


FIG. 2A

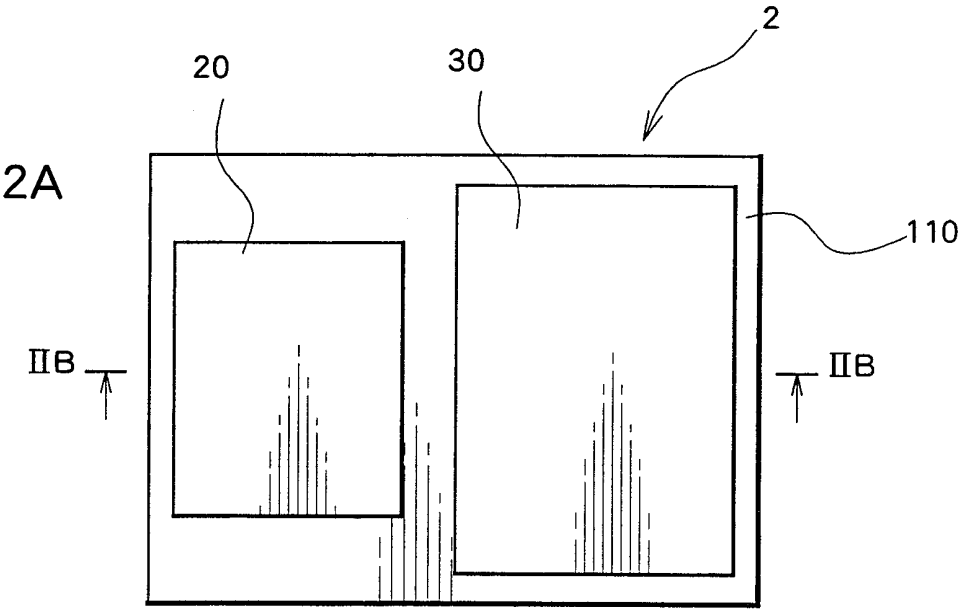


FIG. 2B

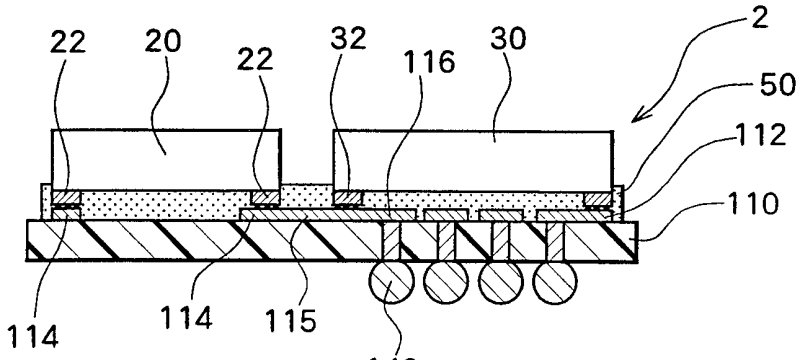


FIG. 2C

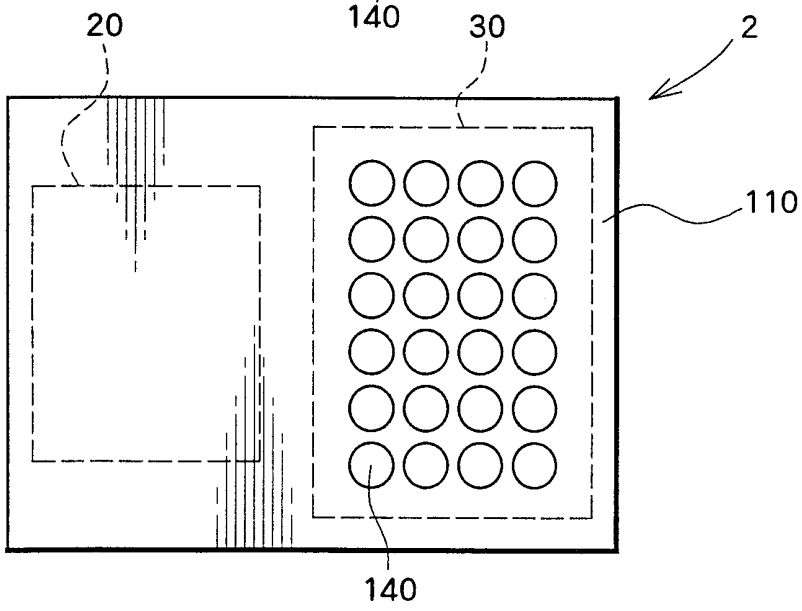


FIG. 3A

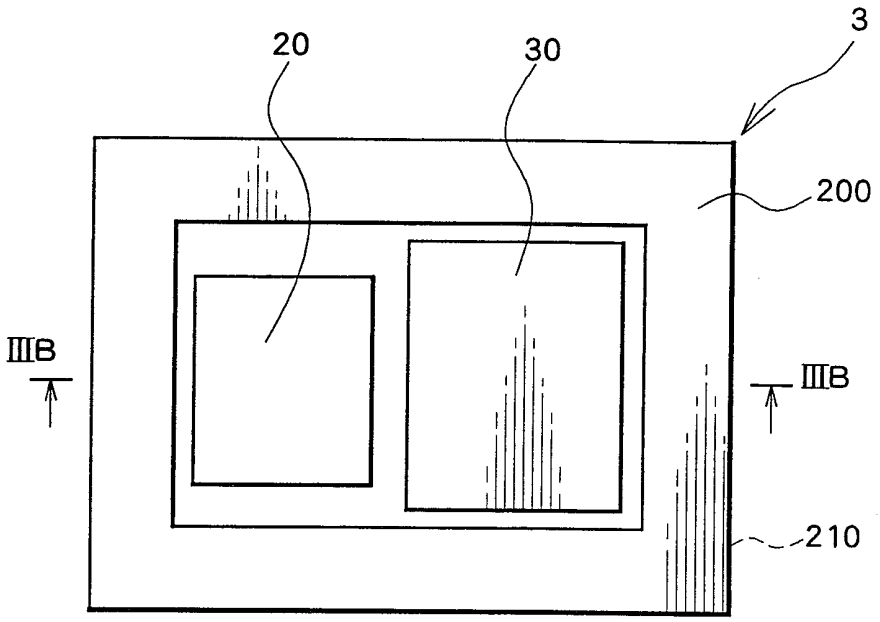


FIG. 3B

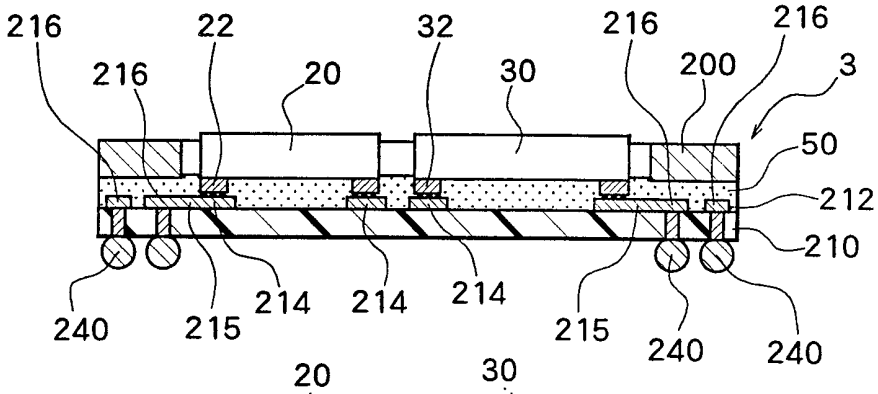
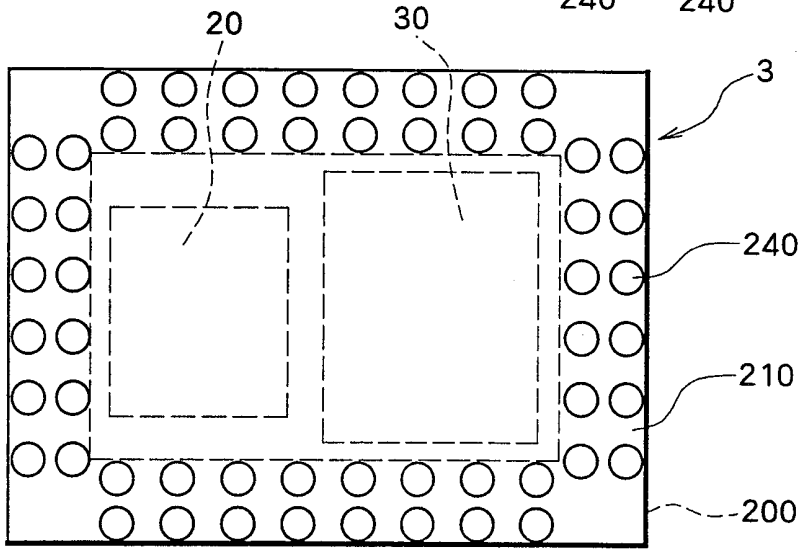


FIG. 3C



FIG, 4

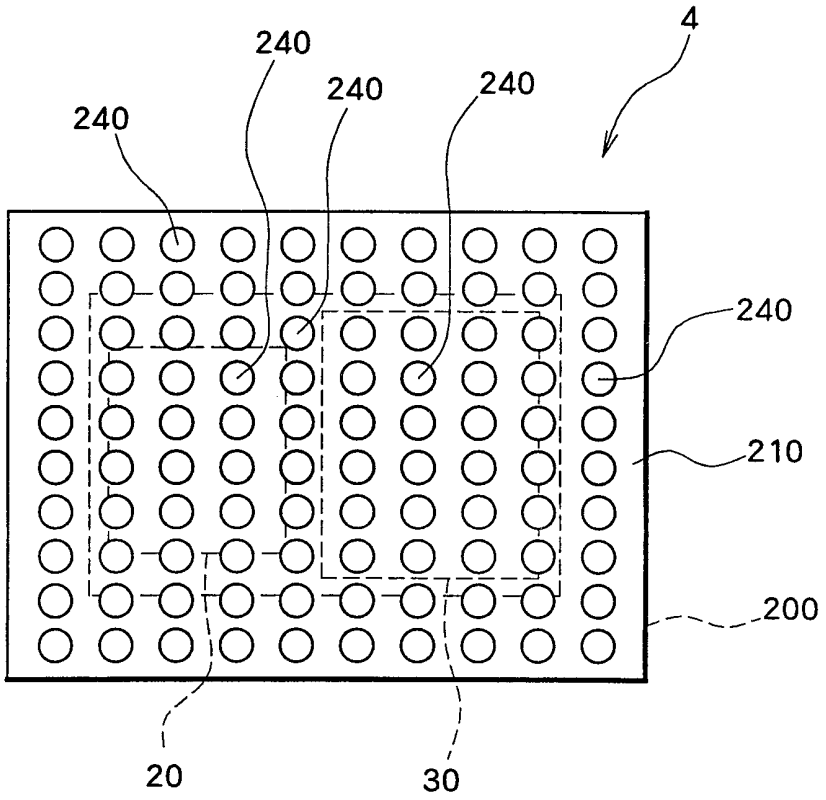


FIG. 5

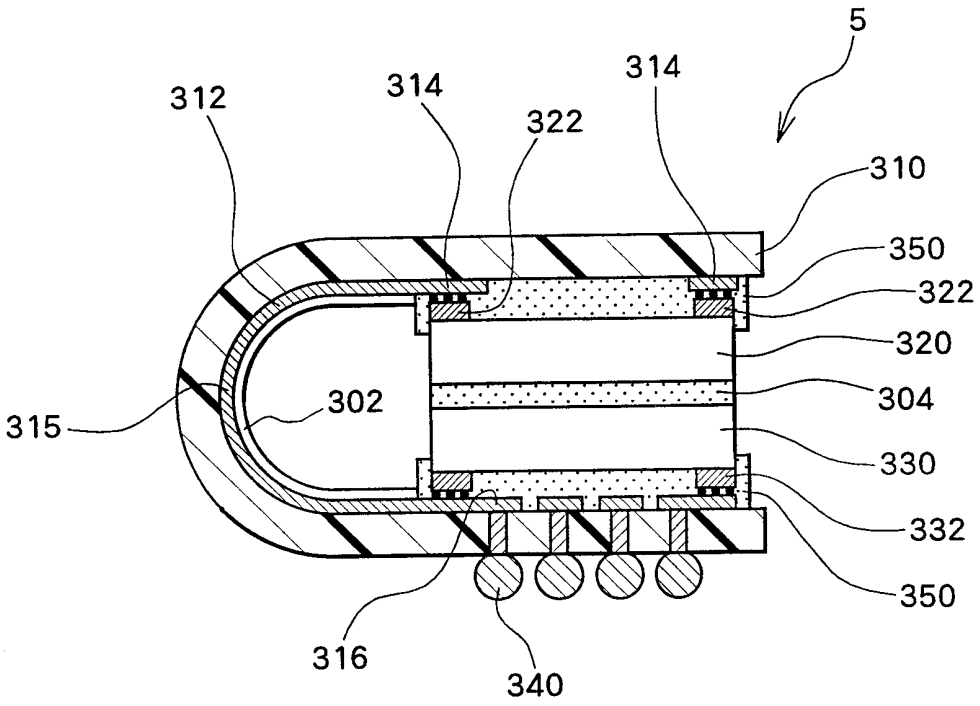


FIG. 6A

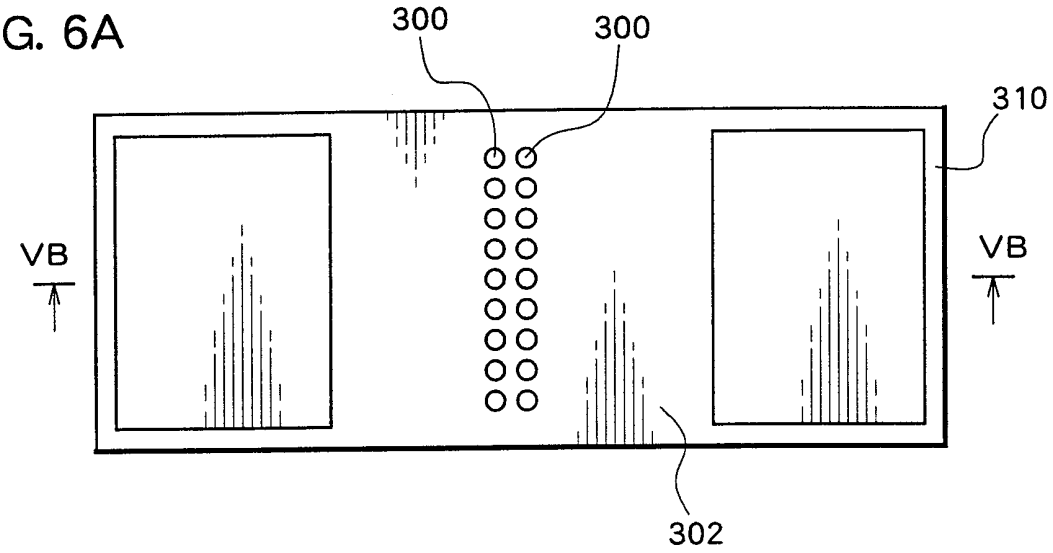


FIG. 6B

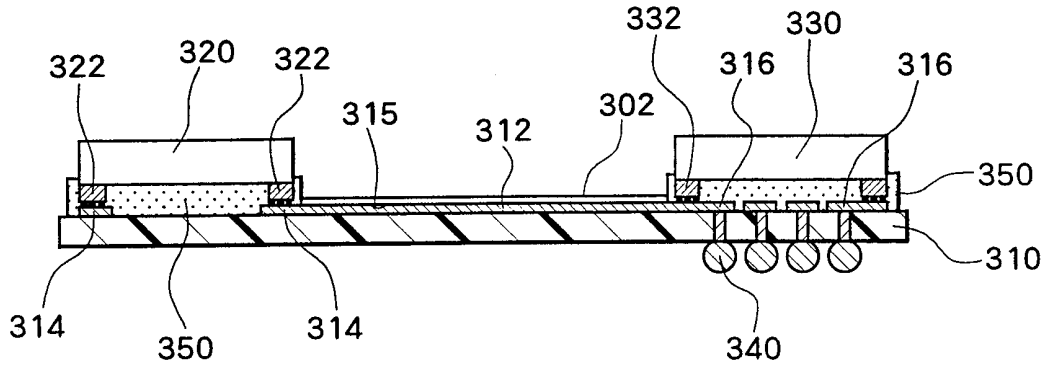


FIG. 6C

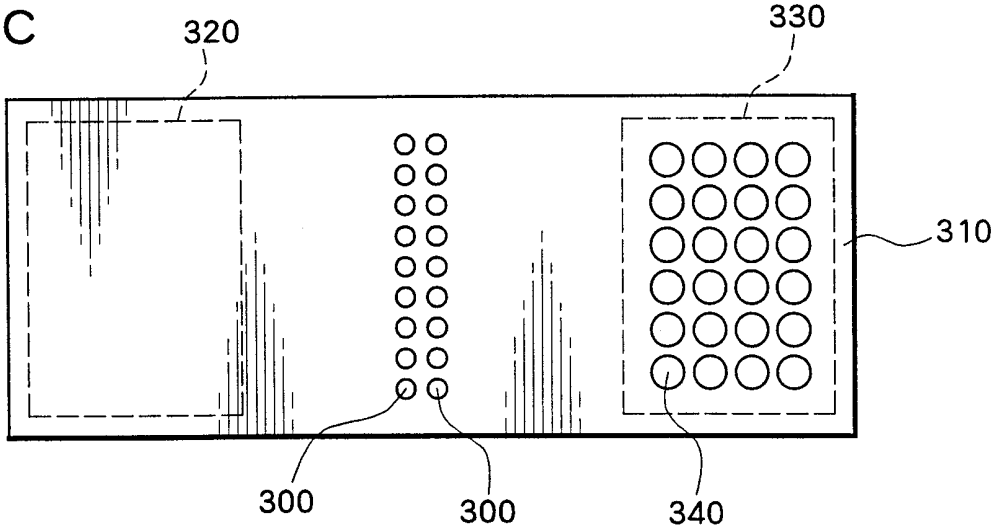


FIG. 7

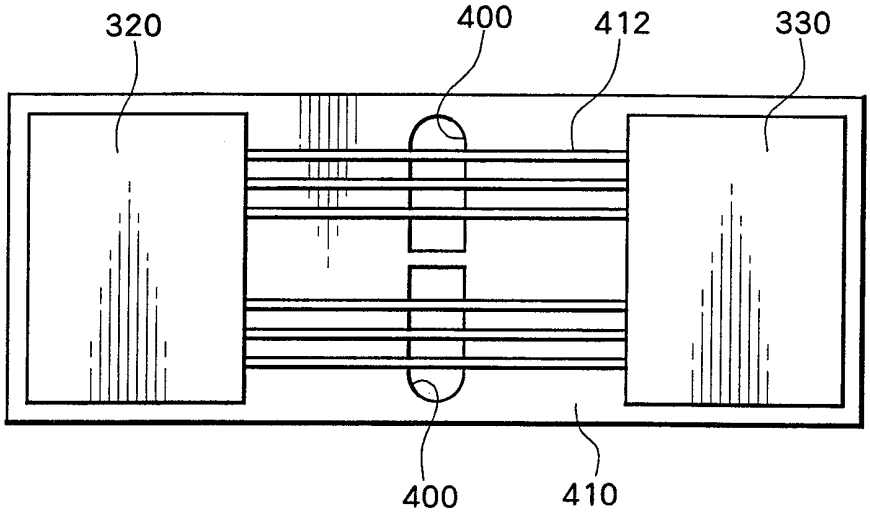


FIG. 8

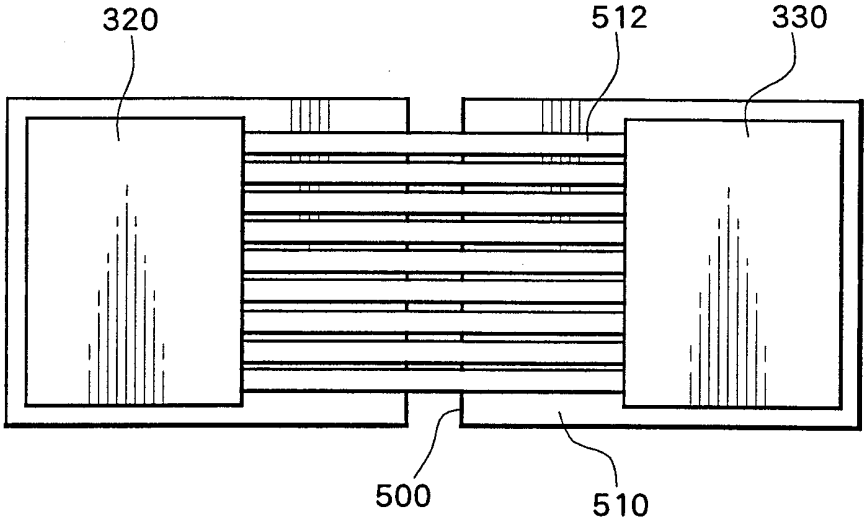


FIG. 9

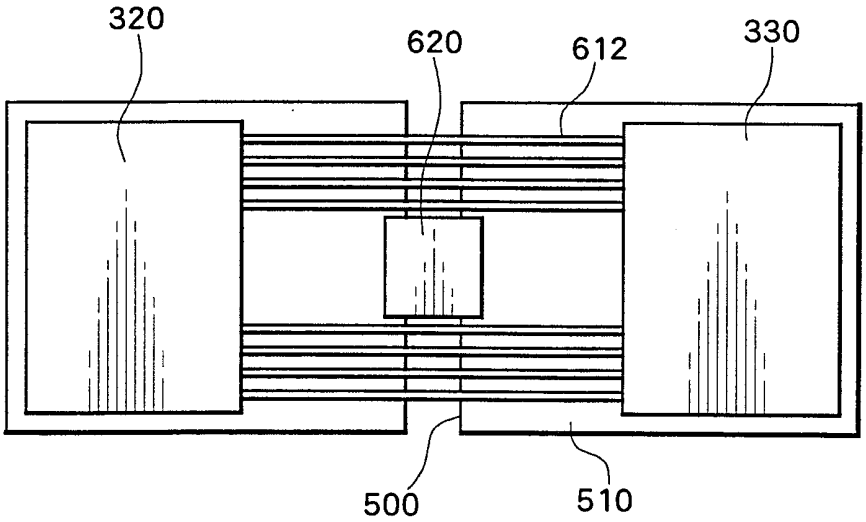


FIG. 10

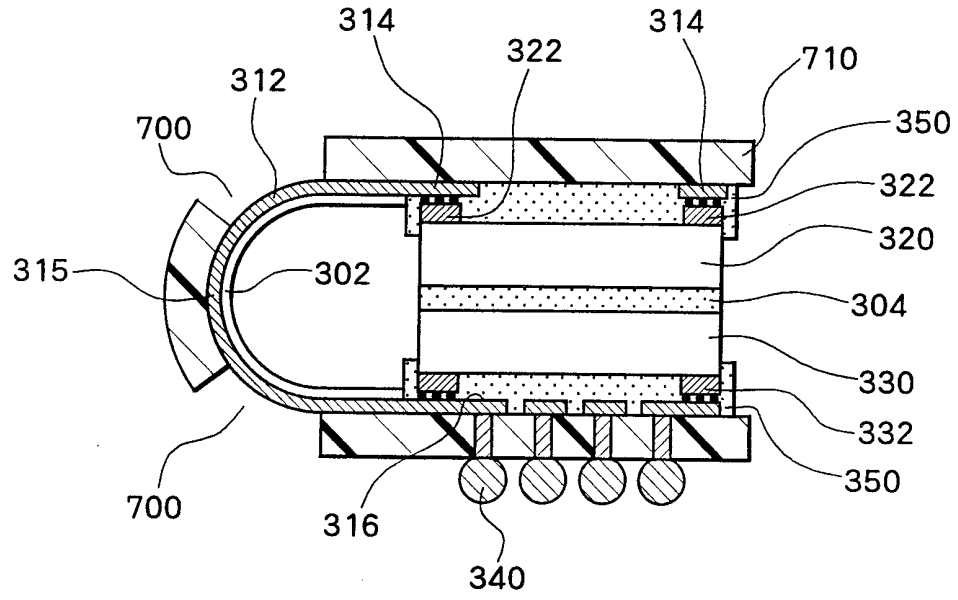

314
322
314
710
312
700
350
322
320
315
302
304
330
332
350
700
316
340

FIG. 11

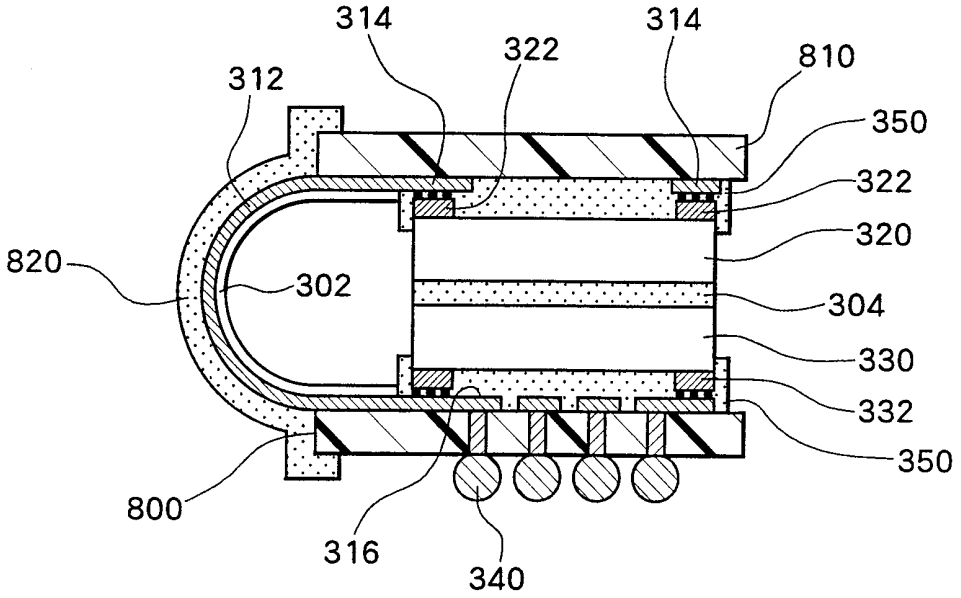

314
322
314
810
312
350
322
320
820
302
304
330
332
350
800
316
340

FIG. 12

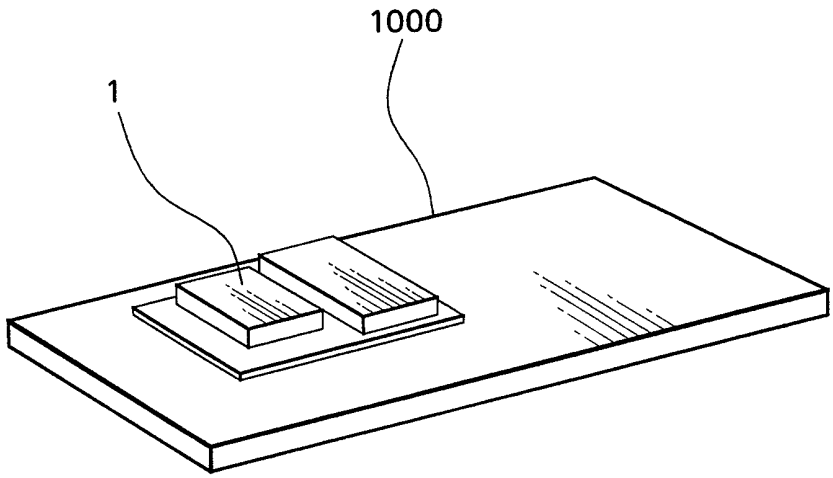
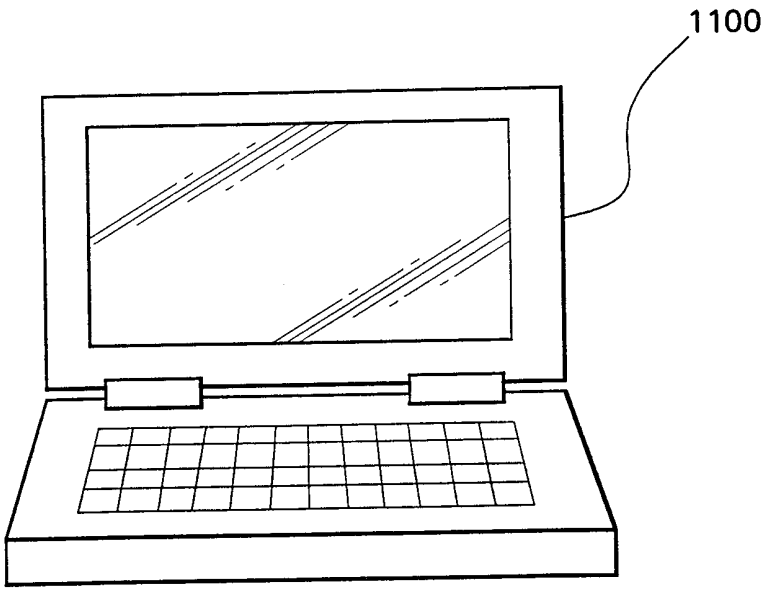


FIG. 13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/04785

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl^6 H01L25/065, H01L23/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl^6 H01L25/065, H01L23/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP, 10-50931, A (Sony Corporation), 20 February, 1998 (20.02.98), Full text; Figs. 1 to 7 Full text; Figs. 1 to 7 Full text; Figs. 1 to 7 (Family: none)	1,2,15,16,20 21 3-14,17-19
A	JP, 3-220736, A (NEC Corporation), 27 September, 1991 (27.09.91), Full text; Figs. 1 to 5 (Family: none)	4,6-13,17-19
A	JP, 8-321580, A (Rohm Co., Ltd.), 03 December, 1996 (03.12.96), Full text; Figs. 1 to 5	4,6-13,17-19

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 November, 1999 (30.11.99)	07 December, 1999 (07.12.99)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ９９／０４７８５

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ６　Ｈ０１Ｌ２５／０６５，Ｈ０１Ｌ２３／３２

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ６　Ｈ０１Ｌ２５／０６５，Ｈ０１Ｌ２３／３２

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－１９９９年
日本国登録実用新案公報　１９９４－１９９９年
日本国実用新案登録公報　１９９６－１９９９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y A	ＪＰ，１０－５０９３１，Ａ（ソニー株式会社） ２０．２月．１９９８（２０．０２．９８） 全文，第１－７図 全文，第１－７図 全文，第１－７図 （ファミリーなし）	1, 2, 15, 16, 20 21 3-14, 17-19
A	ＪＰ，３－２２０７３６，Ａ（日本電気株式会社） ２７．９月．１９９１（２７．０９．９１） 全文，第１－５図 （ファミリーなし）	4, 6-13, 17-19

☒ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ３０．１１．９９	国際調査報告の発送日　07.12.99
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 長谷山　健　4R　9171 電話番号　０３－３５８１－１１０１　内線　３４７０

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ９９／０４７８５

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	ＪＰ，８－３２１５８０，Ａ（ローム株式会社） ３．１２月．１９９６（０３．１２．９６） 全文，第１－５図	4, 6-13, 17-19