

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成24年8月16日(2012.8.16)

【公開番号】特開2011-61457(P2011-61457A)

【公開日】平成23年3月24日(2011.3.24)

【年通号数】公開・登録公報2011-012

【出願番号】特願2009-208455(P2009-208455)

【国際特許分類】

H 0 3 L 7/081 (2006.01)

G 1 1 C 11/4076 (2006.01)

G 1 1 C 11/407 (2006.01)

【F I】

H 0 3 L 7/08 J

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 T

【手続補正書】

【提出日】平成24年7月3日(2012.7.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

外部クロック信号に基づいて第 1 のクロック信号を生成するクロック生成部と、  
前記クロック生成部を制御することによって前記第 1 のクロック信号の位相を前記外部クロック信号の位相と同期するように調整する位相制御部と、

前記位相制御部の動作モードを切り替えるモード切り替え回路と、を備え、

前記位相制御部は、所定の周期で前記第 1 のクロック信号の位相を変化させる第 1 の動作モードと、前記第 1 のクロック信号の位相を固定させる第 2 の動作モードを有しており、  
且つ、前記第 2 の動作モードから第 1 の動作モードへの遷移に対応して、位相制御の結果により前記第 2 の動作モード時に保持する位相制御値から変更または維持し、

前記モード切り替え回路は、トリガ信号に応答して前記第 2 の動作モード状態にある前記位相制御部を前記第 1 の動作モードに遷移させ、前記第 1 のクロック信号が所望の位相に達したことに応答して前記位相制御部を前記第 2 の動作モードに遷移させることを特徴とするクロック生成回路。

【請求項 2】

前記クロック生成部は、第 2 のクロック信号を遅延させることによって前記第 1 のクロック信号を生成するディレイラインを含み、

前記位相制御部は、前記ディレイラインの遅延量を設定するカウンタ回路を含み、

前記第 1 の動作モードにおいては、前記所定の周期で前記カウンタ回路のカウント値が更新され、

前記第 2 の動作モードにおいては、前記カウンタ回路のカウント値の更新が停止されることを特徴とする請求項 1 に記載のクロック生成回路。

【請求項 3】

前記第 2 の動作モードにおいては、前記カウンタ回路のカウント値がリセットされることなく、前記第 2 の動作モードに遷移した時点におけるカウント値が保持されることを特徴とする請求項 2 に記載のクロック生成回路。

**【請求項 4】**

前記位相制御部は、前記第 2 のクロック信号と第 3 のクロック信号の位相を比較する位相判定回路をさらに含み、

前記カウンタ回路のカウント値は、前記位相判定回路の出力に基づいて前記所定の周期で更新され、

前記第 2 の動作モードにおいては、前記位相比較回路の動作が停止することを特徴とする請求項 2 又は 3 に記載のクロック生成回路。

**【請求項 5】**

前記位相制御部は、前記第 2 のクロック信号を分周することによって前記第 2 のクロック信号よりも周波数の低い第 4 のクロック信号を生成する分周回路をさらに含み、

前記第 1 の動作モードにおいては、前記カウンタ回路は前記第 4 のクロック信号に同期してカウント値が更新され、

前記第 2 の動作モードにおいては、前記分周回路の動作が停止することを特徴とする請求項 4 に記載のクロック生成回路。

**【請求項 6】**

前記位相制御部は、前記第 1 のクロック信号に基づいて前記第 3 のクロック信号を生成するレプリカ回路をさらに含み、

前記第 2 の動作モードにおいては、前記レプリカ回路の動作が停止することを特徴とする請求項 4 又は 5 に記載のクロック生成回路。

**【請求項 7】**

前記モード切り替え回路は、前記カウンタ回路のカウント値が所定のパターンで変化したことに応答して、前記位相制御部を前記第 2 の動作モードに遷移させることを特徴とする請求項 2 乃至 6 のいずれか一項に記載のクロック生成回路。

**【請求項 8】**

前記所定のパターンは、前記カウンタ回路が前記所定の周期でアップカウントとダウンカウントを交互に繰り返すパターンを含むことを特徴とする請求項 7 に記載のクロック生成回路。

**【請求項 9】**

前記モード切り替え回路は、前記位相判定回路の出力変化に基づいて、前記位相制御部を前記第 2 の動作モードに遷移させることを特徴とする請求項 4 乃至 6 のいずれか一項に記載のクロック生成回路。

**【請求項 10】**

前記モード切り替え回路は、一定の期間内に前記位相判定回路の出力が変化する現象が複数回連続して出現したことに応答して、前記位相制御部を前記第 2 の動作モードに遷移させることを特徴とする請求項 9 に記載のクロック生成回路。

**【請求項 11】**

前記トリガ信号は、所定の頻度で活性化されることを特徴とする請求項 1 乃至 10 のいずれか一項に記載のクロック生成回路。

**【請求項 12】**

前記トリガ信号は、メモリセルの情報を再更新するリフレッシュ動作の度に活性化されることを特徴とする請求項 1 乃至 11 のいずれか一項に記載のクロック生成回路。

**【請求項 13】**

前記モード切り替え回路は、前記リフレッシュ動作が終了した後に、前記トリガ信号を活性することを特徴とする請求項 12 に記載のクロック生成回路。

**【請求項 14】**

前記トリガ信号は、少なくとも、電源電圧の変動に応答して活性化されることを特徴とする請求項 1 乃至 13 のいずれか一項に記載のクロック生成回路。

**【請求項 15】**

外部クロック信号に基づいて内部クロック信号を生成するクロック生成回路と、前記内部クロック信号に同期して出力信号を外部に出力する出力バッファを備え、

前記クロック生成回路は、

前記内部クロック信号を生成するクロック生成部と、

前記内部クロック信号に基づいてフィードバッククロック信号を生成するレプリカ回路と、

前記外部クロック信号と前記フィードバッククロック信号の位相差に基づき前記クロック生成部を制御することによって、前記内部クロック信号の位相を前記外部クロック信号の位相と同期するように調整する位相制御部と、

前記位相制御部の動作モードを切り替えるモード切り替え回路と、を備え、

前記位相制御部は、所定の周期で前記内部クロック信号の位相を変化させる第１の動作モードと、前記内部クロック信号の位相を固定させる第２の動作モードを有しており、且つ、前記第２の動作モードから第１の動作モードへの遷移に対応して、位相制御の結果により前記第２の動作モード時に保持する位相制御値から変更または維持し、

前記モード切り替え回路は、トリガ信号に応答して前記第２の動作モード状態にある前記位相制御部を前記第１の動作モードに遷移させ、前記内部クロック信号が所望の位相に達したことに応答して前記位相制御部を前記第２の動作モードに遷移させ、

前記レプリカ回路は、前記出力バッファと実質的に同一の回路構成を有していることを特徴とする半導体装置。

【請求項１６】

リフレッシュ動作によってデータの保持が必要な複数のメモリセルを有するメモリセルアレイをさらに備え、

前記トリガ信号は、前記リフレッシュ動作の度に活性化される制御信号であることを特徴とする請求項１５に記載の半導体装置。

【請求項１７】

前記モード切り替え回路は、前記リフレッシュ動作が終了した後に、前記トリガ信号を活性することを特徴とする請求項１６に記載の半導体装置。

【請求項１８】

前記トリガ信号は、外部から発行されるオートリフレッシュコマンドであることを特徴とする請求項１６又は１７に記載の半導体装置。

【請求項１９】

前記トリガ信号は、該半導体装置の内部で生成される信号であることを特徴とする請求項１５乃至１８のいずれか一項に記載の半導体装置。

【請求項２０】

前記内部で生成される信号は、該半導体装置の電源検出回路の出力信号であることを特徴とする請求項１９に記載の半導体装置。

【請求項２１】

前記内部で生成される信号は、該半導体装置の外部とは非同期で動作するタイマ回路の出力信号であることを特徴とする請求項１９に記載の半導体装置。

【請求項２２】

請求項１５乃至２１のいずれか一項に記載の半導体装置と、前記半導体装置に接続されたコントローラとを備えることを特徴とするデータ処理システム。