发明名称：具有多个低功耗模式的半导体存储器件

摘要：

一个半导体存储器件，用于降低功率消耗和增加性能。该半导体存储器件包括必须进行刷新来维持数据的多个存储器单元。该半导体存储器器件包括对存储器单元执行正常操作的一个正常操作模式，和当该半导体存储器处于一个待机状态下时，用于降低功率消耗的多个低功耗消耗模式。该半导体存储器器件包括用于设置这多个低功率消耗模式中的一个模式的一个模式设置电路。
1. 一个半导体存储器器件，包括必须进行刷新来维持数据的多个存储器单元（23a），其中这个半导体存储器器件包括对存储器单元执行正常操作的一个正常操作模式。当这个半导体存储器器件处于一个待机状态下时，用于降低功率消耗的多个低功率消耗模式，这个半导体存储器器件的特征是：

用于设置这多个低功率消耗模式中的一个模式的一个模式设置电路（15）。

2. 如权利要求1的这个半导体存储器器件，其中这个半导体存储器器件在正常工作模式下，周期性地自动刷新所有的存储器单元。

3. 如权利要求1或者2的这个半导体存储器器件，其特征是：

一个判断电路（17），用于根据一个外部信号和这个半导体存储器器件的一个外部信号来判断这个模式是正常工作模式或者是包括低功率消耗模式的一个电源关闭模式。

4. 如权利要求1或者2的这个半导体存储器器件，其中这个判断电路对这个内部信号作出响应而接收这个外部信号，并且产生这个电源关闭模式信号。这个半导体存储器器件的特征是：

一个刷新控制电路（20），被连接到这个模式设置电路和判断电路，用于产生与对这个电源关闭模式信号作出响应而被这个模式设置电路所设置的一个低功率消耗模式相应的刷新信号。

5. 如权利要求1或者2的这个半导体存储器器件，进一步包括用于接收这个外部信号的一个外部端子。

6. 一个半导体存储器器件，包括：

含多个存储器单元的一个存储器内核（23），其中对存储器单元进行刷新来保持数据，其中这个半导体存储器器件包括对存储器单元执行正常操作的一个正常操作模式。当这个半导体存储器器件处于一个待机状态下时，用于降低功率消耗的多个低功率消耗模式；

一个内部电源提供电路（22），被连接到这个存储器内核，以向这个
存储器内核提供工作电压，其中这多个低功率消耗模式包括：

一第一低功率消耗模式，一第二低功率消耗模式，和一第三低功率消耗模式中的一个。这第一低功率消耗模式停止对所有存储器单元进行刷新并且停止内部电源提供电路的工作。这第二低功率消耗模式停止对所有存储器单元进行刷新，而继续内部电源提供电路的工作；和

这第三低功率消耗模式对部分存储器单元进行刷新，并且继续内部电源提供电路的工作；这个半导体存储器件的特征是：

用于设置这多个低功率消耗模式中的一个模式的一个模式设置电路（15）。

7. 如权利要求6的这个半导体存储器器件，其中这个正常工作模式包括一个待机模式和从待机模式进入的一个程序模式，并且其中这个模式设置电路在这个程序模式期间，设置在第三低功率消耗模式下需要被刷新的一部分存储器单元。

8. 如权利要求6的这个半导体存储器器件，其中这个正常工作模式包括一个待机模式和从待机模式进入的一个程序模式，并且其中这个模式设置电路在这个程序模式期间，设置多个低功率消耗模式中的一个。

9. 如权利要求8的这个半导体存储器器件，其中根据一个命令或者一个外部信号，这个半导体存储器器件从这个待机模式切换到程序模式。

10. 如权利要求9的这个半导体存储器器件，其中这个命令包括在正常工作模式期间不使用的一个非法命令。

11. 如权利要求10的这个半导体存储器器件，其特征是：

一个命令解码器（11），用于接收这个非法命令，其中当连续地接收多个非法命令时，这个命令解码器决定切换到这个程序模式。

12. 如权利要求11的这个半导体存储器器件，其中当在接收到这个非法命令后，这个命令解码器接收到来与这个非法命令不同的一个命令时，这个命令解码器就停止切换到这个程序模式。

13. 如权利要求9的这个半导体存储器器件，其中这个模式设置电路接收用于设置第三低功率消耗模式的信息，并且在这个程序模式期间根据这个信息设置在第三低功率消耗模式下需要被刷新的一部分存储器单
元。

14. 如权利要求 9 的这个半导体存储器器件，其中这个外部信号包括一个程序模式信号。

15. 如权利要求 14 的这个半导体存储器器件，其中这个半导体存储器器件接收一个程序模式信号，并且根据这个程序模式信号的模板变化来决定是否需要切换到这个程序模式。

16. 如权利要求 6 的这个半导体存储器器件，其中多个存储器单元被安排在多个块部分中，并且其中在第三工作模式下可以选择一个任意的块部分。

17. 如权利要求 6 的这个半导体存储器器件，其中多个存储器单元被安排在多个块部分中，并且其中在第三工作模式下可以选择一个任意数目的块部分。

18. 如权利要求 6 的这个半导体存储器器件，其中多个存储器单元被安排在多个块部分中，每一个块部分均具有不同的刷新特性，并且其中具有最佳刷新特性的块部分被选择作为在第三工作模式期间需要被刷新的部分。

19. 一个半导体存储器器件，包括：
被组织成在多个存储器部分中的多个存储器单元（23a），其中对存储器单元进行刷新来保持数据，并且其中这个半导体存储器器件包括用于对至少一个存储器部分中的存储器单元进行刷新的一个刷新模式，每一个存储器部分具有一个内在的刷新特性，这个半导体存储器器件的特征是：一个选择电路（90），用于选择具有最佳刷新特性的至少一个存储器部分。

20. 如权利要求 19 的这个半导体存储器器件，其中多个存储器部分包括前最设置成为用于刷新的一第一存储器部分和具有最佳刷新特性的一第二存储器部分，其中这个选择电路包括一个地址扰乱电路（90），这个地址扰乱电路 90 用于接收指定第一存储器部分的第一地址信息，并且用于将这个第一地址信息转换成指定第二存储器部分的第二地址信息。
21. 如权利要求 20 的这个半导体存储器器件，其中这个地拉扰乱电路（90）包括用于保存转换信息的一个非挥发性元件（99），这个非挥发性元件 99 用于将第一地址信总转换为第二地址信息。

22. 如权利要求 21 的这个半导体存储器器件，进一步包括用于输出第二地址信息的一个电路（100）。

23. 包括一第一半导体存储器器件（33）的一个半导体器件，它不需要维持数据；

一第二半导体器件（10），连接到第一半导体存储器器件，其中这第二半导体存储器器件包括必须进行刷新来维持数据的多个存储器单元（23a），其中这个半导体存储器器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器器件处于一个待机状态下时，用于降低功率消耗的多个低功率消耗模式，这个半导体存储器器件的特征是：

用于设置这多个低功率消耗模式中的一个模式的一个模式设置电路（15）。

24. 一个半导体存储器器件，包括必须进行刷新来维持数据的多个存储器单元（23a），其中这个半导体存储器器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器器件处于一个待机状态下时，用于降低功率消耗的多个低功率消耗模式，一个命令解码器（11）用于接收一个命令并且根据这个命令来产生第一程序模式信号和一个正常工作模式信号，这个半导体存储器器件的特征是：

一个输入控制电路（13），连接到这个命令解码器，用于从这个命令解码器接收第一程序模式信号并且用于根据这个第一程序模式信号来产生一个程序模式输入信号；和

一个模式设置电路（15），被连接到输入控制电路，用于对这个程序模式输入信号作出响应，设置这多个低功率消耗模式中的一个模式。

25. 如权利要求 24 的半导体存储器器件，其中当在第一程序模式信号后被提供了一个正常工作模式信号时，这个输入控制电路停止产生这个程序模式输入信号。
26. 如权利要求 24 的半导体存储器器件，其特征是：
一个外部信号输入电路（12），被连接到这个输入控制电路，用于接收一第二程序模式信号并且将这个第二程序模式信号提供到输入控制电路。

27. 如权利要求 24 的半导体存储器器件，其特征是：
一个刷新控制电路（20），被连接到这个模式设置电路，用于产生与被这个模式设置电路所设置的一个低功率消耗模式相应的一个刷新信号。

28. 如权利要求 27 的半导体存储器器件，其特征是：
一个判断电路（17），被连接到这个刷新控制电路，用于根据一个外部信号和这个半导体存储器器件的一个内部信号来判断这个模式是否是正常工作模式或者是包括多个低功率消耗模式的一个电源关闭模式，其中当这个模式是电源关闭模式时，这个判断电路将这个电源关闭模式信号提供到这个刷新控制电路。

29. 如权利要求 28 的半导体存储器器件，其中这个外部信号是一个芯片使能信号，并且这个内部信号是一个刷新请求信号，这个半导体存储器器件的特征是：
一个刷新操作判断电路（18），被连接到这个判断电路，用于产生这个刷新请求信号。

30. 一个半导体存储器器件，包括：
必须进行刷新来维持数据的多个存储器单元（23a），其中这个半导体存储器器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器器件处于一个待机状态下时，用于降低功率消耗的多个低功率消耗模式，这个半导体存储器器件的特征是：
用于对一个低功率消耗模式作出响应，产生一个刷新操作模式信号的一个模式设置电路（15）；和
一个刷新控制电路（20），被连接到这个模式设置电路，用于对这个刷新操作命令信号作出响应，将需要被刷新的存储器单元的一个设置地址与一个刷新计数器地址进行比较，并且当这个设置地址和这个刷新计
数器地址匹配时产生这个刷新信号。
具有多个低功耗模式的半导体存储器件

技术领域

本发明涉及一个半导体存储器件，更特别地，涉及由一个 DRAM 和主要被安装在移动设备中的一个非挥发性存储器形成的一个混合存储器系统。

背景技术

便携式设备，例如蜂窝电话，个人手提电话系统（PHS），或者具有通信功能的个人数字助理（PDA），可以变得很紧凑和小巧。进一步，便携式终端所处理的通信数据数量已经增加了。例如，除了通话功能，一个蜂窝电话可以被用于发送文本数据和图形数据。进一步，据预测，一个蜂窝电话将被用作使用互联网的一个信息终端（便携式个人计算机）。

另外，一个便携式设备的通信速度已经增加了，并且便携式设备的的小型化已经导致能够容纳更小的电池。所以，被安装在便携式设备中的存储器需要具有高的工作速度，大的存储容量，和低的功耗。另外，需要蜂窝电话部件的成本能够降低到使蜂窝电话的价格更具竞争力。这样，所需要的工作存储器的价格是不昂贵的，并且其容量很大。

具有一预定存储容量（例如，大约 4 兆比特）的 SRAM 已经被安装在一个便携式终端中，例如蜂窝电话中，以用作一个保存在工作期间必要的数据的工作存储器。但是，已经提出了使用闪存和 DRAM 来代替 SRAM 的建议，以增加通信数据的数量和通信的速度。DRAM 是与一个异步存储器系统的 SRAM 兼容的。

DRAM 的优点在于其每比特的成本较低，并且能够以很高的速度执行读取/写入操作。但是，当处于一个待机状态而需要维持数据时，DRAM 需要消耗功率。在待机状态所需要消耗的功率是几百微安，当 DRAM 的工作模式是一个单元刷新模式，在单元刷新模式中，DRAM 自动地和连
继续维持整个存储器中的数据。当 DRAM 处于不需要保持被写入数据的一个待机模式中时，其功率消耗为几十微安。

一个闪存的优点在于它不需要进行刷新，并且处于待机模式时，其消耗的功率为几个微安。但是，闪存需要几个毫秒到几十个毫秒来写入数据。这样，它就需要花较多的时间来写入数据。

所以，在通信期间，DRAM 被用作一个大容量，高速度的工作存储器。在一个待机状态时，在去激活 DRAM 以前，需要被保持的数据被从 DRAM 转移到闪存。通过使用这样的方式来进行工作，一个蜂窝电话所消耗的功率降低了。

当整个蜂窝电话从一个待机模式切换到一个通话模式时，在重新激活了 DRAM 以后，在闪存中的数据必须被重新写入到 DRAM 中。这样的工作方式产生了一个等待（系统忙）时间，这反过来，又降低了整个系统（蜂窝电话）的性能。

为了解决这样的缺点，可以使用带部分刷新功能的一个 DRAM。部分刷新功能仅刷新预定存储器部分的数据。在一个蜂窝电话中，当打开电源时，只要某些数据被保持了，剩余的数据不需要被保持。所以，需要被保持的数据的存储器区域可以被指定。替代地，需要被保持的数据可以被写入到被进行刷新的一个存储器部分。这样一个 DRAM 的功率消耗比刷新整个存储器单元的 DRAM 的功率消耗低。进一步，在闪存中，将数据重新写入到 DRAM 所需要的等待时间将减少。所以，蜂窝电话的性能就不会降低了。

但是，当在一个便携式设备中低功率消耗变为一个重要的因素时，优选地，在待机模式下，DRAM 被完全去激活。进一步，可以设计这样一个系统，它根据便携式设备的状态，选择性地执行部分刷新或者完全去激活 DRAM，来减少等待时间和降低功率消耗。使用这样一个工作方式，就可能能够允许一个用户设置不同低功率消耗模式的一个半导体存储器件。

发明内容
本发明的一个目的是提供能够降低功率消耗并且增加性能的一个半导体存储器件。

为了实现上面这个目的，本发明提供了包括多个存储器单元的一个半导体存储器件，其中对存储器单元进行刷新来保持数据。这个半导体存储器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器件处于一个待机状态下时，用于降低功率消耗的多个低功率消耗模式。这个半导体存储器件包括用于设置这多个低功率消耗模式中的一个模式的一个模式设置电路。

从另外一个方面来看，本发明是一个半导体存储器件。这个半导体存储器件包括包含多个存储器单元的一个存储器内核，其中对存储器单元进行刷新来保持数据。这个半导体存储器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器件处于一个待机状态下时，用于降低功率消耗的多个低功率消耗模式。一个内部电源提供电路被连接到这个存储器内核，以向这个存储器内核提供工作电压。这多个低功率消耗模式包括一个低功率消耗模式，一个第二低功率消耗模式，和一个第三低功率消耗模式中的一个。这第一低功率消耗模式停止对所有存储器单元进行刷新并且停止内部电源提供电路的工作。这第二低功率消耗模式停止对所有存储器单元进行刷新，而继续内部电源提供电路的工作。这第三低功率消耗模式对部分存储器单元进行刷新，并且继续内部电源提供电路的工作。这个半导体存储器件包括用于设置这多个低功率消耗模式中的一个模式的一个模式设置电路。

从另外一个方面来看，本发明是一个半导体存储器件。这个半导体存储器件包括被组织成在多个存储器部分中的多个存储器单元。其中对存储器单元进行刷新来保持数据。这个半导体存储器件包括用于对至少一个存储器部分中的存储器单元进行刷新的一个刷新模式。每一个存储器部分具有一个内在的刷新特性。一个选择电路选择具有最佳刷新特性的至少一个存储器部分。

从另外一个方面来看，本发明是一个半导体存储器件。这个半导体存储器件包括不需要保持数据的第一半导体存储器和连接到第一半导体
存储器件的一第二半导体器件。这第二半导体存储器件包括多个被刷新来保持数据的存储器单元。这个半导体存储器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器件处于一个待机状态下，用于降低功率消耗的多个低功耗消耗模式。这第二半导体存储器件包括用于设置这多个低功率消耗模式中的一个模式的一个模式设置电路。

从另外一个方面来看，本发明是一个半导体存储器件。这个半导体存储器件包括含多个存储器单元，其中对存储器单元进行刷新来保持数据。这个半导体存储器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器件处于一个待机状态下，用于降低功率消耗的多个低功耗消耗模式。一个命令解码器接收一个命令，并且根据这个命令产生第一程序模式信号和一个正常工作模式信号。一个输入控制电路被连接到这个命令解码器，以从这个命令解码器中接收这第一程序模式信号并且根据这个第一程序模式信号来产生一个程序模式输入信号。一个模式设置电路被连接到这个输入控制电路，来对这个程序模式输入信号作出响应，设置这多个低功率消耗模式中的一个模式。

从另外一个方面来看，本发明是一个半导体存储器件。多个存储器单元被进行刷新来保持数据。这个半导体存储器件包括对存储器单元执行正常操作的一个正常操作模式，和当这个半导体存储器件处于一个待机状态下，用于降低功率消耗的多个低功率消耗模式。一个模式设置电路产生与多个低功率消耗模式中一个相应的一个刷新工作模式信号。一个刷新控制电路被连接到这个模式设置电路，对这个刷新工作模式信号作出响应，将需要被刷新的存储器第一的一个设置地址与刷新计数器地址进行比较，并且当设置地址与刷新计数器地址匹配时就产生刷新信号。

从下面的描述中，并且参考附图，可以更清楚本发明的其它方面与优点，这些附图仅仅是本发明的原理示例。

附图说明

通过下面关于本发明优选实施方式的描述，并且参考附图，可以更好
地理解本发明，其目的和优点。

图1是根据本发明的第一实施方式的一个半导体存储器件的一个示意图框图；
图2是显示了图1的半导体存储器件中状态切换的一个图；
图3是显示在一个功率关闭模式期间，一个内部电源提供电路和一个刷新操作的状态的表；
图4是包括图1的半导体存储器件的一个蜂窝电话的一个示意图框图；
图5是显示图4的蜂窝电话的工作的一个流程图；
图6是显示图1中半导体存储器件的模式切换的一个波形流程图；
图7是显示图1中半导体存储器件的一个模式设置周期的一个波形流程图；
图8是被提供给图1中半导体存储器件的命令表；
图9是显示图1中半导体存储器件的模式设置周期的一个波形流程图；
图10A到10C是模式设置地址代码的表；
图11A是图1中半导体存储器件的一个输入控制电路的一个示意图电路，图11B是输入控制电路的一个脉冲产生电路的一个示意图电路；
图12是图1中半导体存储器件的一个模式锁存电路的一个示意图电路；
图13是图1中半导体存储器件的一个电源关闭模式判断电路的一个示意图电路；
图14是图1中半导体存储器件的一个刷新控制电路的一个示意图电路；
图15A和15B是显示图11A中输入控制电路的波形的图；
图16是显示图11A中输入控制电路的波形的一个图；
图17A和17B是显示图12中模式锁存电路的一个合成输入信号产生电路的波形的图；
图18是显示图12中模式锁存电路的一个模式设置地址缓冲器的波形的一个图；
图 19 是显示图 12 中模式锁存电路的一个模式设置地址缓冲器的波形的一个图；
图 20 是显示图 12 中模式锁存电路的一个模式设置解码器的波形的一个图；
图 21 是显示图 13 的电源关闭模式判断电路的波形的一个图；
图 22 是显示图 14 中刷新控制电路的波形的一个图；
图 23 是显示图 14 中刷新控制电路的波形的一个图；
图 24 是一个地址扰乱电路的一个示意图电路；
图 25 是显示地址扰乱的一个图；和
图 26 是一个存储器阵列的一个示意图框图。

实施方式描述
在图中，类似的数字标号被用于表示类似的部件。
根据本发明的一个优选实施方式的一个半导体存储器件现在就被参考
图 1 到 23 进行描述。
根据这个优选实施方式的半导体存储器件是具有一个 SRAM 接口的一个
DRAM。这个 DRAM 包括一个存储器内核，它具有用于保存信息的
dynamic 存储器单元，一个行解码器，一个列解码器，和一个读出放大器。
这个 DRAM 是一个异步存储器，它不需要有信号或者命令被提供到与
一个外部设备相连的一个接口，来对存储器单元进行刷新。进一步，这个
DRAM 具有一个自刷新功能，它能够在正常的工作模式期间，保持
存储器单元中的信息。所以，这个 DRAM 替代了一个 SRAM 而不需要
执行刷新的附加电路。

图 2 是显示根据这个优选实施方式的半导体存储器件（DRAM）中的
状态切换的一个图。这个 DRAM 工作在一个正常工作模式下，在这个模
式期间，执行正常的读取和写入操作，并且这个 DRAM 也可以在一个电
源关闭的模式下，在这个模式期间，功率消耗较低。在电源关闭模式期
间，选择包括一个睡眠模式，一个刷新停止模式（Nap 模式），和一部
分自刷新模式（S-Ref 模式）的多个低功率消耗模式中的一个。对一个器
件内部电源提供的控制和对存储器内核刷新的控制被组合在一起设置每一个功率消耗模式。

当电源在提供时，DRAM 从一个冷启动（CST）状态进入功率关闭模式中的一个（在优选实施方式中，是睡眠模式），然后切换到正常工作模式的一个待机模式（STB）。DRAM 从一个冷启动状态进入的功率关闭模式可以是 Nap 模式或者 S-Ref 模式。这个 DRAM 具有一个自刷新功能，它能够在正常工作模式期间，自动地保持每一个存储器单元部分中的数据。

当在待机模式下，提供了读取命令或者一个写入命令时，DRAM 切换到一个读取模式（RD）或者一个写入模式（WR）并且执行一个读取操作或者一个写入操作。在执行一个读取操作或者一个写入操作后，DRAM 根据所接收的命令进入到一个待机模式或者一个输出非使能模式（OD），或者从这个输出非使能模式进行到待机模式。DRAM 也可以根据所接收的命令（写入后进行读取的命令）从读取模式转换到写入模式。

当在待机模式下提供了一个程序命令时，DRAM 切换到第一程序模式（PRO）。进一步，当 DRAM 在待机模式期间检测到一个程序模式信号/PE 时，DRAM 切换到第二程序模式（PE）。在第一和第二程序模式中，DRAM 根据从一个外部设备所提供的一个设置代码，选择电源关闭模式中低功率消耗模式中的一个模式，并且根据一特定设置模式设置被选择的低功率消耗模式。在完成了这个设置后，DRAM 自动地切换到待机模式。

当这个 DRAM 在待机模式期间，检测到一个芯片使能信号 CE2 时，这个 DRAM 就立即进入到被选择的低功率消耗模式。从电源关闭模式切换到正常工作模式所需要的功率消耗数量和等待时间对每一个低功率消耗模式来说是不同的。所以，一个用户可以通过选择低功率消耗模式之一来选择所希望的功率消耗。进一步，在正常工作模式（程序模式）期间，预先设置了低功率消耗模式。这样，在当这个芯片使能信号 CE2 发生改变时起的一个很短的时间内，DRAM 就从正常工作模式切换到低功率消耗模式。
图3是显示根据这个模式而设置的内部电源提供和刷新工作的表。

DRAM根据每一个低功率消耗模式而切换内部电源提供电路和刷新工作。

当被提供到DRAM的一个模式端子上的这个芯片使能信号CE2为高电平时，这个DRAM就在正常工作模式下。在这个正常工作模式下，DRAM激化了所有的内部电源提供电路，并且对存储器内核中的每一个存储器部分的存储器单元进行刷新，每一个内部电源提供电路是在一个相关的低功率消耗模式中被激活的。

例如，DRAM包括5个内部电源提供电路。第一内部电源提供电路向存储器内核提供电源。第二内部电源提供电路向驱动存储器内核的外围电路提供电源。第三内部电源提供电路向一个外部设备和一个接口提供电源。第四内部电源提供电路向一个用于确定例如电源关闭模式期间的模式的电路提供电源。第五内部电源提供电路向这个衬底提供一个负的电压或者一个跃升电压。

当被提供到DRAM的这个模式端子上的这个芯片使能信号CE2为低电平时，这个DRAM就进入到低功率消耗模式中的一个。在睡眠模式下，这个DRAM去激活第一，第二和第五内部电源提供电路，在Nap模式下或者S-Ref模式，DRAM激化这些电路。在睡眠模式和Nap模式下，DRAM停止进行刷新，而在S-Ref模式下，DRAM根据预定的程序执行一个选择性刷新操作。

在睡眠模式下，DRAM去激活某些内部电源提供电路，并且停止刷新操作，以进一步减少功率消耗。但是，当DRAM从睡眠模式切换到正常工作模式时，就需要第一等待时间，直到使能了对存储器内核中的数据进行读取和写入，并且需要第二等待时间，以将数据写入到存储器单元中。这第一等待时间是从内部电源提供电路被激活的时刻到这个存储器内核被提供了具有一预定电压的一个内部电源提供的时刻之间的时间。

在Nap模式下，DRAM停止刷新操作并且减少功率消耗。在这个情形下，不需要第一等待时间，因为内部电源提供电路被激活了。所以，
仅需要一等待时间，直到 DRAM 的操作被使能。

在 S-Ref 模式下，DRAM 仅对预定存储器部分执行自刷新操作。这样，与对每一个存储器部分进行刷新相比，减少了功率消耗。在这个情形下，根据一预定程序，DRAM 在电源关闭模式下，将数据保存在进行自刷新的存储器部分中。这样，就缩短了访问 DRAM 所需要的时间。

现在参考图 1 来讨论根据优选实施方式的 DRAM 10，图 1 仅显示了与 DRAM 10 的电源关闭模式相关的电路。

DRAM 10 包括一个命令解码器 11，一个外部信号输入电路 12，一个输入控制电路 13，一个模式设置地址缓冲器 14，一个模式锁存电路 15，一个缓冲器 16，一个电源关闭模式判断电路 17，一个刷新操作判断电路 18，一个自刷新振荡器 19，一个刷新控制电路 20，一个行控制电路 21，一个内部电源提供电路 22，和一个 DRAM 内核 23。

DRAM 内核 23 包括一个存储器单元阵列，一个控制电路，和一个输入/输出 (I/O)电路。这个存储器单元阵列具有以矩形的方式被排列在字线和比特线之间的交叉部分上的多个存储器单元 23a。列控制电路选择比特线，并且 I/O 电路从和向存储器单元输入和输出数据。

一个外部设备向命令解码器 11 提供一第一芯片使能信号 /CE1，一个写入使能信号 /WE，一个输出使能信号 /OE，一个高有效位比特 /UB，和一个低有效位比特信号 /LB。在每一个字母标识符前的这个“/”表示这个信号具有负的逻辑。

在读取操作或者写入操作期间，第一芯片使能信号 /CE1 变低，并且激活 DRAM 10。在写入操作期间，写入使能信号 /WE 变低，并且使能对数据的写入。在读取操作期间，输出使能信号 /OE 变低，并且使能数据的输出。高有效位比特 /UB，和低有效位比特信号 /LB 用于对输入/输出数据进行掩码。

命令解码器 11 对这些信号进行解码，并且产生各种类型的命令。当产生了用于执行正常工作（读取/写入操作）的一个命令时，命令解码器 11 产生一个相应的读取/写入信号 RD/WR。命令解码器 11 向行控制电路 21 和输入控制电路 13 提供读取/写入信号 RD/WR。
当产生了用于设置电源关闭模式的一个命令时，命令解码器 11 产生一个相应的第一程序模式信号 Pro，并且将这个第一程序模式信号 Pro 提供到输入控制电路 13。这个第一程序模式信号 Pro 被用于根据外部命令设置 DRAM 10 的输入模式。

禁止操作或者对正常操作没有任何意义的（非法模式）的信号 /CE1, /WE, /OE, /UB, /LB 的组合可以被用作设置电源关闭模式的命令。从这样的组合中形成的一个命令被称作一个非法命令。

当这第一芯片使能信号 /CE1 非使能了正常操作时，外部信号输入电路 12 对从一个外部设备提供的一第二程序模式信号 /PE 进行放大，并且将这个被放大的第二程序模式信号 /PE 提供到输入控制电路 13。更具体地，当这第一芯片使能信号 /CE1 为高电平时，外部信号输入电路 12 向输入控制电路 13 提供第二程序模式信号 /PE。第二程序模式信号 /PE 被用于根据这个外部信号设置 DRAM 10 的一个输入模式。

在一个外部命令或者一个外部命令所决定的一个模式设置周期中，DRAM 10 从正常工作模式切换到电源关闭模式中的一个低功率消耗模式。

根据第一程序模式信号 Pro 和取/写入信号 RD/WR，输入控制电路 13 产生第一地址使能信号 proaddrz 和第一输入信号 proentz。然后，输入控制电路 13 将第一地址使能信号 proaddrz 和第一输入信号 proentz 提供到这个模式设置地址缓冲器 14 和模式锁存电路 15。

更具体地，输入控制电路 13 对第一程序模式信号 Pro 被输入的次数进行计数，并且当这个计数值达到一个预定值时，产生第一地址使能信号 proaddrz 和第一输入信号 proentz。当在计数值达到这个预定值以前，提供了读取/写入信号 RD/WR，输入控制电路 13 就清除这个计数值。所以，当第一程序模式信号 Pro 被连续提供了一预定次数时（即，当命令解码器 11 连续预定次数地接收了一个非法命令），输入控制电路 13 就产生第一地址使能信号 proaddrz 和第一输入信号 proentz。输入控制电路 13 避免因为噪声或者类似的因素而错误地输入了一个程序模式。

当命令解码器 11 连续预定次数地接收了一个非法命令时，可以产生
第一程序模式信号 Pro。在这个情形下，输入控制电路 13 根据这个第一程序模式信号 Pro 产生第一地址使能信号 proaddz 和第一输入信号 proentz。

输入控制电路 13 根据第一程序模式信号 /PE 产生第一地址使能信号 peaddz 和第一输入信号 peentz，并且将第二地址使能信号 peaddz 和第二输入信号 peentz 提供给模式设置地址缓冲器 14 和模式锁存电路 15。

更具体地，输入控制电路 15 检测第二程序模式信号 /PE 是否已经根据一预定模式进行转换，并且当已经检测到这样的状态切换时就产生第二地址使能信号 peaddz 和第二输入信号 peentz。在这个优选实施方式中，第二程序模式信号 /PE 通常是高电平。当第二程序模式信号 /PE 从高电平切换到低电平并且然后又转换到高电平时，就产生第二地址使能信号 peaddz 和第二输入信号 peentz。输入控制电路 13 通过一个外部输入信号使能进入这个程序模式。

所以，DRAM 10 根据来自一个外部终端 101 的一个外部命令或者一个外部信号而进入到程序模式 PRO，PE。这样的模式进入使这个用户的需求能够被满足。

模式设置地址缓冲器 14 从一个外部设备接收一个地址信号 ADD，并且对第一和第二地址使能信号 proaddz, peaddz 作出响应，向这个模式锁存电路 15 提供由模式设置所需要的状态信号 ADD 的比特所形成的一个地址信号 A<0:3> （在这个情形下，是 4 个比特）。代码 A<0:3>表示地址信号 ADD 的比特 A0 到 A3。

模式锁存电路 15 根据第一和第二地址使能信号 proaddz, peaddz, 和第一与第二输入信号 proentz, peentz 来锁存地址信号 A<0:3>，并且向刷新控制电路 20 提供一个刷新地址信号 paz<0:3>。刷新地址信号 paz<0:3> 包括在 S-Ref 模式期间应被进行选择性刷新的存储器部分的信息。

进一步，模式锁存电路 15 解码刷新地址信号 paz<0:3>，并且产生一个刷新停止模式信号 (Nap 模式信号) napz，一个选择性刷新模式信号 (S-Ref 模式信号)srefz，和一个睡眠模式信号 sleepz。
更具体地，对第一和第二地址使能信号 proaddz，peaddz 作出响应，模式锁存电路 15 将地址信号 A<0:3>作为一个代码而锁存。这个代码包括输入模式的信息和用于设置输入模式工作的信息（在选择性刷新模式期间的存储器部分选择信息）。

在这个优选实施方式中，地址信号 A0，A1 是模式选择信息，地址信号 A2，A3 是存储器选择信息。所以，在 S-Ref 模式中，DRAM 10 将 DRAM 内核划分为 4 个存储器部分，并且根据地址信号 A2，A3 选择性地刷新存储器部分中的一个。

根据被锁存的代码（模式选择信息），模式锁存电路 15 促使 Nap 模式信号 napz，S-Ref 模式信号 srefz，和一个睡眠模式信号 sleepz 中的一个为高电平。

模式锁存电路 15 向刷新控制电路 20 提供 Nap 模式信号 napz 和 S-Ref 模式信号 srefz，并且向内部电源提供电路 22 提供睡眠模式信号 sleepz。

缓冲器 16 对从一个外部设备接收的一第二芯片使能信号 CE2 进行放大，并且将这个被放大的第二芯片使能信号 CE2 提供到电源关闭模式判断电路 17。第二芯片使能信号 CE2 被用于在正常工作模式和电源关闭模式之间进行切换。电源关闭模式判断电路 17 也接收从刷新工作判断电路 18 输出的一个刷新请求信号 psrtz。

这个刷新工作判断电路 18 根据从自刷新振荡器 19 输出的一个时钟信号 CLK 而产生刷新请求信号 psrtz。这个自刷新振荡器 19 产生为一个预定频率的一个时钟信号 CLK，并且将这个时钟信号 CLK 提供到刷新工作判断电路 18。这个刷新工作判断电路 18 对时钟信号 CLK 进行除法运算或者进行计数，并且产生为一预定周期的刷新 (REF) 请求信号 psrtz。这个刷新请求信号 psrtz 具有与刷新 DRAM 内核 23 中所有存储器单元的信息所需要的时间相应的一个周期。这个刷新工作判断电路 18 向电源关闭模式判断电路 17 和刷新控制电路 20 提供刷新请求信号 psrtz。

在 S-Ref 模式中，刷新请求信号可以根据其中需要被执行刷新的存储器电单元部分的信息保持特征而进行改变。进一步，这个刷新请求信号在地址扰乱期间可以以相同的方式被改变，这在后面将要描述。
这个电源关闭模式判断电路 17 根据第二芯片使能信号 CE2 判断模式，并且与刷新请求信号 psrtz 同步，将一个电源关闭 (PD) 模式信号 pdmodez 切换到与判断模式相应的一个电平。例如，当从正常工作模式切换到电源关闭模式时 (当第二芯片使能信号 CE2 变为低电平时)，电源关闭模式判断电路 17 促使 PD 模式信号 pdmodez 变为高电平，并且变化与刷新请求信号 psrtz 变为低电平是同步的。当从电源关闭模式切换到正常工作模式时，电源关闭模式判断电路 17 促使 PD 模式信号 pdmodez 变为低电平，并且变化与刷新请求信号 psrtz 变为低电平是同步的。通过使用这个方式来产生 PD 模式信号，正在被执行的自刷新操作被禁止停止，并且避免由此而产生的对存储器单元中信息的破坏，即使与一个外部设备异步的刷新请求信号 psrtz 被在 DRAM 10 中产生。

在正常工作模式中，对这个电源关闭模式信号 pdmodez 作出响应，刷新控制电路 20 产生一个刷新信号 srtz，这个刷新信号的脉冲基本上是刷新请求信号 psrtz 相同的。

对从刷新控制电路 20 所提供的刷新信号 srtz 作出响应，行控制电路 21 激活被一个刷新地址计数器（没有显示）所选择的 DRAM 内核 23 的一个字线。使用这个方式，连接到被激活字线的存储器单元的信息被进行刷新。

在电源关闭模式中，对这个电源关闭模式信号 pdmodez 作出响应，刷新控制电路 20 根据 Nap 模式信号 napz，S-Ref 模式信号 srefz，和刷新地址信号 paz<0:3> 从刷新请求信号 psrtz 产生一个刷新信号 srtz。

更具体地，当 Nap 模式信号 napz 变为高电平时，刷新控制电路 20 促使刷新信号 srtz 变为低电平。对低电平的刷新信号 srtz 作出响应，行控制电路 21 不激活字线。所以，在 Nap 模式信号 napz 为高电平的 Nap 模式中，就停止对 DRAM 内核 23 进行刷新。

当 S-Ref 模式信号 srefz 变为高电平时，刷新控制电路 20 根据刷新地址信号 paz<0:3> 的存储器部分信息，产生为脉冲的刷新信号 srtz。更具体地，当刷新地址计数器的输出（即 DRAM 内核 23 的地址）与刷新地址信号 paz<0:3> 的存储器部分信息（地址信号 A2, A3）匹配时，刷新控
电路 20 产生其脉冲基本上与刷新请求信号 psrtz 是相同的刷新信号 srtz。对这个刷新信号 srtz 作出响应，行控制电路 21 激活字线。这对存储器部分信息（地址信号 A2, A3）所指定的存储器部分的存储器单元进行刷新。

内部电源提供电路 22 控制对包括 DRAM 内核 23 的电路进行供能。对从模式锁存电路 15 所接收的睡眠模式信号 sleepz 作出响应，内部电源提供电路 22 被激活和去激活。被激活的内部电源提供电路 22 产生被提供到包括 DRAM 内核 23 的电路的内部电压。去激活的内部电压提供电路 22 停止产生内部电压。

除了被睡眠模式信号 sleepz 所控制的内部电源提供电路 22 外，DRAM 10 包括被不被睡眠模式信号 sleepz 所控制的一个内部电源提供电路。

图 4 是包括了 DRAM 10 的一个蜂窝电话的一个示意图框图。这个蜂窝电话 30 包括一个 CPU 31 和一个 MCP 31，其中每一个被排列在一个半导体电路的衬底上。MCP 32 包括 DRAM 10 和一个闪存 33。MCP 是由多个具有类似于一个 DRAM 和一个闪存的不同功能的芯片所形成的一个多芯片组。

CPU 31 控制了将数据写入到 DRAM 10 和闪存 33，并且控制了从 DRAM 10 和闪存 33 中对数据的读取。DRAM 10 被用作一个工作存储器，而当蜂窝电话 30 的电源被关闭时或者当蜂窝电话 30 处于待机模式时，闪存 33 被用作一个备份存储器。

图 5 是显示了蜂窝电话 30 的操作的一个流程图。

当关闭蜂窝电话 30 的电源时，CPU 31 将必要的数据从 DRAM 10 转移到闪存 33。

当打开电源时，蜂窝电话 30 进入待机模式。在这个状态下，CPU 31 将 DRAM 10 设置在一个低电源消耗模式下。当 DRAM 10 处于睡眠模式时，DRAM 10 所消耗的功率基本上与处于待机模式下的闪存 33 所消耗的功率相同。必要的数据被保存在闪存 33 中。

随后，当蜂窝电话 33 从待机模式切换到一个通话模式时，CPU 31 促使芯片使能信号 CE2 变为高电平。在 DRAM 10 进入了待机模式后（图
2），CPU 31 转移被保存在闪存 33 中的数据。通话包括对数据的转移。

当从通话模式切换到待机模式时，CPU 31 将 DRAM 10 的必要数据保存在闪存 33 中。然后，CPU 31 使能信号 CE2 变为低电平，并将 DRAM 10 切换到电源关闭模式。当电源关闭模式被设置在睡眠模式或者 Nap 模式中时，DRAM 10 不执行刷新操作。这样，就删除了 DRAM 10 中的所有数据。当电源关闭模式被设置在 S-Ref 模式时，对被选择的存储器部分进行刷新操作。这样，DRAM 10 保持必要的数据并且删除不必要的数据。这在蜂窝电话 30 处于待机模式时，减少了功率消耗。

当蜂窝电话 30 从待机模式切换为通话模式时，CPU 31 使能信号 CE2 变为高电平。结果，DRAM 10 进入待机模式。在这个状态下，当 DRAM 10 从睡眠模式切换到正常工作模式时，DRAM 10 激活了内部电源提供电路 22，并且重新向 DRAM 内核 23 进行供电。在启动了电源提供后的时间 t1 后，CPU 31 将被保存在闪存 33 中的数据传送到 DRAM 10。数据传输需要时间 t2。所以，在睡眠模式下，需要时间 t1+t2 来激活通话。但是，在这个情形下，内部电源提供电路 22 在睡眠模式中被去激活。这样，功率消耗降低的效果就更显著了。

当 DRAM 10 从 Nap 模式切换到正常工作模式时，内部电源提供电路 22 已经被激活了。这样，CPU 31 立即将被保存在闪存 33 中的数据传送到 DRAM 10。数据传输需要时间 t2。所以，在 Nap 模式下所消耗的功率比当维持 DRAM 10 中的所有数据所消耗的功率小。因为时间 t1 是不必要的，与睡眠模式相比，就改进了蜂窝电话的性能。

当 DRAM 10 从 S-Ref 模式切换到正常工作模式时，仅维持 DRAM 10 中必要的数据。这样，就立即使能通话。所以，在 S-Ref 模式中，蜂窝电话 30 的性能基本上保持相同，因为在待机模式和通话模式之间的等待时间基本上是零（或者基本上为零）。这样，通过选择合适的低功率消耗模式，就可以改进功率降低的效果和改进蜂窝电话 30 的性能。

一个专用存储器控制器可以被用于替代 CPU 31 来控制 DRAM 10 和闪存 33。进一步，数据的传输不局限于在待机模式和通话模式之间进行
切换的时刻，并且当必要时，可以在一个通话期间执行数据的传输。进一步，一个 SRAM 可以被用作数据备份存储器，而不使用闪存 33。进一步，在待机模式中，数据可以被保存在一个本地数据库的一个服务器中，或者蜂窝电话 30 的类似数据库中。

图 6 是显示模式切换的一个波形流图。

DRAM 10 根据被提供到模式端子的第二芯片使能信号 CE2 来控制在正常工作模式与电源关闭模式之间的模式切换。提供在正常工作模式期间，设置下一个电源关闭模式，就减少了从正常工作模式切换到电源关闭模式所需要的时间。

DRAM 10 对刷新请求信号 psrtz 作出响应来决定模式。执行决定是为了解决因为当第二芯片使能信号 CE2 与刷新请求信号 psrtz 相互异步时所导致的错误刷新。即，如果当在正常工作模式期间，对刷新请求信号 psrtz 作出响应而正在刷新 DRAM 内核 23 时，模式被切换到电源关闭模式，这个刷新就可能被中断，并且可能删除信息。

当退出电源关闭模式（电源关闭模式退出）时，DRAM 10 保持模式设置信息。通过首先将模式设置在正常工作模式，模式设置信息的保持消除了重新设置模式的负担。模式设置信息可以在电源关闭模式退出期间被自动地设置为一个缺省值。在这个情形下，缺省值可以是可变的。这样的设置消除了当系统临时改变低功率消耗模式时重新将模式设置为初始模式的负担。

图 7 是显示模式设置周期的一个波形流图。

DRAM 10 通过一个模式设置外部终端 101 来接收电源关闭模式所需要的数据。通过使用这个方法来接收信息，就可以确保在正常工作模式期间进行安全的操作。

更具体地，当第一芯片使能信号 /CE1 为高电平时，DRAM 10 不执行正常工作。当第一芯片使能信号 /CE1 为高电平时，对被提供到专用终端 101 的第二程序模式信号 /PE 作出响应，根据这个地址信号 ADD，DRAM 10 获得地址代码。换句话说，当第二程序模式信号 /PE 变为低电平时，DRAM 10 激活地址代码输入电路，当第二程序模式信号 /PE
变为高电平时，DRAM 10 对地址代码信息进行锁存。

当第一芯片使能信号 ICE1 为低电平时，根据这个读取命令，DRAM 10 获得地址信号 ADD。

在图 7 中，t1 到 t5 是外部规定时间条件。

在图 7 的时序中，当第二程序模式信号 /PE 变为低电平时，连接到一个外部专用端的一个输入电路（没有显示）被激活。这启动了对地址信号的一个解码过程。当第二程序模式信号 /PE 变为高电平时，就决定解码结果，并且去激活输入电路。通过使用这个方法来选择性地激活输入电路，就减少了功率消耗。在模式设置周期中，第二程序模式信号的逻辑电平可以被反转。进一步，地址代码可以被提供到一个时间端子（DQ）。

图 8 是一个命令表。命令 C1 到 C6 和 C8 到 C10 在正常工作模式期间被使用。命令 C7, C11 在正常工作模式期间没有任何意义。在写入（WR）操作期间，虽然使用了命令 C7，但是信号 /LB, /UB 为高电平，并且这样就不输入数据（即，数据被进行掩码）。命令 C11 在读取（RD）操作期间被使用。但是，因为数据被信号 /LB, /UB 进行了掩码，所以不输出数据。

使用这个方法，通过获得在正常工作模式期间不使用的命令（非法命令）来作为电源关闭模式所需要的信息，就不需要一个专用终端来设置模式信息。

图 9 是显示一个模式设置周期的一个波形图。图 9 显示了何时通过连续低输入图 8 的多个命令而获得了作为一个地址代码的、模式设置所需要的信息的一个示例。

对命令 C11 作出响应，DRAM 10 获得作为一个地址代码的地址信号 ADD。地址代码的获取被重复 N 次。当对第一命令到第 N 个命令作出响应而获得的 N 个地址代码中的每一个均匹配时，DRAM 10 判断这个地址代码是有效的，并且设置这个模式。如果执行命令 C11 的 N - 1 次地址代码匹配时，也可以设置这个模式。进一步，用于获得地址代码所需要的数量也可以根据需要而改变（例如，一次）。

图 10A 到 10C 是模式设置地址代码表。地址信号 A0 到 A3 作为地址
代码而被获取，并且根据这个地址代码来设置模式。

DRAM 10 根据用作地址代码的地址信号 A0, A1 来设置低功率消耗模式，并且根据地址信号 A2, A3（例如，在 S-Ref 模式中的刷新模块选择）设置模式的工作。

更具体地，当地址信号 A0, A1 均为低电平（0）时，就设置 Nap 模式。当地址信号 A0 是低电平，而地址信号 A1 是高电平（1）时，就设置 S-Ref 模式。当地址信号 A0, A1 均是高电平时，就设置睡眠模式。
进一步，当地址信号 A2, A3 均是低电平时，就指制定模块选择 # 00。当地址信号 A2 是低电平，并且地址信号 A3 是高电平时，就指制定模块选择 # 10。当地址信号 A2 是高电平，地址信号 A3 是低电平时，就指制定模块选择 # 01。当地址信号 A2, A3 均是高电平时，就指制定模块选择 # 11。

模块选择不是非分成 4 个，并且可以根据需要分成 2 个或者 8 个。进一步，可以同时指定多个存储器部分。例如，当刷新存储器部分的一半时，就可以指定两个四分之一的存储器部分。这可以使各种需求获得满足，并且改进了这个系统的性能。

现在参考图 11 到图 23 来讨论输入控制电路 13, 模式锁存电路 15, 电源关闭模式判断电路 17, 和刷新控制电路 20。

图 11A 是输入控制电路 13 的一个示意图框图。输入控制电路 13 包括一第一输入电路 13a 和一第二输入电路 13b。第一输入电路 13a 根据第一程序模式信号 PRO 和取/写入信号 RD/WR 产生第一地址使能信号 proaddz 和第一输入信号 proentz。第二输入电路 13b 根据第二程序模式信号 /PE 产生第二地址使能信号 peaddz 和第二输入信号 prentz。

第一输入电路 13a 包括一个计数器电路 41, 一个脉冲产生电路 42, 多个反相器电路 43, 44, 45, 和一个或非门电路 46。第一程序模式信号 PRO 被提供到计数器电路 41 和脉冲产生电路 42。

如图 11B 所显示的，脉冲产生电路 42 包括一个反相器电路 47 和一个与非门电路 48。第一程序模式信号 PRO 被提供到这个反相器电路 47 和与非电路 48 的一第一输入端子。反相器电路 47 的输出信号被提供到与非电路 48 的一第二输入端子。反相器电路的数目除了必须是奇数外，
没有其它任何限制。

对第一程序模式信号 PRO 的上升沿作出响应，脉冲产生电路 42 产生一个单触发脉冲，这个单触发脉冲具有预定脉冲宽度，并且为低电平。反相器电路 43 从这个脉冲产生电路 42 接收这个脉冲信号，并且向计数器电路 41 提供一个逻辑信号，该逻辑信号是这个脉冲信号的反相信号。

计数器电路 41 包括 4 个触发器电路 41a, 41b, 41c, 和 41d。触发器电路 41a 到 41c 中的每一个的输出端子被连接到相邻触发器电路 41b-41d 的数据输入端子。第一级触发器电路 41a 的数据输入端子被提供了第一程序模式信号 PRO。触发器电路 41a-41d 中每一个的时钟端子被提供了反相器电路 43 的输出信号。第三级触发器电路 41c 的输出端子输出第一地址使能信号 proaddz，最后一级（第四级）触发器电路 41d 的输出端子输出第一输入信号 proentz。

第一输入信号 proentz 通过反相器电路 44, 45 被提供到或非电路 46 的一第一输入端子。或非电路的一第二输入端子被提供了一个读取/写入信号 RD/WR。或非电路 46 的输出信号被提供到每一个触发器电路 41a-41d 的复位端子。

第二输入电路 13b 包括反相器电路 51, 52 和一个脉冲产生电路 53。外部信号输入电路 12 给一个外部端子 54 提供了第二程序模式信号 /PE, 该信号被进一步提供到反相器电路 51 和脉冲产生电路 53。

反相器电路 51 对第二程序模式信号 /PE 进行反相，并且产生第二地址使能信号 peaddz。脉冲产生电路 53 具有与脉冲产生电路 42 相同的结构，并且给反相器电路 52 提供了一个单触发脉冲信号，该单触发脉冲信号具有预定脉冲宽度。当第二程序模式信号 /PE 变为高电平时，反相器电路 52 对这个脉冲信号进行反相，并且产生第二输入信号 peentz。

图 15A 和 15B 是显示用作一个程序模式设置电路的输入控制电路 13 的第一输入电路 13a 的波形的图。

参考图 15A，第一输入电路 13a 促使第一地址使能信号 proaddz 在第三周期内变为高电平，并且促使第一输入信号 proentz 在第四周期内变为高电平。第一输入电路 13a 同时复位第一地址使能信号 proaddz 和第一
输入信号 proentz。

参考图 15B，当接收到一个读取命令 RD（读取/写入信号 RD/WR）时，第一输入电路 13a 复位这个计数值，并且将第一地址使能信号 proaddz 和第一输入信号 proentz 维持在一个低电平。

图 16 是显示用作一个程序模式设置电路的输入控制电路 13 的第二输入电路 13b 的波形的图。

当第二输入模式信号 PE 变为低电平时，第二输入电路 13b 产生为一高电平的一第二地址使能信号 peaddz。然后，当第二输入模式信号 PE 变为高电平时，第二输入电路 13b 产生为一高电平的一第二输入信号 peentz。

图 12 是模式锁存电路 15 的一个示意图电路。这个模式锁存电路 15 包括一个合成输入信号产生电路 15a，一个模式设置地址缓冲器 15b，一个模式设置地址锁存器 15c，和一个模式设置解码器 15d。

这个合成输入信号产生电路 15a 包括一个或非电路 61 和一个反相器电路 62。或非电路 61 被提供了第一输入信号 proentz 和一第二输入信号 peentz。或非电路 61 的输出端子被连接到反相器电路 62 的输入端子。反相器电路 62 输出一个合成信号 entz。

参考图 17A，合成输入信号产生电路 15a 对这个第一输入信号 proentz 作出响应，产生合成信号 entz。进一步，参考图 17B，这个合成输入信号产生电路 15a 对第二输入信号 peentz 作出响应，产生合成信号 entz。

返回到图 12，这个模式设置地址缓冲器 15b 包括 3 个与非电路 63, 64, 65。第一与非电路 63 被提供了第一地址使能信号 proaddz 和地址信号 A<0:3>, 这个信号被一个外部端子 66 所接收。第二与非电路 64 被提供了地址信号 A<0:3> 和第二地址使能信号 peaddz。第一和第二与非电路 63, 64 的输出信号被提供到第三与非电路 65。第三与非电路 65 输出一个地址信号 az<0:3>。这个模式设置地址缓冲器 15b 与图 1 的模式设置地址缓冲器 14 相应。

图 18 是显示这个模式设置地址缓冲器 15b 的工作的一个波形图。地址缓冲器 15b 激活这个输入电路，当第二地址使能信号 peaddz 变为高电
平时，并且输出地址信号 az<0:3>。进一步，地址缓冲器 15b 对第一地址使能信号 proaddz 作出响应，以相同的方式输出这个地址信号 az<0:3>。

返回到图 12，这个模式设置地址锁存器 15c 包括触发器电路 67（在这个图中仅显示了一个触发器电路），触发器的数目与这个地址信号 az<0:3>的比特数目相应。这个触发器电路 64 具有其上提供了这个地址信号 az<0:3>的一个数据端子，其上提供了合成信号 entz 的一个时钟端子，和其上提供了一个清除信号 pcrz 的一个复位端子。所以，触发器电路 67 对这个合成信号 entz 作出响应而锁存这个地址信号 az<0:3>，并且输出一个刷新地址信号 paz<0:3>。

图 19 是显示模式设置地址锁存器 15c 的工作的一个波形图。对这个合成信号 entz 作出响应，地址锁存器 15c 将这个地址信号 az<0:3>作为一个代码而进行锁存，并且将被锁存的代码作为一个刷新地址信号 paz<0:3>而进行输出。地址锁存器 15c 对第一地址使能信号 proaddz 作出响应，以相同的方式输出这个刷新地址信号 paz<0:3>。

返回到图 12，模式设置解码器 15d 对这个刷新地址信号 paz<0:3>进行解码，并且输出 Nap 模式信号 napz，S-Ref 模式信号 srefz，和睡眠模式信号 sleepz。

图 20 是显示模式设置解码器 15d 的工作的一个波形图。这个解码器 15d 对这个刷新地址信号 paz<0:3> 进行解码，选择模式信号 napz，srefz，和 sleepz 中的一个（在图 20 中，是睡眠模式信号 sleepz），并且产生一个高电平的模式信号。

图 13 是电源关闭模式判断电路 17 的一个示意图电路。这个电源关闭模式判断电路 17 包括一个脉冲产生电路 71 和一个触发器电路 72。这个脉冲产生电路 71 具有与脉冲产生电路 42 的结构相同的结构，并且对刷新请求信号 psrtz 的下降沿作出响应，产生高电平的、具有预定脉冲宽度的一个单触发脉冲信号。

图 1 的缓冲器电路 16 通过一个外部端子 73，给触发器电路 72 的数据输入端子提供第二芯片使能信号 CE2。这个触发器电路 72 对来自脉冲产生电路 71 的脉冲信号作出响应，锁存第二芯片使能信号 CE2，并且产生
电源关闭模式信号 pdmodez。

图 21 是显示电源关闭模式判断电路 17 的工作的一个波形图。当这个刷新请求信号 psrtz 变为低电平时这个电源关闭模式判断电路 17 锁存第二芯片使能信号 CE2，并且产生这个电源关闭模式信号 pdmodez。

图 14 是刷新控制电路 20 的一个示意图电路。刷新控制电路 20 包括异或电路 81，82，一个或非电路 83，一个与非电路 84，反相器电路 85，86，和一个选择器 87。这个异或电路被提供了一个刷新地址信号 paz\langle1\rangle 和一个刷新地址计数器信号 rfaz\langle1\rangle，并且异或电路 82 被提供了一个刷新地址信号 paz\langle0\rangle 和一个刷新地址计数器信号 rfaz\langle0\rangle。异或电路 81，82 的两个输出端子中的每一个均被连接到或非电路 83 的两个输入端子。当刷新地址信号 paz\langle1\rangle 和刷新地址计数器信号 rfaz\langle1\rangle 匹配时，异或电路 81 产生一个高电平的判断信号。当刷新地址信号 paz\langle0\rangle 和刷新地址计数器信号 rfaz\langle0\rangle 匹配时，异或电路 82 产生一个高电平的判断信号。

或非电路 83 的输出端子被连接到与非电路 84 的一输入输入端子。
与非电路 84 的一第二输入端子和一第三输入端子分别被提供了刷新请求信号 psrtz 和 S-Ref 信号 srefz。与非电路 84 的输出端子通过一个反相器电路 85 被连接到选择器 87 的一个输入端子 B。选择器 87 的一个输入端子 A 被提供了刷新请求信号 psrtz。选择器 87 对一个选择端子所接收的电源关闭模式信号 pdmodez 作出响应，对刷新请求信号 psrtz 或者反相器电路 85 的输出信号进行反相。然后，选择器 87 将被反相的输出信号提供到反相器电路 86。反相器电路 86 进一步对被反相的输出信号进行反相，并且产生刷新信号 srtz。

图 22 是显示刷新控制电路 20 的工作的一个波形图。当被提供到 DRAM10 的第二芯片使能信号 CE2 变为高电平时，电源关闭模式信号 pdmodez 变为低电平。对这个低电平的电源关闭模式信号 pdmodez 作出响应，这个刷新控制电路 20 产生其波形与刷新请求信号 psrtz 的波形相同的刷新信号 srtz。这个刷新信号 srtz 对 DRAM 内核 23 的每一个存储器单元进行刷新。

当被提供到 DRAM10 的第二芯片使能信号 CE2 变为低电平时，电源
关闭模式信号 pdmodez 变为高电平。如果选择了这个睡眠模式，这个刷新控制电路 20 就产生一个低电平的刷新信号 srtz(Sleep)。在这个情形下，DRAM 内核 23 的存储器单元不被全部刷新。在这个睡眠模式下，内部电源提供电路 22 被去激活。所以，当 DRAM 10 从睡眠模式切换到正常工作模式时，这个内部电源提供电路 22 首先产生一个预定电压，并且然后重新启动存储器的刷新。

在 Nap 模式中，刷新控制电路 20 产生一个低电平的刷新信号 srtz(Nap)。在这个情形下，DRAM 内核 23 的存储器单元不被全部刷新。在这个 Nap 模式下，内部电源提供电路 22 被激活。所以，当 DRAM 10 从 Nap 模式切换到正常工作模式时，就立即启动存储器的刷新。

在 S-Ref 模式中，这个刷新控制电路 20 将刷新地址计数信号 rfaz＜0:1＞和刷新地址信号 paz＜0:1＞进行比较。参考图 23，仅当这个刷新地址计数信号 rfaz＜0:1＞和刷新地址信号 paz＜0:1＞匹配时，刷新控制电路 20 才输出其波形与这个刷新请求信号 psrtz 的波形相同的一个刷新信号 srtz（S-Ref）。这个刷新信号 srtz（S-Ref）对 DRAM 内核 23 中的预定存储器部分的存储器单元进行刷新。

这个优选实施方式的 DRAM 10 具有如下面所讨论的优点。

（1）在这个电源关闭模式下，DRAM 10 工作在睡眠模式，刷新停止模式（Nap 模式），或者部分自刷新模式（S-Ref 模式），这些模式是通过组合对提供到包括存储器单元的存储器内核的电压进行控制和对刷新存储器内核进控制而设置的。提供选择一个合适的模式，就降低了电源消耗，并且以一个灵活的方式改进了性能。

（2）在正常工作模式中，可以选择睡眠模式，Nap 模式，或者 S-Ref 模式。对第二芯片使能信号 CE2 的电平改变作出响应，DRAM 10 立即从正常工作模式切换到被选择的模式。这样，所进入的模式不需要在模式切换时间时来决定。这减少了模式切换所需要的时间长度。

（3）根据一个外部命令或者第二程序模式信号 /PE 来选择睡眠模式，Nap 模式，或者 S-Ref 模式。结果，以一个灵活的方式来满足了这个用户的要求（命令，信号改变）。
（4）通过连续地输入多个非法命令，DRAM 10 切换到程序模式 PRO，它选择睡眠模式，Nap 模式，或者 S-Ref 模式。这避免了 DRAM 10 错误地切换到这个程序模式。

（5）DRAM 10 在这个正常工作模式下执行自刷新。所以，可以使用 DRAM 10 来替代一个 SRAM，而不需要增加一个用于执行刷新的电路。这减少了因为电路改变（设计改变）时而需要的负荷和成本。

该领域的技术人员认为，可以使用很多其它专用的形式来实现本发明，而不会偏离本发明的精神或者范围。特别地，应理解，可以使用下面的形式来实现本发明。

在 S-Ref 模式中不是设置一特定刷新部分，而是可以根据外部规定来固定刷新部分。在这个情形下，优选选择具有令人满意的刷新特性（存储器单元的电荷漏电较少）的一个存储器模块。选择这样的存储器模块使刷新间隔变长了，并且进一步降低了 S-Ref 模式中的功率消耗。

优选地，执行地址扰乱来决定具有令人满意刷新特性的刷新部分。图 24 是显示了一个地址扰乱电路 90 的一个示例的一个示意图框图。这个地址扰乱电路 90 被连接在一个地址缓冲器 91 和一个地址解码器 92 之间。这个地址缓冲器 91 具有一个用于放大一个地址信号 A0 的地址缓冲器 91a，和用于放大一个地址信号 A1 的地址缓冲器 91b。

这个地址扰乱电路 90 包括反相器电路 93，94，四个异或非门电路 95-98，和一个保险丝电路 99。地址缓冲器 91a 的输出信号被提供到异或非门电路 96 的一第一输入端子。地址缓冲器 91b 的输出信号被提供到这个反相器电路 94 和异或非门电路 97 的一第一输入端子。反相器电路 94 的输出信号被提供到异或非门电路 98 的一第一输入端子。

保险丝电路 99 向异或非门电路 95，96 的第二输入端子提供了个保险丝信号 f<0>，向异或非门电路 97，98 的第二输入端子提供了一个保险丝信号 f<1>。异或非电路 95-98 的输出信号被提供到解码器 92。解码器 92 输出对一个 DRAM 内核的存储器块的选择信号（#00 - #11）。

保险丝电路 99 包括一个非挥发性元件（例如，可以被一个激光或者类似的所打破的一个保险丝）。这个保险丝电路 99 可能包括一个非挥发
性元件，例如一个 PROM。

保险丝电路 99 保存预先通过一个测试电路 100 对存储器进行的特性试验而获得的保险丝信息。根据这个信息，保险丝电路 99 输出保险丝信号 f<0:1>。

这个地址扰乱电路 90 使用保险丝信号 f<0:1>和地址信号 A0, A1 来执行一个异或逻辑操作。然后，这个地址扰乱电路 90 使用与这个保险丝信号 f<0:1>相应的存储器模块号替代与地址信号 A0, A1 相应的存储器模块号。图 25 是显示了在这个保险丝信号 f<0:1>和地址信号 A0, A1 之间的关系的一个表。

当这个保险丝信号 f<0:1>变为低电平时，根据这个地址信号 A0, A1 来选择一个存储器块。例如，当地址信号 A0, A1 均为低电平时，就选择存储器块 #00。

当至少一个保险丝信号 f<0:1>为高电平时，就根据这个保险丝信号 f<0:1>和地址信号 A0, A1 来选择一个存储器块。例如，当这个保险丝信号 f<0:1>分别是低电平和高电平，并且地址信号 A0, A1 均为低电平时，就选择一个存储器块 #01。

被保存在这个保险丝电路 99 中的保险丝信息的读取信号 S1 或者扰乱地址信息（信号 S2）可以别提供到这个外部测试电路 100。这使一个外部设备能够证实存储器区域的替代。

图 26 是显示地址扰乱的一个图。一个存储器阵列 110 包括 4 个子阵列 111, 112, 113, 114。外部地址定义了与每一个子阵列相应的块 #00, #01, #10, #11。根据一个特性试验的结果，可以认为块 #00, #11 分别具有 400 毫秒，800 毫秒，1.2 秒和 600 毫秒的特性。根据这个特性，可以根块 #00 的刷新特性而将在这正常工作模式中的存储器阵列自刷新周期设置为 400 毫秒。所以，在 S-Ref 模式中，DRAM 的刷新部分被设置到 #00。但是，块 #10 的刷新特性比块 #00 的刷新特性好。所以，地址扰乱根据这个外部规定，使用物理的 S-Ref 部分来替代逻辑的 S-Ref 部分。因为这样进行了地址扰乱，已经被替代的块 #10 的刷新间隔是 S-Ref 模式中块 #00 的刷新间隔的 3 倍。当执行了地址扰乱时，在 S-Ref 模式
中所消耗的功率比当不执行地址扰乱时消耗的功率少，并且用于刷新整个存储器阵列 110 所需要的功率消耗是 4 分之一或者更少。

在 S-Ref 模式中，DRAM 内核 23 被划分的存储器部分的数目可以根据需要而进行改变。进一步，与划分部分数目改变相关的信息可以被增加到作为一个代码而被接收的地址信号中。

不是根据一个程序周期和一个外部专用端子而进入电源模式的一个半导体存储器器件，本发明可以被实现在根据一个程序周期或者根据一个外部专用端子而进入电源关闭模式的一个半导体存储器器件中。

本发明可以被用于一个半导体存储器器件，例如一个快速周期的 RAM (FCRAM)。

用于制造 DRAM 10 的过程不局限于 CMOS 过程，而且可以使用一个 Bi-CMOS 的处理过程。

本发明的示例和实施方式仅仅是用于进行说明的，而不具有任何限制性，并且本发明不局限于这里所给出的细节，而是在后附权利要求书的范围和等价范围内进行修改。
图 2

CST（冷启动）

电源关闭模式
Nap → 睡眠 → S-Ref

程序模式
PRO → STB → PE

读取
RD → OD → WR

正常模式（在后台执行刷新）

图 3

<table>
<thead>
<tr>
<th>模式端子 (CE2)</th>
<th>&quot;H&quot;</th>
<th>&quot;L&quot;</th>
</tr>
</thead>
<tbody>
<tr>
<td>内部操作</td>
<td>内部电源提供</td>
<td>REF 操作</td>
</tr>
<tr>
<td>睡眠</td>
<td>激活</td>
<td>全 REF</td>
</tr>
<tr>
<td>Nap</td>
<td>激活</td>
<td>全 REF</td>
</tr>
<tr>
<td>选择 REF</td>
<td>激活</td>
<td>全 REF</td>
</tr>
</tbody>
</table>

图 4

31 ~ CPU
32 ~ 闪存

10 ~ DRAM

30 ~ 33
图 6

正常操作/模式设置

电源关闭模式

正常操作/模式设置

CE2

psrtz

pdmodez

srtz（睡眠）

srtz（Nap）

srtz（S-Ref）
图7

模式设置周期

/C1
/PE
ADD

t4:t5

t1 t2 t3
<table>
<thead>
<tr>
<th>命令</th>
<th>CE2</th>
<th>/CE1</th>
<th>/WE</th>
<th>/OE</th>
<th>/LB</th>
<th>/UB</th>
<th>LDQ</th>
<th>UDQ</th>
<th>模式</th>
</tr>
</thead>
<tbody>
<tr>
<td>C1</td>
<td>L</td>
<td>*</td>
<td>*</td>
<td>*</td>
<td>*</td>
<td>*</td>
<td>HZ</td>
<td>HZ</td>
<td>PD</td>
</tr>
<tr>
<td>C2</td>
<td>H</td>
<td>H</td>
<td>*</td>
<td>*</td>
<td>*</td>
<td>*</td>
<td>HZ</td>
<td>HZ</td>
<td>STB</td>
</tr>
<tr>
<td>C3</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>H</td>
<td>*</td>
<td>*</td>
<td>HZ</td>
<td>HZ</td>
<td>OD</td>
</tr>
<tr>
<td>C4</td>
<td>H</td>
<td>L</td>
<td>L</td>
<td>H</td>
<td>L</td>
<td>L</td>
<td>Din</td>
<td>Din</td>
<td>WR</td>
</tr>
<tr>
<td>C5</td>
<td>H</td>
<td>L</td>
<td>L</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>Din</td>
<td>*</td>
<td>LWR</td>
</tr>
<tr>
<td>C6</td>
<td>H</td>
<td>L</td>
<td>L</td>
<td>H</td>
<td>H</td>
<td>L</td>
<td>*</td>
<td>Din</td>
<td>UWR</td>
</tr>
<tr>
<td>C7</td>
<td>H</td>
<td>L</td>
<td>L</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>*</td>
<td>*</td>
<td>Non WR</td>
</tr>
<tr>
<td>C8</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>Dout</td>
<td>Dout</td>
<td>RD</td>
</tr>
<tr>
<td>C9</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>L</td>
<td>L</td>
<td>H</td>
<td>Dout</td>
<td>HZ</td>
<td>LRD</td>
</tr>
<tr>
<td>C10</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>L</td>
<td>HZ</td>
<td>Dout</td>
<td>URD</td>
</tr>
<tr>
<td>C11</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>L</td>
<td>H</td>
<td>H</td>
<td>HZ</td>
<td>HZ</td>
<td>Non RD</td>
</tr>
</tbody>
</table>
### 图 10A

<table>
<thead>
<tr>
<th>地址</th>
<th>A0</th>
<th>A1</th>
<th>A2</th>
<th>A3</th>
</tr>
</thead>
<tbody>
<tr>
<td>模式</td>
<td>Nap 1/4 被选择 REF/睡眠</td>
<td>1/4 被选择 REF 块部分</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

### 图 10B

<table>
<thead>
<tr>
<th>A0</th>
<th>A1</th>
<th>模式</th>
</tr>
</thead>
<tbody>
<tr>
<td>L</td>
<td>L</td>
<td>Nap</td>
</tr>
<tr>
<td>L</td>
<td>H</td>
<td>1/4 被选择 REF</td>
</tr>
<tr>
<td>H</td>
<td>L</td>
<td>预留</td>
</tr>
<tr>
<td>H</td>
<td>H</td>
<td>睡眠</td>
</tr>
</tbody>
</table>

### 图 10C

<table>
<thead>
<tr>
<th>A2</th>
<th>A3</th>
<th>1/4 块部分</th>
</tr>
</thead>
<tbody>
<tr>
<td>L</td>
<td>L</td>
<td>#00</td>
</tr>
<tr>
<td>L</td>
<td>H</td>
<td>#10</td>
</tr>
<tr>
<td>H</td>
<td>L</td>
<td>#01</td>
</tr>
<tr>
<td>H</td>
<td>H</td>
<td>#11</td>
</tr>
</tbody>
</table>
图 22

<table>
<thead>
<tr>
<th>CE2</th>
<th>正常操作/模式设置</th>
<th>电源关闭模式</th>
<th>正常操作/模式设置</th>
</tr>
</thead>
<tbody>
<tr>
<td>psrtz</td>
<td>正常操作/模式设置</td>
<td>电源关闭模式</td>
<td>正常操作/模式设置</td>
</tr>
<tr>
<td>pdmodez</td>
<td>正常操作/模式设置</td>
<td>电源关闭模式</td>
<td>正常操作/模式设置</td>
</tr>
<tr>
<td>srtz (睡眠)</td>
<td>正常操作/模式设置</td>
<td>电源关闭模式</td>
<td>正常操作/模式设置</td>
</tr>
<tr>
<td>Srtz (Nap)</td>
<td>正常操作/模式设置</td>
<td>电源关闭模式</td>
<td>正常操作/模式设置</td>
</tr>
<tr>
<td>srtz (S-Ref)</td>
<td>正常操作/模式设置</td>
<td>电源关闭模式</td>
<td>正常操作/模式设置</td>
</tr>
</tbody>
</table>
图24

地址缓冲器

地址缓冲器

保险丝电路

测试电路

外部管脚

解码器

解码器

A0

A1

f<1>
f<0>

S1

S2

90

91

93

94

95

96

97

98

99

100

#00

#01

#10

#11
<table>
<thead>
<tr>
<th></th>
<th>#00</th>
<th>#01</th>
<th>#10</th>
<th>#11</th>
<th>#00</th>
<th>#10</th>
<th>#11</th>
<th>#00</th>
<th>#01</th>
<th>#00</th>
</tr>
</thead>
<tbody>
<tr>
<td>A&lt;0&gt;</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>H</td>
<td>H</td>
</tr>
<tr>
<td>A&lt;1&gt;</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
</tr>
<tr>
<td>f&lt;0&gt;</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
</tr>
<tr>
<td>f&lt;1&gt;</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
</tr>
</tbody>
</table>

图 25