

公告本

89年12月13日 修正
補充

申請日期	88.6.30.
案號	88111098
類別	Hell 29/8

中文說明書修正本(89年12月)

A4
C4

441128

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	半導體裝置及其製造方法
	英文	"SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME"
二、發明人	姓名	1.岩田 浩 2.柿本 誠三 3.中野 雅行 4.足立 浩一郎
	國籍	1-4.均日本
三、申請人	住、居所	1.日本國奈良縣生駒郡三鄉町信貴丘2-4-13 2.日本國奈良縣磯城郡川西町結崎636-1-309 3.日本國奈良縣奈良市西木辻町109-1 LM奈良雅思拉奇之道201 4.日本國奈良縣天理市指柳町223
	姓名(名稱)	日商夏普股份有限公司
三、申請人	國籍	日本
	住、居所(事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
三、申請人	代表人姓名	町田 勝彥

經濟部智慧財產局員工消費合作社印製

裝
訂
線

441126

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

日本 1998年06月30日 特願平10-185492 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明領域

本發明和一半導體裝置有關。特別是,本發明和一半導體裝置其源/汲極區佔據縮小的面積有關使得其能降低源/汲極區之寄生電容和寄生電阻,及和一生產此一半導體裝置之方法有關。

2. 相關文件之敘述

一般來說,較小的絕緣閘型式之場效電晶體(FET)會易受一些問題所影響例如因為製程差異所造成閘長度之改變所引起之臨限電壓跳動,和因為短通道效應引起電晶體特性之惡化,例如,一般所說的衝穿。

有一種方法用來解決此問題其為減少鄰近電晶體通道區之源/汲極的接合深度。一減少之接合深度可由,例如,一結構而理解其中源/汲極區(堆疊擴散層)是在閘電極兩側堆疊使得其藉閘電極橫向牆絕緣薄膜而位於通道區之上。

圖22A, 22B和22C是橫截面圖顯示出傳統方法之步驟用來形成堆疊擴散層。

如圖22A所示,一上表面和側牆皆被絕緣薄膜1006覆蓋之閘電極1005形成於半導體晶片1001之上,而閘絕緣薄膜1004位於兩者之間。半導體晶片1001通常包含一活化區1003(由一矽基材組成)和裝置分隔區1002(由一矽氧化物薄膜組成)。

其次,如圖22B所示,一選擇性磊晶成長方法用來僅在矽表面曝露出來之區(源/汲極區)成長矽薄膜1007,因此

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

在源/汲極區形成堆疊擴散區(由一半導體組成)。一選擇性磊晶成長方法於日本已公開文件號碼61-196577中有敘述。

如圖22C所示，一層間絕緣薄膜1008被形成，而上層接線1010是藉接觸接線1009耦合至源/汲極區1007。

在矽薄膜(磊晶矽，多晶矽等)形成於通道區上面之後，植入雜質離子以形成源/汲極區。藉位於通道區上方堆疊矽薄膜中之植入雜質離子，使得相對於電晶體通道區減少源/汲極區雜質擴散層之接合深度變得可行。由此結果，可有效避免所謂的短通道效應。

源/汲極區1007從閘電極1005延著垂直於閘電極縱向方向之X-X'方向(通常視為"閘長度方向")延伸至裝置分隔區1002。當接觸孔形成於此源/汲極區1007中時，每一源/汲極區1007之長度如下方法而決定。

圖15是一圖形顯示一閘電極，一活化區和接觸孔間之關係。一定位界限p位於閘電極和每一接觸孔之間。每一接觸孔寬度為o。接觸孔相對於源/汲極區有一界限q而定位如圖15所示。如此可了解每一源/汲極區1007之長度不可小於 $p+o+q$ 如顯示於圖22C之半導體裝置中。

因此，根據如已公開日本文件號碼61-196577中所敘述之半導體裝置很難減少源/汲極區所佔據之面積。

發明摘要

根據本發明一擁有裝置分隔區和活化區之半導體裝置包括一閘氧化物薄膜，一源/汲極區，及一耦合至源/汲極區之

(請先閱讀背頁之注意事項再填寫本頁)

訂

線

五、發明說明(3)

電極，其中活化區在第一面與閘氧化物薄膜接觸，部份源/汲極區位於第一面之上；而其中電極與源/汲極區在第二面接觸，第二面與第一面構成一角度。

在本發明一實施例中，第二面是高低不平的。

在本發明另一實施例中，部份源/汲極區覆蓋部份的裝置分隔區。

在本發明另一實施例中，從第一面延著垂直於第一面方向所測量之源/汲極區高度向閘電極方向增加。

在本發明另一實施例中，第二面有曲線外形。

在本發明另一實施例中，用來連接源/汲極區和上層接線之接觸孔其一部份位於源/汲極區之表面上。

在本發明另一實施例中，從一閘電極之端點至一接觸孔端點間之距離也是位於在橫截面延著垂直於閘電極縱向方向之方向延伸遠離閘電極並穿過接觸孔中央是大於一閘電極之端點至活化區和裝置分隔區間之介面間之距離。

在本發明另一實施例中，從橫截面延著垂直閘電極縱向方向之方向延伸並穿過接觸孔中央所測量到之接觸孔寬度是大於一閘電極端點至一活化區及裝置分隔區間介面之距離。

在本發明另一實施例中，在橫截面延著垂直於閘電極縱向方向之方向延伸，在閘電極端點至活化區和裝置分隔區間之介面的距離是小於閘電極的寬度，閘電極之寬度定義出半導體裝置之閘長度。

在本發明另一實施例中，在構成源/汲極區之疊層中雜質之擴散係數大於在半導體基材中雜質之擴散係數。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

在本發明另一實施例中，在疊層中雜質擴散係數是在半導體基材中雜質擴散係數約2至100倍。

在本發明另一實施例中，疊層包含多晶矽。

在本發明另一實施例中，多晶矽包含圓柱狀晶體。

在本發明另一實施例中，多晶矽晶粒大小在約50奈米或更小。

在本發明另一實施例中，閘電極表面和源/汲極區被兩層薄膜覆蓋，該兩層薄膜包含一多晶矽薄膜和一耐火金屬矽化物薄膜。

在本發明另一實施例中，從第一面之源/汲極區接合深度約為閘電極橫向牆絕緣薄膜寬度之0.8至2倍。

在本發明另一實施例中，提供一方法用來生產有裝置分隔區和活化區之半導體裝置，該方法包含步驟：從一可忍受矽蝕刻之物質在矽基材上形成裝置分隔區；接著依序形成一閘絕緣薄膜，一閘電極，和一閘電極橫向牆絕緣薄膜；塗覆一多晶矽薄膜其厚度大於延著垂直於閘電極縱向方向之方向閘電極和裝置分隔區間之距離；及執行一非等向性蝕刻直到在閘電極上方之多晶矽薄膜被完全移除。

在本發明另一實施例中，該方法更包含離子植入步驟引進雜質而形成源/汲極區，雜質變成一施子和受子之一，而其中閘電極藉引進雜質變成施子和受子之一而形成；而對閘電極和源/汲極區引進雜質變成施子和受子之一是藉離子植入同時進行。

或者，根據本發明用來生產一半導體裝置之方法包含步

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

驟：從一可忍受矽蝕刻之物質在矽基材上形成一裝置分隔區；依序形成一閘絕緣薄膜，一閘電極，和一閘電極橫向牆絕緣薄膜；塗覆一多晶矽薄膜；執行非等向性蝕刻直至在閘電極之上的多晶矽薄膜被完全移除；及移除部份多晶矽薄膜，該多晶矽薄膜形成於閘電極的橫向牆上而閘電極橫向牆絕緣薄膜位於多晶矽薄膜和閘電極橫向牆之間。

(1)根據上述組成，源/汲極區之寄生電阻可以降低。源/汲極區之表面相對於在半導體基材上活化區朝閘電極方向變得位置較高。由此結果，當藉離子植入對源/汲極區執行摻雜雜質時，朝閘電極方向之接合深度變小了，因此有效防止短通道效應，即當半導體裝置體積變小時會造成問題。

根據本發明相對於源/汲極區所佔據之面積吾人可控制一大表面面積，因此在源/汲極區和上層接線間之接觸面積可以增加，因此相對於所佔面積而降低了接觸電阻。

在應用金屬矽化物(亦即自行對準之金屬矽化物)組態之例子中，根據本發明相對於佔據的面積表面面積轉換成金屬矽化物之面積增加了，因此達成低電阻目的。甚者，由於阻礙反應造成細接線矽金屬化之失敗情形可以減少，而此於傳統矽金屬化反應會是一問題。

甚者，根據本發明之建構將排除在閘位置任何垂直突出物，因此在半導體裝置製造期間和此垂直突出物有關之問題都將解決。例如，在蝕刻期間在垂直突出物和於其下阻止層間蝕刻比不足之問題，例如自行對準接觸(SAC)製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

程，可以被預防而有利蝕刻。此外，很容易使在閘部份之上的層間絕緣薄膜變平坦。因為在源/汲極區形成後活化區並未曝露於大氣中，因此活化區可免於在蝕刻期間受到破壞及/或在離子植入期間受到污染。

(2)根據本發明，每一源/汲極區之表面顯示一曲線及/或傾斜外形在橫截面中延著垂直於閘電極縱向方向之方向取樣而得。由此結果，每一半導體裝置源/汲極區之表面面積(相對於由源/汲極區所佔面積)根據本發明可以比傳統溶入有線性外形之源/汲極區之結構更有效地增加。

(3)根據本發明，用來耦合源/汲極區表面至接線之至少接觸孔之一部份是位於源/汲極區之表面。換句話說，接觸孔徑之直徑可比在橫截面延著垂直於閘電極縱向方向之方向延伸之閘的一端至裝置活化區之長度要來得大。由此結果，接觸孔徑可以增加，因此有利接觸孔之形成。

在傳統結構中，在源/汲極區表面要提供接觸孔，使得每一接觸孔之直徑小於源/汲極區之寬度，因此使得製造接觸孔徑之製程變得困難。甚者，根據本發明之裝置結構，藉提供一接觸孔其在延閘電極之縱向方向比延著垂直於閘電極縱向方向之方向有較大之尺寸以確保有足夠接觸面積。

(4)根據本發明一實施例，在閘電極一端和接觸孔一端間之距離即位於在橫截面延著垂直於閘電極縱向方向之方向延伸並穿過接觸孔中央遠離閘電極之距離是大於閘電極之一端至活化區和裝置分隔區間介面之距離。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

由此結果，可以提供一大接觸孔而不需增加源/汲極面積，因此達成有利於接觸孔之形成及減少與源/汲極接合面積有關之接合電容。

(5)根據本發明一實施例，在橫截面延著垂直於閘電極縱向方向之方向延伸並穿過接觸孔中央所測量到之接觸孔寬度是大於閘電極一端至活化區和裝置分隔區間之介面之距離。

由此結果，可將接觸孔和源/汲極間之接觸面積極大化，而將源/汲極面積極小化。因此，降低了接觸電阻。

(6)根據本發明一實施例，在橫截面延著垂直於閘電極縱向方向之方向延伸，在閘電極一端至活化區和裝置分隔區間介面之距離小於閘電極的寬度(亦即一MIS(金屬絕緣體半導體)型半導體裝置之閘寬度)。

由此結果，裝置所佔面積可以極小化，而在源/汲極區之寄生接合電容也可以極小化。

(7)根據本發明一實施例，構成源/汲極區之疊層中雜質之擴散係數大於在半導體基材中雜質之擴散係數。

由此結果，當執行一熱處理以擴散和活化雜質時，擴散很快就向下到疊層和半導體基材之介面，但卻很慢擴散至矽基材中。由此結果，從疊層和半導體基材間之介面之源/汲極區接合深度較不受到疊層區高度變化之影響，使得可控制生成淺的接合。

(8)根據本發明一實施例，在疊層中雜質擴散係數約是半導體基材中雜質擴散係數約2至100倍。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

由此結果，從疊層至半導體基材間介面之部份源/汲極區之接合深度較不受疊層區高度變化之影響，使得可控制生成淺的接合。

(9)根據本發明一實施例，在半導體基材之上構成源/汲極區之疊層主要由多晶矽組成。

由於多晶矽薄膜常用於半導體裝置之製造，因此在製程中並不需要加入新裝置或決定新製程條件。也不需要像在應用選擇性磊晶成長裝置之例子中使用大量氫氣。因此，根據本發明製造半導體裝置所需之裝置比選擇性磊晶成長裝置(需要大體積裝置以移除氫氣)佔據較少空間。

(10)根據本發明一實施例，多晶矽是圓柱狀晶體。

由此結果，在多晶矽薄膜中雜質擴散非常快，而摻雜至多晶矽薄膜之雜質可有效控制進入矽基材之擴散。源/汲極區之深度較不受多晶矽高度變化之影響，因此可控制生成一淺接合。

(11)根據本發明一實施例，多晶矽晶粒大小在約50奈米。或更小。

藉應用有小晶粒之多晶矽，可得到相對於在半導體基材中較大之擴散係數。也使得因在蝕刻期間多晶矽之晶粒造成多晶矽側牆寬度之變化極小化。

(12)根據本發明一實施例，閘電極和源/汲極疊層主要由包含一多晶矽薄膜和一位於其上之耐火金屬矽化物薄膜之兩層薄膜所組成。

由此結果，可了解即使沒有增加源/汲極區和上層接線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

間之接觸面積而可得到非常低電阻之接觸。甚者，由於金屬矽化物薄膜接近通道區，因此不管有小的源/汲極接合面積而可使寄生電阻極小化，因此改善了裝置驅動電流表現。也使得於接觸孔蝕刻期間可使用金屬矽化物層作為蝕刻阻止層。

(13)用於根據本發明在有活化區和裝置分隔區之半導體基材上形成一MIS型半導體裝置之方法包含步驟有：從一可忍受矽蝕刻之物質於矽基材上形成裝置分隔區；依序形成閘絕緣薄膜，一閘電極，和一閘電極橫向牆絕緣薄膜；塗覆一多晶矽薄膜其厚度大於延著垂直於閘電極縱向方向之方向(閘長方向)閘電極和裝置分隔區間之距離；及執行非等向性蝕刻直至閘電極之上多晶矽薄膜被完全移除。

特別是，根據本發明用於生成半導體裝置之方法，一多晶矽薄膜之厚度大於閘電極和裝置分隔區間之距離(亦即源/汲極區寬度)而也執行非等向性蝕回製程。因為沈積多晶矽薄膜其厚度大於閘電極和裝置分隔區間之距離(亦即源/汲極區寬度)，矽基材免於曝露及/或被非等向性蝕回製程所破壞。由非等向性蝕回製程於閘電極橫向牆側面形成之疊層，確保每一疊層之一端延伸至少在部份裝置分隔區之上，而其由可忍受矽蝕刻之物質所形成。由於僅執行上述蝕回製程會導致源極區和汲極區間之短路，因此有必要將多晶矽疊層區分隔開(形成於閘電極之橫向牆上)成為分離之源/汲極區。

(14)或者，本發明用來生成半導體裝置之方法包含步

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

驟：從一可忍受矽蝕刻之物質形成裝置分隔區；依序形成一閘絕緣薄膜，一閘電極，和一閘電極橫向牆絕緣薄膜；塗覆多晶矽薄膜；執行一非等向性蝕刻直至在閘電極上之多晶矽薄膜完全移除；及移除部份多晶矽薄膜，該多晶矽薄膜形成於閘電極之橫向牆上而閘電極橫向牆絕緣薄膜位於多晶矽薄膜和閘電極橫向牆之間。

由此結果，可以自行對準方式於閘電極之上形成源/汲極區。

(15)本發明用於生成半導體裝置另一方法包含引進雜質之離子植入步驟以形成源/汲極，雜質變成一施子或受子(更明確地說，摻雜區變成一施子或一受子)。如上所述，源/汲極區之疊層(疊積於半導體基材之上)是由在疊層中雜質擴散係數大於在半導體基材中雜質擴散係數之物質所組成。由此結果，即使同時對閘電極和源/汲極做雜質摻雜，也可能產生閘電極無雜質和/或雜質穿透至通道區之裝置，而其並無偏位組態(亦即一組態其源/汲極區因為擴散不足並不會真正在橫向方向達到通道區)。

(16)根據本發明符合MIS型半導體裝置，提供源/汲極區使得其鄰近閘電極橫向牆絕緣薄膜但繞過閘電極側面並延伸至一活化區表面之上，此種方式從第一面源/汲極區接合深度約為閘電極橫向絕緣薄膜寬度之0.8至2倍。

因此，在此所述之發明有以下優點(1)提供一半導體裝置其源/汲極佔據極小面積；(2)提供一方法製造相同裝置。

本發明這些和其他優點對熟悉此項技藝人士在閱讀下列

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

敘述並參考附圖後會更加明顯。

圖形簡述

圖1是一截面圖顯示根據範例1之半導體裝置10，延著垂直於閘電極104縱向方向之方向(X-X')。

圖2是一圖形顯示根據範例1半導體裝置10在橫截面之電流流動，圖形是採延著垂直閘電極104縱向方向之方向(X-X')。

圖3是半導體裝置10之截面圖，圖形顯示其寄生電容。

圖4是一傳統半導體裝置之截面圖，顯示其寄生電容。

圖5是一截面圖顯示根據範例2之半導體裝置20，圖形採延著垂直於閘電極204縱向方向之方向(X-X')。

圖6是一截面圖顯示根據範例2另一半導體裝置30，圖形採延著垂直於閘電極204縱向方向之方向(X-X')。

圖7是一截面圖顯示在一製造步驟中根據範例3生產之一半導體。

圖8A至8G顯示製造半導體裝置20之製程個別步驟。

圖9是一截面圖顯示一半導體裝置，圖形採延著垂直於其閘電極縱向方向之方向(X-X')。

圖10是一半導體裝置之平面圖顯示一狀態其中多晶矽薄膜308圍繞著閘電極304而閘電極橫向牆絕緣薄膜305位於兩者之間。

圖11是一半導體裝置之平面圖顯示分隔的源/汲極區。

圖12是一圖形顯示一方向其中雜質從將成為源/汲極區之多晶矽薄膜中擴散出來，至已有植入雜質之區。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(12)

圖13是一截面圖顯示一由所欲之熱擴散造成之雜質擴散層。

圖14是一截面圖顯示一有偏位之雜質擴散層。

圖15是一半導體基材之平面圖，顯示閘電極，一活化區，和接觸孔間之關係。

圖16是一平面圖顯示根據本發明一實施例所生產之半導體基材。

圖17A至17G顯示根據本發明製造一半導體裝置製程之個別步驟。

圖18是一截面圖顯示根據本發明範例5之半導體裝置，圖形採延著垂直閘電極507縱向方向之方向(X-X')。

圖19A是一截面圖顯示一半導體裝置其在兩鄰近閘電極間之距離小於側牆寬度d之兩倍，圖形採延著垂直半導體裝置閘電極縱向方向之方向(X-X')。

圖19B顯示本發明範例6半導體裝置之對等電路。

圖20是一截面圖顯示根據本發明範例6之半導體裝置，圖形採延著垂直其閘電極縱向方向之方向(X-X')。

圖21是一截面圖顯示根據本發明範例6另一半導體裝置，其中提供一假閘電極。

圖22A，22B和22C是截面圖顯示用來形成疊層擴散層傳統方法之步驟。

圖23顯示一些資料關於N-通道電晶體，其於植入能量約50仟電子伏特，摻雜量約 5×10^{15} /平方公分植入磷離子(作為一雜質以形成源/汲極區)而形成，並執行熱處理於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(13)

約 800°C (氮氣環境) 下約 120 分鐘；於約 850°C (氮氣環境) 下約 30 分鐘，於約 900°C (氮氣環境) 下約 10 分鐘；或約 850°C (氧氣環境) 下約 30 分鐘。

圖 24 顯示此類資料關於 N-通道電晶體，其於植入能量約 50 仟電子伏特，摻雜量約 5×10^{15} /平方公分或 1×10^{16} /平方公分植入磷離子(作為一雜質以形成源/汲極區)而形成，接著在約 1050°C (氮氣環境) 施行快速熱退火(RTA)約 10 秒。

圖 25 顯示此類資料關於 P-通道電晶體，其於植入能量約 15 仟電子伏特，摻雜量約 5×10^{15} /平方公分植入硼離子(作為一雜質以形成源/汲極區)而形成，並執行熱處理於約 800°C (氮氣環境) 下約 120 分鐘；於約 850°C (氮氣環境) 下約 30 分鐘；於約 900°C (氮氣環境) 下約 10 分鐘；或於約 850°C (氧氣環境) 下約 30 分鐘。

圖 26 顯示此類資料關於 P-通道電晶體，其於植入能量約 15 仟電子伏特，摻雜量約 5×10^{15} /平方公分或約 1×10^{16} /平方公分植入硼離子(作為一雜質以形成源/汲極區)而形成，接著在約 1050°C (氮氣環境) 下施行快速熱退火(RTA)約 10 秒。

元件符號

10	半導體裝置	101	裝置分隔區
20	半導體裝置	102	活化區
30	半導體裝置	103	閘絕緣薄膜
100	半導體基板	104	閘電極

90年7月16日 修正
補充

五、發明說明(13a)

105	閘電極橫向牆絕緣薄膜	312	上層接線
106	源/汲極區	401	半導體基板
107	接觸孔	402	裝置分隔區
110	通道區	403	閘氧化物薄膜
200	半導體基板	404	閘電極
201	裝置分隔區	405	閘電極橫向牆絕緣薄膜
202	活化區	406	絕緣薄膜
203	閘氧化物薄膜	407	多晶矽薄膜
204	閘電極	408	多晶矽薄膜
205	閘電極橫向牆絕緣薄膜	409	耐火金屬矽化物薄膜
206	源/汲極區	410	層間絕緣薄膜
206'	源/汲極區	411	接觸孔
207	接觸孔	412	上層接線
301	半導體基板	501	SOI 基材
302	裝置分隔區	502	氧化物薄膜
303	閘氧化物薄膜	503	活化區
304	閘電極	504	主體區
304'	閘電極	505	裝置分隔區
305	閘電極橫向牆絕緣薄膜	506	閘氧化物薄膜
306	矽氧化物薄膜	507	閘電極
307	多晶矽薄膜	508	閘電極橫向牆絕緣薄膜
308	多晶矽薄膜	509	源/汲極區
309	金屬矽薄膜	510	耐火金屬矽化物薄膜
310	層間絕緣薄膜	511	層間絕緣薄膜
311	接觸孔	512	接觸孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13b)

606	閘電極	D	高電阻區
607	閘電極	F	最小製程尺寸
608	閘電極橫向牆絕緣薄膜	Rcont	接觸電阻
609	源/汲極區	Rsd	源/汲極電阻
610	源/汲極區	Rej	延長接合之分散電阻
1001	半導體晶圓	Z1	在此區之多晶矽薄膜已
1002	裝置分隔區		被移除
1003	活化區	Z2	即將成為源/汲極區之區
1004	閘絕緣薄膜	Z3	即將成為源/汲極區之多
1005	閘電極		晶矽薄膜
1006	絕緣薄膜	Z4	從多晶矽薄膜擴散出來
1007	源/汲極區		的雜質層
1008	層間絕緣薄膜	Z5	將埋在此區多晶矽薄膜蝕
1009	接觸接線		刻掉
1010	上層接線	Z6	假閘電極
4041	多晶矽薄膜	Z7	氮化矽薄膜
4042	氮化鈦薄膜	Z8	偏位
4043	鎢薄膜		

較佳實施例之敘述

(範例1)

在下文中，根據本發明範例1之半導體裝置會參考圖1至3來說明。

圖1是一截面圖顯示根據範例1之半導體裝置10，圖形採

五、發明說明(14)

延著垂直於半導體裝置10之閘電極104縱向方向之方向(X-X')。

半導體裝置10形成於包含裝置分隔區101和活化區102之半導體基材100之上。明確地說，半導體裝置10是一MIS型半導體元件主要位於半導體基材100之活化區102內。半導體裝置10包含裝置分隔區101，活化區102，一閘氧化物薄膜103，一閘電極104，閘電極橫向牆絕緣薄膜105，及源/汲極區106。

源/汲極區106鄰近其閘電極橫向牆絕緣薄膜105。每一源/汲極區106之主要部份位於標示閘絕緣薄膜103和活化區102間介面之活化區表面A-A'之上。

明確地說，每一源/汲極區106被塑造成一形狀使得在截面採延著垂直閘電極104縱向方向之方向(X-X')上從活化區表面A-A'至源/汲極區106表面之距離h是朝閘電極104方向增加而朝裝置分隔區101方向減少。

在活化區102和裝置分隔區101之邊界(C-C')是在(延著垂直於閘電極104縱向方向之方向(X-X'))閘電極104之橫向牆和源/汲極區(B-B')較遠端之間。

換句話說，閘電極104(與活化區102電力絕緣)和源/汲極區106以遮蔽裝置分隔區101和活化區102間之交錯的方式來形成以覆蓋活化區102和裝置分隔區101的一部份。

由此結果，解決了由傳統半導體裝置之閘的垂直交錯或突出造成低良率之問題。例如，根據半導體裝置10很容易提供大體上平坦之層間絕緣薄膜。由於裝置分隔區101和

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(15)

活化區102間之任何交錯皆可被源/汲極區106覆蓋，因此可防止在交錯部份之反光，而有利於曝光顯影。

從活化區表面A-A'量至源/汲極區106曝露表面間之源/汲極區106高度h朝閘電極104方向變大。由此結果，在執行離子佈植將雜質摻雜至源/汲極區106中之後，最後源/汲極區106之深度h'(從活化區表面A-A'測量)朝閘電極104方向逐漸減少。因此，可有效防止所謂的短通道效應，其於半導體裝置縮小時會造成問題。明確地說，深度h'被定義為從活化區表A-A'往下量至源/汲極區106和半導體基材100間之接合處之源/汲極區106的深度(即相當於在CMOS之裝置中與源/汲極區106有相反導電態之井區的情形)。

圖2是一圖形顯示根據範例1在半導體裝置10之截面中電流之流動，圖形採延著垂直於閘電極104縱向方向之方向(X-X')。

如圖2所示，每一用來將每一源/汲極區106之表面耦合至上層接線(此處未顯示)之接觸孔部份是位於源/汲極區106表面之上。雖然圖2僅顯示接觸孔107之外圍，但是其假設接觸孔107是填充以上層接線和類似物質。

看回圖1，在半導體裝置10中，每一源/汲極區106之表面面積大於在活化區表面A-A'源/汲極區106所佔之面積。因此，半導體裝置10在源/汲極區106和上層接線間之接觸電阻小於傳統半導體裝置之接觸電阻。換句話說，對相同接觸孔107直徑而言，半導體裝置10可在源/汲極區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(16)

106和任何上層接線間提供較小的接觸電阻。

在設計半導體裝置10和傳統半導體裝置有相同接觸電阻之情形中，半導體裝置10所佔之面積，特別是源/汲極區106所佔之面積，可做成小於傳統半導體裝置所佔之面積。換句話說，可減少在每一源/汲極區106和半導體基材100間之接合面積而不必增加接觸電阻，因此有效減少接合電容。

因此，根據半導體裝置10，可將所佔面積，寄生電容(接合電容)，和寄生電阻減少而不需增加接觸電阻。由此結果，可得到一非常大之互導。

在下文中，將描述在半導體裝置10中電流之流動。其假設每一接觸孔107填充金屬以連接上層接線至個別源/汲極區106。

根據本發明，電流流路中高電阻區D非常小，使得源/汲極區106之寄生電阻與傳統半導體裝置相比減少了。甚者，電流通路在朝向分佈在接觸孔107中之接觸方向更寬廣了(亦即遠離通道區110之附近)，因此更減少了寄生電阻。由此結果，加強了半導體裝置10電流驅動性能，並改善互導。

圖3是半導體裝置10之截面圖，顯示其寄生電阻。圖4是傳統半導體裝置之截面圖，顯示其寄生電阻。在圖3和4中， R_{cont} 代表接觸電阻； R_{sd} 代表源/汲極電阻；而 R_{ej} 代表延長接合(所謂延伸)之分散電阻。

根據半導體裝置10(圖3)，從接觸孔107與每一源/汲極

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(17)

區106接觸之平面至通道之距離遠比其在傳統半導體裝置(圖4)中來得小。由此結果，半導體裝置10之源/汲極電阻比其在傳統半導體裝置中來得小。

(範例2)

在下文中，根據本發明範例2之半導體裝置20會參考圖5而加以描述。

圖5是一截面圖顯示根據範例2之半導體裝置20，圖形採延著垂直於半導體裝置20閘電極204縱向方向之方向(X-X')。

半導體裝置20包含裝置分隔區201，一活化區202，一閘氧化物薄膜203，一閘電極204，閘電極橫向牆絕緣薄膜205，源/汲極區206，和接觸孔207。每一源/汲極區206之表面在橫截面採延著垂直於閘電極204縱向方向之方向(X-X')上展示曲度的外形。由此結果，即使源/汲極區206和源/汲極區106在基材上佔據相同面積半導體裝置20之源/汲極區206仍比半導體裝置10之源/汲極區106有較大面積。因此，半導體裝置20容許在接觸孔207中源/汲極區和上層接線間有較多的接觸面積。

製造半導體裝置20之方法會在範例3和4中述及。

如在範例3和4中所述，藉回蝕多晶矽以於通道區上形成疊積之源/汲極區206，由於在多晶矽中之晶粒可形成有凹凸不平表面之源/汲極區206'，如圖6所示，因此提供了更多的表面面積。

(範例3)

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

在下文中，根據本發明範例3用來製造半導體裝置之方法會參考圖7和8A至8G來敘述。

圖7是一截面圖顯示根據範例3以一製造步驟生產之半導體。圖7所示之半導體裝置包含一半導體基材301，裝置分隔區302，一閘氧化物薄膜303，一閘電極304，閘電極橫向牆絕緣薄膜305，一矽氧化物薄膜306，和形成源/汲極區之多晶矽薄膜308。在本範例中，本發明之半導體裝置之生成是藉應用一所謂"金屬矽化物"製程而得其中金屬矽化物以自行對準方式形成於一閘電極，一源極區和一汲極區之上。

在圖7中，設計閘電極304使得其閘長度等於半導體裝置最小製程尺寸F。規定閘電極304和每一裝置分隔區302間之距離a使得 $a > b + c$ ，其中b代表每一閘電極橫向牆絕緣薄膜305之厚度，而c代表將閘電極304對準裝置分隔區302之對準容忍界限。一般來說容忍界限c等於 $F/3$ 。

每一源/汲極區在半導體基材表面所佔之面積可以值 $a - (b + c)$ 乘上電晶體閘寬度而得。基本上，寬度 $a - (b + c)$ 必須夠大可使作為施子或受子之雜質從疊層區擴散出去，而且對降低接合電容而言必須極小化除非寄生電阻大量增加。

明確地說，在圖7中之半導體裝置是以下列準則 $F = 0.24$ 微米來設計。個別尺寸參數規定如下： $a =$ 約0.16微米； $b =$ 約0.05微米；而 $c =$ 約±0.08微米。

圖8A至8G顯示製造一半導體裝置個別製程步驟。

藉使用已知方法，於半導體基材301上形成裝置分隔區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

302，一閘氧化物薄膜303，一閘電極304和閘電極橫向牆絕緣薄膜305，或提供一井區。一矽氧化物薄膜306形成於閘電極304之上，而其由多晶矽薄膜組成。閘電極橫向牆絕緣薄膜305可由矽氧化物和矽氮化物薄膜組成。每一閘電極橫向牆絕緣薄膜305可由單層組成，如圖8A等所示。

如圖8B所示，一多晶矽薄膜307以化學氣相沈積(CVD)法來沈積。很重要的是沈積多晶矽薄膜307必須在半導體基材301活化區之表面和沈積的多晶矽薄膜307間之介面無自發氧化發生才行。理由是，當雜質植入多晶矽薄膜307當作一施子或一受子時經由熱擴散而擴散至半導體基材301中，任何存在於半導體基材301之活化區表面和多晶矽薄膜307間之氧化薄膜會變成擴散障礙而妨礙均勻的雜質擴散(導致不均勻源/汲極區接合深度)，而這會導致我們所不要的電晶體特性之變動。

為了完全防止在活化區表面和多晶矽薄膜307間形成自發性氧化薄膜的形成，多晶矽薄膜307可藉下列方法沈積在如圖8A所示之半導體裝置上。

根據本範例，一低壓CVD(LPCVD)裝置包含一初步抽氣室，一氮氣清淨室其露點永遠保持在約 -100°C ，和一沈積爐，應用此裝置來沈積多晶矽薄膜而不使任何自發性氧化薄膜形成於半導體裝置之活化區表面和即將沈積之多晶矽薄膜間之介面。

明確地說，半導體基材301(圖8A)在沈積多晶矽薄膜307之前以含氟溶液清洗。在移除自發氧化薄膜後，半導體基

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(20)

材301送入初步抽氣室。初步抽氣室將抽真空以移除傳送時存在之空氣，然後半導體基材送入氮氣清淨室，裡面為氮氣環境並永遠保持露點在約 -100°C 。

使用氮氣清淨室並保持氮氣排氣是為了完全去除被晶片表面吸附之水分子。本發明之發明人經實驗證明吸附在晶片表面上之水分子無法在真空中去除，但可由氮氣排氣而完全去除。

在傳統LPCVD裝置中，晶片會和前述仍吸附在晶片表面之水分子一起送進沈積爐。傳統上多晶矽薄膜之沈積是在溫度約 550 至 700°C 範圍內進行。當晶片送入此高溫沈積爐時，水分子中氧氣成份會和矽晶片作用，一自發氧化薄膜會在多晶矽薄膜沈積前形成於矽晶片表面上。因此，自發氧化薄膜可能會形成在半導體基材之活化區表面和沈積的多晶矽薄膜間之介面。

反過來說，根據本發明之LPCVD裝置，半導體基材送入露點永遠保持在約 -100°C 之氮氣清淨室內使得能完全去除吸附的水分子，此在半導體基材送入沈積爐之前。由此結果，多晶矽薄膜307可不使自發氧化薄膜形成而形成。

然後，在下一步驟中，將多晶矽薄膜307進行非等向性蝕回製程而留下鄰近閘電極橫向牆絕緣薄膜305一對側牆之多晶矽薄膜308。如圖8C所示。

此處需注意在非等向蝕回製程之後形成之多晶矽薄膜側牆之端點必須至少和其相關之裝置分隔區302部份重疊。

如果規定距離a使得其比如圖9中多晶矽薄膜側牆之寬度

五、發明說明(21)

d要長的話，矽基材301可能被非等向蝕回製程所腐蝕。因此，矽半導體基材301可能受損而使接合漏電流增加和因接合變深引起短通道效應加重。

多晶矽薄膜側牆之寬度d由閘電極304突出部份(亦即其高度包含形成在閘多晶矽薄膜304上之矽氧化物薄膜306)和沈積的多晶矽薄膜307之厚度來決定。明確地說，多晶矽薄膜側牆寬度d必須符合 $d > a + c$ 。在本範例中，假設a=約0.16微米；c(閘電極304和每一裝置分隔區302間之對準容忍界限)=約±0.08微米；而d(多晶矽薄膜側牆寬度)=0.3微米。甚者，閘電極304突出部份規定在約300至400奈米，而沈積多晶矽薄膜307厚度規定在約400至500奈米。

不同參數值只是 $F=0.24$ 微米設計法則之一範例而已。吾人可了解本發明亦可用其他參數值來符合 $a > b + c$ 和 $d > a + c$ 。

甚者，為了減少閘橫向牆電容，必須將閘電極之投影設計極小化而符合 $d > a + c$ 。

多晶矽薄膜307以上述方法蝕回。蝕回製程以應用一螺旋型RIE裝置壓力在約0.3 Pa下含有氟和氧之混合氣體來執行。最好使用一蝕刻終點偵測裝置(EPD)以確認多晶矽薄膜307被多蝕刻約10%至30%。

僅執行蝕回製程使多晶矽薄膜308留下並圍繞閘電極304而有閘電極橫向牆絕緣薄膜305在兩者之間，如圖10所示。

現在，為了要以多晶矽薄膜作為疊積源/汲極區，必須

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(22)

將源/汲極區分隔開如圖11所示。

在本範例中，除了要被移除的區之外其他區皆覆以光阻罩，並以乾蝕刻定義出源/汲極區。

蝕刻之進行將控制側牆蝕刻程度而確保源/汲極區完全分隔即使在開電極橫向牆不垂直於基材表面之情形中亦如此(亦即開段之上層部份比下層部份要長)。這樣的蝕刻最好。因為，若開段之上層部份比下層部份要長的話，開段本身可作為一光罩而避免圍繞在開電極周圍必須被移除之多晶矽薄膜308被完全蝕刻掉。如此蝕刻而造成若干程度的側牆蝕刻是應用一螺旋型RIE裝置在壓力約0.4 Pa下含溴化氫和氧氣之混合氣體來進行。

在開電極多晶矽薄膜304之上的矽氧化物薄膜306被蝕刻掉之後，植入雜質離子以形成源/汲極區。根據本範例，如圖8D所示，開電極304'的摻雜和源/汲極區308'的摻雜同時被影響。

在下文中，將敘述根據本發明之離子植入條件之範例。

例如，開多晶矽薄膜厚度f可為約200至250奈米，疊層區的最大高度g(圖7)，接近開電極，可為約200至300奈米。在n通道電晶體離子植入例子中，磷離子以能量約20至80仟電子伏特，摻雜量約 1×10^{15} /平方公分至 1×10^{16} /平方公分下植入。在P通道電晶體離子植入例子中，硼離子以能量約10至40仟電子伏特，摻雜量約 1×10^{15} /平方公分至 1×10^{16} /平方公分下植入。

為避免因打通而產生穿透開氧化物薄膜和控制多晶矽薄

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(23)

膜內之擴散，可先以約 5×10^{14} /平方公分至 5×10^{15} /平方公分之矽離子作離子植入而形成一非晶質半導體。在此例中，多晶矽之晶界有某種程度的破壞。因此，在形成一CMOS時必須對非晶質狀態作選擇以適合個別雜質離子種類。

接著，在離子植入之後，被植入離子之半導體基材施以熱處理於溫度約800至950°C下約10至120分鐘。或者，被植入離子之半導體基材施以快速熱退火(RTA)於溫度約950至1100°C下約10至60秒。由此結果，植入離子被活化並擴散進入矽基材中。必須執行熱處理以使雜質能熱擴散地夠深以避免源/汲極區與閘電極發生偏位。明確地說，雜質必須橫向擴散一距離相當每一閘電極橫向絕緣薄膜之厚度。為了加強電晶體特性(亦即為避免短通道效應和改善驅動電流)，必須使接合深度極小化並確保源/汲極區不會與閘電極發生偏位。

在下文中，雜質熱擴散將參考圖12至14來說明。

圖12是一圖形顯示雜質從將形成源/汲極區之多晶矽薄膜中擴散出來進入雜質已被植入地方之方向。如圖12所示，雜質不只向下擴散也向橫向擴散(亦即朝點A左邊方向)。

當實行雜質熱擴散時，最好使雜質擴散夠深以防止任何橫向方向之偏位發生，如圖13所示。最好，實行擴散使得接合深度等於或大於閘電極橫向絕緣薄膜厚度約0.8倍；即使在最深區(亦即接近裝置分隔區)，接合深度最好

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (24)

是開電極橫向牆絕緣薄膜厚度約2倍。圖14顯示一雜質擴散層與開電極間有一偏位。有此偏位之裝置的驅動電流是大為減少。

在下文中，防止或極小化此偏位之範例條件將會述及。

當使雜質擴散夠深以防止偏位在橫向方向發生時，向下方向之擴散深度是特別被定義出來。因此，為了改善電晶體特性，必須減少開電極橫向牆絕緣薄膜厚度並同時確保開電極橫向牆電容之增加不會造成全部負載電容之增加。在本範例中，規定每一開電極橫向牆絕緣薄膜厚度(圖7中之b)為約0.05微米，如上所述。

現在，根據本範例關於短通道效應和熱處理的特別數據將參考圖23至26而敘述。

圖23顯示此數據關於N通道電晶體由植入能量約50仟電子伏特，摻雜量約 5×10^{15} /平方公分植入磷離子(此雜質用來形成源/汲極區)而形成，並執行熱處理於約 800°C (氮氣環境)下約120分鐘；約 850°C (氮氣環境)下約30分鐘；約 900°C (氮氣環境)下約10分鐘；或約 850°C (氧氣環境)下約30分鐘。

圖24顯示此數據關於N通道電晶體其於植入能量約50仟電子伏特，摻雜量約 5×10^{15} 或約 1×10^{16} /平方公分植入磷離子(作為雜質以形成源/汲極區)而生成，接著施行快速熱退火(RTA)於約 1050°C (氮氣環境)下約10秒。

圖25顯示此數據關於P通道電晶體其於植入能量約15仟電子伏特，摻雜量約 5×10^{15} /平方公分植入硼離子(作為雜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(25)

質以形成源/汲極區)而生成，並執行一熱處理於約800°C(氮氣環境)下約120分鐘；約850°C(氧氣環境)下約30分鐘；約900°C(氮氣環境)下約10分鐘；或約850°C(氧氣環境)下約30分鐘。

圖26顯示此數據關於P通道電晶體其於植入能量約15仟電子伏特，摻雜量約 5×10^{15} 或 1×10^{16} /平方公分植入硼離子(作為雜質以形成源/汲極區)而生成，接著施行RTA在約1050°C(氮氣環境)下約10秒。

圖23至26之實驗結果全都是在開電極橫向牆絕緣薄膜厚度為0.05微米狀況下而得。從結果可見，當以植入能量50仟電子伏特，摻雜量約 5×10^{15} /平方公分植入磷離子而得N通道電晶體(其中 $L=0.24$ 微米)時，適當的熱處理可於約850°C(氮氣或氧氣環境)下約30分鐘至約900°C(氮氣環境)下約10分鐘執行。從圖23可見在約800°C(氮氣環境)下約120分鐘之熱處理是不夠的，其導致偏位的電晶體產生。當摻雜量增加至約 5×10^{15} 或 1×10^{16} /平方公分時，以RTA在約1050°C(氮氣環境)下約10秒加強高濃度雜質之擴散得到極佳結果。由此亦可見，對摻雜量 5×10^{15} /平方公分實行RTA於約1050°C(氮氣環境)下約10秒是不夠的而因此得到偏位的電晶體。

當以植入能量15仟電子伏特，摻雜量約 5×10^{15} /平方公分植入硼離子而生成P通道電晶體(其中 $L=$ 約0.24微米)時，適當的熱處理可於約850°C(氮氣環境)下約30分鐘至約900°C(氮氣環境)下約10分鐘來執行。從圖25可見於約800°C

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (26)

(氮氣環境)下約120分鐘或於約850°C(氧氣環境)下約30分鐘之熱處理是不夠的，會產生偏位的電晶體。當摻雜量增加至約 5×10^{15} 至 1×10^{16} /平方公分時，對硼離子而言擴散皆不足，而產生偏位電晶體如圖26所示。

如上所述，吾人已發現，在電晶體有閘電極橫向牆絕緣薄膜厚度0.05微米之例子中，不論對N通道型或P通道型電晶體而言，適當的熱處理可於約850°C(氮氣環境)下約30分鐘至約900°C(氮氣環境)下約10分鐘下執行以利藉單一熱處理之雜質擴散。

本範例僅是在 $F=0.24$ 微米設計法則下範例參數值符合 $a > b + c$ 和 $d > a + c$ 之情形，而並不限制本發明之領域。例如，在較小 $F=0.1$ 微米設計法則下， a ， b ， c 或 d 之個別值將會不同。在此情況下，在 $F=0.24$ 微米法則下 a ， b ， c 和 d 會採用不同數值以符合 $a > b + c$ 和 $d > a + c$ 。在此關連下，閘電極橫向牆絕緣薄膜厚度 f 和接近閘電極源/汲極區之最大高度 g 之值皆會根據 a ， b ， c 和 d 之值而改變而不受限於本範例提及之值。植入離子種類，植入能量，摻雜量和熱處理條件皆需根據 a ， b ， c ， d ， f 和 g 之值而予以適量化。由於根據本發明閘電極的摻雜和源/汲極區之形成是同時植入完成的，因此需小心按照下列幾點來執行離子佈植和熱處理。即必須得到上述電晶體特性(防止短通道效應和改善驅動電流)同時符合條件來防止在閘絕緣薄膜附近閘電極的空乏及雜質穿透至通道區(很自然原因就是多晶矽薄膜的厚度 f)。很難得到最適條件因為個別參數彼此會影響。

五、發明說明(27)

不過，本發明藉與矽基材(單晶矽)擴散係數相比而規定出相當大疊層擴散係數之值而成功達成非常大製程條件之容忍界限。換句話說，首先藉規定a, b, c和d值而改善驅動電流並防止短通道效應而同時在不會使製程製造不出裝置下將裝置佔據面積極小化，對製程條件而言可容許一些容忍界限存在例如f值, g值, 離子佈植和熱處理。

在下文中，會說明本發明比以磊晶矽薄膜形成疊積擴散層優秀的原因。

如上所述，根據本發明之結構(及包含由磊晶矽薄膜形成之疊積擴散層之傳統結構)其中雜質從疊層中藉固態擴散方法形成淺的源/汲極接合，執行離子佈植，熱處理和類似製程之條件會視閘電極的高度，疊層區的高度，閘電極橫向牆絕緣薄膜厚度等而改變。根據本範例其中疊層由多晶矽薄膜所形成，雜質的擴散係數可增加使得其約為矽單晶薄膜之擴散係數之10至100倍(需注意當多晶矽薄膜晶粒變小時擴散係數就增加了)。換句話說，對離子佈植和熱處理而言可有較大的容忍界限。

不過，在傳統範例中其疊層由磊晶矽薄膜形成，閘多晶矽薄膜之擴散係數與疊層的擴散係數大不相同。因此，無法根據傳統技術來規定達成上述電晶體特性之條件(防止短通道效應和改善驅動電流)而同時符合防止在閘絕緣薄膜附近閘電極之空乏和雜質穿透至通道區之條件。

換句話說，在閘多晶矽薄膜內雜質擴散要比在疊層和半導體單晶基材內來得容易。因此，若是在防止電晶體偏位

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(28)

組態之條件下執行擴散，硼離子會穿透閘氧化薄膜。另一方面，若是在防止硼離子穿透的條件下執行擴散，則完成之電晶體會具有偏位組態。

即使在未對閘電極執行同時摻雜的例子中，藉從一多晶矽薄膜以熱擴散將雜質擴散進入單晶矽而形成源/汲極區之技術會有下列好處：因為擴散係數差異大雜質會快速擴散至半導體基材之活化區表面和沈積的多晶矽薄膜間之介面。

另一方面，因為擴散係數差異小之故雜質會緩慢地從介面擴散進入矽基材。由此結果，疊層高度之變異和在雜質離子佈植期間投射範圍(R_p)之變異皆可極小化，因此可得到均勻的源/汲極區接合深度。

另一方面，在單晶磊晶矽薄膜成長於活化區之例子中，在疊積單晶磊晶矽內和在半導體基材內之雜質擴散係數相等，使得疊層高度之變異和在雜質離子佈植期間 R_p 的變異造成源/汲極區接合深度之變異和因此電晶體特性之變異。

在沒有對閘電極同時執行摻雜的例子中，例如可以使用範例4中敘述之方法(容後再述)或應用磷擴散對於所有閘有相同傳導型之雜質摻雜的方法。吾人可了解在後面例子中最後P通道電晶體會是埋入通道型電晶體。

根據本發明，也有一好處即活化區不易受到損壞因為對活化區而言並不是直接執行離子佈植。

如圖8E所示，藉一有名的金屬矽化物製程將一耐火金屬

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(29)

矽化物薄膜309選擇地形成在源極，汲極和閘電極之上。雖然本範例打算以鈦作為耐火金屬薄膜，但是對耐火金屬種類卻無限制。例如鈷、鎳、鉑或類似金屬可用作耐火金屬。在本範例中，整個源極，汲極和閘電極上表面轉化成金屬矽化物。

然後，如圖8F所示，以一熟知方法形成層間絕緣薄膜310。

其次，如圖8G所示，一接觸孔311形成於層間絕緣薄膜310中預定位置，然後形成上層接線312。在本範例中，每一接觸孔311僅需和一相對應的源/汲極區至少部份重疊如圖8G所示。藉應用此一組態，裝置佔據之面積可大為減少。

根據本範例由於與自身所佔面積相比有很大表面積之源/汲極區疊積形成於通道區之上，所以即使每一接觸孔311僅部份與相對應的源/汲極區重疊在接觸孔311和源/汲極區間仍有很大的接觸面積。由此結果，在減少源/汲極區的接合面積之同時可防止接觸電阻之增加。

圖15是一傳統半導體基材的平面圖。在圖15所示之電晶體裝置其閘長度 L (需注意閘長度 L 通常等於最小製程尺寸 F)和一閘寬度 W 。傳統上，在閘電極和一裝置分隔區間需 $2.5L$ 至 $3L$ 的容忍界限：這個容忍界限是接觸孔孔徑的寬度 o ，一對準容忍界限 p (用來防止在接觸孔內上層接線和閘電極間之短路)和一對準容忍界限 q (用來防止接觸和半導體基材或井區間之短路)之總和。因此，圖15中電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(30)

之活化區佔據之面積從 $(2.5L \times 2+L) \times W$ 至 $(3L \times 2+L) \times W$ ，即 $6LW$ 至 $7LW$ 。

圖16是一平面圖顯示根據本範例生產之半導體基材。在圖16中在閘電極和裝置分隔區間之容忍界限僅需 $2/3 L$ 。(圖7中，假設 $F=0.24$ 微米， $a=0.16$ 微米)。根據本範例活化區佔據之面積是 $(2/3 L \times 2+L) \times W=7/3 LW$ 。因此，根據本範例活化區佔據之面積比圖15中每一裝置在傳統結構中活化區所佔之面積小約 $7/18$ 至 $1/3$ 倍。

而且，根據本範例接合寄生電容可比圖15中傳統裝置之接合寄生電容要減少 $4/15$ 至 $2/9$ 倍。不過，根據本範例所生產由LSI所佔之面積無法比傳統LSI所佔之面積減少 $7/18$ 至 $1/3$ 倍因為接點間距限制，接觸間距限制和其他整個LSI所受到的限制。

(範例4)

在下文中，會敘述根據本發明範例4製造半導體裝置之方法。

圖17A至17G顯示根據本範例製造一半導體裝置製程之個別步驟。根據本範例閘電極是由耐火金屬，一多晶矽薄膜或類似物質所組成。

如圖17A所示，應用一已知方法於一半導體基材401或所提供之井區之上形成裝置分隔區402，一閘氧化物薄膜403，一閘電極404和閘電極橫向牆絕緣薄膜405。形成閘電極404使得其有包含位於一多晶矽薄膜4041和一鎢薄膜4043間之氮化鈦薄膜4042之三層結構。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (31)

使用氮化鈦薄膜4042使得在之後熱處理中能防止多晶矽薄膜4041和鎢薄膜4043間發生反應。若多晶矽薄膜4041和鎢薄膜4043間發生反應的話，則形成鎢金屬矽化物薄膜，因此增加了閘電極404的電阻。

在P通道電晶體例子中在閘電極404中之多晶矽薄膜4041以硼離子來摻雜，而在N通道電晶體例子中以磷離子摻雜。

在閘電極404之上，形成主要以矽氧化物薄膜或矽氮化物薄膜組成之一絕緣薄膜406。每一形成於閘電極404側面之閘電極橫向牆絕緣薄膜405主要由包含一氧化矽薄膜和一氮化矽薄膜之雙層薄膜所組成。

根據本發明之半導體裝置使用 $F=0.18$ 微米法則來設計。個別尺寸參數規定如下： a =約0.12微米； b =約0.03微米； c =約±0.06微米；而 d =約0.25微米，其中 a 代表閘電極404至每一裝置分隔區402之距離； b 代表每一閘電極橫向牆絕緣薄膜之厚度； c 代表相對每一裝置分隔區402用來對準閘電極404之對準容忍界限；而 d 代表每一側牆之寬度(圖17C)。藉使用前述 a 至 d 之參數值，包含絕緣薄膜406之閘電極404高度約為200至300奈米。

如同在範例3中，多晶矽薄膜407以化學氣相沈積法(CVD)沈積(圖17B)。在本範例中，多晶矽薄膜407假設沈積至約300至400奈米。

多晶矽薄膜407以範例3中相同蝕回條件被蝕回(圖17C)。僅施行蝕回製程而留下多晶矽薄膜408圍繞閘電極404而有

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(32)

閘電極橫向牆絕緣薄膜405位於兩者之間。現在，為了要使用多晶矽薄膜408作為疊積源/汲極區，必須將源/汲極區分隔開。在本範例中，執行蝕刻以掌控側面蝕刻的程度而確保即使在閘電極橫向牆未垂直於基材表面之例子中源/汲極區是保證分隔開。

如圖17D所示，植入雜質離子以形成源/汲極區。根據本範例，不像在範例3中，當欲形成源/汲極區時，只有在要形成源/汲極區的區域有摻雜發生。其他方面植入條件，熱處理條件和其他類似製程條件則與範例3中使用的相同。

如圖17E所示，藉已知的金屬矽化物製程將一耐火金屬矽化物薄膜409選擇地形成於源/汲極區之上。雖然本範例打算以鈦作為耐火金屬薄膜，但是並未限制使用耐火金屬的種類。例如，鈷鎳鉑或類似金屬可作為耐火金屬。

在本範例中，閘電極404以鎢製成其比金屬矽化物薄膜有較低電阻，而在閘電極404之上有一矽氧化物薄膜或一矽氮化物薄膜。因此，只有源/汲極區表面變成金屬矽化物。

然後，如圖17F所示，以已知方法形成一層間絕緣薄膜410。

其次，如圖17G所示，在層間絕緣薄膜410中預定位置形成一接觸孔411，然後在層間絕緣薄膜410之上及/或接觸孔411中形成上層接線412。在本範例中，每一接觸孔411僅需至少部份與其對應之源/汲極區重疊如圖17G所

五、發明說明(33)

示。藉應用此一組態，裝置佔據之面積可大為減少。

根據本範例，絕緣薄膜406存在於閘電極404之上。因此，即使接觸孔411與閘電極404部份重疊，源/汲極區也不會從接觸孔411中曝露之導體而與閘電極404發生短路。由此結果，本範例可比範例3相對於接觸孔之位置提供更大彈性設計。

由此結果，根據本範例不需為防止在接觸孔411中上層接線和閘電極404間之短路而提供任何容忍界限(包含對準容忍界限)。明確地說，對層間絕緣薄膜410和絕緣薄膜406而言可使用不同的物質作材料而形成於閘電極404之上，而一蝕刻製程其能對形成於閘電極404之上的層間絕緣薄膜410材料和絕緣薄膜406材料間提供一蝕刻選擇比而蝕刻層間絕緣薄膜410以形成接觸孔411。

例如，在閘電極404之上的絕緣薄膜406是矽氮化物薄膜而層間絕緣薄膜410是矽酸鹽玻璃或含有硼和磷的類似物質之例子中，藉使用一碳氟型氣體而能對矽氮化物薄膜406和含有硼和磷之矽酸鹽玻璃薄膜400提供蝕刻選擇比從1:10至超過1:100。藉此一蝕刻而形成接觸孔411，可使閘電極404免於曝露。

對前述接觸孔蝕刻之選擇比考量同樣適用於裝置分隔區和層間絕緣薄膜間之關係。

明確地說，在範例3和本範例中接觸孔411與裝置分隔區有部份接觸。若在層間絕緣薄膜410材料和裝置分隔區之材料間沒有蝕刻率的差別的話，則在接觸孔蝕刻期間會在

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(34)

裝置分隔區中蝕刻而形成一凹處。為了要避免這問題，最好對至少組成裝置分隔區絕緣薄膜表面部份使用一物質(例如矽氮化物薄膜)以相對於層間絕緣薄膜410提供一定之蝕刻選擇比。

根據範例3和本範例相對於源/汲極區所佔之面積多晶體薄膜疊層的晶粒尺寸最好是很小。如範例3所述，為了要提供大的製程容忍界限(用於雜質離子佈植條件，熱處理條件等以形成源/汲極區之容忍界限)以防止電晶體特性變異發生，多晶矽薄膜疊層之擴散係數相對於矽基材最好是夠大(最好是單晶矽中之擴散係數的10倍或更多)。

當更多的晶界存在於薄膜中時在多晶矽薄膜中雜質擴散能力加強了。換句話說，必須使用和源/汲極區所佔面積比較起來夠小之晶粒。多晶矽薄膜晶粒大小最好在50奈米左右因為即使使用 $F=0.24$ 微米法則在閘電極和裝置分隔區間僅有0.16微米。而且晶粒最好是圓柱晶體因為它們會大大增加向下擴散至矽基材之速率。

根據範例3和本範例，使用多晶矽薄膜作為形成疊層源/汲極區之物質。其他合適之物質包含矽鍺(多晶)薄膜和類似物質。矽或矽鍺(Si_xGe_y)的單層非晶質薄膜或非晶質和多晶的兩層薄膜可用來形成疊積的源/汲極區。當使用矽鍺時，與使用矽比較起來提供了較佳的雜質活化速率。

(範例5)

在下文中，根據本發明以SOI(矽在絕緣體上)基材作為基材之半導體裝置之範例組態將參照圖18來說明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (35)

圖 18 是一截面圖顯示根據本範例製造之半導體裝置，圖形採延著垂直於半導體裝置閘電極 507 之縱向方向之方向 (X-X')。

如圖 18 所示之半導體裝置是形成在 SOI 基材 501 之上；一氧化物薄膜 502 形成在 SOI 基材 501 上；一活化區 503；一主體區 504；裝置分隔區 505；一閘氧化物薄膜 506；一閘電極 507；一閘電極橫向牆絕緣薄膜 508；源/汲極區 509；耐火金屬矽化物薄膜 510；一層間絕緣薄膜 511；和一接觸孔 512。

每一源/汲極區 509 之表面，亦即接觸孔 512 用來耦合至上層接線 (未顯示) 及/或和層間絕緣薄膜 511 接觸之面，有著曲度及/或傾斜之外形如範例 1 至 4 所示。甚者，根據圖 18 之半導體裝置，疊積在通道區上之矽 (多晶矽薄膜) 是位於 SOI 基材 501 之上。因此，在金屬矽化物製程中，疊積在通道區上矽薄膜之表面和耐火金屬起反應而形成金屬矽化物薄膜。由此結果，金屬矽化物薄膜不會碰觸到 SOI 基材 501 中之氧化物薄膜 502。

相反地，在一結合傳統 SOI 基材半導體裝置中，在氧化物薄膜上之矽薄膜厚度通常為了達到完全沒有主體區而作的非常薄。不過，矽薄膜較小的厚度會導致源/汲極區較高電阻。這個問題似乎可藉將源/汲極區表面轉換為金屬矽化物並形成耐火金屬矽化物薄膜而解決。不過，由於矽薄膜較薄的厚度，金屬矽化物薄膜會觸及在矽薄膜之下的矽氧化物薄膜，因此電晶體的特性變差了。

五、發明說明 (36)

如上所述，根據本範例，可防止金屬矽化物薄膜觸及在 SOI 基材 501 中之氧化物薄膜 502，而使由於金屬矽化物形成造成電晶體特性變差的情形免於發生。

(範例 6)

範例 1 和 5 對在兩鄰近閘電極間距離和側牆寬度 d 之關係不感興趣。在範例 6 中，半導體裝置參照圖 19A，19B，20 和 21 而作敘述，其中兩鄰近閘電極間距離小於兩倍側牆寬度 d 。

圖 19A 是一截面圖顯示一半導體裝置其中兩鄰近閘電極間距離 t 小於兩倍側牆寬度 d ，圖形採延著垂直於半導體裝置 ($2d > t$) 閘電極縱向方向之方向 (X-X')。

在半導體基材或提供之井區上形成裝置分隔區。裝置分隔區以能耐矽蝕刻之材料製成。其次，依序形成一閘氧化薄膜，閘電極 606 和 607，和閘電極橫向牆絕緣薄膜 608 使得兩鄰近閘電極 606 和 607 間之距離小於兩倍每一側牆寬度 d (亦即源/汲極區 609)，亦即 $2d > t$ 。在閘電極和每一裝置分隔區延著垂直於閘電極 606 和 607 縱向方向之方向 (X-X') (亦即"閘長度方向") 間距離標示為 a 於圖 17A 中。

其次，一多晶矽薄膜以 CVD 方法沈積使其厚度大於距離 a 。執行非等向性蝕刻直至閘電極之上之多晶矽薄膜被完全蝕刻掉為止。剩餘的多晶矽薄膜以側牆方式留在閘電極橫向牆絕緣薄膜 608 的側面。不過，如圖 19A 所示，一包含重疊的源/汲極區之區域形成在兩鄰近閘電極 606 和 607 之間。

圖 19B 顯示圖 19A 中半導體結構之對等電路，其中電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(37)

以串聯連接。為了確保在 $2d > t$ 之條件下個別電晶體保持獨立(立即使鄰近電晶體的源/汲極區分開成為分離之源/汲極區)，可使用圖20或21中之方法。例如，如圖20所示，源/汲極區610可藉蝕刻或類似方法而分開。用來分開源/汲極區之蝕刻可和消除如圖10所示圍繞在閘電極橫向牆絕緣薄膜之多晶矽薄膜的蝕刻同時進行，因此避免增加蝕刻步驟。

或者，可對源/汲極區間之分開形成一假閘電極，如圖21所示。

其後步驟類似範例3中所敘述，因此省略其敘述。

雖然範例1-4和6假設半導體裝置的基材是整個矽基材，但是並不限制基材種類。例如，可於本發明中使用SiC或藍寶石基材。

根據本範例，每一源/汲極區表面在橫截面採延著垂直於閘電極縱向方向之方向(X-X')顯示出曲度及/或傾斜外形。由此結果，半導體裝置每一源/汲極區表面面積(相對於源/汲極區所佔之面積)根據本範例可比含有線性外形源/汲極區之傳統結構更有效增加。

根據本範例藉蝕回多晶矽以在通道區上疊積形成源/汲極區，可以形成不平表面的源/汲極區206，因此增加了表面面積。

根據本發明，相對於電晶體通道區很容易減少源/汲極區雜質擴散層之接合深度。由此結果，可有效防止所謂的短通道效應。不必用磊晶成長技術就可得到此淺接合，因

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(38)

此可控制短通道效應。甚者，根據本發明更比使用磊晶成長技術容易控制擴散，導致裝置特性較小變異。由於在源/汲極區形成後活化區並未曝露於大氣中，活化區可於蝕刻及/或離子佈植期間免於被破壞及/或污染。

根據本發明之一範例，當為擴散和活化一雜質而施行熱處理時，擴散會快速向下至與半導體基材之界面，但卻緩慢擴散進入矽基材中。由此結果，從半導體基材之界面算起之源/汲極區深度較不易受到疊積區高度變化之影響，因此可有控制性的形成淺接合。

根據本發明之一範例，多晶矽晶粒大小約在50奈米左右以使由於多晶矽晶粒造成多晶矽側牆的變異極小化，而且易於控制擴散，因此使裝置特性之變異極小化。

根據本發明的結構，在半導體裝置製造期間因閘部份突出引起低良率的問題可以減少。例如，可輕易使層間絕緣薄膜變平。甚者，在包含垂直突出之閘部份的傳統結構中，在自行對準接觸(SAC)製程中接觸蝕刻期間在閘部垂直突出之蝕刻終止層之蝕刻率會不小心增加了，因此導致接觸不足。此類問題亦可藉本發明而防止。

根據本發明一實施例，以上展示的疊積源/汲極區可僅藉規定蝕刻量以確保在閘電極上之多晶矽薄膜被完全移除而得。由於沈積的多晶矽薄膜厚度大於閘電極和每一裝置分隔區間之距離(亦即每一源/汲極區之寬度)，使得矽基材可免於曝露和受到非等向性蝕回製程之破壞。藉非等向性蝕回製程於閘電極橫向牆側面形成疊層，此確保每一疊

(請先閱讀背面之注意事項再填寫本頁)

訂

像

五、發明說明 (39)

層之一端至少部份延伸至裝置分隔區之上，此區由能承受矽蝕刻物質所形成。

根據本發明一實施例，可藉離子植入製程同時在源極區，汲極區，和一閘極中導入雜質以形成一施子或受子。由此結果，一表面通道型裝置可由少數離子植入步驟而得。如上所述，源/汲極區之疊層(疊積於半導體基材之上)是由一物質組成使得在疊層中雜質的擴散係數大於在半導體基材中之雜質擴散係數。由此結果。即使同時執行閘電極和源/汲極區的雜質摻雜，仍可能製造一裝置其可防止閘電極的空乏及雜質穿透至通道區中，而沒有偏位組態(亦即一組態其中源/汲極區因為擴散不足而未於橫向方向上到達通道區)。

根據本發明製造之一半導體裝置包括一裝置分隔區，一活化區，一閘氧化物薄膜，一源/汲極區，和一電極其電力耦合至源/汲極區，以一方式使活化區在一第一面與閘氧化物薄膜接觸，源/汲極區之一部份位於第一面之上；而電極在第二面與源/汲極區接觸，第二面和第一面構成一角度。由此結果，源/汲極區所佔之面積可以減少，因此減少了源/汲極區之寄生電容和寄生電阻。

源/汲極區表面面積可比在活化區之上源/汲極區所佔面積要增加。由此結果，源/汲極區和上層接線間之接觸面積可增加，因此降低了接觸電阻。

由於在通道區和一接觸孔間距離很小，在高電阻雜質擴散區間之距離，電流流過之處，變得非常小。由此結果，

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(40)

寄生電阻變小了。

由於裝置所佔之面積，特別是源/汲極區所佔之面積，可以在不改變上層接線至源/汲極接觸大小而縮小，因此可在不增加上層接線至源/汲極接觸電阻而使源/汲極區和半導體基材(或在一CMOS裝置中和源/汲極區有相反傳導型之井區)間之接合面積極小化。由此結果，接合電容可有效減少。因此，所佔面積，寄生電容(接合電容)，和寄生電阻可在未增加接觸電阻下而減少。結果，得到非常大的互導，而用於充電所需之電容則減少了。因此，根據本發明設計之電路操作速度改善了。

根據本發明，在電流路徑中有高電阻之區的比例非常小，使得與傳統半導體裝置比起來源/汲極區之寄生電阻減少了。甚者，電流路徑在朝接觸和遠離鄰近通道區之源/汲極區部份之方向變寬了，因此減少了寄生電阻。由於這些效應，電流驅動性能和裝置互導得到改善。

在不偏離本發明領域和精神下熟悉此項技藝人士可了解並作不同之修改。因此，所附申請專利範圍之領域不受限於其所敘述，而是可被廣泛解釋。

四、中文發明摘要(發明之名稱：半導體裝置及其製造方法)

有裝置分隔區和活化區之半導體裝置，其包含一閘氧化物薄膜，一源/汲極區，及一電極是電力耦合至源/汲極區。活化區是在一第一面與閘氧化物薄膜接觸，部份源/汲極區位於第一面之上。電極是在第二面與源/汲極區接觸，第二面相對於第一面構成一角度。

英文發明摘要(發明之名稱："SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME")

A semiconductor device having a device separation region and an active region includes a gate oxide film, a source/drain region, and an electrode which is electrically coupled to the source/drain region. The active region is in contact with the gate oxide film at a first face, a portion of the source/drain regions being located above the first face. The electrode is in contact with the source/drain region at a second face, the second face constituting an angle with respect to the first face.

六、申請專利範圍

1. 一半導體裝置，包括一裝置分隔區和一活化區，該半導體裝置包含一閘氧化物薄膜，一源/汲極區，和一電極電力耦合至源/汲極區，其中活化區在一第一面和閘氧化物薄膜接觸，源/汲極區的一部份位於第一面之上；而其中電極在一第二面與源/汲極區接觸，第二面和第一面構成一角度。
2. 如申請專利範圍第1項之半導體裝置，其中第二面是凹凸不平的。
3. 如申請專利範圍第1項之半導體裝置，其中源/汲極區之部份是部份地蓋住裝置分隔區。
4. 如申請專利範圍第1至3項之半導體裝置，其中從第一面延著垂直於第一面方向所測量得之源/汲極區高度朝閘電極方向增加。
5. 如申請專利範圍第1項之半導體裝置，其中第二面有曲度外形。
6. 如申請專利範圍第1項之半導體裝置，其中用來連接源/汲極區和上層接線之接觸孔部份是位於源/汲極區表面上。
7. 如申請專利範圍第6項之半導體裝置，其中在閘電極一端和位於遠離閘電極在橫截面延著垂直於閘電極縱向方向之方向並穿過接觸孔中心之接觸孔一端間之距離是大於在閘電極一端和活化區及裝置分隔區間介面間之距離。
8. 如申請專利範圍第1項之半導體裝置，其中在橫截面延

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

垂直於閘電極縱向方向之方向並穿過接觸孔中央所量得之接觸孔寬度是大於在閘電極一端和活化區及裝置分隔區間介面間之距離。

9. 如申請專利範圍第6項之半導體裝置，其中在橫截面延垂直於閘電極縱向方向之方向上，在閘電極一端和活化區及裝置分隔區間介面間之距離是小於閘電極的寬度，閘電極之寬度定義出半導體裝置之閘長度。
10. 如申請專利範圍第1項之半導體裝置，其中在構成源/汲極區疊層中雜質之擴散係數是大於在半導體基材中雜質擴散係數。
11. 如申請專利範圍第10項之半導體裝置，其中在疊層中雜質之擴散係數比在半導體基材中雜質擴散係數要大約2至100倍。
12. 如申請專利範圍第10項之半導體裝置，其中疊層由多晶矽組成。
13. 如申請專利範圍第12項之半導體裝置，其中多晶矽由圓柱狀晶體組成。
14. 如申請專利範圍第12項之半導體裝置，其中多晶矽晶粒大小在約50奈米左右。
15. 如申請專利範圍第1項之半導體裝置，其中閘電極和源/汲極區之表面被雙層薄膜覆蓋，雙層薄膜包括一多晶矽薄膜和一耐火金屬矽化物薄膜。
16. 如申請專利範圍第1項之半導體裝置，其中從第一面算起源/汲極區接合深度是大於閘電極橫向牆絕緣薄膜之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

寬度約0.8至2倍。

17. 一種半導體裝置之製造方法，其係用來製造包括一裝置分隔區和一活化區之半導體裝置之方法，該方法包括步驟：

由能承受矽蝕刻之物質在矽基材上形成裝置分隔區；
依序形成一閘絕緣薄膜，一閘電極，和一閘電極橫向牆絕緣薄膜；

塗佈多晶矽薄膜其厚度大於閘電極和裝置分隔區間延垂直於閘電極縱向方向之方向之距離；及

執行一非等向性蝕刻直至在閘電極之上多晶矽薄膜被完全移除。

18. 如申請專利範圍第17項之半導體裝置之製造方法，更包括引入雜質之離子佈植步驟以形成源/汲極區，雜質變成施子和受子之一，且

其中閘電極藉引入變成施子和受子之一的雜質而形成；且

對閘電極和源/汲極區引入變成施子或受子之一的雜質是藉離子佈植同時執行。

19. 一種半導體裝置之製造方法，包括步驟：

由能承受矽蝕刻之物質在矽基材上形成一裝置分隔區；

依序形成一閘絕緣薄膜，一閘電極，和一閘電極橫向牆絕緣薄膜；

塗佈一多晶矽薄膜；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

執行一非等向性蝕刻直至再開電極之上之多晶矽薄膜被完全移除；及

移除多晶矽薄膜的部份，該多晶矽薄膜形成於開電極橫向牆之上而開電極橫向牆絕緣薄膜位於多晶矽薄膜和開電極橫向牆之間。

(請先閱讀背面之注意事項再填寫本頁)

訂

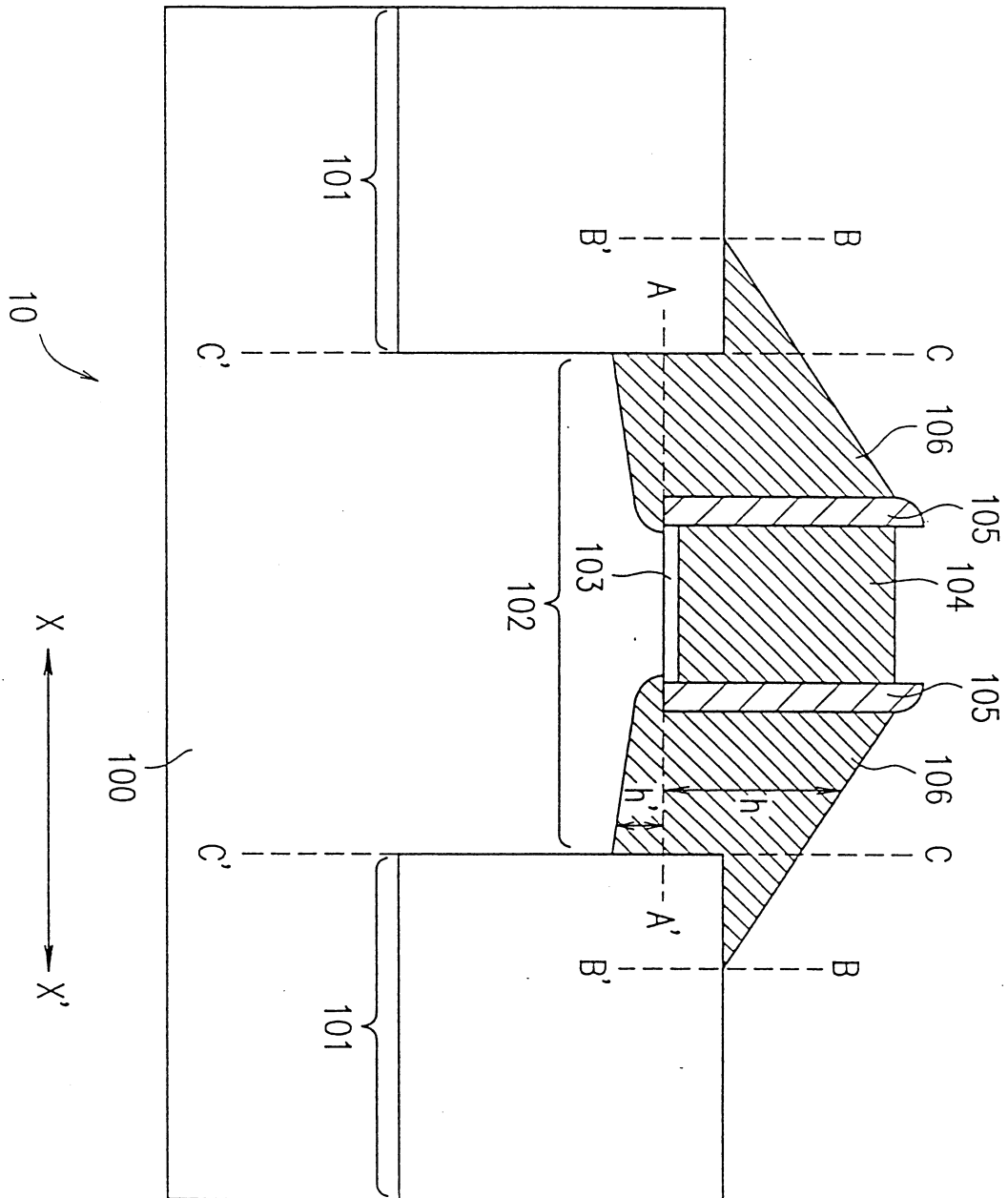


圖 1

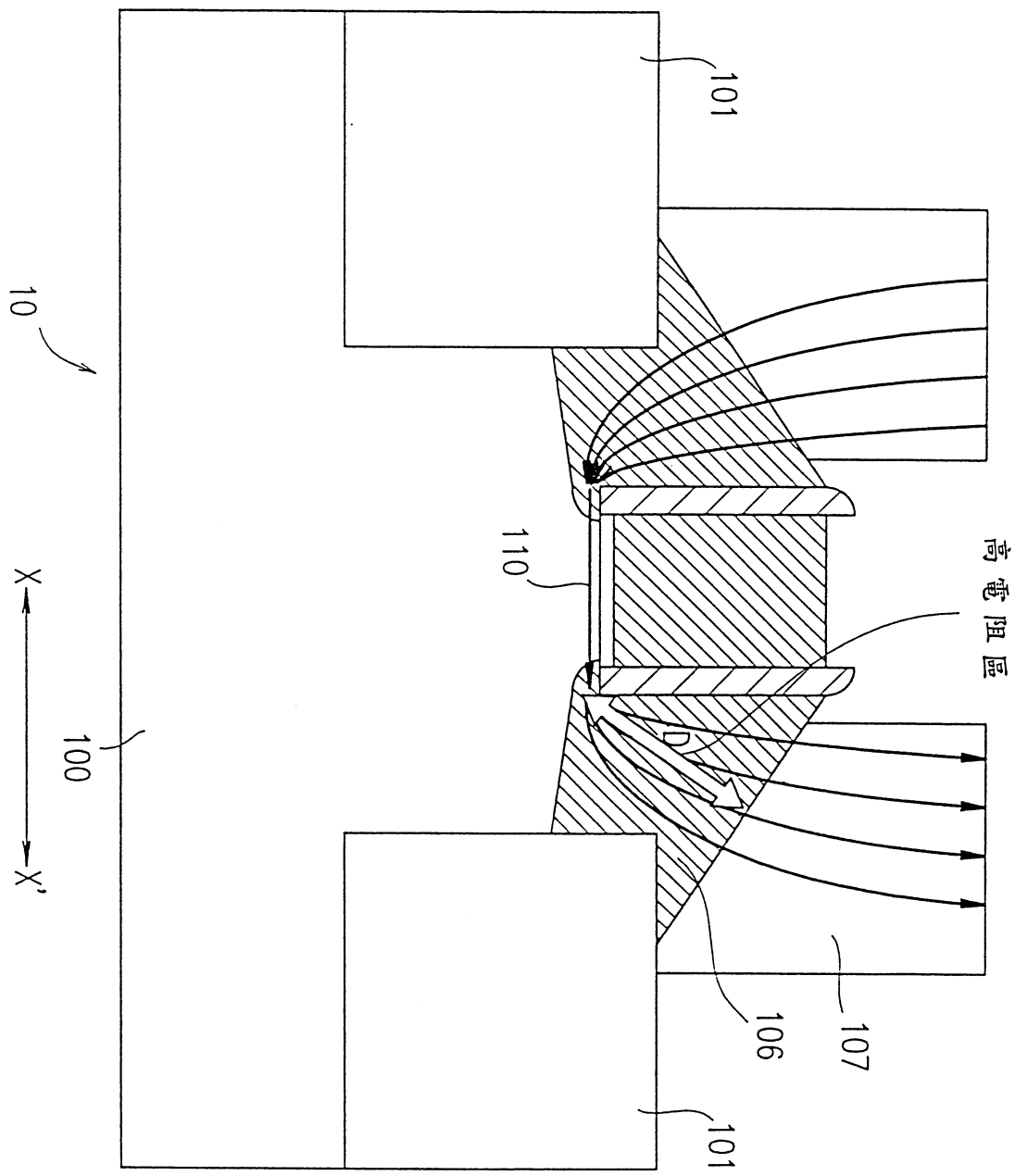


圖 2

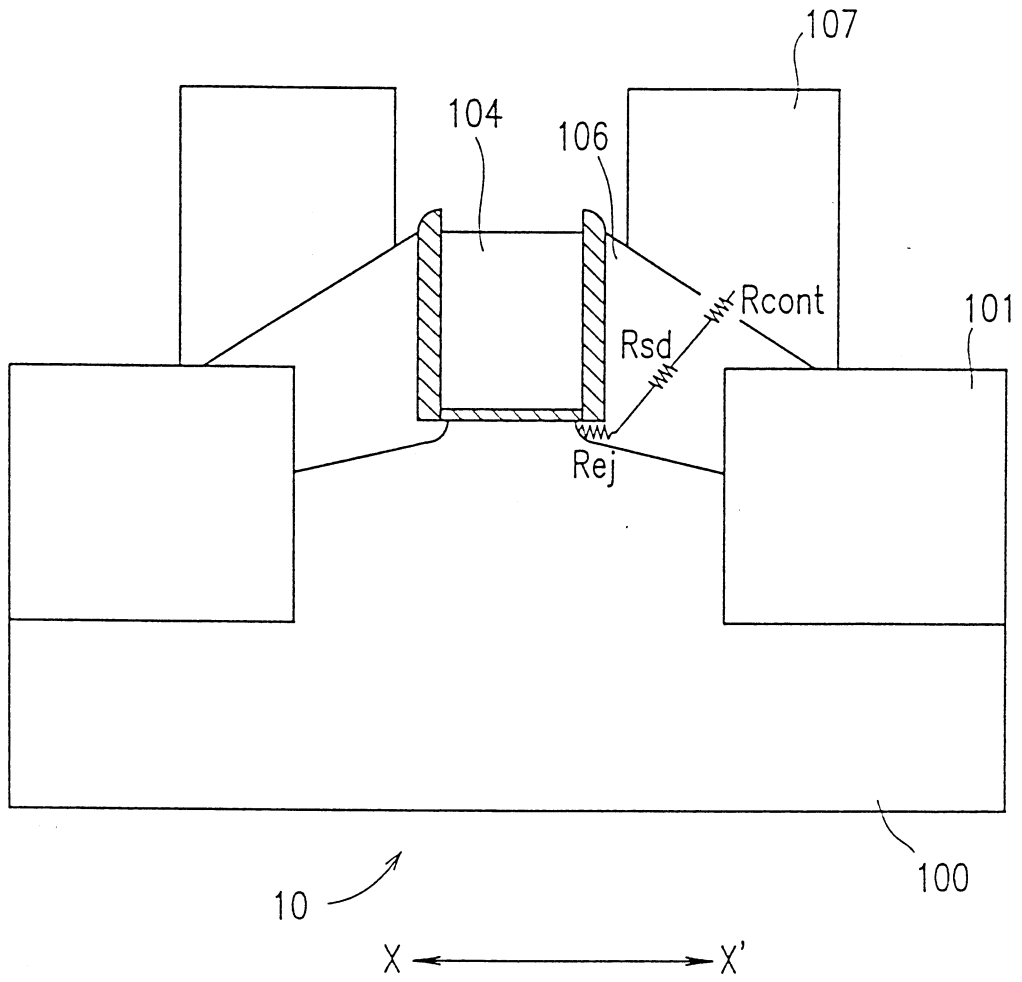


圖 3

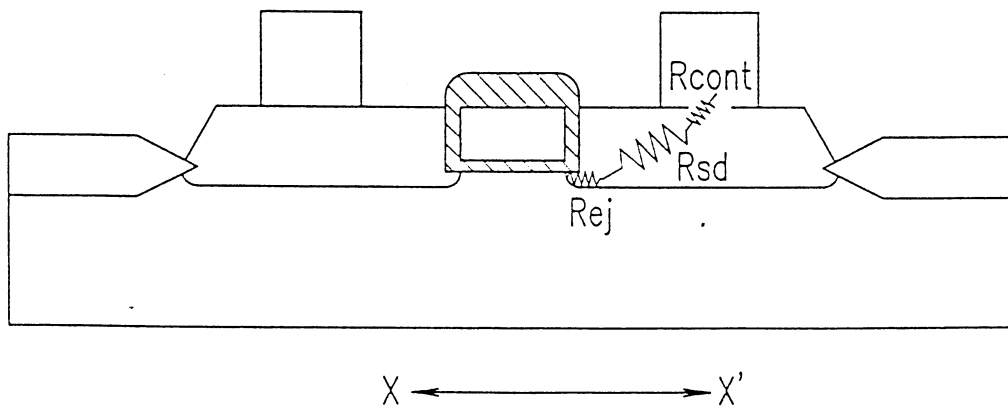


圖 4

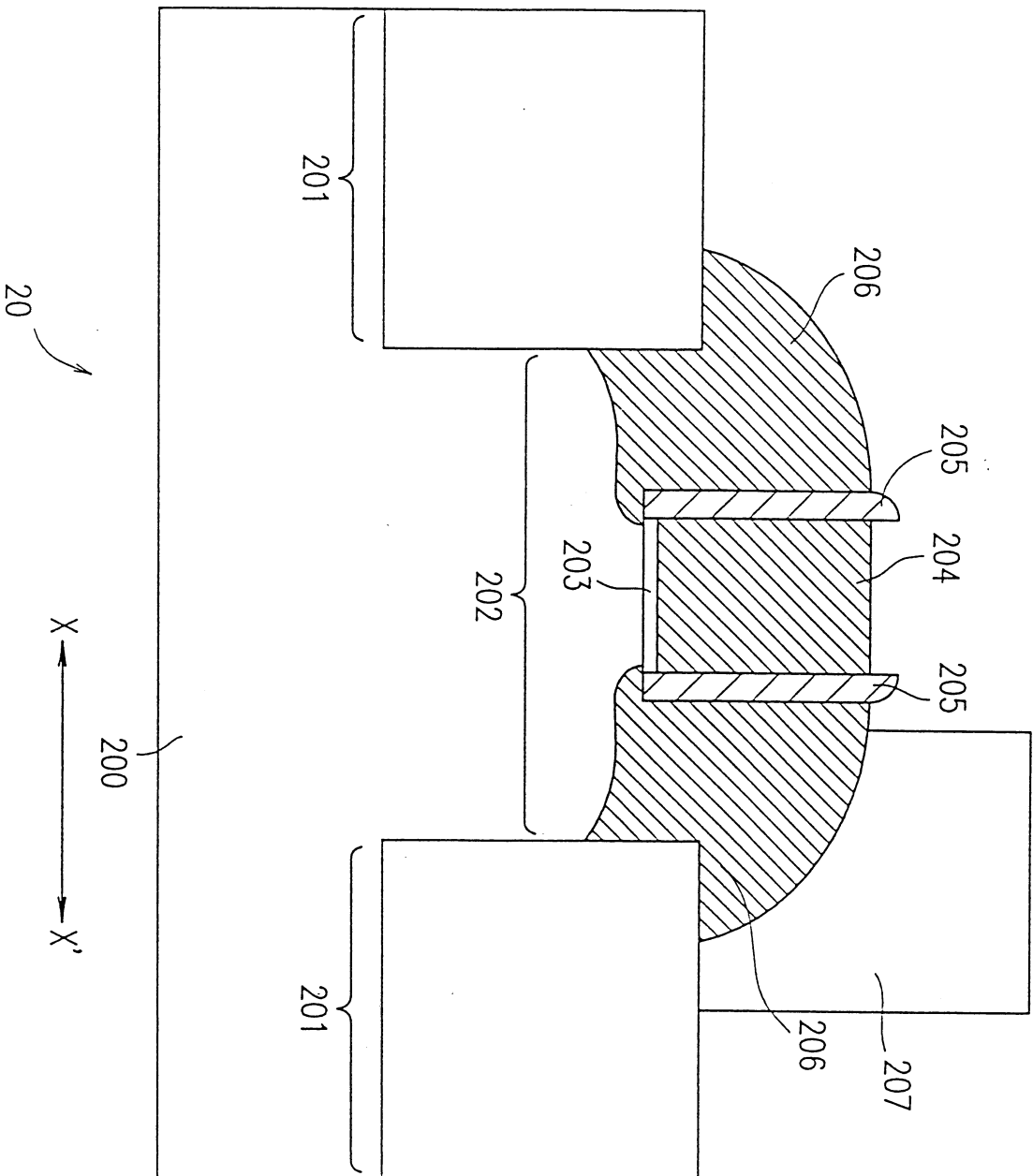


圖 5

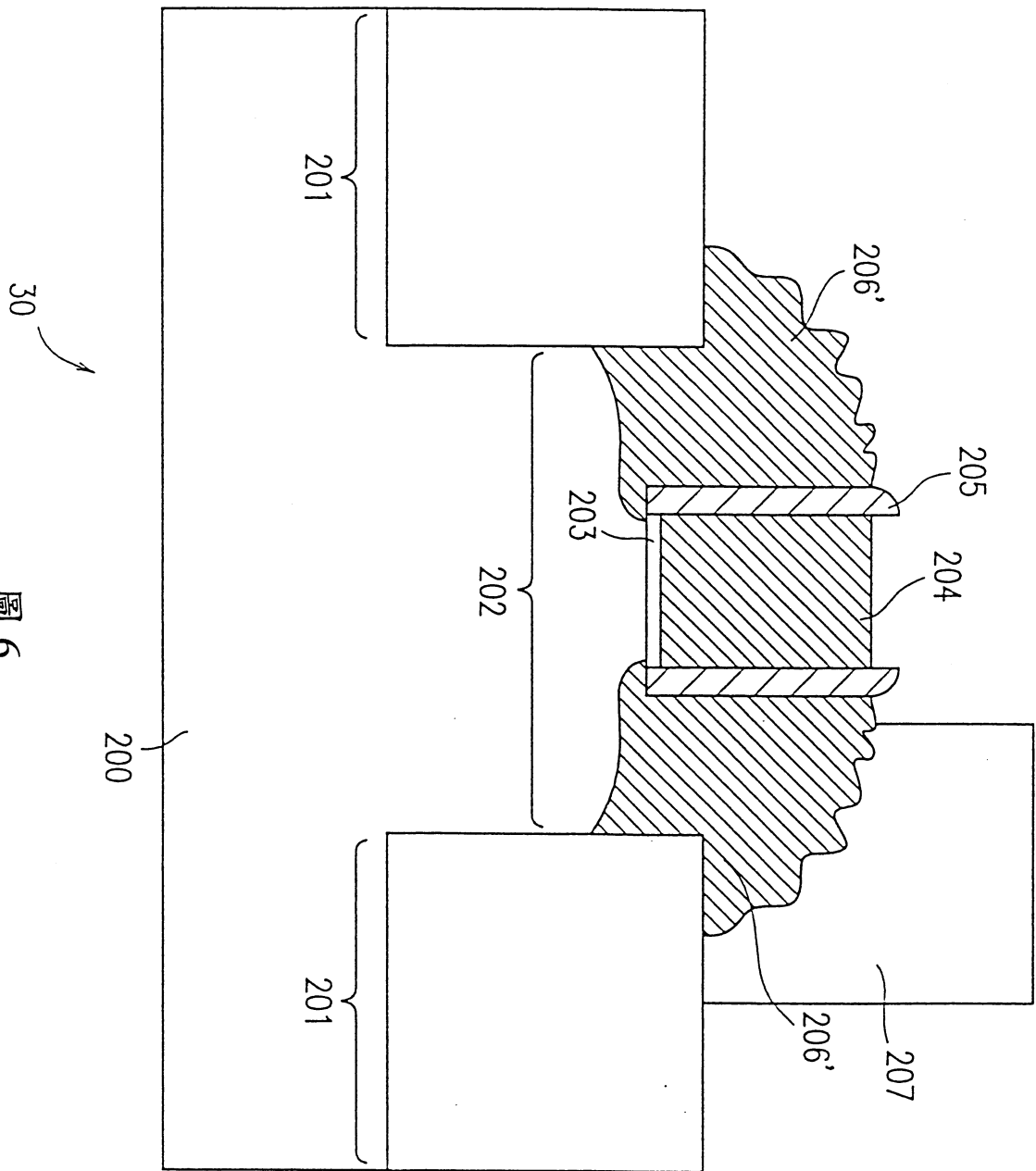


圖 6

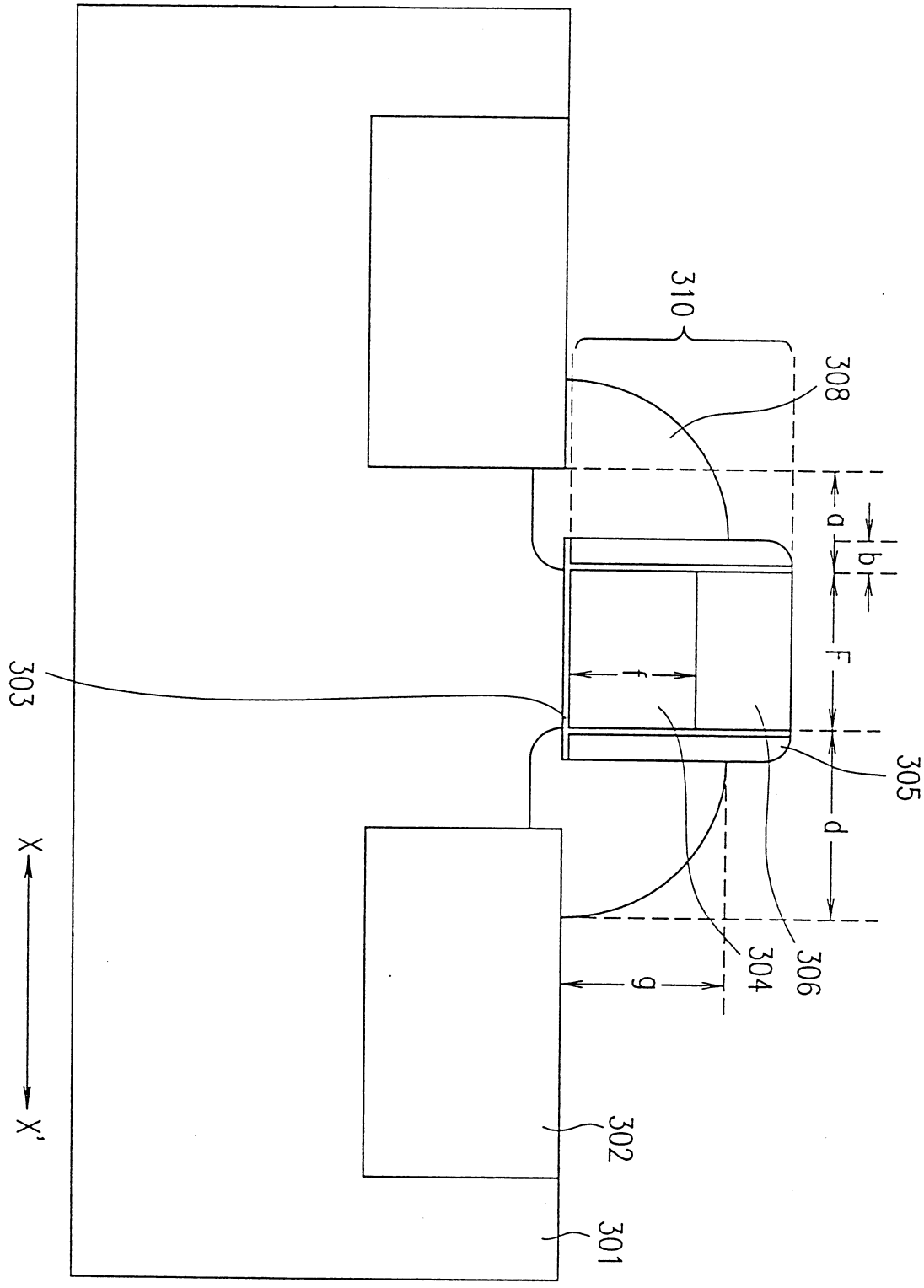


圖 7

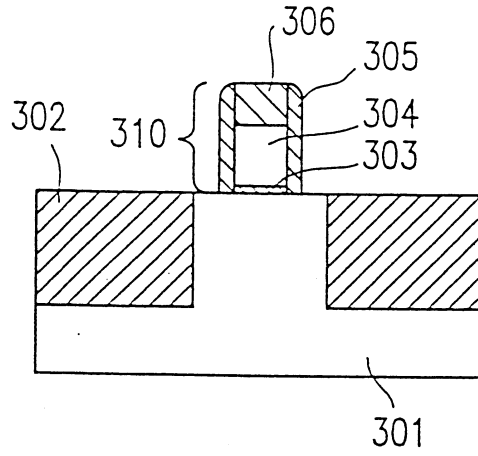


圖 8 A

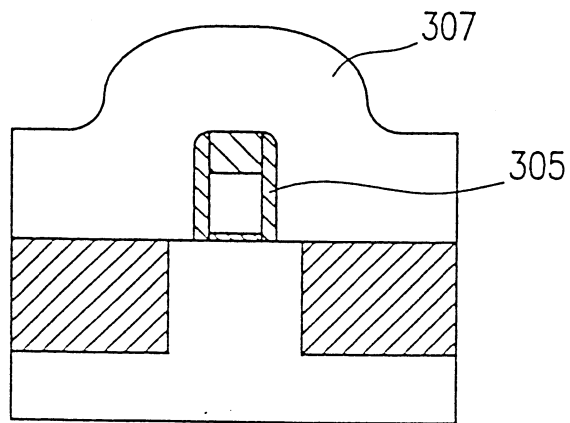


圖 8 B

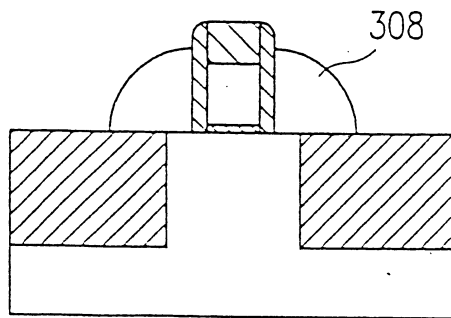


圖 8 C

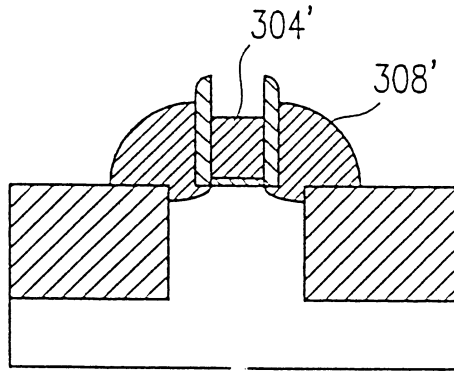


圖 8D

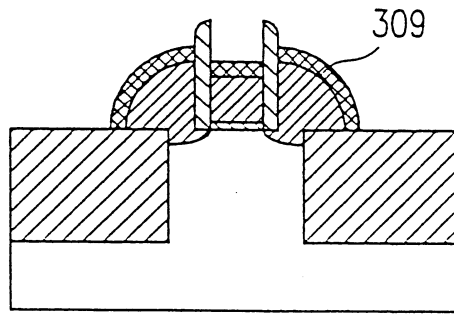


圖 8E

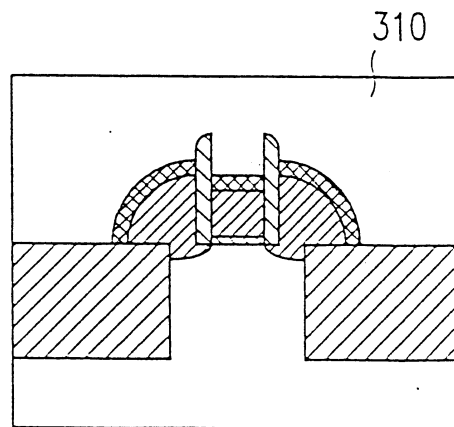


圖 8F

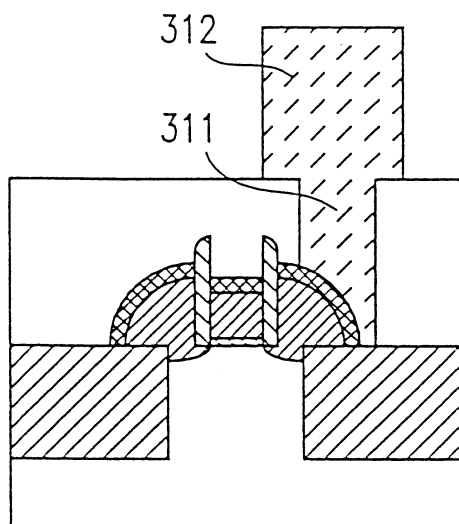


圖 8G

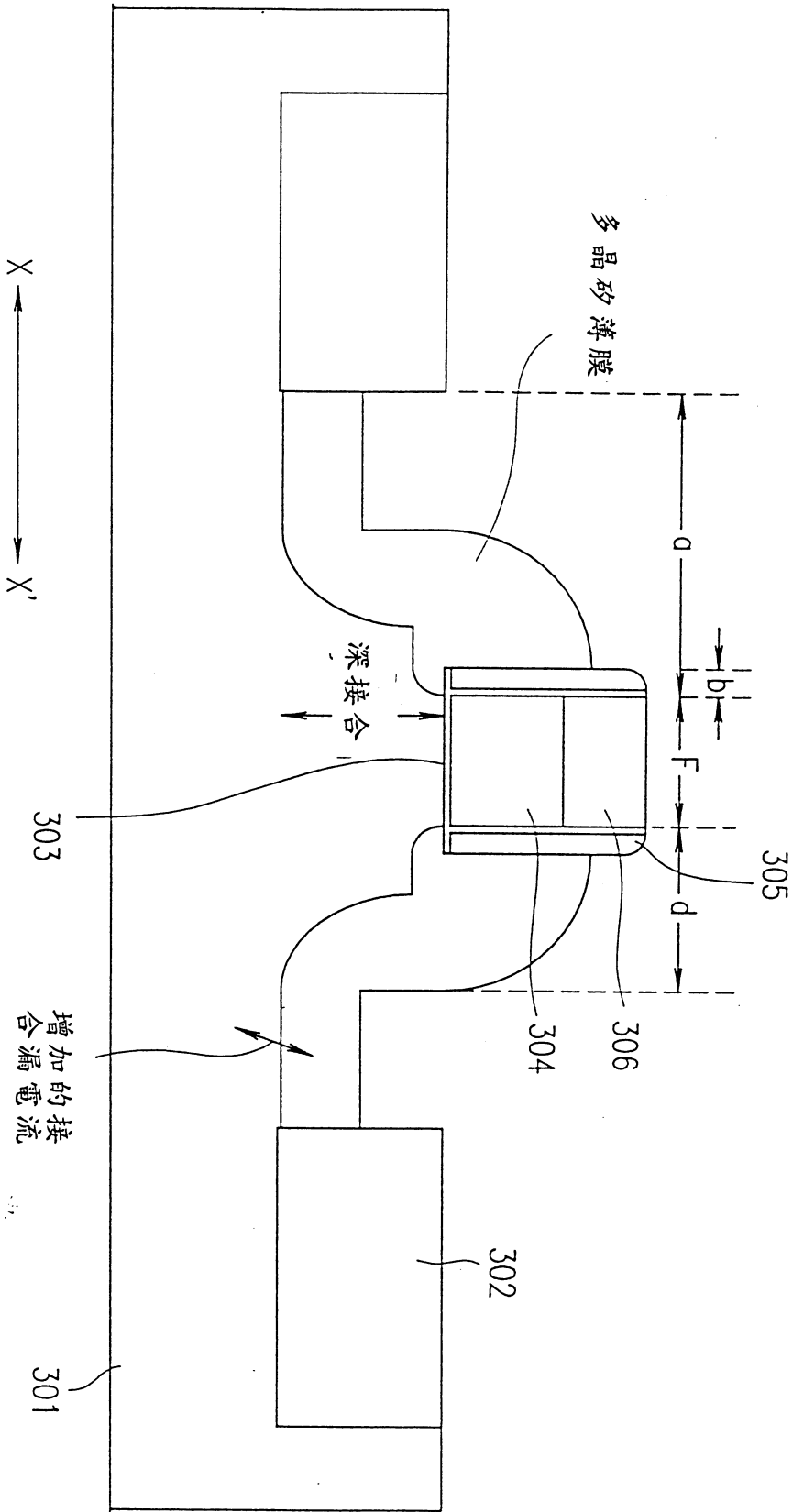


圖 9

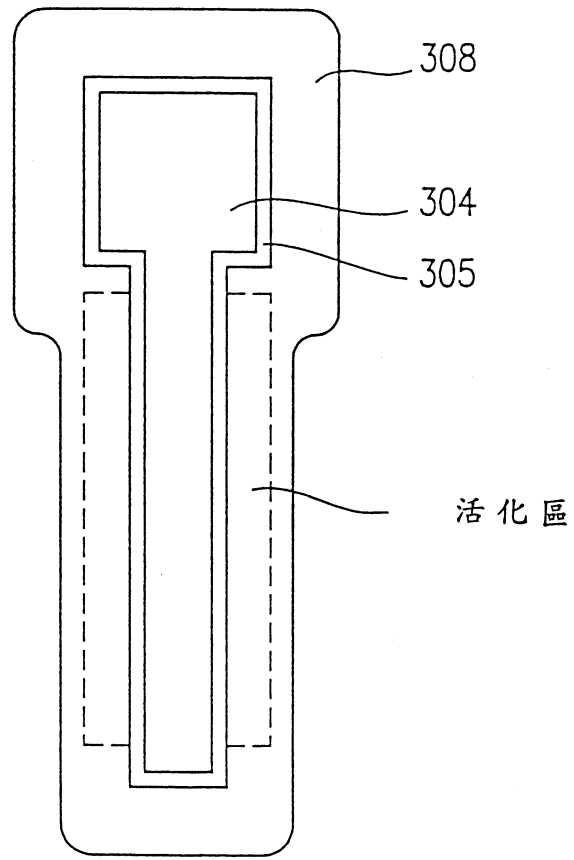


圖 10

90年3月6日 修正
補充

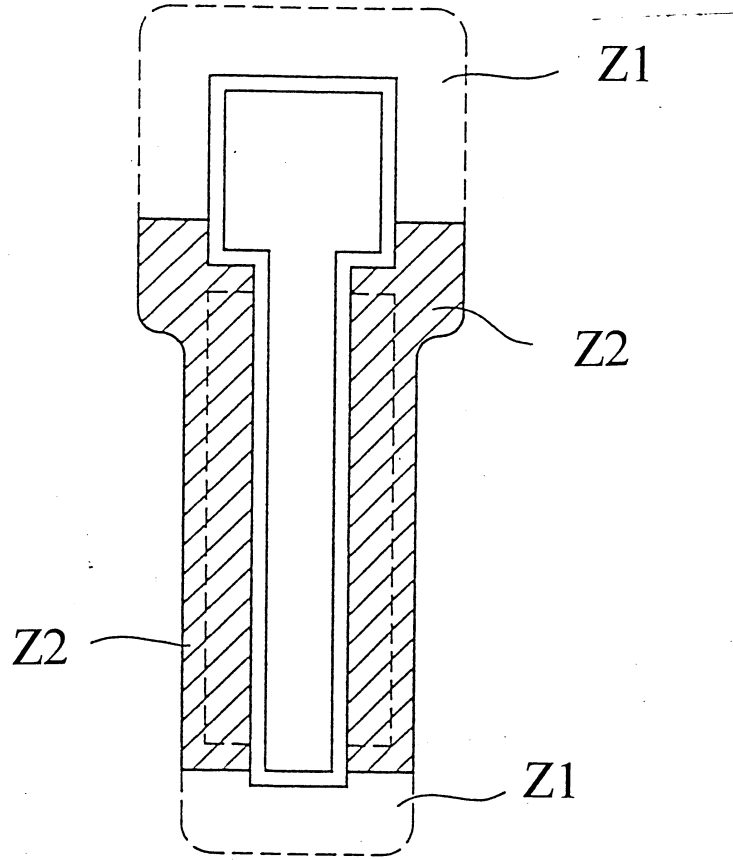


圖 11

305

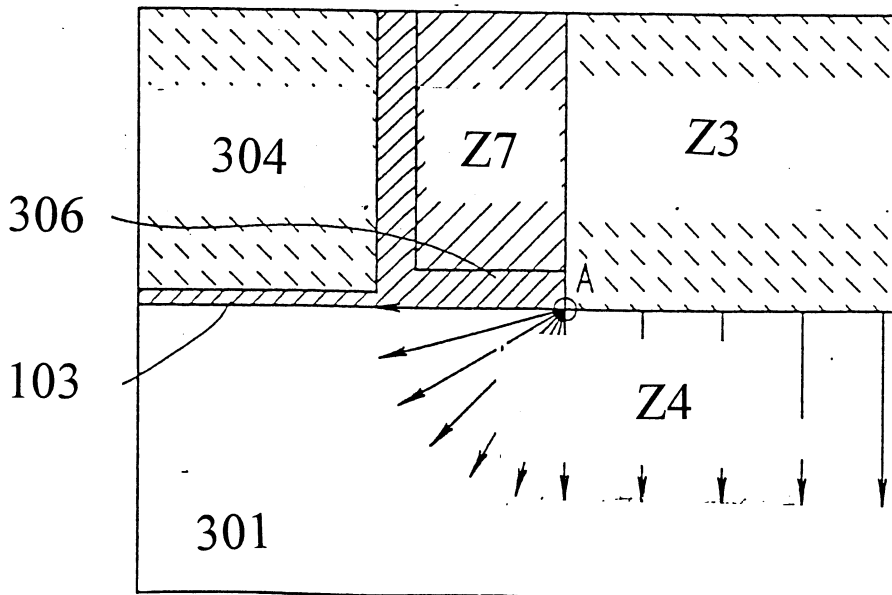


圖 12

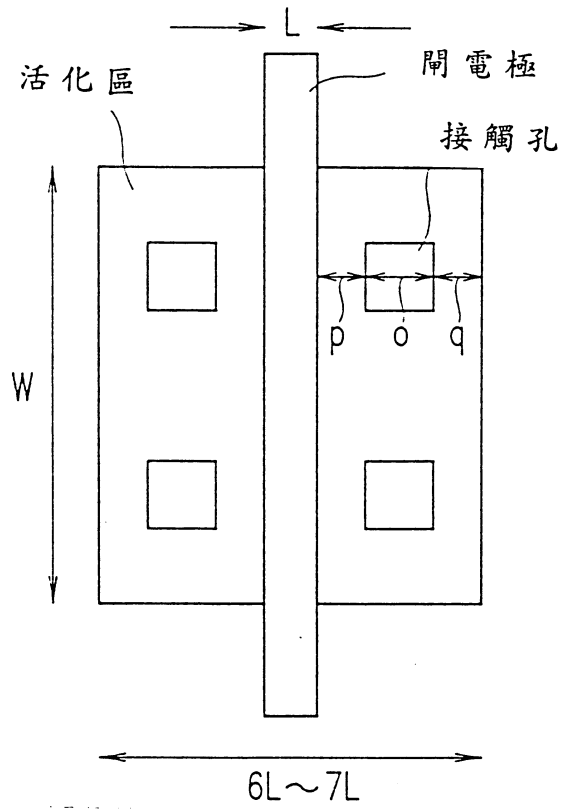


圖 15

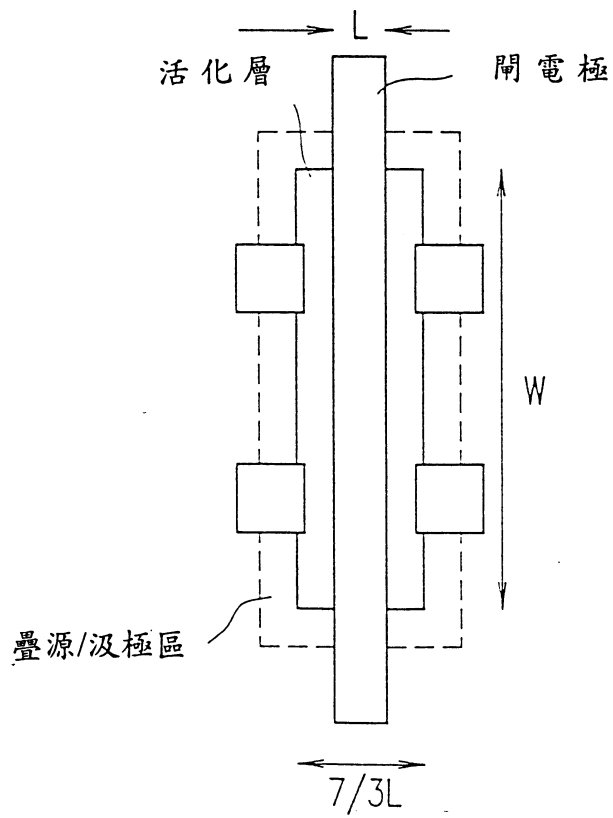


圖 16

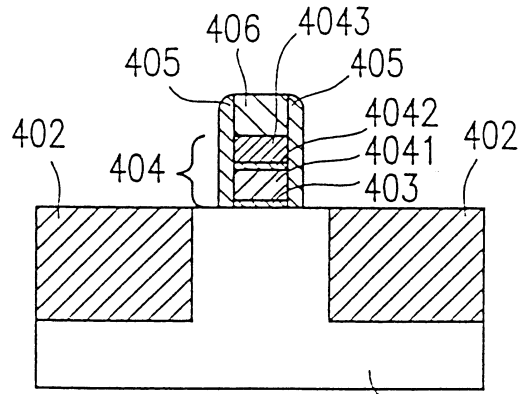


圖 17A 401

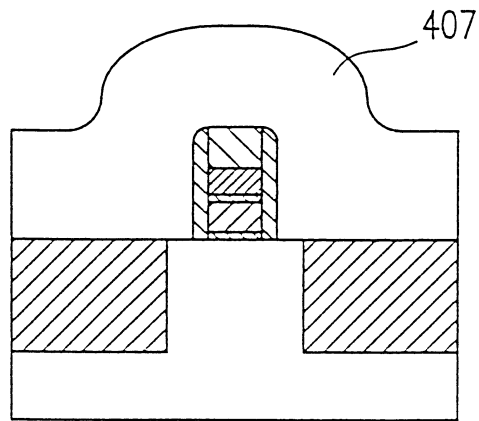


圖 17B

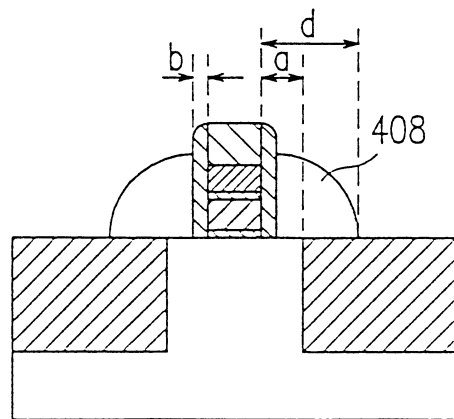


圖 17C

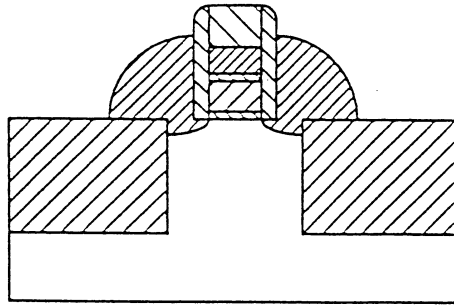


圖 17D

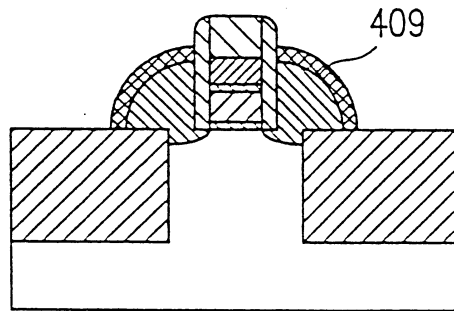


圖 17E

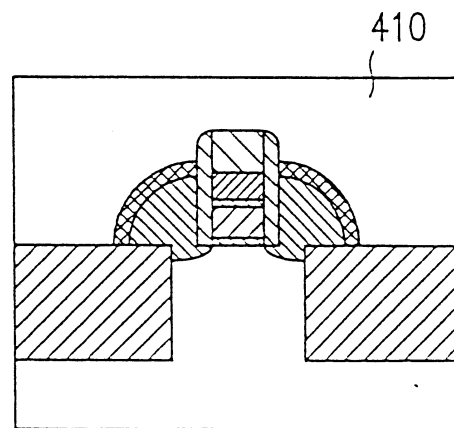


圖 17F

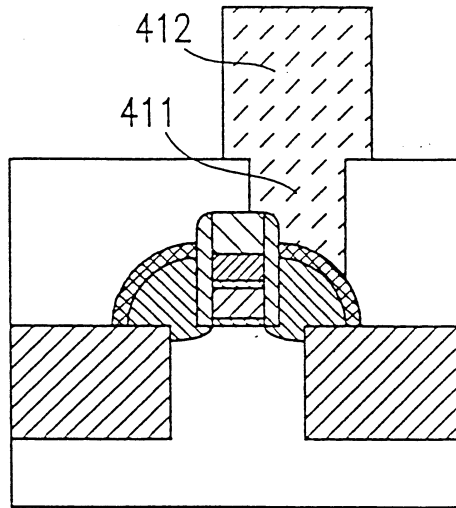


圖 17G

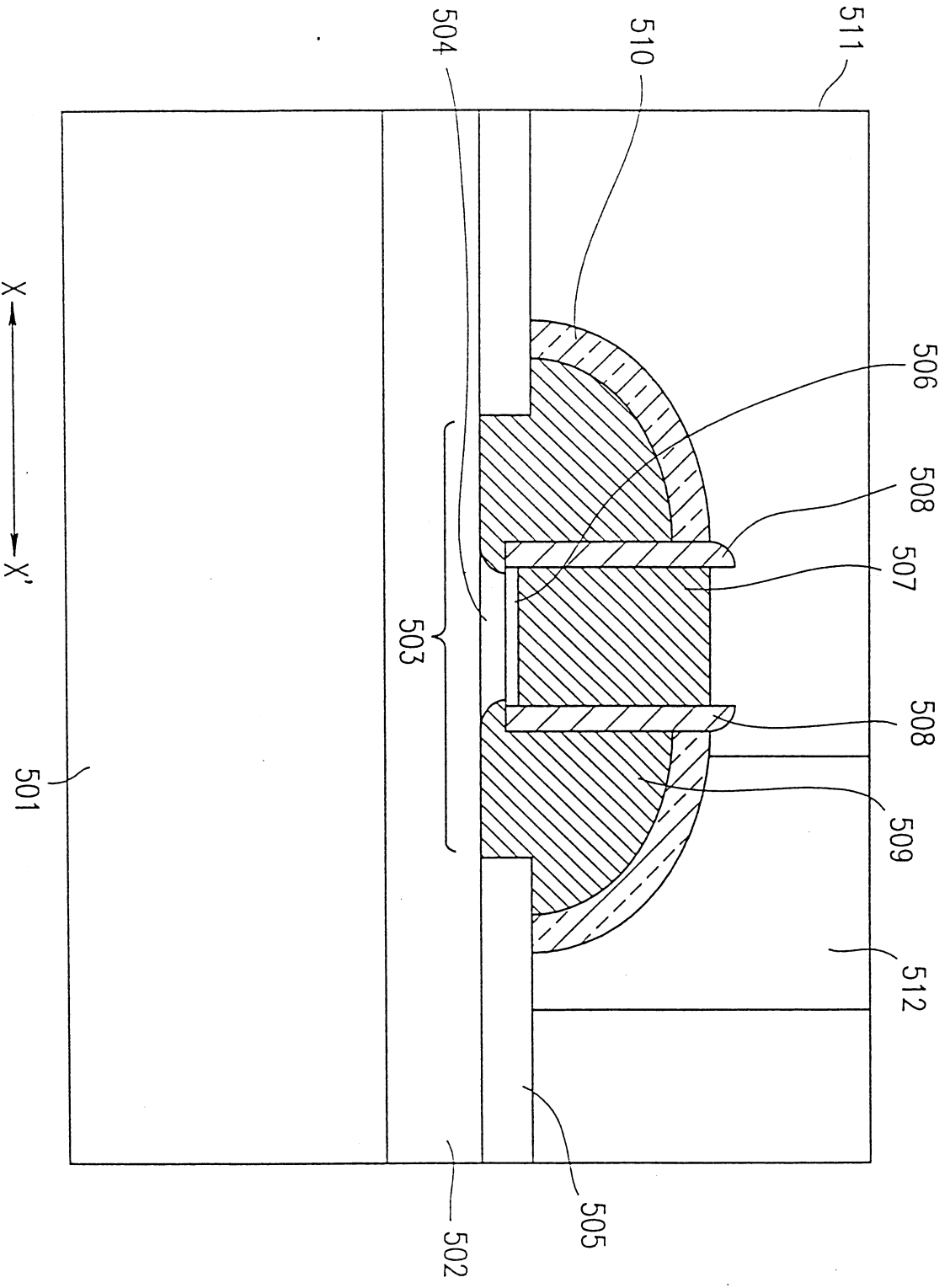


圖 18

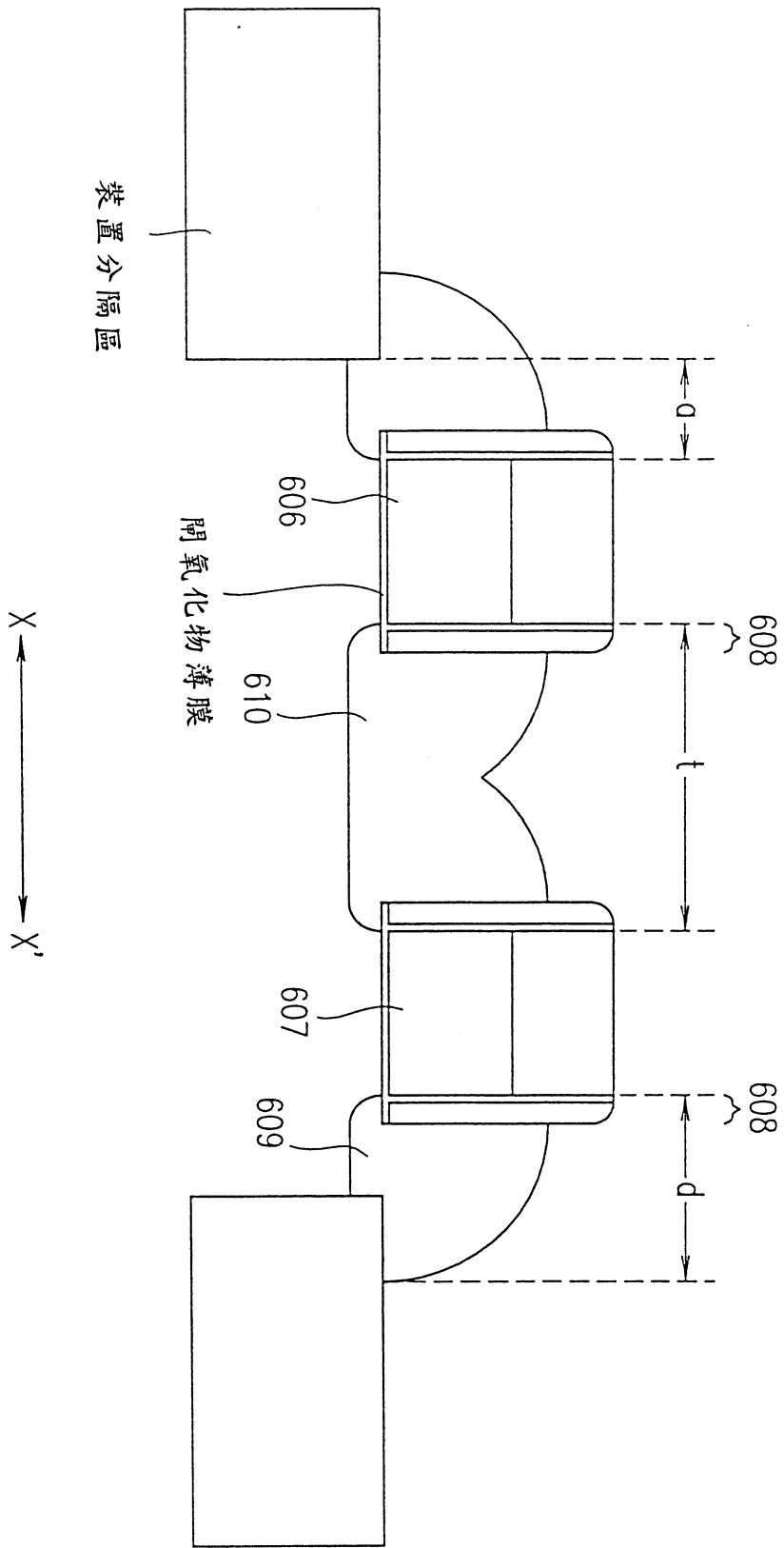


圖 19A

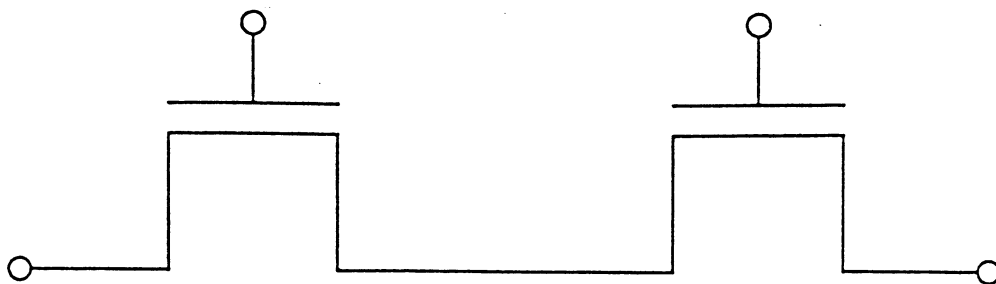


圖 19B

修正
補充
90年7月16日

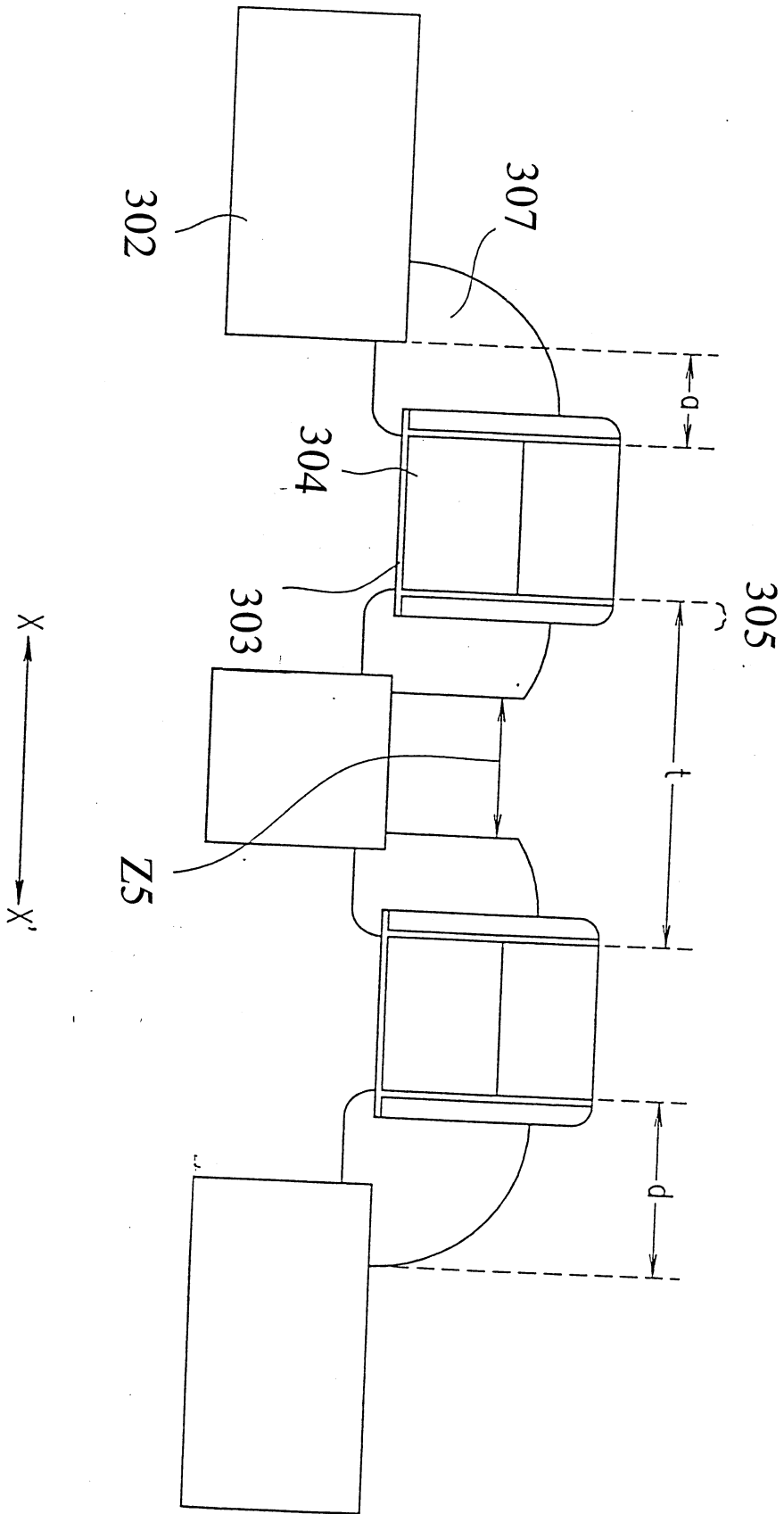


圖 20

修正
補充
90年7月16日

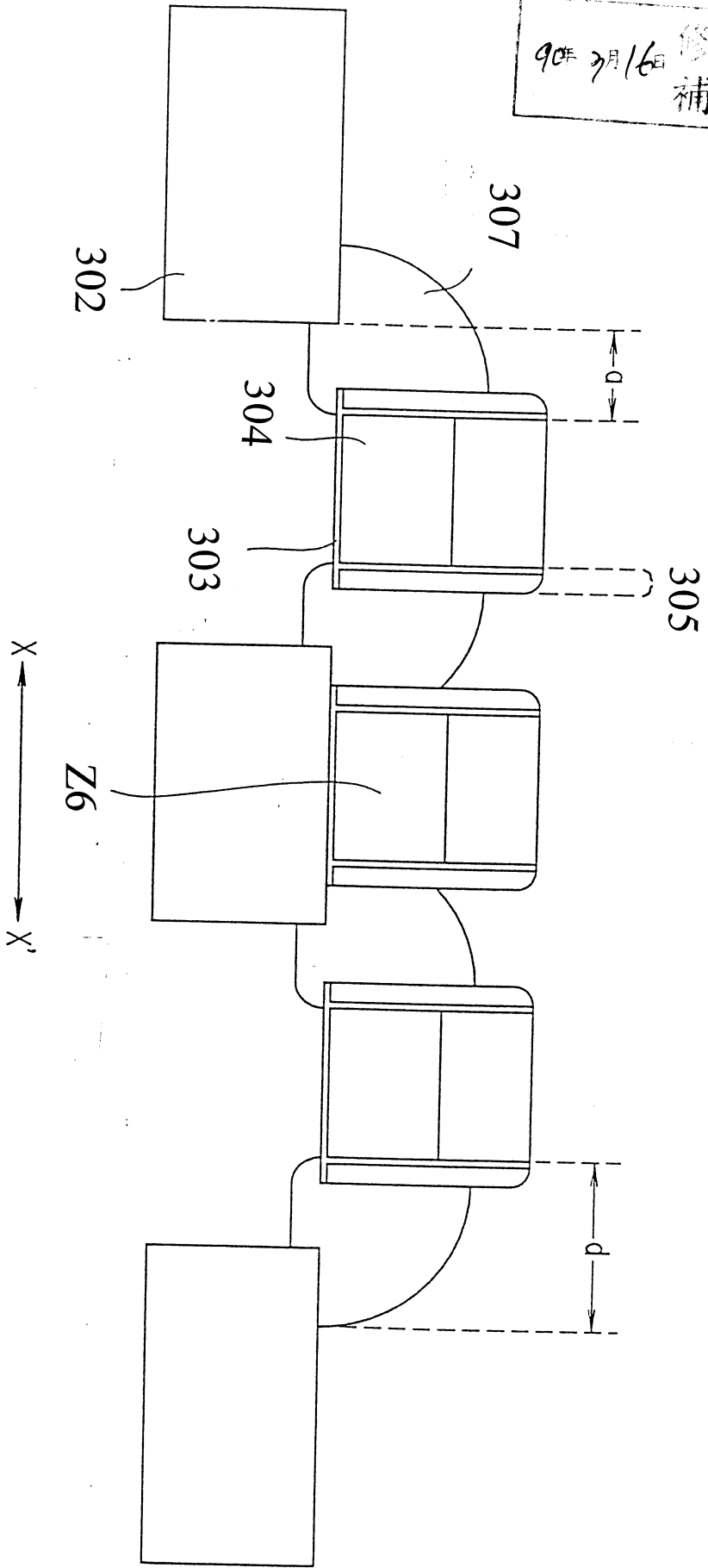


圖 21

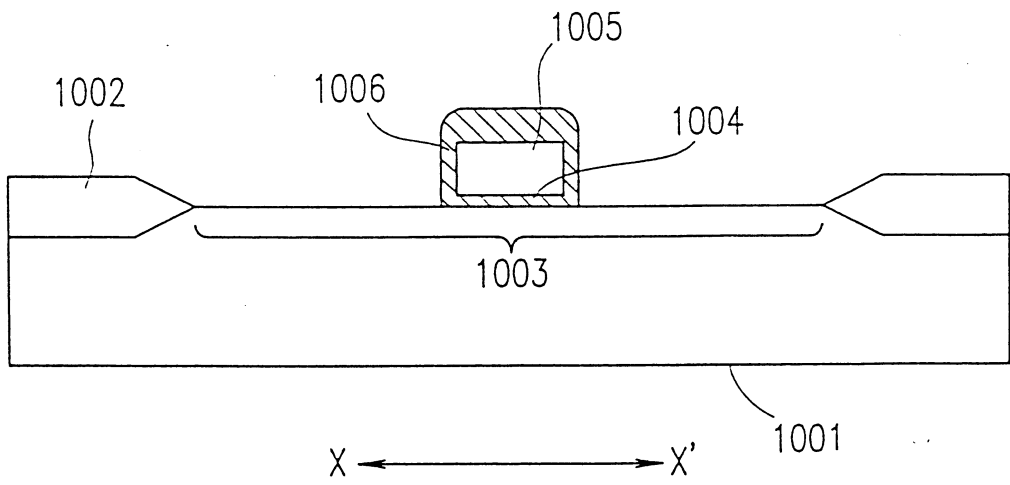


圖 22 A

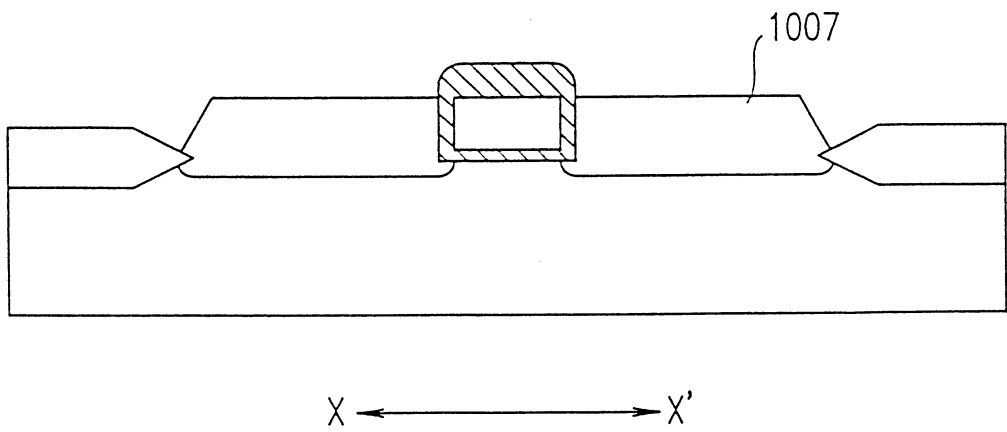


圖 22 B

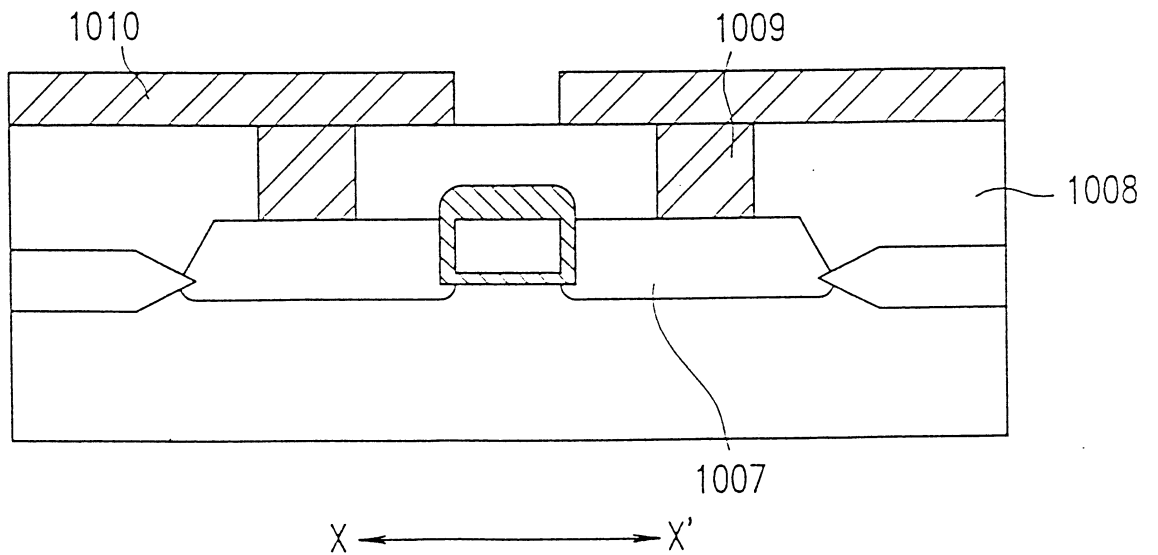


圖 22 C

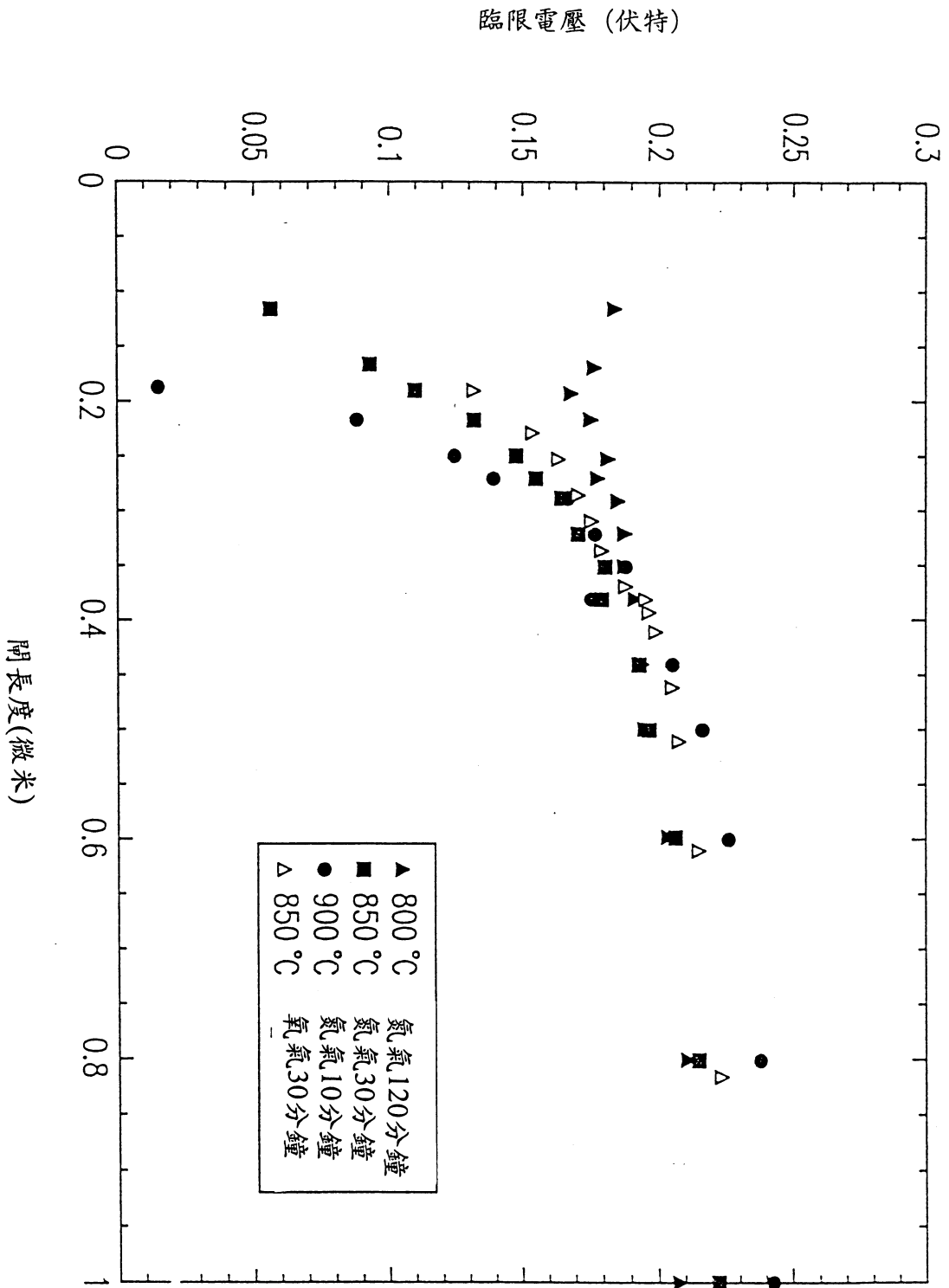


圖 23

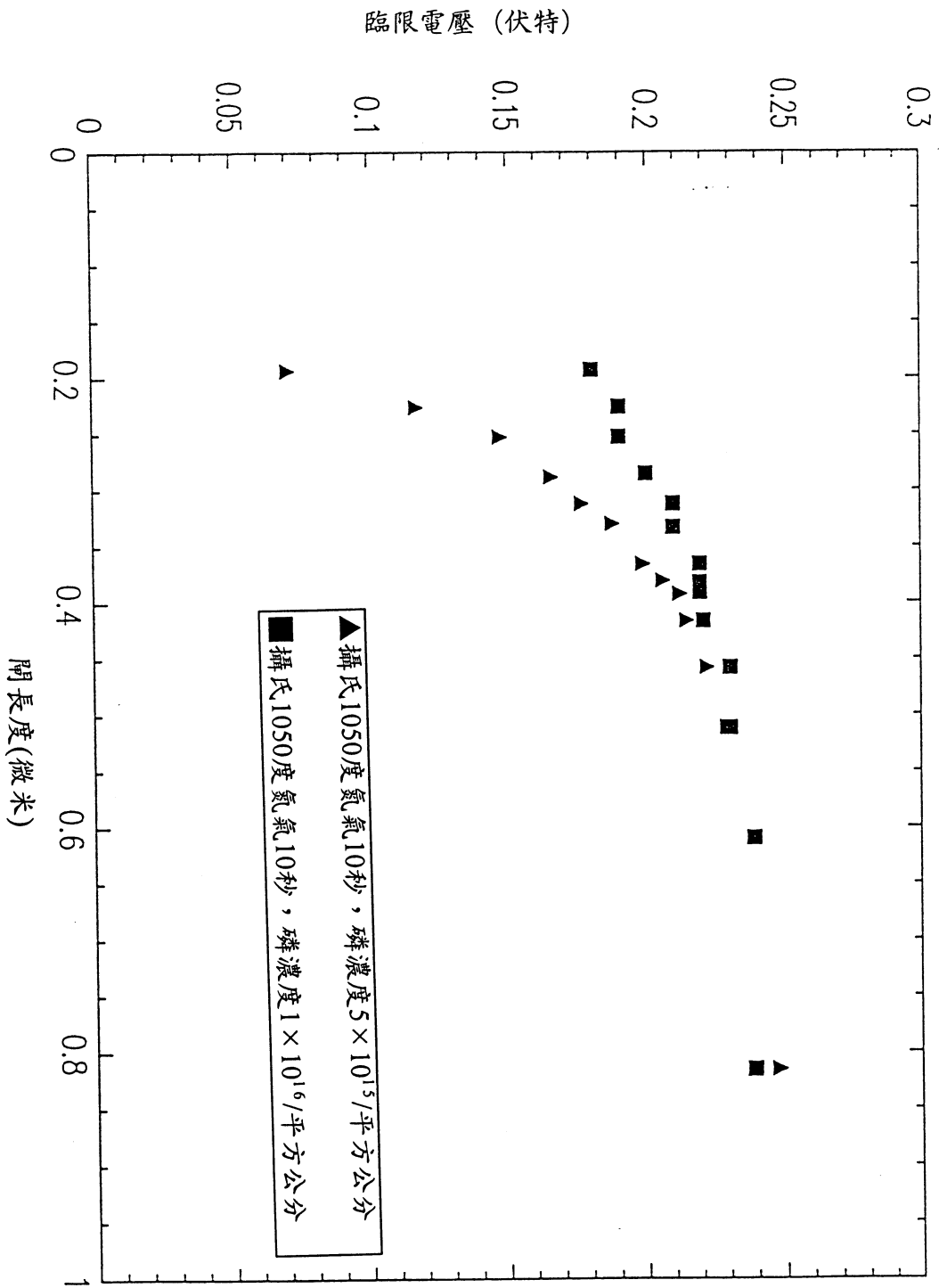


圖 24

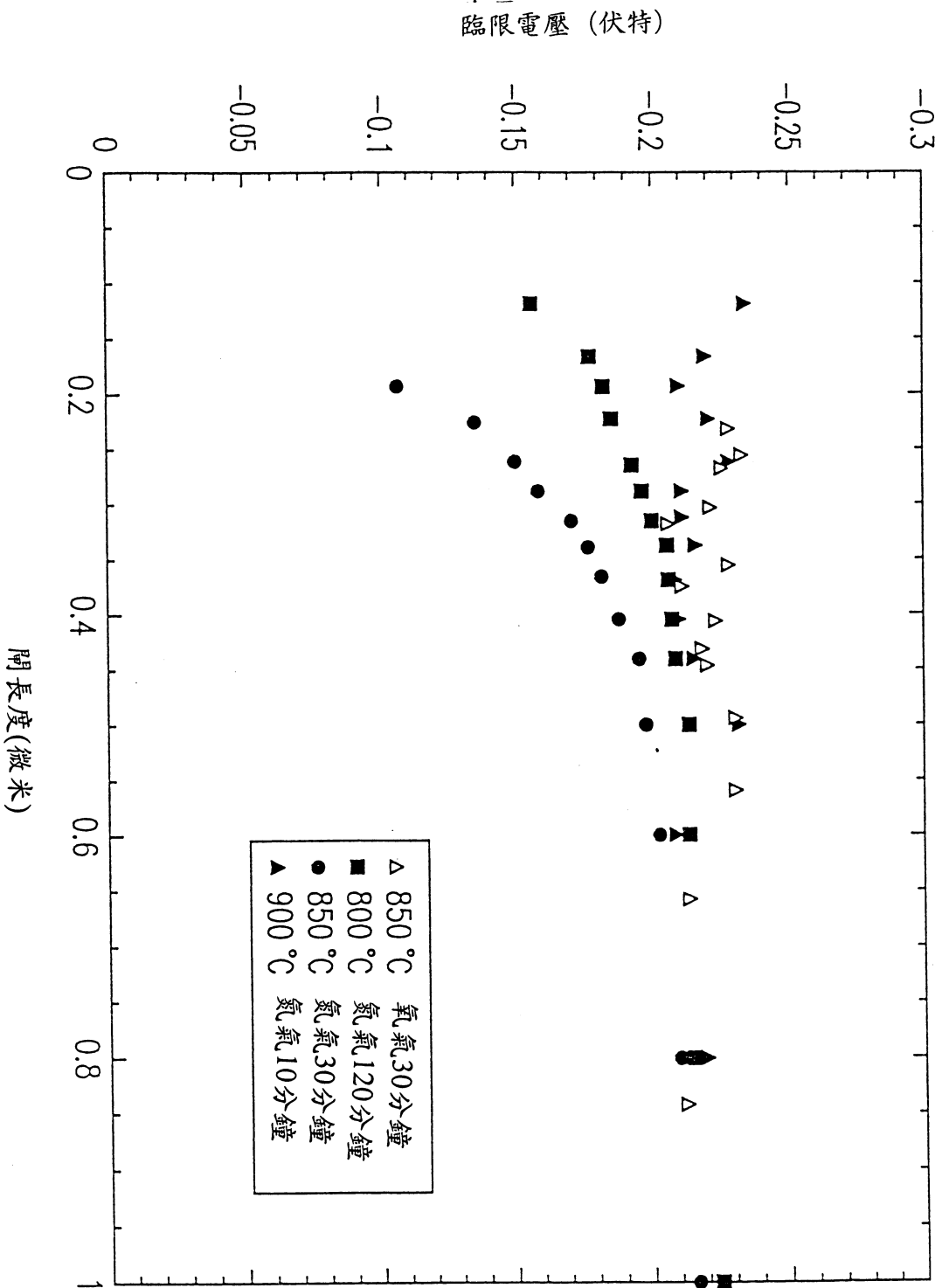


圖 25

90年3月16日 修補充

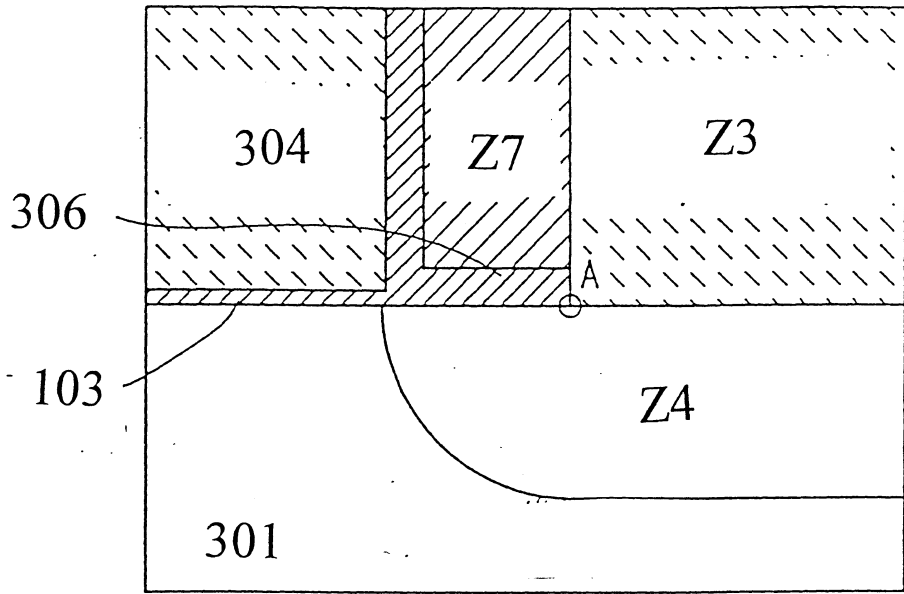


圖 13

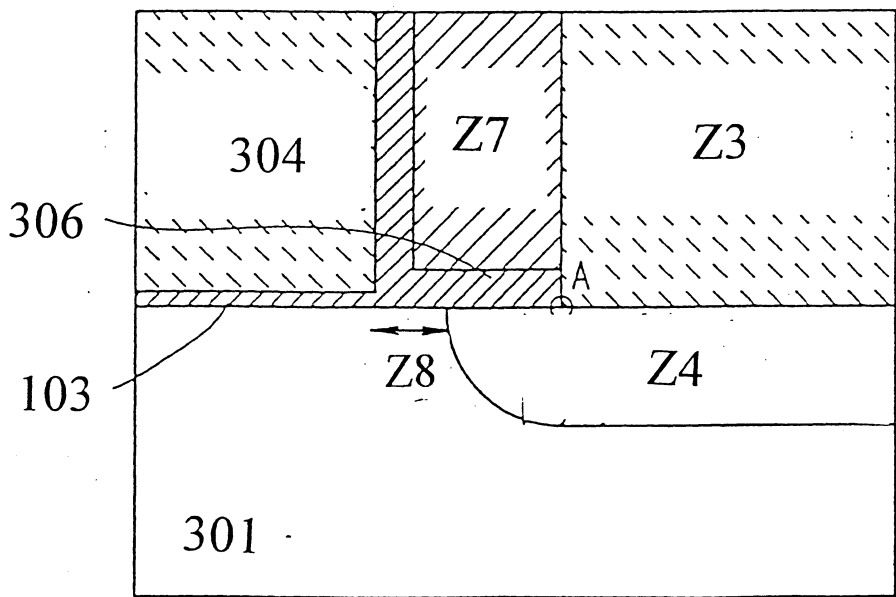


圖 14