

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3962443号  
(P3962443)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int.C1.

F 1

HO1L 21/3205 (2006.01)	HO1L 21/88	K
HO1L 23/522 (2006.01)	HO1L 21/90	N
HO1L 21/768 (2006.01)	HO1L 27/10	621B
HO1L 21/8242 (2006.01)		
HO1L 27/108 (2006.01)		

請求項の数 5 (全 13 頁)

(21) 出願番号	特願平9-50079
(22) 出願日	平成9年3月5日(1997.3.5)
(65) 公開番号	特開平10-247648
(43) 公開日	平成10年9月14日(1998.9.14)
審査請求日	平成16年2月9日(2004.2.9)

(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(74) 代理人	100091340 弁理士 高橋 敬四郎
(72) 発明者	中村 俊二 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
審査官 長谷山 健	

最終頁に続く

(54) 【発明の名称】半導体装置とその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

デバイス構造を有する半導体チップと、  
前記半導体チップ上に形成され、同一レベルの上面を有し、空隙によって互いに分離されている複数の配線構造体と、

前記半導体チップ周辺部で半導体チップ外周の側面に達し、ループ状に形成され、前記多数の配線構造体と同一レベルの上面を有するシール部材と、

前記配線構造体の上面およびシール部材の全上面に貼り付けられた絶縁膜と、  
を有し、

前記シール部材と前記絶縁膜とによって前記半導体チップ外周を気密に封じた半導体装置。 10

## 【請求項 2】

前記配線構造体、前記シール部材、前記絶縁膜が複数組積層されている請求項1記載の半導体装置。

## 【請求項 3】

多数の半導体チップを含む半導体基板の、デバイス構造を有する半導体チップ上に、同一レベルの上面を有し、空隙によって分離される多数の配線構造体を形成する工程と、

前記半導体基板の半導体チップの周辺上且つスクライブラインを間に含む位置に、前記多数の配線構造体と同一レベルの上面を有し、ループ状の平面形状を有するシール部材を形成する工程と、

前記多数の配線構造体の上面上および前記シール部材の全上面に絶縁膜を貼り付け、隣接する配線構造体間に空隙を形成する平坦化工程と、

前記シール部材上の前記スクライブラインに沿って半導体基板を切断し、前記シール部材と前記絶縁膜とによって前記半導体チップ外周を気密に封じた半導体チップとする工程と、

を含む半導体装置の製造方法。

【請求項 4】

前記平坦化工程が、

支持基板上に絶縁膜を有する補助基盤を準備する工程と、

前記半導体基板上の第1配線構造体の上面に前記補助基盤の絶縁膜を貼り付ける工程と 10

、前記補助基盤の支持基板を選択的に除去する工程とを含む請求項3記載の半導体装置の製造方法。

【請求項 5】

前記補助基盤が絶縁膜上に接着剤層を有し、前記絶縁膜を貼り付ける工程が該接着剤層を用いるものである請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高集積度の半導体装置とその製造方法に関し、特に低製造コストで製造できる 20 高速かつ低消費電力の高集積度半導体装置とその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路装置の集積度の向上と共に半導体チップ上に形成されるトランジスタ、キヤパシタ等の回路素子の占有面積は減少する。回路素子の占有面積減少は、その上に形成される電極構造や配線パターンの占有面積減少につながる。

【0003】

配線の幅を半分にして、同一の電流を流そうとする場合、電流密度の上昇による配線寿命の劣化を避けるには配線の高さを2倍にすることになる。配線パターン形成後の配線間隔が同一であっても、配線間の間隙部のアスペクト比は2倍になる。配線間隔も半分にすれば、間隙部のアスペクト比は4倍になる。

【0004】

高集積度の半導体装置において、多層配線は必須である。下層配線層に上層配線を形成する際には、下層配線表面を層間絶縁膜で覆う必要がある。層間絶縁膜表面の凹凸が激しいと、リソグラフィが困難となるばかりでなく、電流を流した際、凹凸部での配線が、マイグレーションにより断線し易くなり、上層配線の信頼性が低下する。そこで、配線層の下地表面を平坦化するための種々の技術が開発されている。

【0005】

図7、8を参照して従来技術の例を説明する。図7(A)において、半導体基板101には、既に半導体デバイス構造が形成され、層間絶縁膜がその上に設けられ、表面が平坦化されているとする。この半導体基板101の上に、電極構造体102が形成される。

【0006】

図7(B)に示すように、電極構造体102を形成した基板101表面上に絶縁膜103が、たとえばCVDによって形成される。この際、電極構造体102間の間隙部のアスペクトレシオが高いと、間隙部を絶縁膜103で完全に埋め込むことができず、空洞104が生じることがある。また、電極構造体102表面上に形成される絶縁膜103は、下地形状を引継ぎ、その表面に凹凸が生じる。

【0007】

図7(C)に示すように、絶縁膜103上に配線層110を形成する。配線層110は、下地表面の形状に倣って成長し、電極構造体102間の境界に対応する位置に粒界が発生

50

し、かつその表面にはくびれ部分 111 を発生し易い。

#### 【0008】

このような配線層 110 をパターニングして配線パターンを形成し、電流を流した場合、粒界部分において抵抗が高く、エレクトロマイグレーションを発生し易い。エレクトロマイグレーションにより配線パターン 110 内の原子が移動すると、配線の断線の原因となる。このような故障を解消するためには、絶縁層 103 表面を平坦化し、平坦化された表面上に配線層 110 を形成することが望まれる。

#### 【0009】

CVD 絶縁膜を形成する代わりに、または CVD 絶縁膜と共に塗布絶縁膜 (SOG 等) を用いる方法がある。塗布絶縁膜は、液体であるため、段差のある表面上に塗布しても平坦な表面を形成することができる。しかしながら、塗布絶縁膜により形成した酸化膜の膜質は CVD 絶縁膜に及ばない。また、厚い塗布絶縁膜を形成すると、絶縁膜中にヒビ割れが入りやすい。このように、塗布絶縁膜のみで信頼性の高い絶縁膜を形成することは困難である。

#### 【0010】

図 8 は、表面を平坦化した絶縁膜上に上層配線を形成する例を示す。

図 7 (B) に示すように、絶縁膜 103 を成長した半導体基板表面を、たとえば化学機械研磨 (CMP) によって研磨し、表面を平坦化し、電極構造体 102 表面を露出させる。

#### 【0011】

図 8 (A) に示すように、この時、内部の空洞 104 の上端が上面に露出することがある。

#### 【0012】

図 8 (B) に示すように、空洞 104 の上端が露出している場合、空洞 104 の内部を SOG 106 等で埋め込み、必要に応じさらに研磨を行い、表面を平坦化すると共に電極構造体 102 を露出させる。

#### 【0013】

図 8 (C) に示すように、表面を平坦化した基板上に絶縁膜 107 を形成する。絶縁膜 107 は、平坦化された表面上に平坦に形成できる。

#### 【0014】

図 8 (D) に示すように、平坦な表面を有する絶縁膜 107 上に配線層 110 を形成する。配線層 110 は、平坦な下地上に形成されるため、平坦な表面を有し、内部に粒界が発生することを防止することができる。その後、配線層 110 をパターニングして配線パターンを形成する。

#### 【0015】

配線層 110 は平坦な表面上に形成されるため、ホトリソグラフィにおける精度低下や使用中の断線等の事故を防止することができる。

#### 【0016】

また、シリコン酸化膜中にボロン (B) および燐 (P) を含む BPSG は、加熱処理によってリフローさせることができる。堆積直後の BPSG 膜の表面に凹凸があつても、たとえば 850 以上的温度で 10 分間程度以上の熱処理を行なうことにより、凹凸を低減化することができる。しかしながら、BPSG に含まれるボロンには、放射性を有する同位元素があり、中性子が発生し、アルファ線同様のソフトエラーの原因になることが報告されている。このため、B を含む BPSG は使用をさける方向にある。また、BPSG の使用は、高融点材料を用いた配線の場合に限られ、A1 等の低融点材料では 850 の熱に耐えられないので使用することができない。

#### 【0017】

このように、絶縁層表面を平坦化することにより、上層配線の形成が容易になる。しかしながら、配線パターンの幅が狭く、高さが高くなるにつれ、表面の段差とは別の問題も生じる。配線層の高さが 2 倍になると、配線層の側面の面積も 2 倍となり、隣接する配線間の寄生容量も増加する。寄生容量の増加は、集積回路の高速動作と低消費電力化を妨げる

10

20

30

40

50

。

## 【0018】

配線抵抗を低減させるため、Alに代わりCuを用いることが研究されている。しかし、Cuはシリコン酸化膜中を容易に拡散することが知られている。配線間の絶縁膜としてシリコン酸化膜を用いる場合、Cu配線間の絶縁性が劣化するおそれが高い。Cu配線を用い、かつ配線間の絶縁を良好に実現する技術が望まれている。

## 【0019】

## 【発明が解決しようとする課題】

半導体装置の高集積化と共に、配線層間の絶縁層の表面平坦化が要求され、かつ配線間の寄生容量の減少が望まれる。

10

## 【0020】

本発明の目的は、配線層間の絶縁層の表面を平坦化でき、かつ配線間の寄生容量を低減することのできる半導体装置を提供することである。

## 【0021】

本発明の他の目的は、このような半導体装置を効率的に製造することのできる製造方法を提供することである。

## 【0022】

## 【課題を解決するための手段】

本発明の一観点によれば、

デバイス構造を有する半導体チップと、

20

前記半導体チップ上に形成され、同一レベルの上面を有し、空隙によって互いに分離されている複数の配線構造体と、

前記半導体チップ周辺部で半導体チップ外周の側面に達し、ループ状に形成され、前記多数の配線構造体と同一レベルの上面を有するシール部材と、

前記配線構造体の上面およびシール部材の全上面に貼り付けられた絶縁膜と、  
を有し、

前記シール部材と前記絶縁膜とによって前記半導体チップ外周を気密に封じた半導体装置

が提供される。

## 【0023】

30

本発明の他の観点によれば、

多数の半導体チップを含む半導体基板の、デバイス構造を有する半導体チップ上に、同一レベルの上面を有し、空隙によって分離される多数の配線構造体を形成する工程と、

前記半導体基板の半導体チップの周辺上且つスクリープラインを間に含む位置に、前記多数の配線構造体と同一レベルの上面を有し、ループ状の平面形状を有するシール部材を形成する工程と、

前記多数の配線構造体の上面および前記シール部材の全上面に絶縁膜を貼り付け、隣接する配線構造体間に空隙を形成する平坦化工程と、

前記シール部材上の前記スクリープラインに沿って半導体基板を切断し、前記シール部材と前記絶縁膜とによって前記半導体チップ外周を気密に封じた半導体チップとする工程

40

を含む半導体装置の製造方法

が提供される。

## 【0024】

多数の第1配線構造体の上面を同一レベルにし、その上面に絶縁膜を貼り付けることにより、絶縁層の表面平坦化が実現できる。また、第1配線構造体間は空隙によって分離されているため、寄生容量が減少する。

## 【0025】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

50

## 【0026】

図1(A)に示すように、デバイス構造を形成した半導体基板1の絶縁表面上に、第1配線構造2を形成する。第1配線構造2は、所定位置において半導体基板1内の半導体デバイスと電気的に接続されている。各第1配線構造の幅は、たとえば0.25μm以下であり、高さは0.5μm以上である。特に高集積度の半導体装置においては、第1配線構造2の幅は0.15μm以下であり、高さは0.45μmである。これらの配線構造においては、アスペクト比が2以上または3以上となる。

## 【0027】

図1(B)に示すように、半導体基板1とは別に、支持基板3上に絶縁層4、接着層5を形成した補助基盤を準備する。支持基板3は、たとえばAlやステンレス等の金属、あるいはシリコンやポリイミド等プラスチック等の半導体または絶縁体で形成される。絶縁層4は、たとえば厚さ100nm~500nm程度のシリコン酸化膜であり、スパッタリング、CVD、SOG等によって形成することができる。

10

## 【0028】

支持基板3と絶縁層4の材質は、支持基板3が選択的にエッチング等によって除去できるように選択する。また、支持基板3がプラスチック等の膜で形成される場合には、絶縁層4から支持基板3を剥離できるものでもよい。接着層5は、必要に応じて設けられ、絶縁層4を第1配線構造2に接着するためのものであり、接着後絶縁層4と一体化して絶縁体となるもの等で形成される。

## 【0029】

20

第1配線構造2は、たとえばAlやCu等の配線パターンである。また、DRAMのキャパシタの蓄積電極のような多結晶シリコン等の半導体材料であってもよい。第1配線構造2は、その上面が同一レベルとなるように平坦化処理されているものとする。平坦化処理は、たとえば、化学機械研磨(CMP)等によって実施できる。もちろん、特に平坦化処理をするまでもなく同一レベルの上面を有するものであれば、そのままでよい。

## 【0030】

図1(C)に示すように、補助基盤6を裏返しにし、半導体基板1上の第1配線構造2上面に配置する。この状態で、補助基盤6を半導体基板1上の第1配線構造に貼り合わせる(仮止め)。貼り合わせは、静電吸着法、真空吸着法、接着剤による接着等によって行なうことができる。

30

## 【0031】

たとえば、支持基板3として金属基板を用いる場合、半導体基板1と支持基板3との間に電圧を印加し、両者を静電的に接着する。なお、その後の熱処理等により強固な接着が得られる。

## 【0032】

支持基板3を、表面に酸化膜を形成したアルミニウム基板で形成し、その表面にSOG膜を塗布し、このSOG膜を接着層として両基板を貼り合わせることもできる。

## 【0033】

40

別の方法として、支持基板3としてアルミニウム基板を用い、その上に絶縁層4としてSOG層を用い、半乾きの状態とする。別個の接着層は用いない。この半乾きのSOG層は、貼り合わせ後も平面形状を維持できる程度の強度を有するが、圧力により接着できる程度の柔らかさを有する状態とする。このような両基板を貼り合わせることもできる。

## 【0034】

両基板を重ねた後、両基板を含む環境を真空状態とし、基板間の内部空間の圧力を下げ、その後外気中に取り出す。内部の低圧と外気圧との差により両基板は強く押しつけられ、貼り合わされる。さらに熱処理を行い、界面のメルトを利用したり、OH結合等により両基板を強く接合してもよい。

## 【0035】

また、両基板を重ねた後、両側から圧力を印加することにより、両者を圧着してもよい。

## 【0036】

50

貼り合わせ時には、両基板を弓型に反らせ、中央から徐々に貼り合わせれば、中央付近に気泡を残す可能性を低減することができる。

【0037】

補助基盤6を半導体基板上に貼り合わせた後、図1(D)に示すように、支持基板3を除去する。支持基板がA1の場合、弗酸以外の酸を用いてA1を溶解すれば、絶縁層4のみが残る。絶縁層4をシリコン酸化膜で形成している場合、シリコン酸化膜は弗酸以外の酸ではエッティングされない。

【0038】

なお、絶縁層4として、窒化膜を用いる場合、シリコン窒化膜は耐弗酸性があるため、支持基板の除去に弗酸を使用することもできる。また、支持基板にプラスチック等を使用する場合、支持基板の耐熱性に合わせ、絶縁層4はSOG法やスパッタ法等で作成することが好みしい。10

【0039】

支持基板3として比較的柔らかいビニール等の膜を使用し、表面にSOG膜を塗布し、外力によって平坦な表面を保った状態で半導体基板1上の第1配線構造に貼り合わせることも可能である。支持基板としてプラスチック等の有機材料を用いる場合、支持基板の除去を有機溶剤等を用いて行なうこともできる。

【0040】

さらに、補助基盤6として支持基板のない絶縁膜を用いることもできる。たとえば、ポリイミド等の薄い絶縁膜を支持治具上に保持し、配線構造上にソフトに貼り合わせてもよい。20

【0041】

補助基盤は、同一構造のものを種々の半導体装置に用いることができるため、大量生産することが可能である。大量生産によりコストダウンを図れば、補助基盤を用いることによるコスト上昇は僅かなものとなる。一方、平坦な表面を有する層間絶縁膜の形成が容易となるため、製造コストの低減が可能である。

【0042】

隣接する第1配線構造2間には、空洞7が形成される。この空洞は、真空、低圧ガス雰囲気、空気等で形成されるため、その誘電率は真空の誘電率と同等であり、シリコン酸化膜の約1/3である。したがって、配線間の寄生容量は約1/3になる。30

【0043】

絶縁層4は、第1配線構造2上に平坦な絶縁表面を提供する。このため、絶縁層4上に上層配線層を容易に形成することができる。

【0044】

なお、必要に応じ、絶縁層4(および接着層5)を貫通してコンタクトホールを形成し、絶縁層4上に形成する上層配線層と第1配線構造2との電気的接触を形成する。

【0045】

図2は、図1に示すような工程により多層配線を形成した半導体装置の配線構造を概略的に示す。図2(A)は断面図を示し、図2(B)は1層の配線構造の一部平面構造を概略的に示す。40

【0046】

図2(A)において、半導体基板11表面上に第1配線層12が形成される。第1配線層12は、Ti層12a、TiN層12b、Al合金層12cの積層で形成される。第1配線層12は、所定位置において半導体基板11表面上のデバイス構造に電気的に接続している。

【0047】

第1配線層12上に、図1に説明した工程により、層間絶縁層21が配置されている。層間絶縁層21は、コンタクトホール23を有する。層間絶縁層21の上には、第2配線層22が配置されている。第2配線の一部は、コンタクトホール23を介して第1配線層12に電気的に接続されている。50

## 【0048】

第2配線層22の上面には、層間絶縁層31が配置されている。層間絶縁層31には、コンタクトホール33、34が形成されている。

## 【0049】

層間絶縁層31の上には、第3配線層32が形成されている。第2配線層32の一部はコンタクトホール33、34を介して第2配線層22に電気的に接続されている。第3配線層32の上面には、全体を覆って絶縁層41が配置されている。この絶縁層41も、図1に示した工程によって形成することができる。

## 【0050】

この3層配線構造において、各配線層内の配線は隣接する配線とエアギャップによって分離されている。したがって、同一間隔で配置された配線間の寄生容量はシリコン酸化物によって絶縁分離されている場合と較べ、寄生容量が1/3に低減する。

10

## 【0051】

各層間絶縁層表面は平坦化されているため、上層配線層を容易に形成することができる。

## 【0052】

図2(B)は、コンタクトホール下部分の第1配線層の平面構造を概略的に示す。配線層12は、コンタクトホール下に配置される部分で幅が広く形成されている。この幅広部分の上にコンタクトホール23が形成され、上層配線がコンタクトホール23を介して電気的に接続される。

## 【0053】

20

図3は、チップ周辺部の構成例を示す。図3(A)はウエハの平面図を示し、図3(B)はウエハ内のチップの平面図を示し、図3(C)はチップ端部での断面図を示す。

## 【0054】

図3(A)に示すように、シリコンウエハ51はその表面内に多数の半導体チップ52を含む。

## 【0055】

図3(B)は、1つの半導体チップ52を拡大して示す。各チップ間にはスクライブ領域53が形成されている。スクライブ領域53内において、スクライブライン54に沿って半導体ウエハを切断することにより、各チップ52が分離される。

## 【0056】

30

図3(C)は、スクライブ領域周辺の断面構造を示す。半導体基板11表面上には、図2に示したような3層配線構造が形成されている。スクライブ領域53においては、全領域が配線層12、22、32によって占有されている。スクライブライン54に沿ってチップを切断すると、チップ外周の側面は、配線層12、22、32および層間絶縁層21、31、41によって気密に封じられることになる。

## 【0057】

なお、スクライブ領域53に配置される配線層12、22、32は、配線として用いられるものではなく、封止部材として用いられている。したがって、実際に配線として用いられる配線層とは別の材料、たとえば誘電体材料で形成してもよい。

## 【0058】

40

また、実際に配線が配置される領域以外にも、配線層と同一の高さを有するダミー配線層を配置し、層間絶縁層の支持の役割を持たせてもよい。

## 【0059】

図3(C)において、スクライブ領域53の配線層はチップ全周をループ状に囲っている。これにより、チップ内部を気密に封じているが、さらにその内側に複数のループ状ダミー配線層を形成し、多重シール構造を形成してもよい。

## 【0060】

以上、配線層の上面を同一レベルに調整し、その上に層間絶縁層を配置する場合を説明したが、半導体基板上の配線層の代わりに、電極構造を利用することもできる。この意味で、本明細書において、配線構造とは電極構造を含むものとする。

50

## 【0061】

図4は、DRAMに上述のエアーアイソレーション型多層配線構造を適用した場合を示す。

## 【0062】

図4(A)に示すように、半導体基板61表面上に、フィールド酸化膜62を形成し、活性領域を画定する。図中左側に示した部分がメモリセル領域に対応し、右側に示した部分が周辺回路のコンタクト部に対応する。

## 【0063】

メモリセル領域においては、活性領域表面上に絶縁ゲート電極構造63を形成する。ゲート電極63側壁には側壁スペーサ64が絶縁物等によって形成されている。絶縁ゲート電極構造およびフィールド酸化膜62をマスクとしてイオン注入を行い、不純物ドープ領域65、66を形成する。不純物ドープ領域65は、メモリセル領域のソース/ドレイン領域となるものであり、不純物ドープ領域66は、周辺コンタクト部におけるコンタクト形成領域となる。

10

## 【0064】

図4(B)に示すように、半導体基板61表面上に絶縁膜67を形成し、その表面をCMP等によって平坦化する。

## 【0065】

図4(C)に示すように、絶縁膜67表面上にレジストパターンを形成し、絶縁膜67を貫通するコンタクトホール70を形成する。その後、レジストパターンは除去する。コンタクトホールの形成により、コンタクトホール内に不純物ドープ領域65、66が露出される。

20

## 【0066】

図4(D)に示すように、コンタクトホール70内に埋込電極71を形成する。たとえば、金属層または半導体層を表面上に堆積し、CMP等によって研磨することにより絶縁膜67が露出した平坦な表面を形成する。

## 【0067】

図4(E)に示すように、平坦化された表面上に金属等の導電層を形成し、レジストパターンを用いてパターニングすることによりビット線72を形成する。

30

## 【0068】

図4(F)に示すように、ビット線72を覆って絶縁層73を形成し、CMP等により表面を平坦化する。

## 【0069】

図5(G)に示すように、絶縁層73上にレジストパターンを形成し、埋込電極71を露出するコンタクトホール74を形成する。コンタクトホール形成後、レジストパターンは除去する。

## 【0070】

図5(H)に示すように、半導体基板上に第1ドープト多結晶シリコン層75を形成し、さらにその上にシリコン窒化膜76をCVDにより形成する。シリコン窒化膜76表面上にレジストパターンを形成し、シリコン窒化膜76、第1ドープト多結晶シリコン層75をパターニングし、メモリセル領域において蓄積電極75a、周辺コンタクト領域において引出電極75bを形成する。その後、表面にキャパシタ絶縁膜となる絶縁層77をCVD等により堆積する。たとえば、キャパシタ絶縁膜77は窒化酸化シリコン膜によって形成する。

40

## 【0071】

図5(I)に示すように、基板表面上に薄く(100nm程度に)第2ドープト多結晶シリコン層78を堆積し、異方性エッチングを行い、第1ドープト多結晶シリコン層75a、75bの外周にサイドウォールとして残させる。セル部では、第1ドープト多結晶シリコン層75aの間隔は狭いので、図5(I)に示すように、第1ドープトシリコン層75aの間は完全に第2ドープト多結晶シリコンにより埋められるが、周辺コンタクト領域の

50

75bの部分ではサイドウォールとなる。第2ドープト多結晶シリコン層78は、メモリセル領域において対向電極となる。

【0072】

なお、ここまで工程は特願平8-293593号の実施例の欄に記載されている。次に、上述の実施例において説明した補助基盤を上面上に貼り付け、層間絶縁層を形成する。

【0073】

図6( J )に示すように、基板表面上に貼り付けた絶縁層80にコンタクトホール81を形成する。周辺コンタクト領域においては、コンタクトホール81内に露出した窒化シリコン層76を除去する。このようにして、メモリセル領域において、対向電極78を露出すると共に、周辺コンタクト領域において引出電極75bを露出する。

10

【0074】

その後、配線層80上にアルミニウム等の配線層82を形成し、パターニングすることによって上層配線層を形成する。なお、83は空洞のまま残る。

【0075】

なお、必要に応じ、さらに上層配線層82表面を平坦化し、層間絶縁層、上層配線層を形成する。

【0076】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、配線層としてAl層の代わりにCu層を用いてもよい。Cu層を用いる場合、その下層にCuの拡散バリアとなるバリアメタルを用いることが好ましい。Cu配線の側壁は、空隙によってアイソレーションされるため、側壁部でのCu拡散の問題は生じない。

20

【0077】

その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0078】

【発明の効果】

以上説明したように、本発明によれば、隣接する配線間を空洞でアイソレーションすることにより、配線間の寄生容量を誘電体分離の場合と較べ、低減することができる。たとえば、酸化シリコン絶縁体を用いた場合と較べ、寄生容量は約1/3になる。

【0079】

上面を同一レベルに調整した多数の配線構造上に平坦な表面を有する絶縁層を配置することにより、上層配線の形成が容易となる。このような配線層の形成は、たとえば補助基盤の張り合わせ工程と支持基板除去工程によって実現できるため、工程が単純化される。また、平坦な絶縁層を貼り合わせることにより、極めて優れた平坦性を得ることができる。

30

【0080】

汎用性の高い補助基盤を用いることにより、製造コストの低減が可能となる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造方法を説明するための概略断面図である。

【図2】本発明の実施例による多層配線半導体装置の構成を概略的に示す断面図および底面図である。

40

【図3】本発明の実施例による半導体ウエハおよびその中の各半導体チップの構成を示す平面図および断面図である。

【図4】本発明の実施例によるDRAMの製造工程を説明するための断面図である。

【図5】本発明の実施例によるDRAMの製造工程を説明するための断面図である。

【図6】本発明の実施例によるDRAMの製造工程を説明するための断面図である。

【図7】従来技術の例を説明するための断面図である。

【図8】従来技術の例を説明するための断面図である。

【符号の説明】

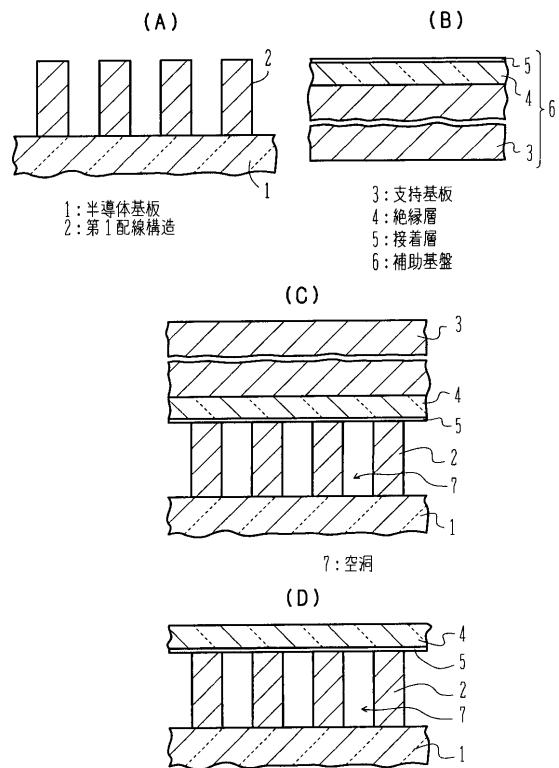
1 半導体基板

2 第1配線構造

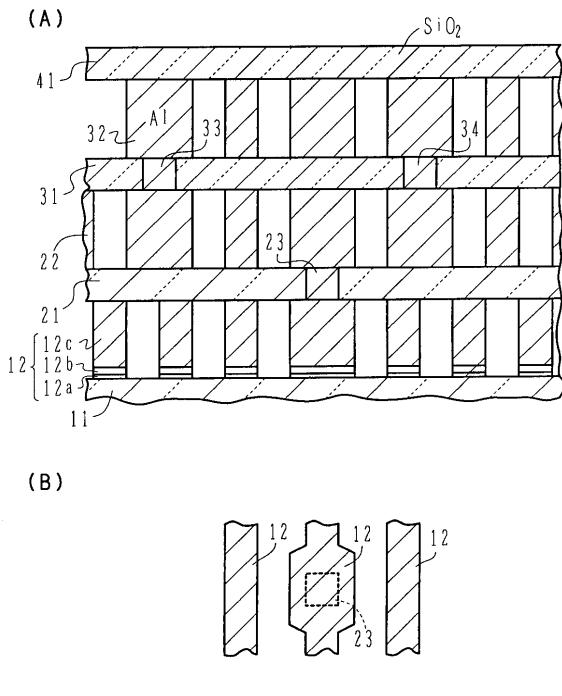
50

- 3 支持基板  
4 絶縁層  
5 接着層  
6 補助基盤  
7 空洞
- 1 1 半導体基板  
1 2 第1配線層  
2 1 層間絶縁層  
2 2 第2配線層  
3 1 層間絶縁層  
3 2 第3配線層  
4 1 絶縁層  
2 3、3 3、3 4 コンタクトホール  
5 3 スクライブ領域  
5 4 スクライブライン  
6 1 半導体基板  
6 2 フィールド絶縁膜  
6 3 絶縁ゲート電極  
6 5、6 6 不純物ドープ領域  
6 7 絶縁膜  
7 1 埋込電極  
7 2 ビット線  
7 3 絶縁膜  
7 5 第1ドープト多結晶シリコン  
7 7 キャパシタ絶縁膜  
7 8 第2ドープト多結晶シリコン層  
8 0 層間絶縁層  
8 2 上層配線層

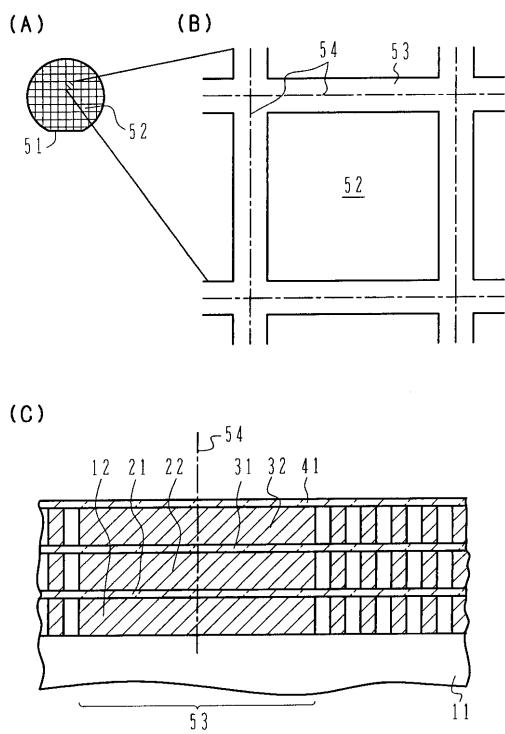
【図1】



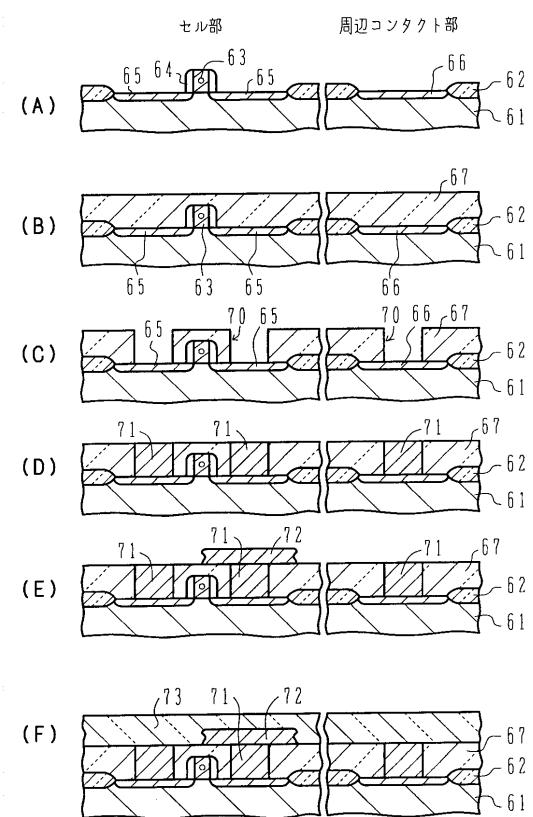
【図2】



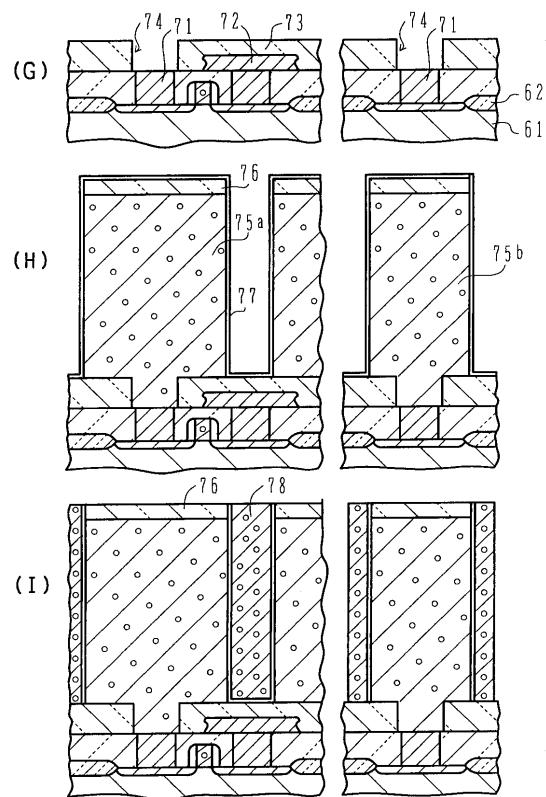
【図3】



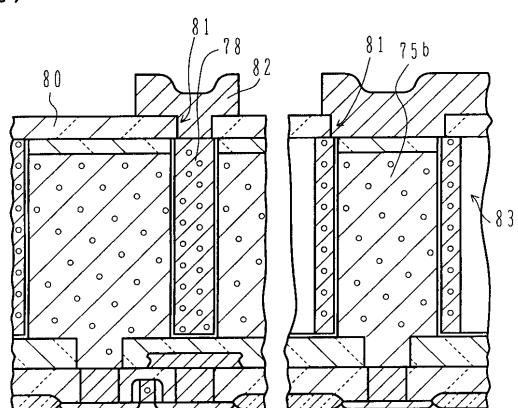
【図4】



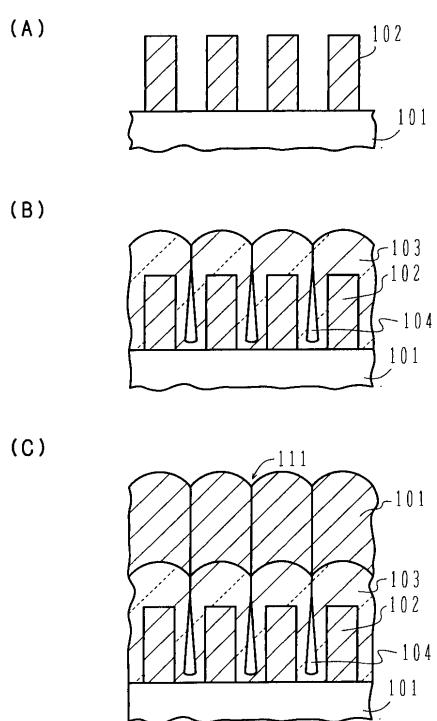
【図5】



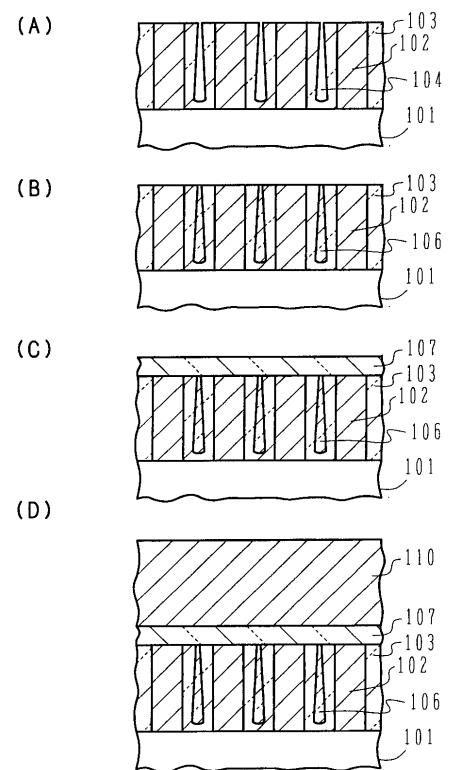
【図6】



【図7】



【図8】



---

フロントページの続き

(56)参考文献 特開平08-125016(JP, A)  
特開平06-045437(JP, A)  
特開平03-142835(JP, A)  
特開平09-116004(JP, A)  
特開平09-129726(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205  
H01L 21/768  
H01L 21/8242  
H01L 23/522  
H01L 27/108