



(12) 发明专利

(10) 授权公告号 CN 109888024 B

(45) 授权公告日 2024. 04. 02

(21) 申请号 201811652681.4

H01L 29/06 (2006.01)

(22) 申请日 2018.12.29

H01L 21/329 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 109888024 A

(56) 对比文件

CN 101740641 A, 2010.06.16

CN 102376777 A, 2012.03.14

CN 103579307 A, 2014.02.12

CN 107946374 A, 2018.04.20

CN 209766432 U, 2019.12.10

JP 2001085705 A, 2001.03.30

US 2005275065 A1, 2005.12.15

US 2008029838 A1, 2008.02.07

(43) 申请公布日 2019.06.14

(73) 专利权人 厦门芯光润泽科技有限公司

地址 361000 福建省厦门市火炬高新区火炬园火炬路56-58号火炬广场南楼203-76

(72) 发明人 卓廷厚 李钊君 刘延聪

审查员 郑琼

(74) 专利代理机构 厦门仕诚联合知识产权代理

事务所(普通合伙) 35227

专利代理师 吴圳添

(51) Int. Cl.

H01L 29/861 (2006.01)

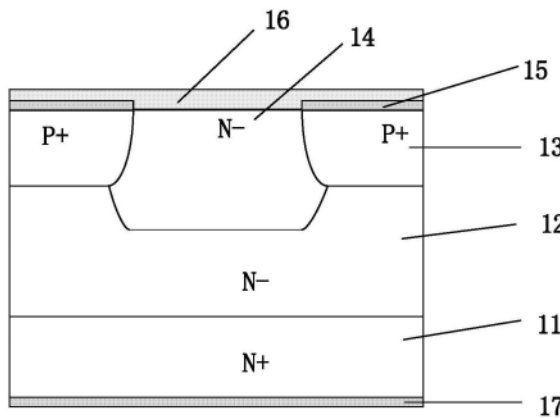
权利要求书1页 说明书6页 附图6页

(54) 发明名称

MPS二极管器件及其制备方法

(57) 摘要

一种MPS二极管器件及其制备方法。所述MPS二极管器件自下而上包括阴极电极、N+碳化硅衬底、N-外延层和阳极电极；所述N-外延层具有至少两个P+区；相邻两个所述P+区之间具有N-补偿掺杂区，所述N-补偿掺杂区的深度大于所述P+区的深度，所述N-补偿掺杂区的掺杂浓度高于所述N-外延层的掺杂浓度；所述阳极电极包括第一金属和第二金属，所述P+区表面与所述第一金属之间为欧姆接触，所述N-补偿掺杂区表面与所述第二金属之间肖特基为接触。所述MPS二极管能够改善器件导通特性，促使器件的正向压降降低。



1. 一种MPS二极管器件的制备方法,其特征在于,包括:

在N+碳化硅衬底上形成N-外延层;

在所述N-外延层顶部形成N-补偿掺杂区;

在所述N-外延层顶部形成P+区;

其中,所述N-补偿掺杂区位于相邻两个所述P+区之间,所述N-补偿掺杂区的深度大于所述P+区的深度;所述N-补偿掺杂区的掺杂浓度高于所述N-外延层的掺杂浓度,所述N-外延层的掺杂浓度为 $1 \times 10^{15} \text{atom/cm}^3 \sim 1 \times 10^{16} \text{atom/cm}^3$,所述N-补偿掺杂区的掺杂浓度为 $1 \times 10^{16} \text{atom/cm}^3 \sim 1 \times 10^{17} \text{atom/cm}^3$;

在所述P+区表面形成第一金属,所述第一金属与所述P+区表面欧姆接触;

在第一金属及N-补偿掺杂区表面同时形成第二金属,所述N-补偿掺杂区与第二金属接触区域形成肖特基接触;

在所述N+碳化硅衬底下方形成阴极电极;

形成所述N-补偿掺杂区和所述P+区的过程包括以下步骤:

在所述N-外延层上制备第一掩模层;用光刻刻蚀工艺,在所述第一掩模层上形成第一掩模图形;通过N离子注入手段形成N-补偿注入区;

清洗掉所述第一掩模图形,在所述N-外延层表面形成第二掩模层;用光刻刻蚀工艺,在所述第二掩模层上形成第二掩模图形;通过Al离子注入手段形成P+注入区;

在所述N-外延层表面形成碳膜,以对N-外延层表面进行保护;

通过高温退火,对注入离子进行激活,形成所述N-补偿掺杂区和所述P+区;

最后,通过氧化方法去除碳膜。

2. 如权利要求1所述的MPS二极管器件的制备方法,其特征在于,在氩气氛围下实施快速热退火工艺,使所述第一金属形成所述欧姆接触。

3. 如权利要求1所述的MPS二极管器件的制备方法,其特征在于,采用低温快速热退火,使所述第二金属形成所述肖特基接触。

MPS二极管器件及其制备方法

技术领域

[0001] 本发明涉及半导体工艺领域,尤其涉及一种MPS二极管器件及其制备方法。

背景技术

[0002] 近年来,随着电力电子系统的不断发展,对系统中的功率器件提出了更高的要求。功率二极管是电路系统的关键部件,广泛适用于高频逆变器、数码产品、发电机、电视机等民用产品以及卫星接收装置、导弹飞机等各种先进武器控制系统和仪器仪表设备的军用场合。为了满足低功耗、高频、高温、小型化等应用要求,对功率二极管的耐压、导通电阻、开启压降、反向恢复特性、高温特性的要求也越来越高。

[0003] 为了满足功率和快速开关器件应用的需要,MPS二极管器件的诞生解决了部分难题。

[0004] MPS二极管器件将肖特基整流管和PiN整流管的优点集于一体,是一种混合型二极管(混合PiN和肖特基),它不仅具有较高的反向阻断电压,而且它的通态压降很低,反向恢复时间很短,反向恢复峰值电流很小,具有软的反向恢复特性。

[0005] 更多有关现有MPS二极管器件相关内容,可以参考公开号为CN106298774A和CN105931950A的中国专利申请。

发明内容

[0006] 本发明解决的问题是提供一种MPS二极管器件及其制备方法,改善传统MPS二极管器件的正向导通特性。

[0007] 为解决上述问题,本发明提供一种MPS二极管器件及其制备方法,包括:所述器件自下而上包括阴极电极、N+碳化硅衬底、N-外延层和阳极电极;所述N-外延层具有至少两个P+区;相邻两个所述P+区之间具有N-补偿掺杂区,所述N-补偿掺杂区的深度大于所述P+区的深度,所述N-补偿掺杂区的掺杂浓度高于所述N-外延层的掺杂浓度;所述阳极电极包括第一金属和第二金属,所述P+区表面与所述第一金属之间欧姆接触,所述N-补偿掺杂区表面与所述第二金属之间肖特基接触。

[0008] 进一步,所述N-补偿掺杂区直接与相邻两个所述P+区的边缘相连;所述N-补偿掺杂区介于两个相邻的P+区之间,但是与P+区的下边缘不相连。

[0009] 可选的,所述N-补偿掺杂区的掺杂浓度为 $1 \times 10^{16} \text{atom/cm}^3 \sim 1 \times 10^{17} \text{atom/cm}^3$ 。

[0010] 可选的,所述P+区深度为 $0.8 \mu\text{m} \sim 2.0 \mu\text{m}$,所述N-补偿掺杂区的深度与所述P+区的深度差值为 $0.1 \mu\text{m} \sim 5 \mu\text{m}$ 。

[0011] 可选的,所述第一金属为镍,所述第二金属为钛。

[0012] 为解决上述问题,本发明还提供了一种MPS二极管器件的制备方法,包括:在N+碳化硅衬底上形成N-外延层;在所述N-外延层顶部形成N-补偿掺杂区;在所述N-外延层顶部形成P+区;其中,所述N-补偿掺杂区位于相邻两个所述P+区之间,所述N-补偿掺杂区的深度大于所述P+区的深度;在所述P+区表面形成第一金属,所述第一金属与所述P+区表面欧姆

接触;在第一金属及N-补偿掺杂区表面同时形成第二金属,所述N-补偿掺杂区与第二金属接触区域形成肖特基接触;在所述N+碳化硅衬底下方形成阴极电极。

[0013] 可选的,所述N-补偿掺杂区采用离子注入进行掺杂,注入的离子为N离子。

[0014] 可选的,在N-外延层形成碳膜,采用高温退火对各区域中的注入离子进行激活,再通过氧化方法去除所述碳膜。

[0015] 可选的,在氩气氛围下实施快速热退火工艺,使所述第一金属形成所述欧姆接触。

[0016] 可选的,采用低温快速热退火,使所述第二金属形成所述肖特基接触。

[0017] 本发明技术方案中,在相邻两个P+区之间形成N-补偿掺杂区,使整个器件成为具有补偿掺杂结构的碳化硅衬底MPS二极管器件。其中,N-补偿掺杂区的引入,可以提升器件的导通特性,降低器件的正向压降。而且,由于相应较深的N-补偿掺杂区的存在,当器件在正向导通过程中,N-补偿掺杂区会降低器件势垒高度及导通电阻,从而能够改善器件导通特性,促使器件的正向压降降低,同时使有源区的击穿电压接近终端区的击穿电压。此外,相应较深的N-补偿掺杂区的存在,还可在有源区实现全面均匀击穿。

附图说明

[0018] 图1是实施例MPS二极管器件示意图;

[0019] 图2至图4是制备图1所示MPS二极管器件各步骤对应结构示意图;

[0020] 图5为实施例MPS二极管器件与传统MPS二极管器件正向伏安特性仿真结果;

[0021] 图6为实施例MPS二极管器件与传统MPS二极管器件反向伏安特性仿真结果;

[0022] 图7是另一实施例MPS二极管器件示意图;

[0023] 图8至图10是制备图7所示MPS二极管器件各步骤对应结构示意图;

[0024] 图11为另一实施例MPS二极管器件与传统MPS二极管器件正向伏安特性仿真结果;

[0025] 图12为另一实施例MPS二极管器件与传统MPS二极管器件反向伏安特性仿真结果。

具体实施方式

[0026] 传统碳化硅衬底的MPS二极管器件,在工作时,存在着相对较低的导通特性和相对较高的正向压降的缺点。为此,本发明提供一种新的MPS二极管器件及其制备方法,以解决上述存在的不足。

[0027] 为更加清楚的表示,下面结合附图对本发明做详细的说明。

[0028] 本发明提供一种MPS二极管器件,所述器件自下而上包括阴极电极、N+碳化硅衬底、N-外延层和阳极电极;所述N-外延层具有至少两个P+区;相邻两个所述P+区之间具有N-补偿掺杂区,所述N-补偿掺杂区的深度大于所述P+区的深度;所述N-补偿掺杂区的掺杂浓度高于所述N-外延层的掺杂浓度;所述阳极电极包括第一金属和第二金属,所述P+区表面与所述第一金属之间欧姆接触,所述N-补偿掺杂区表面与所述第二金属之间肖特基接触。

[0029] 碳化硅具有大的带隙。采用碳化硅作为衬底,在相同耐压下比较时,能够将相关器件在工作时的损耗抑制得较小。

[0030] 需要说明的是,P+区的上表面即为N-外延层的上表面,可知,P+区位于N-外延层的

上部分,或者也可以称为顶部。同样的,N-补偿掺杂区的上表面即为N-外延层的上表面,可知,N-补偿掺杂区位于N-外延层的上部分。

[0031] 进一步的,可以设置所述N-补偿掺杂区直接与相邻两个所述P+区相连(紧密相连)。N-补偿掺杂区直接与相邻两个所述P+区相连有利于减小器件电阻。

[0032] 其它情况下,N-补偿掺杂区与两个相邻的所述P+区之间也可以具有间隙,但是,此时相应的器件电阻相对较大。

[0033] N-外延层的掺杂浓度通常可以为 $1 \times 10^{15} \text{atom/cm}^3 \sim 1 \times 10^{16} \text{atom/cm}^3$,相应的,所述N-补偿掺杂区的掺杂浓度为 $1 \times 10^{16} \text{atom/cm}^3 \sim 1 \times 10^{17} \text{atom/cm}^3$,即保证N-补偿掺杂区的掺杂浓度高于N-外延层的掺杂浓度。N-补偿掺杂区的掺杂浓度高于N-外延层的掺杂浓度,保证了制备N-补偿掺杂区的目的效果实现。N-补偿掺杂区的引入,使二极管肖特基接触处的导通电阻减小,从而提升二极管的正向导通特性,降低二极管正向压降,即改善器件导通特性,促使器件的正向压降降低。

[0034] 所述N-补偿掺杂区的深度大于所述P+区的深度。具体的,可以设置所述P+区深度为 $0.8 \mu\text{m} \sim 2.0 \mu\text{m}$,所述N-补偿掺杂区深度在 $1.5 \mu\text{m} \sim 5.0 \mu\text{m}$ 。

[0035] 上述可知,在相邻两个所述P+区之间引入N-补偿掺杂区,并且,设置N-补偿掺杂区的深度大于P+区的深度,从而达到降低二极管器件特征导通电阻的作用。

[0036] 其中,所述第一金属可以为镍,所述第二金属可以为钛。即用于形成欧姆接触的金属可以选取为镍,用于形成肖特基接触的金属可以选取为钛。

[0037] 相邻两个所述P+区之间的间距可以为 $2 \mu\text{m} \sim 4 \mu\text{m}$ 。这一间距,可以根据器件的性能参数进行调整,但这一间距影响着N-补偿掺杂区的宽度。特别是N-补偿掺杂区直接与相邻两个所述P+区相连时,这一间距就等于N-补偿掺杂区的宽度。

[0038] 本发明采用碳化硅材料作为二极管器件的衬底材料,在结构上又进行了改进,在碳化硅衬底的MPS二极管器件的结构中,在肖特基接触处(下方),制备了N-补偿掺杂区。N-补偿掺杂区的引入,有效降低了二极管肖特基接触处的导通电阻,降低了二极管的正向压降,从而提升了二极管正向导通特性,提高二极管的性能。与此同时,这种器件的击穿电压也会接近终端区电压。此外,这种器件还可在有源区实现全面均匀击穿。

[0039] 本发明还同时提供MPS二极管器件的制备方法,可以用于制备上述MPS二极管器件,因此,所述制备方法和上述二极管结构之间的内容,可以相互参考。

[0040] 所述制备方法包括:

[0041] 在N+碳化硅衬底上形成N-外延层;在所述N-外延层顶部形成N-补偿掺杂区;在所述N-外延层顶部形成P+区;其中,所述N-补偿掺杂区位于相邻两个所述P+区之间,所述N-补偿掺杂区的深度大于所述P+区的深度;在所述P+区表面形成第一金属,所述第一金属与所述P+区表面欧姆接触;在第一金属及N-补偿掺杂区表面同时形成第二金属,所述N-补偿掺杂区与第二金属接触区域形成肖特基接触;在所述N+碳化硅衬底下方形成阴极电极。

[0042] 通常,通过外延生长,在N+碳化硅衬底上形成N-外延层,形成N-外延层后的整体结构,通常可以称为外延片。

[0043] 形成N-补偿掺杂区和P+区的过程可以包括以下步骤:

[0044] 在N-外延层上制备第一掩模层(所述第一掩模层的材料可以为二氧化硅);用光刻刻蚀工艺,在第一掩模层上形成第一掩模图形;通过N离子注入手段形成N-补偿注入区(即

后续N-补偿掺杂区,可知所述N-补偿掺杂区采用离子注入进行掺杂,注入的离子为N离子);清洗掉第一掩模图形,在N-外延层表面形成第二掩模层;用光刻刻蚀工艺,在第二掩模层上形成第二掩模图形;通过Al离子注入手段形成P+注入区(即后续P+区);在N-外延层表面形成碳膜,以对N-外延层表面进行保护;通过高温退火,对注入离子进行激活,形成N-补偿掺杂区和P+区等掺杂区;最后,可以通过氧化方法去除碳膜。

[0045] 形成欧姆接触的过程可以包括以下步骤:

[0046] 形成隔离介质层(所述隔离介质层的材料可以为二氧化硅,可以采用沉积工艺形成);采用光刻和刻蚀等工艺,刻蚀隔离介质层,以暴露P+区表面,用于形成欧姆接触。

[0047] 在N-外延层表面(即此时的外延片正面),沉积第一金属,第一金属为用于形成欧姆接触的金属;需要说明的是,可以同时在外延片背面沉积金属,外延片背面的金属用于作为阴极电极。

[0048] 在氩气氛围下实施快速热退火工艺,形成所述欧姆接触。

[0049] 形成肖特基接触的过程可以包括以下步骤:

[0050] 然后,在外延片正面沉积第二金属,第二金属为用于形成肖特基接触的金属;通过低温快速热退火工艺,使第二金属在肖特基区域(即本发明中N-补偿掺杂区上表面)形成相应的肖特基接触。最后,还可以在外延片的正面和背面,通过沉积金属工艺,形成厚电极。

[0051] 实施例1

[0052] 图1为本发明实施例提供的一种带有MPS二极管器件结构剖面示意图,包括:

[0053] N+碳化硅衬底11,N+碳化硅衬底11可以由掺杂浓度为 $5 \times 10^{18} \text{atom/cm}^3$ 的碳化硅材料构成,厚度可以为 $350 \mu\text{m}$;N-外延层12,位于N+碳化硅衬底11之上;阴极电极17,位于N+碳化硅衬底11之下;N-补偿掺杂区14,位于N-外延层12表面附近(顶部);P+区13,位于N-补偿掺杂区14周围的N-外延层12表面附近(顶部);此时,相邻两个所述P+区13之间为N-补偿掺杂区14;阳极电极(未标注)覆盖整个P+区13及N-补偿掺杂区14的表面;阳极电极包括第一金属15和第二金属16,N-补偿掺杂区14表面与所述第二金属16之间肖特基接触,P+区13表面与第一金属15之间欧姆接触。

[0054] 本实施例中,N-补偿掺杂区14的深度大于P+区13的深度,N-补偿掺杂区14浓度 $5 \times 10^{16} \text{atom/cm}^3$,深度为 $2 \mu\text{m}$ 。

[0055] 图2至图4(并结合图1),示出了图1所示MPS二极管器件的制备过程。

[0056] 图1所示MPS二极管器件的制备步骤如下:

[0057] 请参考图2,在N+碳化硅衬底11上通过外延生长形成N-外延层12,N-外延层掺杂浓度为 $6 \times 10^{15} \text{atom/cm}^3$,厚度为 $5.5 \mu\text{m}$;

[0058] 请继续参考图2,在N-外延层12上沉积形成二氧化硅,以作为掩模层(未示出),掩模层为厚度 $2 \mu\text{m}$;通过光刻和刻蚀等工艺形成掩模图形(未示出);并通过N离子注入手段形成N-补偿掺杂区14(后续激活),N-补偿掺杂区14浓度 $5 \times 10^{16} \text{atom/cm}^3$,深度为 $2 \mu\text{m}$;

[0059] 请继续参考图2,清洗掉前述注入掩模层,在N-外延层12表面再次通过沉积工艺形成新的掩模层(未示出),用光刻和刻蚀等工艺形成新的掩模图形(未示出),再通过Al离子注入手段形成P+区13(后续激活),P+区13浓度 $1 \times 10^{19} \text{atom/cm}^3$,深度 $1.2 \mu\text{m}$;

[0060] 利用碳膜溅射机在外延层表面进行碳膜保护,通过高温退火对注入离子进行激活,退火温度 1650°C ,退火时间 45min ;通过氧化方法去除碳膜;

[0061] 沉积二氧化硅形成隔离介质层(未示出),采用光刻和刻蚀等步骤暴露出P+区欧姆接触区域;

[0062] 请参考图3,沉积第一金属15(可以采用镍),在氩气氛围下实施快速热退火工艺,形成欧姆接触;部分金属可以同时形成在外延片的背面,作为阴极电极17,完成后清洗掉正面未反应的镍金属及隔离介质层;

[0063] 请参考图4,对N+碳化硅衬底11背面进行保护形成保护隔离层(未示出),在正面沉积第二金属16,通过光刻和刻蚀等工艺,使第二金属16形成电极图形;通过低温快速热退火工艺,使所述电极图形在肖特基区域形成肖特基接触,相应的低温快速热退火的退火温度为500°C,退火时间为2min;

[0064] 外延片的正面可以通过沉积金属形成另一部分的阳极电极;外延片的背面可以通过继续沉积钛、镍或Ag等金属,形成背面的其它部分的阴极电极,可以返回参考图1。

[0065] 图5为实施例中MPS二极管器件与传统MPS二极管器件正向伏安特性仿真结果,图5显示了本实施例中,MPS二极管器件的仿真正向压降情况(图中的虚线New所示)与传统MPS二极管器件的仿真正向压降情况(图中的虚线Old所示)。可知,本实施例中的MPS二极管器件正向压降降低。

[0066] 图6为实施例中MPS二极管器件与传统MPS二极管器件反向伏安特性仿真结果,图6显示了本实施例中,MPS二极管器件的仿真反向击穿电压情况(图中的虚线New所示)与传统MPS二极管器件的仿真反向击穿电压情况(图中的虚线Old所示)。可知,本实施例中的MPS二极管器件反向击穿电压基本没有大的变化,只是略微降低了一些。综合考虑器件的性能,本实施例的MPS二极管器件仍然具有广阔的运用场合。

[0067] 实施例2

[0068] 图7为本发明实施例提供的另一种带有MPS二极管器件结构剖面示意图,包括:N+碳化硅衬底21,N+碳化硅衬底21可以由掺杂浓度为 $5 \times 10^{18} \text{atom/cm}^3$ 的碳化硅材料构成,厚度可以为350 μm ;N-外延层22,位于N+碳化硅衬底21之上;阴极电极27,位于N+碳化硅衬底21之下;N-补偿掺杂区24,位于N-外延层22表面附近(顶部);P+区23,位于N-补偿掺杂区24周围的N-外延层22表面附近(顶部);此时,相邻两个所述P+区23之间为N-补偿掺杂区24;阳极电极(未标注)覆盖整个P+区23及N-补偿掺杂区24的表面;阳极电极包括第一金属25和第二金属26,N-补偿掺杂区24表面与所述第二金属26之间肖特基接触,P+区23表面与所述第一金属25之间欧姆接触。

[0069] 与前述实施例不同的是,本实施例中,N-补偿掺杂区24浓度 $1 \times 10^{17} \text{atom/cm}^3$,深度为1.6 μm ,并且,本实施例中,N-补偿掺杂区24的深度大于P+区23的深度。

[0070] 图8至图10(并结合图7),示出了图7所示MPS二极管器件的制备过程。

[0071] 图8所示MPS二极管器件的制备步骤如下:

[0072] 请参考图8,在N+碳化硅衬底21上通过外延生长形成N-外延层22,N-外延层掺杂浓度 $6 \times 10^{15} \text{atom/cm}^3$,厚度为5.5 μm ;

[0073] 请继续参考图8,在N-外延层22上沉积形成二氧化硅,以作为掩模层(未示出),掩模层为厚度2 μm ;通过光刻和刻蚀等工艺形成掩模图形(未示出);并通过N离子注入手段形成N-补偿掺杂区24(后续激活),N-补偿掺杂区24掺杂浓度为 $1 \times 10^{17} \text{atom/cm}^3$,深度为1.6 μm ;

[0074] 请继续参考图8,清洗掉前述注入掩模层,在N-外延层22表面再次通过沉积工艺形成新的掩模层(未示出),用光刻和刻蚀等工艺形成新的掩模图形(未示出),再通过Al离子注入手段形成P+区23(后续激活),P+区23浓度 $1 \times 10^{19} \text{atom/cm}^3$,深度为 $1.2 \mu\text{m}$;

[0075] 利用碳膜溅射机在外延层表面进行碳膜保护,通过高温退火对注入离子进行激活,退火温度 1650°C ,退火时间45min;通过氧化方法去除碳膜;

[0076] 沉积二氧化硅形成隔离介质层(未示出),采用光刻和刻蚀等步骤暴露出P+区欧姆接触区域;

[0077] 请参考图9,沉积第一金属25,在氩气氛围下实施快速热退火工艺,形成欧姆接触;部分金属可以同时形成在外延片的背面,作为阴极电极27,完成后清洗掉正面未反应的镍金属及隔离介质层;

[0078] 请参考图10,对N+碳化硅衬底21背面进行保护形成保护隔离层(未示出),在正面沉积第二金属26,通过光刻和刻蚀等工艺,使第二金属26形成电极图形;

[0079] 通过低温快速热退火工艺,使所述电极图形在肖特基区域形成肖特基接触,相应的低温快速热退火的退火温度为 500°C ,退火时间为2min;

[0080] 外延片的正面可以通过沉积金属形成另一部分的阳极电极;外延片的背面可以通过继续沉积钛、镍或Ag等金属,形成背面的其它部分的阴极电极,可以返回参考图7。

[0081] 图11为实施例中MPS二极管器件与传统MPS二极管器件正向伏安特性仿真结果,图11显示了本实施例中,MPS二极管器件的仿真正向压降情况(图中的虚线New所示)与传统MPS二极管器件的仿真正向压降情况(图中的虚线Old所示)。可知,本实施例中的MPS二极管器件正向压降明显降低。

[0082] 图12为实施例中MPS二极管器件与传统MPS二极管器件反向伏安特性仿真结果,图12显示了本实施例中,MPS二极管器件的仿真反向击穿电压情况(图中的虚线New所示)与传统MPS二极管器件的仿真反向击穿电压情况(图中的虚线Old所示)。可知,本实施例中的MPS二极管器件反向击穿电压相应降低了一些,这是本实施例作出的一种平衡(改善器件导通特性,促使器件的正向压降降低,但反向击穿电压略有降低)。综合考虑器件的性能,本实施例的MPS二极管器件仍然具有广阔的运用场合。

[0083] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

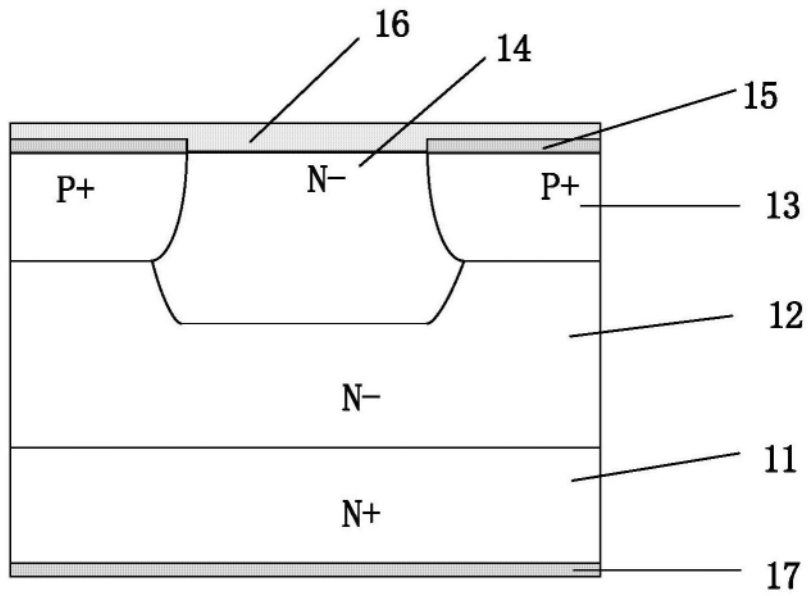


图1

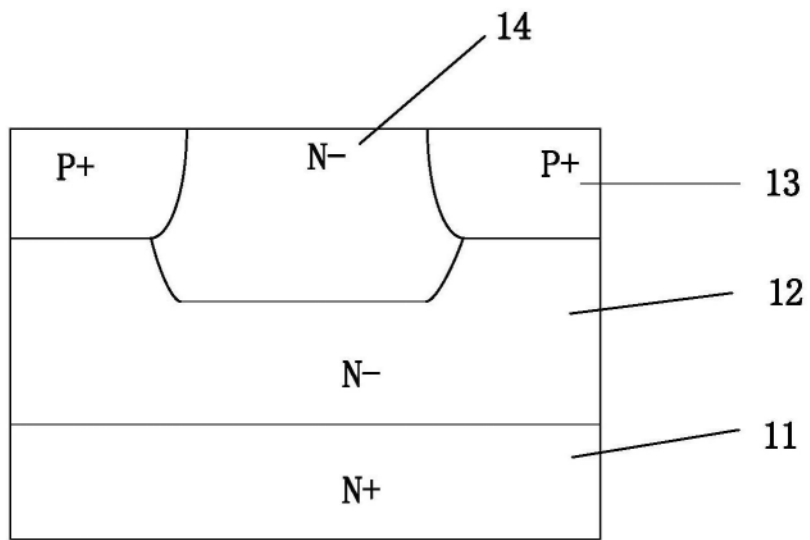


图2

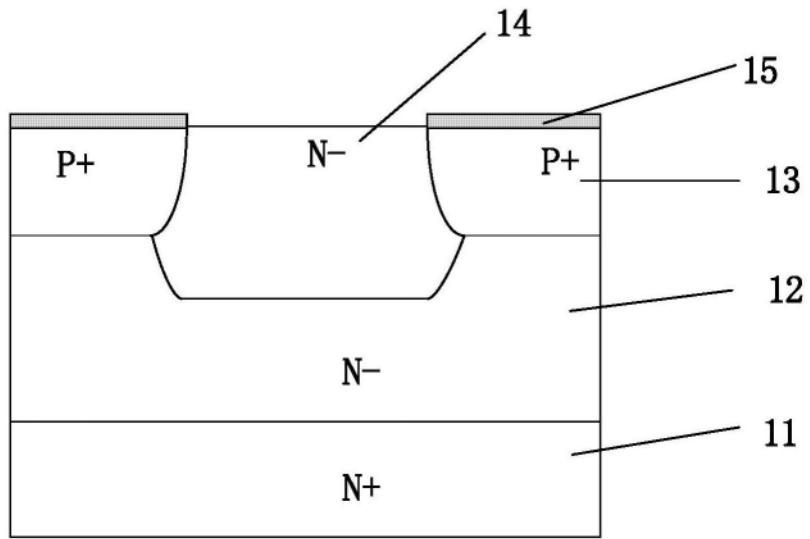


图3

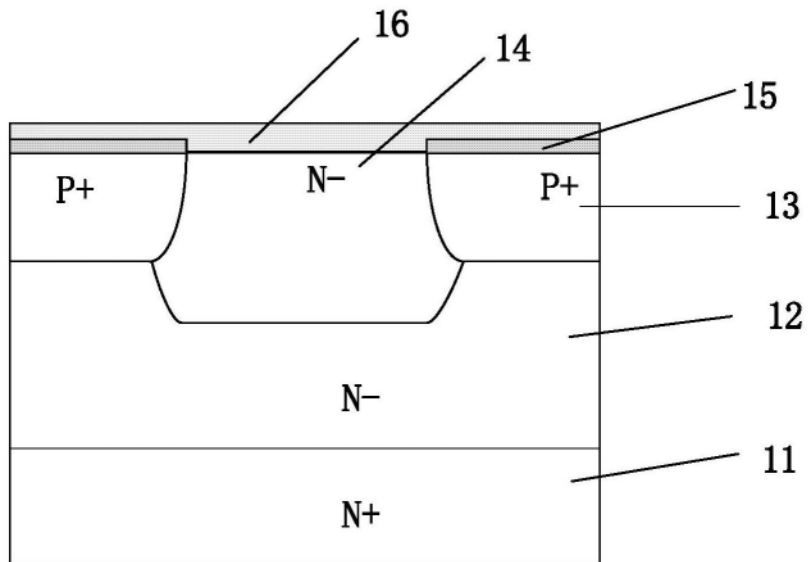


图4

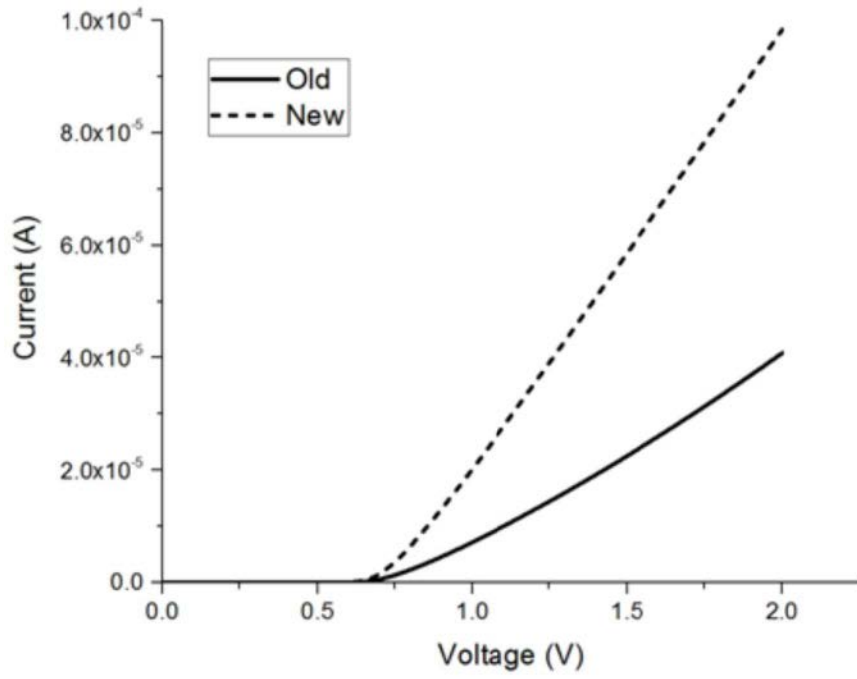


图5

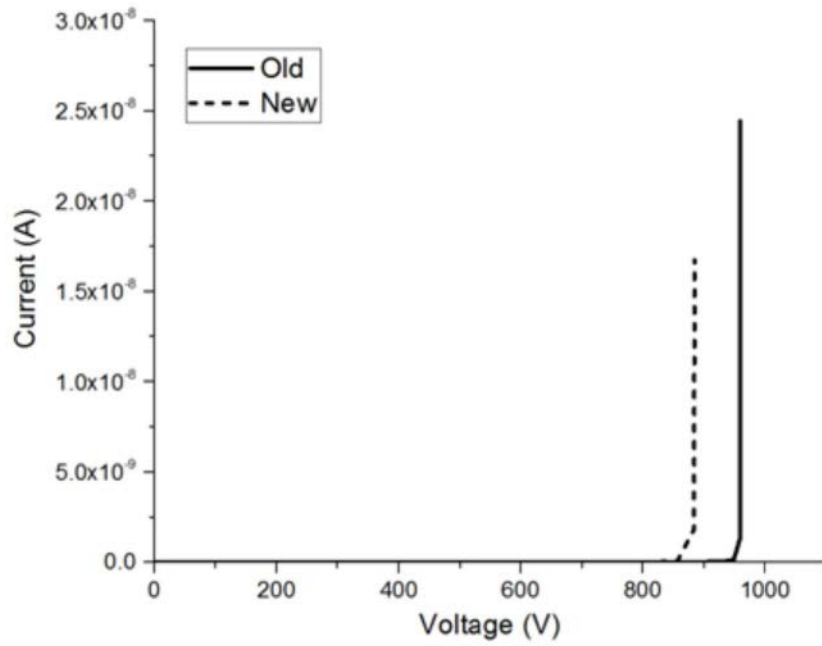


图6

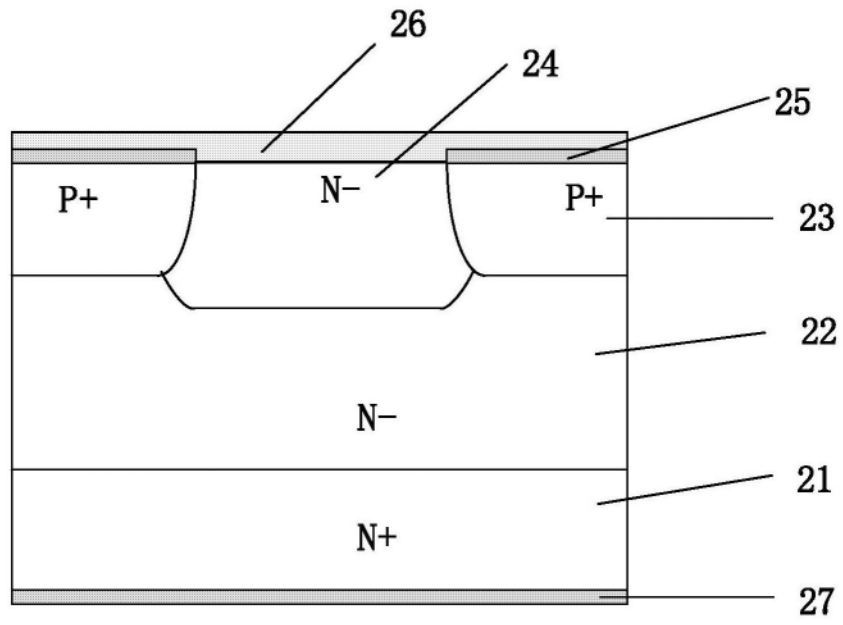


图7

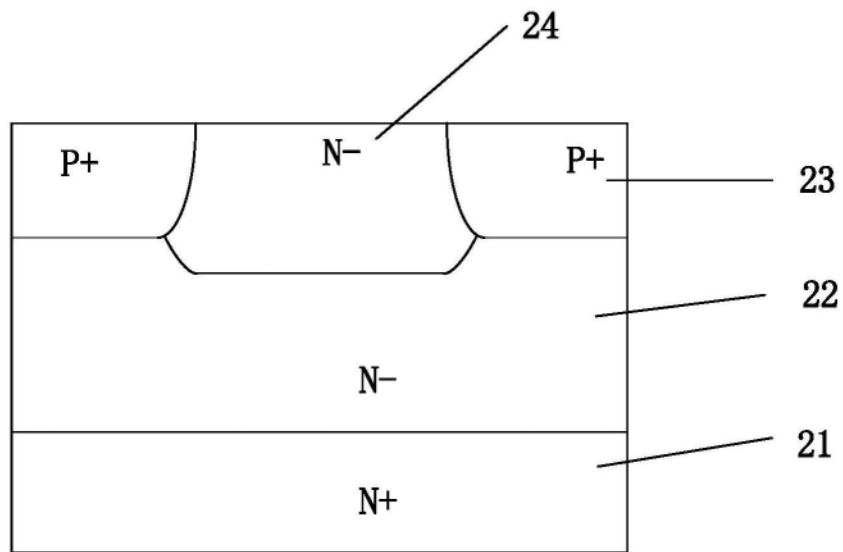


图8

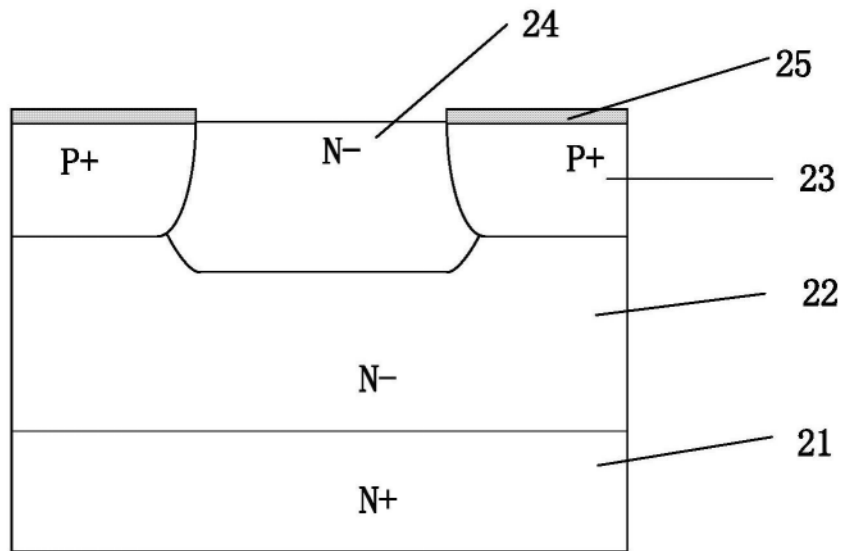


图9

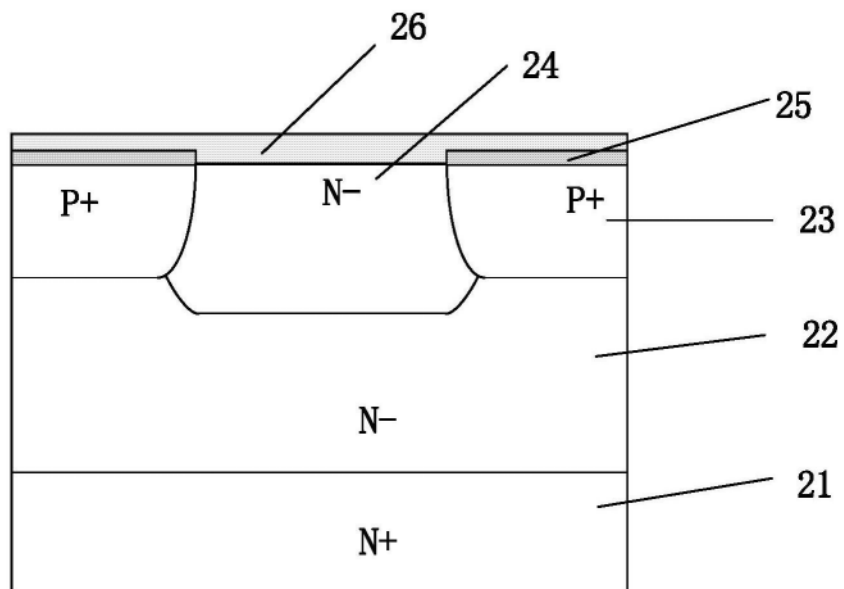


图10

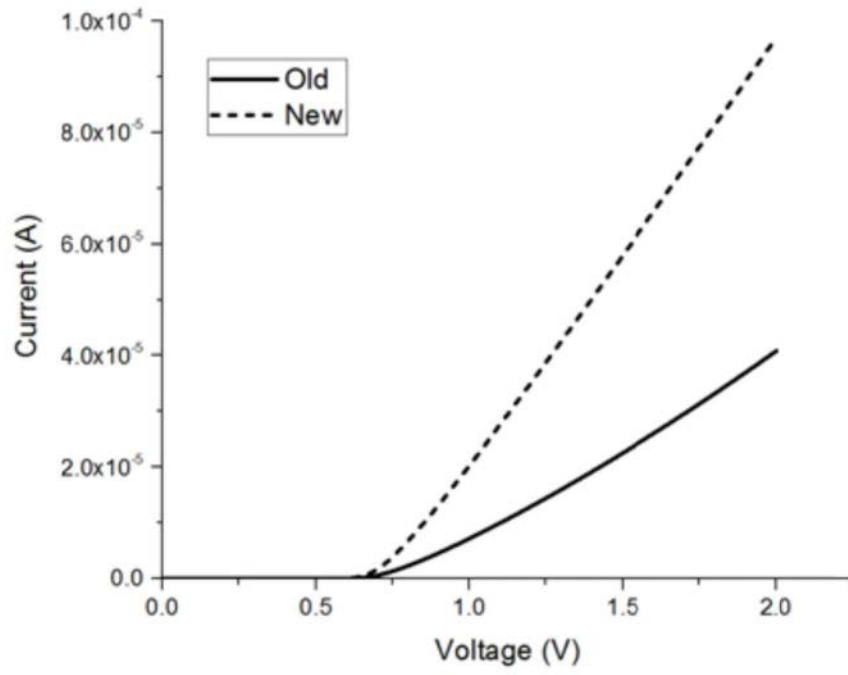


图11

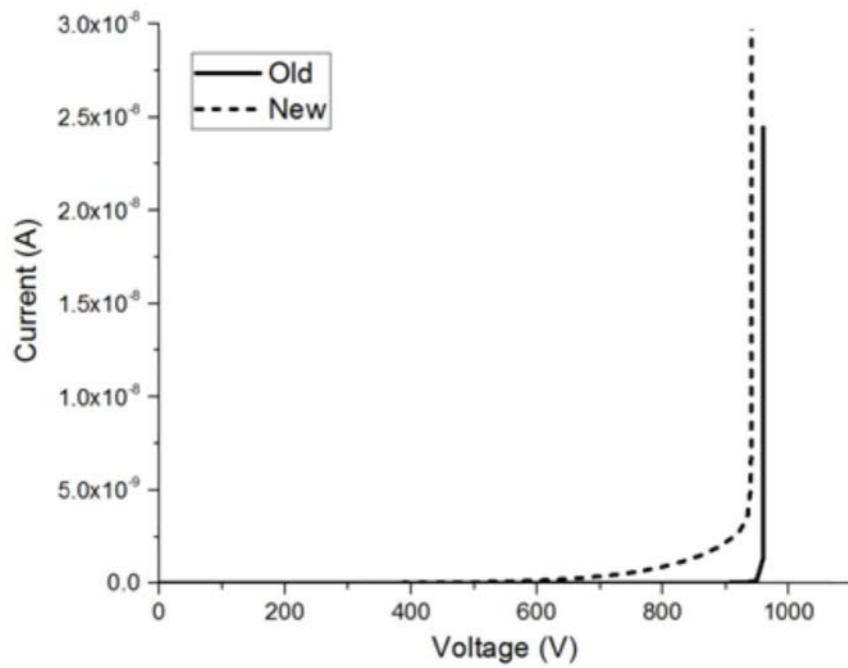


图12