



(12) 发明专利

(10) 授权公告号 CN 1991731 B

(45) 授权公告日 2011. 11. 09

(21) 申请号 200510121224. 9

(22) 申请日 2005. 12. 26

(73) 专利权人 鸿富锦精密工业(深圳)有限公司
地址 518109 广东省深圳市宝安区龙华镇油
松第十工业区东环二路2号
专利权人 鸿海精密工业股份有限公司

(72) 发明人 李涛 张溯舜

(51) Int. Cl.
G06F 3/06 (2006. 01)

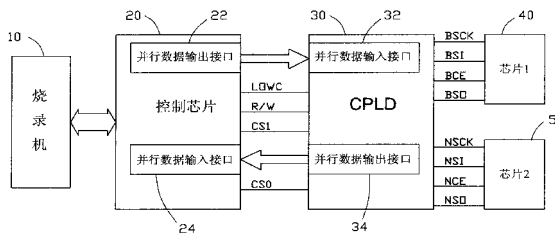
(56) 对比文件
CN 1614558 A, 2005. 05. 11, 全文.
US 6678850 B2, 2004. 01. 13, 全文.
CN 1677346 A, 2005. 10. 05, 全文.
US 6903567 B2, 2005. 06. 07, 全文.

审查员 胡燕

权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称
芯片烧录系统

(57) 摘要
一种芯片烧录系统,用于烧录贴装于主机板上的待烧录芯片,其包括一存有烧录数据的烧录机、一控制芯片,所述烧录机与所述控制芯片之间通过并行接口相连,所述烧录系统还包括一具有串/并数据转换功能及并/串转数据换功能的可编程逻辑器件,所述可编程逻辑器件通过并行接口与所述控制芯片相连,且通过串行接口与所述待烧录芯片相连。



1. 一种芯片烧录系统,用于烧录贴装于主机板上的待烧录芯片,其包括一存有烧录数据的烧录机、一控制芯片,其特征在于:所述烧录机与所述控制芯片之间通过并行接口相连,所述烧录系统还包括一具有串/并数据转换功能及并/串转数据换功能的可编程逻辑器件,所述可编程逻辑器件通过并行接口与所述控制芯片相连,且通过串行接口与所述待烧录芯片相连,所述待烧录芯片包括一第一芯片及一第二芯片,所述控制芯片具有输出读/写控制信号至该可编程逻辑器件的控制线及输出片选信号至该可编程逻辑器件的控制线,所述可编程逻辑器件具有与所述第一芯片相连的第一组引脚及与所述第二芯片相连的第二组引脚,该第一组引脚及第二组引脚均包括一时钟信号输出引脚、一数据写入引脚,一数据读出引脚及一片选引脚。

2. 如权利要求1所述的芯片烧录系统,其特征在于:所述可编程逻辑器件包括一数据发送通道,所述数据发送通道的输入端与该控制芯片通过并行接口相连,输出端与所述第一芯片及所述第二芯片通过串行接口分别相连。

3. 如权利要求2所述的芯片烧录系统,其特征在于:所述数据发送通道包括一具有并行数据输入接口及串行数据输出接口的一并/串数据转换模块、一第一缓存器及一第二缓存器,所述并行数据输入接口与该控制芯片相连,所述串行数据输出接口同时与所述第一缓存器及所述第二缓存器的输入端相连,所述第一缓存器的输出端与所述第一芯片相连,所述第二缓存器的输出端与所述第二芯片相连。

4. 如权利要求3所述的芯片烧录系统,其特征在于:所述第一缓存器具有一通过反相器引入所述片选信号的控制端,所述第二缓存器具有一引入所述片选信号的控制端。

5. 如权利要求2所述的芯片烧录系统,其特征在于:所述可编程逻辑器件还包括一开通/断开状态与该数据发送通道相反的数据接收通道,所述数据接收通道的输入端与所述第一芯片及所述第二芯片通过串行接口分别相连,输出端与该控制芯片通过并行接口相连。

6. 如权利要求5所述的芯片烧录系统,其特征在于:所述数据接收通道包括一具有串行数据输入接口及并行数据输出接口的串/并数据转换模块、一第三缓存器及一第四缓存器,所述串/并转换模块的并行数据输出接口与所述控制芯片的并行接口相连,所述串/并转换模块的串行数据输入接口同时与所述第三缓存器及所述第四缓存器输出端相连,所述第三缓存器的输入端与该第一芯片相连,所述第四缓存器的输入端与该第二芯片相连。

7. 如权利要求6所述的芯片烧录系统,其特征在于:所述第三缓存器具有一通过反相器引入所述片选信号的控制端,所述第四缓存器具有一引入所述片选信号的控制端。

8. 如权利要求1所述的芯片烧录系统,其特征在于:所述烧录系统包括一晶振及一分频器,所述分频器一端与该晶振相连,另一端与该第一芯片及第二芯片相连。

芯片烧录系统

【技术领域】

[0001] 本发明是关于一种烧录系统,尤指一种用于烧录贴装于主机板上的芯片的烧录系统。

【背景技术】

[0002] 在计算机系统架构中,主机板上通常贴装有多种不同功能的芯片,以实现计算机系统的顺利运行,例如基本输入输出系统芯片、网络卡芯片等。通常在主机板的制造过程中,需要将 BIOS(Basic Input Output System,基本输入输出系统)程序及 MAC(Media Access Control,媒体接入控制)地址分别烧录到主机板上对应的芯片中,一般先将芯片烧录完成,尔后再将芯片贴装到主机板上,如一种可程序化芯片的烧录器,其包含一烧录单元,可程序化芯片装设于其上。但是,所述烧录器只能烧录未进行贴装的芯片,且用于烧录的烧录模组成本高,人为漏烧录的情况也经常发生,因此增加测试成本。

[0003] 另外,传统的烧录系统一般通过串行数据传输方式将烧录机中的烧录数据传送给对应的芯片,该种方式数据传输速度较快,但是数据传输流量小,数据只能一位一位地传输给该待烧录芯片,该种烧录方式影响烧录产线的工作效率。传统的烧录系统也有通过并行数据传输方式将烧录机中的烧录数据传送给对应的芯片,该种数据传输方式虽然数据流量大,待烧录的芯片可同时接收到多位数据,但是该种将并行数据直接输送至待烧录芯片的方法会降低烧录的准确性。

【发明内容】

[0004] 鉴于以上内容,有必要提供一种以较快的速度烧录贴装到主机板上的芯片且误码率低的烧录系统。

[0005] 一种芯片烧录系统,用于烧录贴装于主机板上的待烧录芯片,其包括一存有烧录数据的烧录机、一控制芯片,所述烧录机与所述控制芯片之间通过并行接口相连,所述烧录系统还包括一具有串/并数据转换功能及并/串数据转换功能的可编程逻辑器件,所述可编程逻辑器件通过并行接口与所述控制芯片相连,且通过串行接口与所述待烧录芯片相连,所述待烧录芯片包括一第一芯片及一第二芯片,所述控制芯片具有输出读/写控制信号至该可编程逻辑器件的控制线及输出片选信号至该可编程逻辑器件的控制线,所述可编程逻辑器件具有与所述第一芯片相连的第一组引脚及与所述第二芯片相连的第二组引脚,该第一组引脚及第二组引脚均包括一时钟信号输出引脚、一数据写入引脚,一数据读出引脚及一片选引脚。

[0006] 相对于现有技术,本烧录系统利用一可编程逻辑器件的并/串数据转换功能及串/并数据转换功能达到了快速烧录贴装于主机板上的芯片的目的,在烧录过程中,根据需要将并行数据转换成串行数据或将串行数据转换成并行数据,由于并行传输方式的数据流量较大而串行传输方式的速度较快且误码率低,使得本烧录系统的烧录速度较快,稳定性高。

【附图说明】

- [0007] 图 1 是本发明较佳实施方式芯片烧录系统的组成原理图。
- [0008] 图 2 是本发明较佳实施方式芯片烧录系统烧录数据发送流程图。
- [0009] 图 3 是本发明较佳实施方式芯片烧录系统反馈数据接收流程图。
- [0010] 图 4 是图 1 中复杂可编程逻辑器件的原理图。

【具体实施方式】

[0011] 请参阅图 1, 本发明较佳实施方式芯片烧录系统用于烧录贴装于主机板上待烧录的一第一芯片 40 及一第二芯片 50, 其包括一烧录机 10、一控制芯片 20 及一 CPLD (Complex Programmable Logic Device, 复杂可编程逻辑器件) 30。

[0012] 所述烧录机 10 存储有与该第一芯片 40 及该第二芯片 50 对应的一烧录数据, 其通过并行接口与所述控制芯片 20 相连。

[0013] 所述控制芯片 20 具有与该复杂可编程逻辑器件 30 相连的并行数据输出接口 22 及并行数据输入接口 24, 所述控制芯片 20 还具有—输出数据传输控制信号 LOWC (低电平有效) 至该复杂可编程逻辑器件 30 的控制线、—输出读 / 写控制信号 R/W (高电平对应写入数据、低电平对应读出数据) 至该复杂可编程逻辑器件 30 的控制线、—输出片选信号 CS1 (高电平有效) 至该复杂可编程逻辑器件 30 的控制线及—输出片选信号 CS0 (高电平有效) 至该复杂可编程逻辑器件 30 的控制线。

[0014] 所述复杂可编程逻辑器件 30 包括—并行数据输入接口 32 及—并行数据输出接口 34, 该并行数据输入接口 32 与该控制芯片 20 的并行数据输出接口 22 相连, 该并行数据输出接口 34 与该控制芯片 20 的并行数据输入接口 24 相连。所述复杂可编程逻辑器件 30 包括两组分别与所述第一待烧录芯片 40 及第二待烧录芯片 50 相连的引脚, 其中第一组引脚包括—输出时钟信号的引脚 BSCK、—输出串行烧录数据的数据写入引脚 BSI、—输出片选信号的引脚 BCE 及—接收该第一芯片 40 的反馈数据的数据读出引脚 BS0, 所述第一组引脚与该第一芯片 40 相连; 所述第二组引脚包括—输出时钟信号的引脚 NSCK、—输出串行烧录数据的数据写入引脚 NSI、—输出片选信号的引脚 NCE 及—接收该第二芯片 50 的反馈数据的数据读出引脚 NDO, 所述第二组引脚与该第二芯片 50 相连。

[0015] 请参阅图 2, 本发明烧录系统的数据发送流程为:

[0016] 烧录机 10 将与该第一芯片 40 或第二芯片 50 相对应的烧录数据通过并行接口输出至该控制芯片 20。

[0017] 该控制芯片 20 收到烧录数据后将烧录数据并行输出至该复杂可编程逻辑器件 30。

[0018] 该复杂可编程逻辑器件 30 对烧录数据进行并串数据转换并将烧录数据串行输出至该第一芯片 40 或该第二芯片 50。

[0019] 请参阅图 3, 本发明烧录系统数据接收流程为:

[0020] 该第一芯片 40 或该第二芯片 50 接收到烧录数据后, 将反馈数据串行回传至该复杂可编程逻辑器件 30。

[0021] 该复杂可编程逻辑器件 30 对收到的反馈数据进行串并转换后将数据并行输出至该控制芯片 20。

[0022] 该控制芯片 20 将收到的反馈数据并行输出至该烧录机 10, 通过比较原烧录数据及反馈数据判断烧录是否成功。

[0023] 请参阅图 4, 图 4 是所述复杂可编程逻辑器件 30 的原理图, 该复杂可编程逻辑器件 30 包括一并 / 串数据转换模块 301、一串 / 并数据转换模块 302, 若干用于加快数据传输速度的缓存器 303 (303a、303b、303c、303d、303e、303f、303g、303h、303i、303j、303k, 所述缓存器均具有一输入端、一控制端及一输出端), 两个反相器 304 (304a、304b), 一晶振 305 及一与该晶振 35 相连的分频器 306。

[0024] 所述并 / 串数据转换模块 301 的输入端为与该并行数据输入接口 32 相连的并行接口, 输出端为与所述缓存器 303b 的输入端相连的串行接口, 其可将接收到的并行数据转换成串行数据通过缓存器 303 输出至该第一芯片 40 或第二芯片 50。

[0025] 所述串 / 并转换模块 302 的输入端为与该缓存器 303c 的输出端相连的串行接口, 输出端为与该并行数据输出接口 34 相连的并行接口, 其可将接收到的串行数据转换成并行数据输出至该控制芯片 20。

[0026] 所述缓存器 303a 具有一引入该读 / 写控制信号 R/W 的输入端、一引入该数据传输控制信号 LOWC 的控制端及一与该反相器 304a 的输入端及该缓存器 303b 的控制端相连的输出端。

[0027] 所述缓存器 303b 具有一与该并 / 串转换模块 301 的输出端相连的输入端、一与该缓存器 303a 的输出端相连的控制端及一同时与该缓存器 303e 及该缓存器 303i 的输入端相连的输出端。

[0028] 所述缓存器 303c 具有一同时与该缓存器 303g 及该缓存器 303k 输出端相连的输入端、一与该反相器 304a 的输出端相连的控制端及一与该串 / 并转换模块 302 的输入端相连的输出端。

[0029] 所述缓存器 303d 包括一与该分频器 306 相连的输入端、一与该反相器 304b 的输出端相连的控制端及一输出时钟信号的输出端 BSCK。

[0030] 所述缓存器 303e 包括一与该缓存器 303b 的输出端相连的输入端、一与该反相器 304b 的输出端相连的控制端及一输出烧录数据至该第一芯片 40 的输出端 BSI。

[0031] 所述缓存器 303f 包括一引入该片选信号 CS1 的输入端、一与该反相器 304b 的输出端相连的控制端及一输出片选信号的输出端 BCE。

[0032] 所述缓存器 303g 包括一用以接收该第一芯片 40 输出数据的输入端、一与该反相器 304b 的输出端相连的控制端及一与该缓存器 303c 的输入端相连的输出端。

[0033] 所述缓存器 303h 包括一与该分频器 306 相连的输入端、一引入 CS0 信号的控制端及一输出时钟信号的输出端 NSCK。

[0034] 所述缓存器 303i 包括一与该缓存器 303b 的输出端相连的输入端、一引入 CS0 信号的控制端及一输出烧录数据至该第二芯片 50 的输出端 NSI。

[0035] 所述缓存器 303j 包括一引入该片选信号 CS1 的输入端、一引入 CS0 信号的控制端及一输出片选信号的输出端 NCE。

[0036] 所述缓存器 303k 包括一用以接收该第二芯片 50 的反馈数据的输入端、一引入 CS0 信号的控制端及一与该缓存器 303c 的输入端相连的输出端。

[0037] 所述反相器 304a 的输入端与该缓存器 303a 的输出端相连, 输出端与该缓存器

303c 的控制端相连。

[0038] 所述反相器 304b 的输入端引入 CS0 信号,输出端同时与该缓存器 303d、缓存器 303e、缓存器 303f 及缓存器 303g 的控制端相连。

[0039] 所述晶振 305 用于产生一时钟信号 SCK,所述分频器 306 用于对该时钟信号 SCK 进行分频以得到系统工作的适当频率。

[0040] 所述并 / 串转换模块 301、缓存器 303b 及缓存器 303e 串接形成该第一烧录芯片 40 的烧录数据发送通道,所述缓存器 303g、缓存器 303c 及所述串 / 并转换模块 302 串接形成该第一烧录芯片 40 的反馈数据接收通道。所述并 / 串转换模块 301、缓存器 303b 及缓存器 303i 串接形成该第二烧录芯片 40 的烧录数据发送通道,所述缓存器 303k、缓存器 303c 及所述串 / 并转换模块 302 串接形成该第二烧录芯片 40 的反馈数据传输通道。

[0041] 当该数据传输控制信号 LOWC 信号为低电平时,该缓存器 303a 引入的读 / 写控制信号 R/W 可输出至该缓存器 303b 或通过反相器输出至该缓存器 303c,此时数据发送通道或者数据接收通道开通(相当于允许写入数据或允许读出数据指令);当该数据传输控制信号 LOWC 为高电平时,该缓存器 303a 引入的读 / 写控制信号 R/W 停止输出,此时烧录数据发送通道及反馈数据接收通道均断开(相当于既禁止写入数据也禁止读出数据指令)。

[0042] 该数据传输控制信号 LOWC 为低电平时且该 R/W 信号为高电平时,该缓存器 303a 输出高电平至该缓存器 303b,输出低电平至该缓存器 303c(相当于允许写入 / 禁止读出数据指令),此时该缓存器 303b 可将烧录数据输出至该缓存器 303e 或该缓存器 303i,该缓存器 303c 停止传输反馈数据。该数据传输控制信号 LOWC 为低电平时且该 R/W 信号为低电平时,该缓存器 303a 输出高电平至该缓存器 303c,输出低电平至该缓存器 303b(相当于允许读出 / 禁止写入数据指令),此时该缓存器 303c 可将该缓存器 303g 或该缓存器 303k 传送来的反馈数据输出至该串 / 并数据转换模块 302,该缓存器 303b 停止传输烧录数据。

[0043] 当该 CS1 信号为高电平时,该第一待烧录芯片 40 及第二待烧录芯片 50 被选中为目标器件。

[0044] 当该 CS0 信号为低电平时,第一组缓存器的控制端通过反相器接该低电平,即该第一组缓存器接高电平,该第一缓存器均可以正常输出输入端送来的信号;该第二组缓存器的控制端均直接接该低电平,第二组缓存器均停止输出数据。当该 CS0 信号为高电平时,第一组缓存器的控制端通过反相器接该高电平,即该第一组缓存器接低电平,该第一组缓存器均停止输出信号;该第二组缓存器的控制端均直接接该高电平,第二组缓存器均可以正常输出输入端送来的信号。

[0045] 综上所述,该烧录系统发送或接收数据时,该数据传输控制信号 LOWC 信号为低电平,该 CS1 信号为高电平。在满足上述数据发送和接收条件的前提下,该第一芯片 40 对应的烧录数据发送条件为:该 R/W 信号为高电平,该 CS0 信号为低电平;该第一芯片 40 的反馈数据接收条件为:该 R/W 信号为低电平,CS0 信号为低电平。在满足上述数据发送和接收条件的前提下,该第二芯片 50 对应的烧录数据发送条件为:该 R/W 信号为高电平,该 CS0 信号为高电平;该第二片芯片 50 的反馈数据接收条件为:该 R/W 信号为低电平,该 CS0 信号为高电平。

[0046] 其中所述控制信号的有效电平也可灵活设置成相反电平,此时烧录系统的工作原理不变,只是控制条件有所变换。

[0047] 所述复杂可编程逻辑器件 30 可采用 Verilog HDL(Verilog Hardware Description Language, 硬件描述语言) 输入法进行设计, 利用 EDA(Electronic Design Automatic, 电子设计自动化) 工具来实现将语言描述的电路转换为实际的电路即可, 开发成本低且方便快捷。另外, 由于所述串 / 并数据转换模块 301 及所述并 / 串数据转换模 302 块同时集成于所述复杂可编程逻辑器件 30 内, 使得所述复杂可编程逻辑器件 30 的资源利用率较高, 进一步降低了成本。其中该复杂可编程逻辑器件 30 可为其它类型的可编程逻辑器件 PLD, 如现场可编程门阵列 FPGA、现场可编程互联电路 FPIC 等。

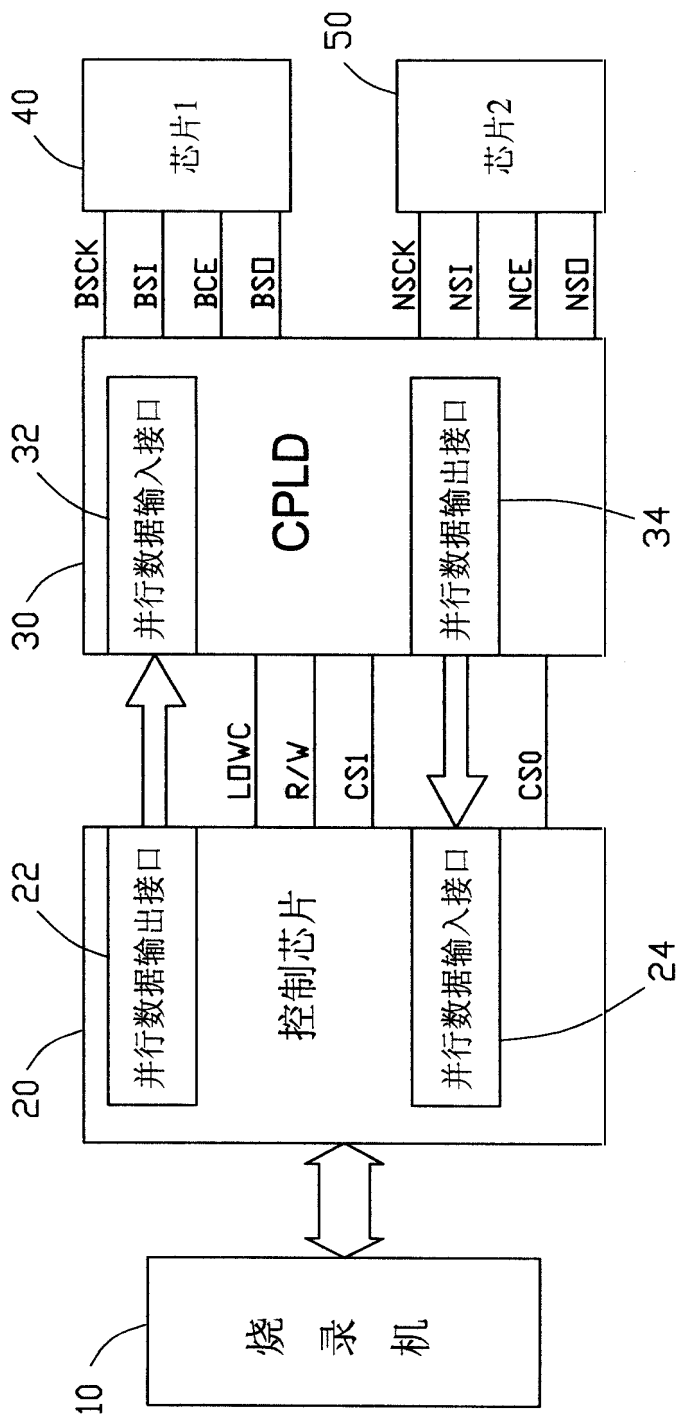


图 1

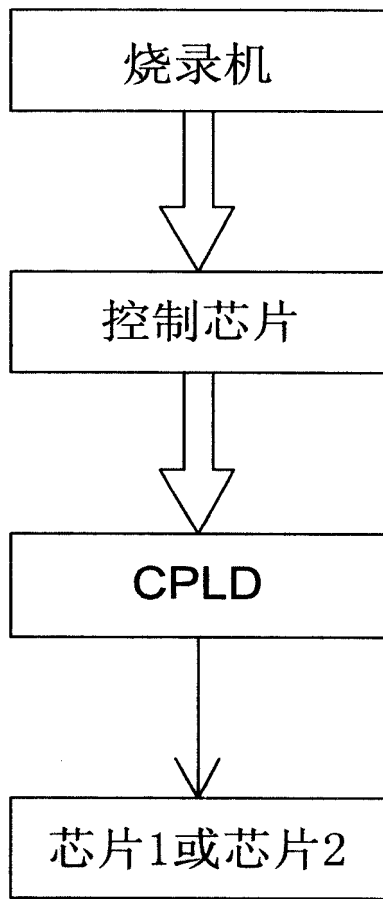


图 2

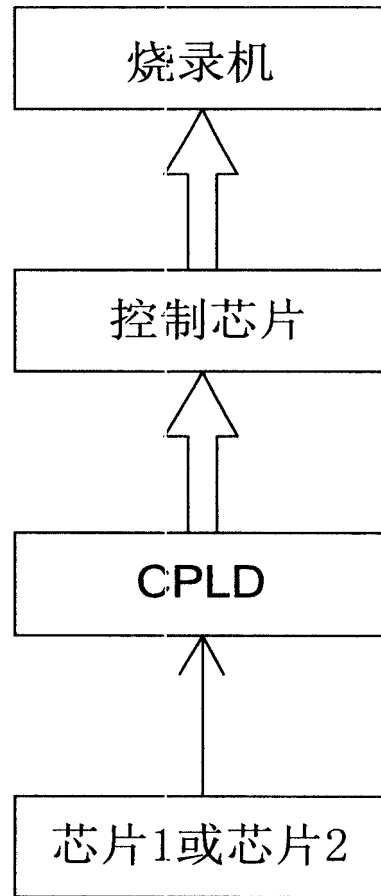


图 3

